



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2012년01월25일  
(11) 등록번호 10-1108300  
(24) 등록일자 2012년01월13일

(51) Int. Cl.  
H01L 29/778 (2006.01) H01L 29/768 (2006.01)  
H01L 29/772 (2006.01)  
(21) 출원번호 10-2006-7004682  
(22) 출원일자(국제출원일자) 2004년09월08일  
심사청구일자 2009년09월08일  
(85) 번역문제출일자 2006년03월07일  
(65) 공개번호 10-2006-0071415  
(43) 공개일자 2006년06월26일  
(86) 국제출원번호 PCT/US2004/029345  
(87) 국제공개번호 WO 2005/029589  
국제공개일자 2005년03월31일  
(30) 우선권주장  
10/930,160 2004년08월31일 미국(US)  
60/501,576 2003년09월09일 미국(US)  
(56) 선행기술조사문헌  
JP2002016245 A\*  
US06586813 B2\*  
JP2001230407 A  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
크리, 인코포레이티드  
미국 노스 캘로라이나 27703 더럼 실리콘 드라이브 4600  
(72) 발명자  
파릭 프리밋  
미국 캘리포니아주 93117 고레타 새도우브룩 드라이브 6832  
유 위펑  
미국 캘리포니아주 93117 고레타 파이어사이드 레인 528  
(74) 대리인  
신정건, 김태홍

전체 청구항 수 : 총 9 항

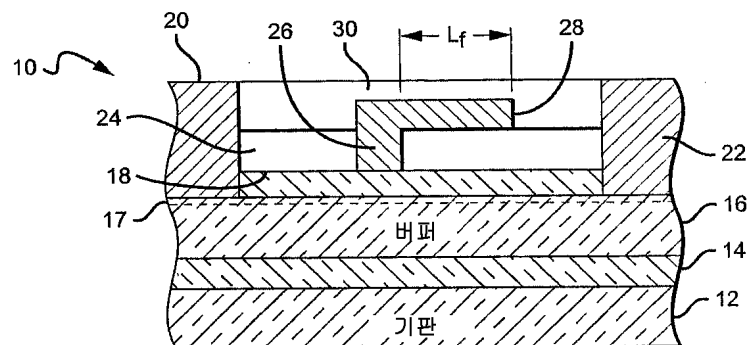
심사관 : 이상호

(54) 필드 플레이트를 갖는 광폭 대역갭 트랜지스터 장치

(57) 요약

활성층과 전기적으로 접촉하여 형성된 금속 소스 및 드레인 접점(20, 22)을 갖는 활성 반도체 층을 포함하는 트랜지스터 구조가 제공된다. 게이트 접점(26)은 활성층 내에서의 전계를 변조시키기 위해 소스 접점과 드레인 접점 사이에 형성되어 있다. 스페이서층(24)은 활성층 상에 형성되고, 도전성 필드 플레이트(28)는 스페이서층 상부에 형성되어 게이트 접점의 에지부로부터 드레인 접점쪽으로 거리  $L_f$ 만큼 뻗어 있다. 필드 플레이트는 게이트 접점과 전기적으로 연결되어 있다.

대표도 - 도2



## 특허청구의 범위

### 청구항 1

기관 상의 복수의 활성 반도체 층,

상기 복수의 활성 반도체 층과 전기적으로 접촉하는 소스 접점,

상기 복수의 활성 반도체 층과 전기적으로 접촉하는 드레인 접점으로서, 상기 복수의 활성 반도체 층의 최상부 상에서 상기 소스 접점과 상기 드레인 접점 사이에 공간이 있는 것인 상기 드레인 접점,

상기 소스 접점과 상기 드레인 접점 사이에 있는, 상기 복수의 활성 반도체 층의 상기 최상부와 전기적으로 접촉하는 게이트,

상기 게이트와 상기 드레인 접점 사이에 있는, 상기 복수의 활성 반도체 층의 최상부의 표면의 적어도 일부 상의 스페이서층으로서, 상기 게이트와 상기 드레인 접점 사이에서 계단식 배열로 된 적어도 두 개의 스페이서 층들을 포함하는 상기 스페이서층, 및

상기 스페이서층의 계단식 배열 상에 존재하고 상기 게이트에 전기적으로 접속되어 있는 필드 플레이트를 포함하는 트랜지스터.

### 청구항 2

제1항에 있어서, 상기 스페이서층은 상기 게이트를 적어도 부분적으로 덮고 있고,

상기 필드 플레이트는 상기 게이트와 적어도 부분적으로 중첩하고 상기 스페이서층 상에서 상기 드레인 접점을 향하여 뻗어 있는 것인 트랜지스터.

### 청구항 3

제2항에 있어서, 상기 스페이서층을 통해 상기 게이트와 상기 필드 플레이트 간을 잇는 하나 이상의 도전성 비아를 더 포함하고,

상기 비아는 상기 필드 플레이트에 상기 게이트와의 전기적 연결을 제공하는 것인 트랜지스터.

### 청구항 4

제1항에 있어서, 상기 필드 플레이트와 상기 게이트 사이에 하나 이상의 도전성 경로를 더 포함하며, 상기 경로의 각각은 상기 스페이서층의 밖에 뻗어 있고 상기 필드 플레이트에 상기 게이트와의 전기적 연결을 제공하는 것인 트랜지스터.

### 청구항 5

제1항에 있어서, 상기 필드 플레이트는 상기 게이트와 일체형으로 상기 스페이서층 상에 존재하고 상기 스페이서층 상에서 상기 드레인 접점쪽으로 뻗어 있는 것인 트랜지스터.

### 청구항 6

삭제

### 청구항 7

제1항에 있어서, 상기 필드 플레이트는 적어도 두 개의 필드 플레이트 부분들을 포함하고, 이 필드 플레이트 부분들 각각은 자신과 상기 복수의 활성 반도체 층의 최상부 사이에 서로 다른 거리를 갖는 것인 트랜지스터.

### 청구항 8

제1항에 있어서, 갈륨 질화물 기반 고 전자 이동도 트랜지스터(high electron mobility transistor, HEMT)를 포함하는 트랜지스터.

### 청구항 9

제1항에 있어서, 탄화규소 기반 금속 반도체 전계 효과 트랜지스터(MESFET)를 포함하며,

상기 복수의 활성 반도체 층은 상기 기판 상의 버퍼층 및 상기 버퍼층 상의 채널층을 적어도 포함하고, 상기 채널층은 상기 복수의 활성 반도체 층의 최상부인 것인 트랜지스터.

**청구항 10**

제1항에 있어서, 상기 게이트는 감마 형상인 것인 트랜지스터.

**청구항 11**

삭제

**청구항 12**

삭제

**청구항 13**

삭제

**청구항 14**

삭제

**청구항 15**

삭제

**청구항 16**

삭제

**청구항 17**

삭제

**청구항 18**

삭제

**청구항 19**

삭제

**청구항 20**

삭제

**청구항 21**

삭제

**청구항 22**

삭제

**청구항 23**

삭제

**청구항 24**

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

청구항 31

삭제

청구항 32

삭제

청구항 33

삭제

청구항 34

삭제

청구항 35

삭제

청구항 36

삭제

청구항 37

삭제

청구항 38

삭제

**명세서**

**기술분야**

[0001] 본 출원은 2003년 9월 9일자로 출원된 Parikh 등의 미국 가특허출원 제60/501,576호를 우선권으로 주장한다.

[0002] 본 발명은 트랜지스터에 관한 것으로서, 상세하게는 필드 플레이트를 이용하는 트랜지스터에 관한 것이다.

## 배경 기술

- [0003] 고 전자 이동도 트랜지스터(high electron mobility transistor, HEMT)는 실리콘(Si) 또는 갈륨 비소(GaAs) 등의 반도체 물질로부터 통상 제조되는 통상적인 유형의 고체 상태 트랜지스터이다. Si의 한가지 단점은 Si가 낮은 전자 이동도( $600 - 1450 \text{ cm}^2/\text{V-s}$ )를 가지며 이는 높은 소스 저항을 유발한다. 이 저항은 Si계(Si based) HEMT의 높은 성능 이득을 열화시킬 수 있다. [CRC Press, The Electron Engineering Handbook, Second Edition, Dorf, p.994, (1997)을 참조할 것]
- [0004] GaAs계 HEMT는 민수용 및 군용 레이더, 핸드셋 셀룰러 및 위성 통신에서의 신호 증폭을 위한 표준이 되었다. GaAs는 Si보다 더 높은 전자 이동도(대략  $6000 \text{ cm}^2/\text{V-s}$ ) 및 더 낮은 소스 저항을 가지며, 이는 GaAs계 장치가 더 높은 주파수에서 동작할 수 있게 해준다. 그렇지만, GaAs는 비교적 작은 대역갭(상온에서  $1.42\text{eV}$ ) 및 비교적 작은 항복 전압을 가지며, 이는 GaAs계 HEMT가 고주파수에서 높은 전력을 제공하지 못하게 한다.
- [0005] AlGaIn/GaN 등의 광폭 대역갭 반도체 물질의 제조에서의 개선은 고주파수, 고온 및 고전력 응용을 위한 AlGaIn/GaN HEMT의 개발에 관심을 집중하고 있다. AlGaIn/GaN은 큰 대역갭은 물론 높은 피크 및 포화 전자 속도값을 갖는다[B. Belmont, K. Kim 및 M. Shur의 J. Appl. Phys. 74,1818 (1993) 참조]. AlGaIn/GaN HEMT는 또한  $10^{13}/\text{cm}^2$ 를 초과하는 2차원 전자 가스(2DEG) 시트 밀도(sheet density) 및 비교적 높은 전자 이동도(최대  $2019 \text{ cm}^2/\text{Vs}$ )를 가질 수 있다[R. Gaska, J. W. Yang, A. Osinsky, Q. Chen, M. A. Khan, A. O. Orlov, G. L. Snider 및 M. S. Shur의 Appl. Phys. Lett. , 72,707 (1998) 참조]. 이들 특성은 AlGaIn/GaN HEMT가 RF, 마이크로웨이브 및 밀리미터파 주파수에서 아주 높은 전압 및 높은 전력 동작을 제공할 수 있게 해준다.
- [0006] AlGaIn/GaN HEMT는 사파이어 기판 상에 성장되었으며  $4.6 \text{ W/mm}$ 의 전력 밀도 및  $7.6 \text{ W}$ 의 총 전력을 보여주었다[Y. F. Wu 등의 IEICE Trans. Electron., E-82-C, 1895 (1999) 참조]. 보다 최근에, SiC 상에 성장된 AlGaIn/GaN HEMT는  $8 \text{ GHz}$ 에서  $9.8 \text{ W/mm}$ 의 전력 밀도[Y. F. Wu, D. Kopolnek, J. P. Ibbetson, P. Parikh, B. P. Keller 및 U. K. Mishra의 IEEE Trans. Electron. Dev. , 48, 586 (2001) 참조] 및  $9 \text{ GHz}$ 에서  $22.9$ 의 총 출력 전력[M. Micovic, A. Kurdoghlian, P. Janke, P. Hashimoto, D. W. S. Wong, J. S. Moon, L. McCray 및 C. Nguyen의 IEEE Trans. Electron. Dev. , 48, 591 (2001) 참조]을 보여주었다.
- [0007] Khan 등의 미국 특허 제5,192,987호는 버퍼 및 기판 상에 성장된 aN/AlGaIn계 HEMT를 개시하고 있다. 다른 AlGaIn/GaN HEMT 및 전계 효과 트랜지스터(FET)는 Gaska 등의 "High-Temperature Performance of AlGaIn/GaN HFET's on SiC Substrates(SiC 기판 상의 AlGaIn/GaN HFET의 고온 성능)" IEEE Electron Device Letters, Vol. 18, No 10, October 1997, Page 492 및 Ping 등의 "DC and Microwave Performance of High Current AlGaIn Heterostructure Field Effect Transistors Grown on P-type SiC Substrates(P-형 SiC 기판 상에 성장된 대전류 AlGaIn 헤테로구조 전계 효과 트랜지스터의 DC 및 마이크로웨이브 성능)" IEEE Electron Devices Letters, Vol. 19, No. 2, February 1998, Page 54에 기술되어 있다. 이들 장치 중 어떤 것은  $67 \text{ 기가헤르쯔}$ 만큼이나 높은 이득-대역폭 곱( $f_r$ )[K. Chu 등의 WOCSEMMAD, Monterey, CA (February 1998) 참조] 및  $10 \text{ GHz}$ 에서 최대  $2.84 \text{ W/mm}$ 인 높은 전력 밀도[G. Sullivan 등의 "High Power 10-GHz Operation of AlGaIn HFET's in Insulating SiC(절연성 SiC에서의 AlGaIn HFET의 고전력 10-GHz 동작)" IEEE Electron Device Letters, Vol. 19, No. 6, Page 198 (June 1998) 및 Wu 등의 IEEE Electron Device Letters, Volume 19, No. 2, Page 50 (February 1998)]를 보여주었다.
- [0008] 전자 포획(electron trapping) 및 그 결과에 따른 DC와 RF 특성 간의 차이가 AlGaIn/GaN HEMT 등의 GaN계 트랜지스터의 성능에서 제한적인 인자가 되었다. 질화실리콘(SiN) 패시베이션은 이 포획 문제를 완화시키기 위해 성공적으로 사용되었으며, 그 결과  $10 \text{ GHz}$ 에서  $10 \text{ W/cm}$ 를 넘는 전력 밀도를 갖는 고성능 장치가 얻어졌다. 미국 특허 제6,586,781호는 GaN계 트랜지스터에서의 포획 효과를 감소시키기 위한 방법 및 구조를 개시하고 있다. 그렇지만, 이들 구조에 존재하는 높은 전계로 인해, 전하 포획이 여전히 문제가 될 수 있다.

## 발명의 상세한 설명

- [0009] 본 발명은 동작 특성을 향상시키기 위해 게이트 연결된 필드 플레이트를 이용하는 개선된 트랜지스터 구조를 제공한다. 본 발명에 따른 한 트랜지스터는 기판 상에 형성된 복수의 활성 반도체 층을 포함한다. 소스 접점은 복수의 활성 반도체 층과 전기적으로 접촉하여 형성되고, 드레인 접점도 역시 복수의 활성 반도체 층과 전기적으

로 접촉하여 형성되며, 복수의 활성 반도체 층의 최상부 상의 소스 접점과 드레인 접점 사이에 공간이 있다. 게이트는 소스 접점과 드레인 접점 사이에서, 복수의 활성 반도체 층의 최상부와 전기적으로 접촉하여 형성된다. 에피택셜 물질의 스페이서층은 게이트와 드레인 접점 사이에서, 복수의 활성 반도체 층의 최상부의 표면 상에 형성되고, 게이트는 스페이서층에 의해 덮여 있지 않다. 필드 플레이트가 게이트와 일체형으로 스페이서층 상에 형성된다.

[0010] 본 발명에 따른 다른 실시예는 기판 상에 형성된 복수의 활성 반도체 층을 포함한다. 소스 접점은 복수의 활성 반도체 층과 전기적으로 접촉하여 형성된다. 드레인 접점도 역시 복수의 활성 반도체 층과 전기적으로 접촉하여 형성되고, 복수의 활성 반도체 층의 최상부 상의 소스 접점과 드레인 접점 사이에 공간이 있다. 게이트는 소스 접점과 드레인 접점 사이에서, 복수의 활성 반도체 층의 최상부와 전기적으로 접촉하여 형성된다. 스페이서층은 게이트와 드레인 접점 사이에서, 복수의 활성 반도체 층의 최상부의 표면 상에 형성되고 또 게이트 접점을 덮고 있다. 필드 플레이트는 스페이서층 상에 형성되고 게이트와 전기적으로 연결되어 있다.

[0011] 본 발명에 따른 트랜지스터의 다른 실시예는 기판 상에 형성된 복수의 활성 반도체 층을 포함한다. 소스 및 드레인 접점은 복수의 활성 반도체 층과 전기적으로 접촉하여 형성된다. 게이트는 소스 접점과 드레인 접점 사이에서, 복수의 활성 반도체 층의 최상부와 전기적으로 접촉하여 형성된다. 제1 스페이서층은 게이트와 드레인 접점 사이에, 복수의 활성 반도체 층의 최상부의 표면 상에 형성되며, 게이트는 스페이서층에 의해 덮여 있지 않다. 제1 필드 플레이트는 게이트와 일체형으로 스페이서층 상에 형성되고 스페이서층 상에서 드레인 접점쪽으로 뻗어 있다. 제2 스페이서층은 필드 플레이트 및 필드 플레이트와 드레인 접점 사이의 스페이서층의 표면을 덮고 있으며, 제2 스페이서층 상에서 게이트의 에지부로부터 드레인 접점쪽으로 뻗어 있는 제2 필드 플레이트를 더 포함한다.

[0012] 본 발명의 이들 및 다른 추가의 특징 및 이점은 첨부 도면을 참조하여 기술되어 있는 이하의 상세한 설명으로부터 당업자에게는 명백하게 될 것이다.

## 실시예

[0028] 본 발명에 따른 필드 플레이트(field plate) 구성은 많은 여러가지 트랜지스터 구조에서 사용될 수 있다. 광폭 대역갭 트랜지스터 구조는 일반적으로 활성 영역을 포함하며, 금속 소스 및 드레인 접점은 활성 영역과 전기적으로 접촉하여 형성되어 있고 게이트 접점은 활성 영역 내에서의 전계를 변조시키기 위해 소스 접점과 드레인 접점 사이에 형성되어 있다. 스페이서층(spacer layer)은 활성 영역 상부에 형성되어 있다. 스페이서층은 유전체층, 비도핑된 또는 공핍된 광폭 대역갭 에피택셜 물질 등의 에피택셜 물질의 층 또는 이들의 조합을 포함할 수 있다. 도전성 필드 플레이트는 스페이서층 상부에 형성되고 게이트 접점의 에지부로부터 드레인 접점쪽으로 거리  $L_f$ 만큼 뻗어 있다. 필드 플레이트는 게이트 접점에 전기적으로 연결될 수 있다. 이러한 필드 플레이트 구성은 장치에서의 피크 전계를 감소시킬 수 있으며, 그 결과 항복 전압(breakdown voltage)이 증가되고 포획(trapping)이 감소된다. 전계의 감소는 또한 누설 전류 감소 및 신뢰성 향상 등의 다른 이점을 가져올 수 있다.

[0029] 본 발명에 따른 필드 플레이트 구성을 이용할 수 있는 한 유형의 트랜지스터가 고 전자 이동도 트랜지스터(high electron mobility transistor, HEMT)이며, 이는 일반적으로 버퍼층 및 이 버퍼층 상의 장벽층을 포함한다. 2차원 전자 가스(two dimensional electron gas, 2DEG) 층/채널은 버퍼층과 장벽층 사이의 접합(junction)에 형성된다. 게이트 접점은 소스 접점과 드레인 접점 사이에서 장벽층 상에 형성되고, 본 발명에 따르면, 스페이서층이 적어도 게이트 접점과 드레인 접점 사이의 장벽층 상에 형성된다. 스페이서층은 또한 게이트 접점과 소스 접점 사이의 장벽층을 덮을 수 있다. 스페이서층은 게이트 접점의 형성 이전에 또는 그 이후에 형성될 수 있다. 스페이서층은 유전체층, 비도핑된 또는 공핍된 물질 III족 질화물 물질의 층, 또는 이들의 조합을 포함할 수 있다. Al, Ga 또는 In의 합금 등의 다른 III족 원소가 스페이서층에 사용될 수 있으며, 적당한 스페이서층 물질은  $Al_xGa_{1-x}N$  ( $0 \leq x \leq 1$ )이다. 도전성 필드 플레이트가 스페이서층 상부에 형성되고 게이트의 에지부로부터 드레인 접점쪽으로 거리  $L_f$ 만큼 뻗어 있다. 어떤 실시예에서, 필드 플레이트는 게이트 접점의 확장부(extension)와 동일한 증착 단계 동안에 형성된다. 다른 실시예들에서, 필드 플레이트 및 게이트 전극은 개별적인 증착 단계 동안에 형성된다. 필드 플레이트는 게이트 접점에 전기적으로 연결될 수 있다. 또다른 실시예에서, 필드 플레이트는 소스 접점에 연결될 수 있다.

[0030] 본 발명에 따른 필드 플레이트 구성을 이용할 수 있는 다른 유형의 트랜지스터는 금속 반도체 전계 효과 트랜지스터(metal semiconductor field effect transistor, MESFET)이며, 이는 일반적으로 기판 상의 버퍼층 및 버퍼층 상의 채널층을 포함하며, 버퍼층은 기판과 채널층 사이에 있다. 소스 접점은 채널층과 오믹 접촉(ohmic



contact)한 상태로 포함되고 드레인 접점도 역시 채널층과 오옴 접촉한 상태로 포함되어 있다. 소스 접점과 드레인 접점 사이의 채널층 상에 공간이 남아 있으며, 게이트는 소스 접점과 드레인 접점 사이의 채널층 상에 포함되어 있다. 스페이서층은 적어도 게이트 접점과 드레인 접점 사이의 채널층 상에 포함되어 있다. 스페이서층은 또한 게이트 접점과 소스 접점 사이의 공간을 덮을 수 있다. 필드 플레이트는 스페이서층 상에 포함되고 게이트와 전기적으로 접촉하고 있다.

[0031] HEMT 및 MESFET 둘다에 대한 이러한 필드 플레이트 구성은 필드 플레이트가 없는 장치와 비교하여 장치에서의 피크 전계를 감소시킬 수 있으며, 이 결과 항복 전압이 증가되고 포획이 감소될 수 있다. 전계의 감소는 또한 누설 전류 감소 및 신뢰성 향상 등의 다른 이점도 가져올 수 있다.

[0032] 도 1 및 도 2는 탄화규소, 사파이어, 스피넷(spinit), ZnO, 실리콘, 질화갈륨, 질화알루미늄 또는 III족 질화물 물질의 성장을 지원할 수 있는 임의의 다른 물질로 이루어질 수 있는 기판(12)을 포함하는 본 발명에 따른 질화물계 HEMT(10)의 일 실시예를 나타낸 것이다. 어떤 실시예에서, 기판(12)은 미국 노스캐롤라이나주 더럼(Durham) 소재의 Cree, Inc.로부터 상업적으로 이용가능한 반절연성(semi-insulating) 4H-SiC를 포함할 수 있다.

[0033] 핵생성층(nucleation layer)(14)은 HEMT(10)에서의 기판(12)과 그 다음 층 간의 격자 부정합을 감소시키기 위해 기판(12) 상에 형성될 수 있다. 다른 두께가 사용될 수 있지만, 핵생성층(14)은 대략 1000 옹스트롬(Å) 두께이어야 한다. 핵생성층(14)은 많은 여러가지 물질을 포함할 수 있으며, 적당한 물질은  $Al_zGa_{1-z}N$  ( $0 \leq z \leq 1$ )이다. 본 발명에 따른 일 실시예에서, 핵생성층은  $AlN(Al_zGa_{1-z}N, z=1)$ 을 포함한다. 핵생성층(14)은 금속 유기 화학 기상 증착(metal organic chemical vapor deposition, MOCVD), 고 증기압 에피택시(high vapor pressure epitaxy, HVPE) 또는 분자 빔 에피택시(molecular beam epitaxy, MBE) 등의 공지의 반도체 성장 기술을 사용하여 기판(12) 상에 형성될 수 있다. 또다른 실시예에서, 핵생성층은 버퍼층 등의 HEMT(10)에서의 다른 층의 일부로서 형성될 수 있다(아래에서 상세히 기술함).

[0034] 핵생성층(14)의 형성은 기판(12)에 사용된 물질에 의존할 수 있다. 예를 들어, 다양한 기판 상에 핵생성층(14)을 형성하는 방법은 미국 특허 제5,290,393호 및 제5,686,738호에 개시되어 있으며, 이들 각각은 여기에 인용함으로써 그 전체 내용이 본 명세서에 포함된다. 탄화규소 기판 상에 핵생성층을 형성하는 방법은 미국 특허 제5,393,993호, 제5,523,589호, 및 제5,739,554호에 개시되어 있으며, 이들 각각은 여기에 인용함으로써 그 전체 내용이 본 명세서에 포함된다.

[0035] HEMT(10)는 핵생성층(14) 상에 형성된 고 저항성 버퍼층(high resistivity buffer layer)(16)을 더 포함하며, 적당한 버퍼층(16)은  $Al_xGa_yIn_{(1-x-y)}N$  ( $0 \leq x \leq 1, 0 \leq y \leq 1, x + y \leq 1$ ) 등의 III족 질화물 물질로 이루어져 있다. 본 발명에 따른 다른 실시예에서, 버퍼층(16)은 대략  $2 \mu m$  두께인 GaN층을 포함하며, 이 층의 일부는 Fe로 도핑되어 있다.

[0036] 버퍼층(16)이 장벽층(18)과 핵생성층(14) 사이에 끼어 있도록, 장벽층(18)이 버퍼층(16) 상에 형성된다. 버퍼층(16) 및 장벽층(18) 각각은 도핑된 또는 비도핑된 III족 질화물 물질의 층을 포함할 수 있다. 장벽층(18)은 InGa<sub>1-x</sub>N, AlGa<sub>1-x</sub>N 또는 이들의 조합 등의 하나 이상의 서로 다른 물질의 층을 포함할 수 있다. 일 실시예에서, 장벽층(18)은 0.8 nm의 AlN 및 22.5 nm의  $Al_xGa_{1-x}N(x \approx 0.195)$ , 광 루미네스스(photo luminescence)로 측정됨을 포함한다. 예시적인 구조가 미국 특허 제6,316,793호, 제6,586,781호, 제6,548,333호, 및 미국 공개 특허 출원 제 2002/0167023호 및 제2003/00020092호에 예시되어 있으며, 이들 각각은 여기에 인용함으로써 그 전체 내용이 본 명세서에 포함된다. 다른 질화물계 HEMT 구조는 미국 특허 제5,192,987호 및 제5,296,395호에 예시되어 있으며, 이들 각각은 여기에 인용함으로써 그 전체 내용이 본 명세서에 포함된다. 버퍼층(16) 및 장벽층(18)은 핵생성층(14)을 성장시키는 데 사용된 동일한 방법을 사용하여 제조될 수 있다. 2차원 전자 가스(2DEG) 층/채널(17)은 버퍼층(16)과 장벽층(18) 사이의 헤테로 계면(heterointerface)에 형성된다. 장치들 간의 전기적 분리(electrical isolation)는 활성 HEMT 외부에서의 메사 에칭(mesa etch) 또는 이온 주입으로 행해진다.

[0037] 금속 소스 및 드레인 접점(20, 22)은 장벽층(18)을 통해 오옴 접촉을 이루게 형성된다. 스페이서층(24)은 소스 접점(20)과 드레인 접점(22) 사이의 장벽층(18)의 표면 상에 형성될 수 있다. 스페이서층(24)은 유전체(SiN 또는 SiO<sub>2</sub>) 등의 비전도 물질 층 또는 서로 다른 유전체 등의 다수의 서로 다른 비전도 물질 층을 포함할 수 있다. 대체 실시예에서, 스페이서층은 하나 이상의 에피택셜 물질 층을, 단독으로 또는 유전체 물질 층과 조합하여 포함할 수 있다. 스페이서층은 많은 서로 다른 두께일 수 있으며, 적당한 두께 범위는 대략 0.05 내지 0.5 미크론이다. 스페이서층(24)은 주로 필드 플레이트가 그 위에 증착될 수 있도록 구성되어 있으며, 이 필드 플레이트는

게이트(26)로부터 드레인 접점(22)쪽으로 뻗어 있다. 따라서, 본 발명에 따른 어떤 실시예에서, 스페이스층(24)은 게이트(26)와 드레인 접점(22) 사이의 장벽층(18) 표면 상에만 포함될 수 있다.

[0038] 스페이스층(24)이 소스 접점(20)과 드레인 접점(22) 사이의 장벽층(18)을 덮고 있는 실시예에서, 스페이스층(24)은 장벽층(18)까지 에칭될 수 있고 게이트 전극(26)은 게이트 전극(26)의 하부가 장벽층(18) 표면 상에 있도록 증착된다. 스페이스층(24)이 장벽층(18)의 일부분만을 덮고 있는 실시예에서, 게이트(26)는 스페이스층(24)에 인접하여 장벽층(18) 상에 증착될 수 있다. 또다른 실시예에서, 게이트(26)는 스페이스층(24) 이전에 증착될 수 있다.

[0039] 게이트 플레이트(28)는 게이트(26)의 상부가 게이트(26)의 에지부로부터 드레인(22)쪽으로 거리  $L_1$ 만큼 뻗어 있는 필드 플레이트 구조(28)를 형성하도록 게이트 전극을 형성하는 금속이 스페이스층(24)에 걸쳐 뻗어가게 패턴닝됨으로써 게이트와 일체로 형성될 수 있다. 다르게 설명하면, 스페이스층(24) 상에 있는 게이트 금속의 일부가 필드 플레이트(28)를 형성한다. 이 구조는 이어서 실리콘 질화물 등의 유전체 패시베이션층(30)으로 덮여질 수 있다. 유전체 패시베이션층(30)을 형성하는 방법은 상기 인용한 특허 및 공보에 상세히 기술되어 있다.

[0040] 게이트(26)가 적절한 레벨로 바이어스될 때, 2DEG 층/채널(17)을 통해 소스 접점(20)과 드레인 접점(22) 간에 전류가 흐를 수 있다. 소스 접점(20) 및 드레인 접점(22)은 티타늄, 알루미늄, 금 또는 니켈의 합금(이에 한정되는 것은 아님)을 비롯한 다른 물질로 이루어져 있을 수 있다. 게이트(26)도 역시 금, 니켈, 백금, 팔라듐, 이리듐, 티타늄, 크롬, 티타늄과 텅스텐의 합금, 또는 백금 실리콘사이드(이에 한정되는 것은 아님)를 비롯한 다른 물질로 이루어져 있을 수 있다. 게이트(26)는 많은 서로 다른 길이를 가질 수 있으며, 적당한 게이트 길이 범위는 0.01 내지 2 마이크로미터이다. 본 발명에 따른 일 실시예에서, 양호한 게이트 길이( $L_g$ )는 대략 0.5 마이크로미터이다. 어떤 실시예에서, 필드 플레이트(28)는 게이트(26)의 확장부와 동일한 증착 단계 동안에 형성된다. 다른 실시예들에서, 필드 플레이트(28) 및 게이트(26)는 개별적인 증착 단계 동안에 형성된다. 소스 접점(20) 및 드레인 접점(22)의 형성은 상기 인용한 특허 및 공보에 상세히 기술되어 있다.

[0041] 필드 플레이트(28)는 장벽층 상부에서 게이트(26)의 에지부로부터 다른 거리  $L_1$ 만큼 뻗어 있을 수 있으며, 적당한 거리 범위는 0.1 내지 1.5  $\mu\text{m}$ 이지만, 다른 거리도 역시 사용될 수 있다. 필드 플레이트(28)는 많은 다른 도전성 물질을 포함할 수 있으며, 적당한 물질은 게이트(26)에 사용된 것과 동일한 금속 등의 금속이다. 게이트(26) 및 필드 플레이트(28)는 표준의 금속 배선 방법을 사용하여 증착될 수 있다.

[0042] 도 3 및 도 4는 도 1 및 도 2의 HEMT(10)와 유사한 본 발명에 따른 HEMT(40)의 다른 실시예를 나타낸 것이다. 도 3 및 도 4의 HEMT(40), 그리고 이하의 도면들에서 동일 또는 유사한 특징에 대해, 도 1 및 도 2로부터의 동일 참조 번호가 사용될 것이다. HEMT(40)는 기판(12), 핵생성층(14), 버퍼층(16), 2DEG(17), 장벽층(18), 소스 접점(20) 및 드레인 접점(22)을 포함한다. 게이트(42)는 장벽층(18)의 형성 이후에 형성된다. 스페이스/패시베이션층(44)은 장치 상에, 특히 게이트(42) 및 게이트(42)와 소스 및 드레인 접점(20, 22) 사이의 장벽층(18) 표면 상부에 형성된다. 다른 실시예들에서, 스페이스/패시베이션층은 게이트(42) 및 게이트(42)와 드레인 접점(22) 사이의 장벽층(18) 표면 상부에만 포함될 수 있다. 필드 플레이트(46)가 이어서 스페이스/패시베이션층(44) 상에 형성되어, 게이트(42)와 중첩되고 또 게이트-드레인 영역에서 거리  $L_1$ 만큼 뻗어 있다. 도 3 및 도 4에 도시된 실시예에서, 스페이스/패시베이션층(44)은 필드 플레이트(46)에 대한 스페이스층으로서 역할한다. 필드 플레이트(46)의 게이트(42)와의 중첩 및 거리  $L_1$ 는 최적의 결과를 위해 변동될 수 있다.

[0043] 필드 플레이트(46)는 게이트(42)에 전기적으로 연결될 수 있고, 도 3은 사용될 수 있는 2개의 대안적인 게이트 연결 구조를 나타낸 것이지만, 다른 연결 구조도 역시 사용될 수 있음을 잘 알 것이다. 필드 플레이트(46)는 HEMT(40)의 활성 영역 밖에서 게이트(42)와의 전기적 접촉을 이루는 데 사용되는 게이트 접점(50)까지 뻗어 있는 제1 전도 경로(48)를 통해 게이트(42)에 연결될 수 있다. HEMT(40)의 활성 영역 밖에서 게이트 접점(50) 반대쪽 측면 상에 뻗어 있는 제2 전도 경로(52)(점선으로 도시됨)도 역시 사용될 수 있다. 전도 경로(52)는 게이트(42)와 필드 플레이트(46) 사이에 연결되어 있다. 도전성 비아(도시 생략)도 역시 필드 플레이트(46)를 게이트(42)에 연결하는 데 사용될 수 있으며, 각각의 비아는 패시베이션층(44)을 통해 이들 양자 사이에 뻗어 있다. 비아는 게이트(42)로부터 필드 플레이트(46)로의 효과적인 전류 확산을 제공하기 위해 필드 플레이트(46) 아래에 주기적으로 배열될 수 있다.

[0044] 도 1 및 도 2의 HEMT(10)에서와 같이, 필드 플레이트(46)는 장벽층 상부에서 게이트(42)의 에지부로부터 다른 거리  $L_1$ 만큼 뻗어 있을 수 있으며, 적당한 거리 범위는 0.1 내지 1.5  $\mu\text{m}$ 이지만, 다른 거리도 역시 사용될 수 있다.



다. 어떤 실시예들에서, 필드 플레이트(46)는 0.2 내지 1  $\mu\text{m}$ 의 거리  $L_f$ 만큼 뻗어 있을 수 있다. 다른 실시예들에서, 필드 플레이트(46)는 0.5 내지 0.9  $\mu\text{m}$ 의 거리  $L_f$ 만큼 뻗어 있을 수 있다. 양호한 실시예들에서, 필드 플레이트(46)는 대략 0.7  $\mu\text{m}$ 의 거리  $L_f$ 만큼 뻗어 있을 수 있다.

[0045] 도 5는 기관(12), 핵생성층(14), 버퍼층(16), 2DEG(17), 장벽층(18), 소스 접점(20), 및 드레인 접점(22)을 포함하는, HEMT(10, 40)에서의 특징과 유사한 많은 특징을 갖는 본 발명에 따른 HEMT(60)의 다른 실시예를 나타낸 것이다. 그렇지만, HEMT(60)는 고주파 동작에 특히 적합하게 되어 있는 감마( $\Gamma$ ) 형상의 게이트(62)를 갖는다. 게이트 길이는 장치의 속도를 결정하는 데 중요한 장치 치수 중 하나이며, 더 높은 주파수의 장치에서 게이트 길이는 더 짧다. 게이트 접점이 더 짧아지면 저항이 높아지게 되며 이는 고주파 동작에 부정적인 영향을 줄 수 있다. 고주파 동작에서 T-게이트가 통상 사용되지만, 필드 플레이트와 T-게이트의 잘 결합된 배치를 달성하는 것이 어려울 수 있다.

[0046] 감마 게이트(62)는 낮은 게이트 저항을 제공하며, 게이트 풋프린트(gate footprint)의 제어된 정의(controlled definition)를 가능하게 해준다. 감마 게이트(62) 및 감마 게이트(62)와 소스 및 드레인 접점(20, 22) 사이의 장벽층(18) 표면을 덮고 있는 스페이서/패시베이션층(64)이 포함되어 있다. 감마 게이트(62)의 수평 부분과 스페이서층의 상부 사이에 공간이 남아 있을 수 있다. HEMT(60)는 또한 스페이서층(64) 상에, 그 감마 게이트(62)와 중첩하는 필드 플레이트(66)를 포함하며, 필드 플레이트(66)는 양호하게는 감마 게이트의 측면 상에 증착되고 수평으로 돌출해 있는 부분(horizontal overhanging section)을 갖지 않는다. 이 구성은 필드 플레이트와 그 아래의 활성층 사이의 효과적인 결합 및 조밀한 배치를 가능하게 해준다.

[0047] 도 3 및 도 4에 도시되고 앞서 기술한 필드 플레이트(46)와 같이, 필드 플레이트(66)는 여러 다른 방식으로 게이트(62)에 전기적으로 연결될 수 있다. 제1 도전 경로(도시 생략)는 필드 플레이트(66)와 게이트 접점 사이에 포함될 수 있거나 제2 도전 경로(도시 생략)가 필드 플레이트(66)와 게이트(62) 사이에 포함될 수 있으며, 이들 도전 경로는 모두 HEMT의 활성 영역 밖에 있다. 스페이서층(64)을 통과하는 필드 플레이트(66)와 게이트(62) 사이의 도전성 비아도 역시 사용될 수 있다.

[0048] 도 6은 도 1에 도시된 HEMT(10)와 유사하고 또한 기관(12), 핵생성층(14), 버퍼층(16), 2DEG(17), 장벽층(18), 소스 접점(20), 드레인 접점(22), 스페이서층(24), 및 필드 플레이트 구조(28)를 갖는 게이트(26)를 포함하는, 본 발명에 따른 HEMT(80)의 다른 실시예를 나타낸 것이다. HEMT(80)는 또한 스페이서층(24) 상에 형성되어 있는 도핑된 n+ 접촉층(contact layer)(82)을 포함한다. 게이트 접점(26)의 형성 이전에, 접촉층(82)은 스페이서층(24) 표면의 일부분을 노출시키기 위해 에칭된다. 이어서, 스페이서층(24)의 더 작은 부분이 아래쪽으로 장벽층(18)까지 에칭될 수 있다. 소스 접점(20) 및 드레인 접점(22)이 증착될 수 있도록, 접촉층(82), 스페이서층(24) 및 장벽층도 역시 아래쪽으로 버퍼층(16)까지 에칭될 수 있다. 접촉층(82)은 오옴 소스 및 드레인 접점(20, 22)의 형성을 용이하게 해줄 뿐만 아니라 낮은 액세스 영역 저항(low access region resistance)도 제공한다.

[0049] 도 7은 상기한 HEMT에서의 것들과 유사한 기관(12), 핵생성층(14), 버퍼층(16), 2DEG(17), 장벽층(18), 소스 접점(20) 및 드레인 접점(22)을 갖는, 본 발명에 따른 HEMT(90)의 다른 실시예를 나타낸 것이다. HEMT(90)는 또한 게이트(92) 및 필드 플레이트(94)를 포함한다. 그렇지만, 하나의 스페이서층을 갖지 않고, HEMT(90)는 다수의 스페이서층(95)을 포함하며, 이 경우에는 2개이지만, 더 많은 스페이서층이 사용될 수 있음을 잘 알 것이다. 제1 스페이서층(96)은 적어도 게이트(92)와 드레인 접점(22) 사이의 장벽층(18) 상에 형성되며, 양호한 스페이서층은 또한 게이트(92)와 소스 접점(20) 사이의 장벽층(18) 상에도 있다. 제2 스페이서층(98)은 제1 스페이서층(96) 상에 형성되며 또 많은 다른 방식으로 배열될 수 있다. 이는 양호하게는 계단(100)을 형성하기 위해 제1 스페이서층(96)의 상부 표면 전부가 아닌 그 보다 적은 부분을 덮고 있다. 필드 플레이트(94)는 스페이서층 상에 형성되며, 계단(100)으로 인해, 필드 플레이트(94)는 기본적으로 제1 및 제2 필드 플레이트 부분(102, 104)을 포함하며, 이들 각각은 그와 장벽층(18) 간에 서로 다른 간격을 갖는다.

[0050] 제1 및 제2 스페이서층(96, 98)은 많은 다른 물질을 포함할 수 있으며, 이 층들은 일반적으로 SiN 및 SiO 등의 유전체 물질 또는 에피택셜 물질을 포함한다. 본 발명에 따른 일 실시예에서, 제1 스페이서층(96)은 에피택셜 물질일 수 있고, 제2 스페이서층(98)은 유전체 물질일 수 있다. 다른 실시예에서, 제1 스페이서층(96)은 또다시 에피택셜 물질일 수 있고, 제2 스페이서층(98)도 역시 제1 스페이서층(96)과 동일한 또는 서로 다른 물질의 에피택셜 물질일 수 있다. 제1 스페이서층(96)이 유전체 물질을 포함하고 제2 스페이서층(98)이 에피택셜층을 포함하도록 하는 것도 가능하며, 비록 사용되는 유전체 물질의 유형에 달려 있지만, 결정 구조 손실(crystal structure loss)로 인해 제2 (에피택셜) 층(98)을 형성하는 것이 어려울 수 있다. 일반적으로 에피택셜 물질을

사용할 때 다 나온 필드 플레이트 결합이 제공되지만, 에피택셜 물질에 의해 도입되는 커패시턴스는 유전체 물질의 커패시턴스보다 더 높을 수 있다.

[0051] 제1 및 제2 필드 플레이트(102, 104)를 가짐으로써, HEMT(90)는 2가지 서로 다른 전압에서 향상된 동작 특성을 나타낼 수 있으며, 제1 필드 플레이트(102)는 한 전압에서 HEMT(90)의 향상된 동작을 가능하게 해주고 제2 필드 플레이트(104)는 더 높은 제2 전압에서 향상된 동작을 가능하게 해준다. 예를 들어, 제1 스페이스층(96)이 에피택셜(일반적으로 AlGa<sub>N</sub> 또는 유사한 물질)인 HEMT(90)의 실시예에서, 제1 필드 플레이트(102) 아래의 층(96)의 물리적 치수 및 유전 상수는 동일하다. 일관성있는 치수 및 유전 상수는 제1 필드 플레이트가 제1 전압에서 향상된 HEMT(90) 동작 특성을 제공할 수 있게 해준다.

[0052] 제2 층(98)이 유전체 물질로 이루어져 있는 경우, 이는 일반적으로 제1 층(96)에서의 에피택셜 물질보다 더 낮은 유전 상수를 갖는다. 그 결과, 제2 필드 플레이트(104) 아래의 물질의 전체적인 유전 상수는 제1 필드 플레이트(102) 아래의 물질의 유전 상수보다 더 낮게 된다. 이 결과 커패시턴스가 더 낮아지게 되고 결합(coupling)이 감소된다. 유전 상수가 낮아진 것과 함께 제2 필드 플레이트(104)와 장벽층(18) 사이의 거리가 더 커진 결과, 제2 필드 플레이트(104)는 더 높은 전압에서 향상된 동작 특성을 제공한다.

[0053] 제1 및 제2 층(96, 98)이 에피택셜인 HEMT(90)의 다른 실시예에서, 제1 및 제2 필드 플레이트(102, 104) 아래의 유전 상수는 동일하게 유지되지만, 제2 필드 플레이트(104)와 장벽층(18) 간의 증가된 거리가 여전히 더 높은 전압에서 향상된 동작 특성을 제공한다. 그렇지만, 더 높은 동작 전압은 일반적으로 제2 스페이스층이 유전체 물질인 경우에서와 다르다.

[0054] 게이트(92), 필드 플레이트(102, 104) 및 스페이스층(96, 98)은 많은 다른 방식으로 형성될 수 있으며, 한 형성 방법은 제1 스페이스층(96)을 장벽층(18) 위에 증착한 다음에 게이트(92)를 위한 공간을 제공하기 위해 이 장벽층을 에칭하는 것이다. 이어서, 게이트(92)가 증착될 수 있고, 제2 스페이스층(98)이 제1 스페이스층(96) 위에 증착될 수 있다. 다른 실시예에서, 제2 스페이스층(98)이 게이트(92)의 증착 이전에 에칭될 수 있다. 다른 대안으로서, 제1 및 제2 스페이스층(96, 98)이 증착된 다음에 2번의 에칭 단계에서 에칭될 수 있고, 첫번째 에칭은 층(96, 98) 둘다를 통해 이루어지고 두번째 에칭은 제2 층(98)을 통해 이루어져 계단(100)을 형성한다. 이어서, 게이트(92)가 증착될 수 있고, 이어서 필드 플레이트(102, 104)가 제1 스페이스 및 제2 스페이스 층(96, 98) 상부에 증착될 수 있다. 다른 대안으로서, 제1 및 제2 스페이스층(96, 98)이 형성된 다음에 에칭되어, 게이트(92) 및 필드 플레이트가 하나 이상의 형성 단계로 형성될 수 있다. 또다른 실시예에서, 결과 필드 플레이트가 제1 및 제2 부분을 가지도록 계단을 제공하기 위해 에피택셜 또는 유전체 물질의 단일의 스페이스층이 에칭될 수 있다.

[0055] 본 발명의 게이트 및 필드 플레이트 구조는 상기 도 1 내지 도 7에 도시된 것 이외에 많은 다른 방식으로 사용될 수 있다. 도 8, 도 9 및 도 10은 각각 HEMT(110, 130, 140)을 나타낸 것이며, 각각의 HEMT는 전술한 HEMT에서의 것과 유사한 기관(12), 핵생성층(14), 버퍼층(16), 2DEG(17), 장벽층(18), 소스 접점(20) 및 드레인 접점(22)을 갖는다. HEMT(110)(도 8)는 그의 게이트(112)가 장벽층(18)에 함몰(recess)되어 있는 것을 제외하고는 도 1 및 도 2의 HEMT(10)와 유사하다. HEMT의 필드 플레이트(114)는 스페이스층(116) 위에 증착되고 게이트(112)로부터 드레인 접점(22)쪽으로 뻗어 있다. 필드 플레이트(114)는 HEMT(10)에서의 필드 플레이트(28)와 동일한 동작 향상을 제공한다. HEMT(130)(도 9)는 게이트(132)가 함몰되어 있는 것을 제외하고는 도 3 및 도 4에서의 HEMT(40)와 유사하다. 필드 플레이트(134)는 스페이스층(136) 위에 증착되고 동일한 동작 이점을 제공한다. 본 명세서에 기술된 HEMT는 또한 단지 부분적으로만 함몰되어 있는 게이트를 포함할 수 있다. HEMT(140)는 그의 게이트(142)가 부분적으로 함몰되어 있는 것을 제외하고는 HEMT(130)와 유사하다. 그의 필드 플레이트(144)는 스페이스층(146) 위에 증착되고 동일한 동작 이점을 제공한다.

[0056] 도 11은 기관(12), 핵생성층(14), 버퍼층(16), 2DEG(17), 장벽층(18), 소스 접점(20) 및 드레인 접점(22)을 갖는 본 발명에 따른 HEMT(150)의 다른 실시예를 나타낸 것이다. HEMT(150)는 또한 게이트(152), 스페이스층(154) 및 일체형 필드 플레이트(156)를 갖는다. HEMT(150)는 필드 플레이트(156), 스페이스층(154) 및 스페이스층(154) 상부의 게이트(152)의 일부분을 덮고 있는 제2 스페이스층(158)을 더 포함한다. 제2 필드 플레이트(159)는 제2 스페이스층(158) 위에서 일반적으로 게이트(152)로부터 드레인(22)쪽으로 뻗어 있고, 이 제2 필드 플레이트는 제2 스페이스층(158)을 통과하는 하나 이상의 비아(도시 생략)에 의해 또는 HEMT(150)의 활성 영역 밖에 형성된 하나 이상의 도전성 경로에 의해 게이트에 전기적으로 결합되어 있다. 본 발명에 따른 다른 HEMT는 부가의 스페이스층 및 필드 플레이트 쌍을 포함할 수 있으며, 하나의 부가의 쌍이 점선으로 도시되어 있다. 이 구조는 또한 유전체 패시베이션층(도시 생략)에 의해 덮여 있을 수도 있다.

- [0057] 도 3 및 도 4의 실시예에 따른 GaN계(GaN-based) HEMT 구조가 제조되고 테스트되었으며, 테스트의 결과는 도 12의 그래프(160)에 나타내어져 있다. 초기 테스트는 82V 및 4GHz의 클래스 B에서 51% PAE(Power Added Efficiency)로 동작하는 20.4 W/mm의 전력 밀도를 나타내었다. 보다 최근의 테스트는 120V 및 4GHz에서 55% PAE인 32 W/mm의 전력 밀도를 갖는 향상된 성능을 달성하였다.
- [0058] 장치 성능에 대한 필드 플레이트 거리( $L_f$ )의 효과가 테스트되었다. 필드 플레이트 길이  $L_f$ 는 0 내지 0.9 $\mu$ m의 거리에서 변동되었으며, 이어서 결과 장치의 PAE가 측정되었다. 도 12에 나타난 바와 같이, 필드 플레이트 길이가 0.5  $\mu$ m까지 뺀어간 경우 PAE는 향상을 보여주었으며, 최적의 길이는 약 0.7  $\mu$ m이다. 그렇지만, 최적의 길이는 특정의 장치 설계는 물론 동작 전압 및 주파수에 달려 있을 수 있다.
- [0059] 상기한 필드 플레이트 구성은 다른 유형의 트랜지스터에서 사용될 수 있다. 도 13은 양호하게는 탄화규소(SiC) 계인 본 발명에 따른 금속 반도체 전계 효과 트랜지스터(MESFET)(170)의 일 실시예를 나타낸 것이지만, 다른 물질계(material system)의 MESFET도 역시 사용될 수 있다. MESFET(170)은 탄화규소 기판(172)을 포함하며, 이 기판 상에 탄화규소 버퍼(174) 및 탄화규소 채널층(176)이 형성되어 있고 버퍼(174)는 채널층(176)과 기판(172) 사이에 끼어 있다. 소스 및 드레인 접점(178, 180)은 채널층(176)과 접촉하여 형성되어 있다.
- [0060] 비도전성 스페이서층(182)이 소스 접점(178)과 드레인 접점(180) 사이의 채널층(176) 상에 형성되어 있다. 도 1 및 도 2에 도시하고 상기 기술한 스페이서층(24)과 유사하게, 스페이서층(182)은 유전체 등의 비도전성 물질의 층 또는 다른 유전체 또는 에피택셜 물질 등 비도전성 물질의 다수의 다른 층을 포함할 수 있다.
- [0061] 또한, 도 1 및 도 2의 스페이서층(24)과 유사하게, 스페이서층(182)은 채널층(176)까지 에칭될 수 있고, 게이트(184)는 게이트(184)의 하부가 채널층(176)의 표면 상에 있도록 증착될 수 있다. 게이트(184)를 형성하는 금속은 게이트(184)의 상부가 게이트(184)의 에지로부터 드레인 접점(180)쪽으로 거리  $L_f$ 만큼 뺀어 있는 필드 플레이트 구조(186)를 형성하도록 스페이서층(182)에 걸쳐 뺀어 있게 패터닝될 수 있다. 마지막으로, 이 구조는 실리콘 질화물 등의 유전체 패시베이션층(188)으로 덮여질 수 있다.
- [0062] 탄화규소계 MESFET 장치의 제조는 미국 특허 제5,686,737호 및 2000년 5월 10일자로 출원된 발명의 명칭이 "탄화규소 금속-반도체 전계 효과 트랜지스터 및 탄화규소 금속-반도체 전계 효과 트랜지스터 제조 방법(Silicon Carbide Metal-Semiconductor Field Effect Transistors and Methods of Fabricating Silicon Carbide Metal-Semiconductor Field Effect Transistors)"인 미국 특허 출원 제09/567,717호에 보다 상세히 기술되어 있으며, 이들 각각은 여기에 인용함으로써 그 전체 내용이 본 명세서에 포함된다.
- [0063] 도 14는 도 12의 MESFET(170)과 유사하지만 도 3 및 도 4에 도시한 HEMT(40)에서의 것과 유사한 게이트 및 필드 플레이트 구조를 갖는 본 발명에 따른 MESFET(190)의 다른 실시예를 나타낸 것이다. MESFET(190)은 탄화규소 기판(172), 버퍼(174) 및 채널(176)을 포함한다. 이는 또한 소스 접점(178), 드레인 접점(180) 및 채널(176) 상에 증착된 게이트(192)를 포함한다. 스페이서층(194)은 게이트(192) 상부에 또 게이트(192)와 소스 및 드레인 접점(178, 180) 사이의 채널(176) 표면 상에 증착된다. 필드 플레이트(196)는 스페이서층(194) 상에 증착되고 게이트(192)와 중첩한다. 필드 플레이트(196)는 도 3 및 도 4의 HEMT(40)에서 전술한 바와 같이 도전성 경로에 의해 게이트(192)와 결합된다. 게이트 접점(도시 생략)으로의 제1 도전성 경로 또는 게이트(192)로의 제2 도전성 경로(도시 생략)를 비롯하여 많은 다른 도전성 경로가 사용될 수 있으며, 이들 양자는 MESFET 활성 영역 밖에 뺀어 있다. 필드 플레이트(196)는 또한 스페이서층(194)을 통과하는 도전성 비아(도시 생략)에 의해 게이트(192)에 결합될 수 있다.
- [0064] 상기한 HEMT에서와 같이, 본 발명에 따른 MESFET의 다른 실시예들은 함몰된 게이트를 포함할 수 있다. 도 15는 함몰된 게이트(202)를 갖는 본 발명에 따른 MESFET(200)의 일 실시예를 나타낸 것이다. 도 12 및 도 13에 도시된 MESFET(170, 190)과 유사하게, MESFET(200)은 또한 탄화규소 기판(172), 버퍼(174), 채널(176), 소스 접점(178) 및 드레인 접점(180)을 갖는다. 게이트(202)는 채널(176) 상에 증착되어 있다. 스페이서층(204)은 게이트 상부에 또 게이트(202)와 소스 및 드레인 접점(178, 180) 사이의 채널(176) 표면 상에 증착된다. 스페이서층(204)은 게이트(202)의 형상에 보다 가깝게 일치하도록 도 14의 스페이서층(194)보다 더 얇다. 게이트(202)는 채널(176)에 부분적으로 함몰되어 있으며, 필드 플레이트(206)는 스페이서층(204) 상에 증착되어, 게이트(202)와 중첩한다. 필드 플레이트(206)는 도 3 및 도 4의 HEMT에 기술된 것 등의 하나 이상의 도전성 경로에 의해 게이트(202)에 연결되어 있다.
- [0065] 또한, 본 발명에 따른 MESFET의 다른 실시예들이 도 7의 HEMT(90)에 기술된 바와 같은 다수의 스페이서층을 포함할 수 있음을 잘 알 것이다. 본 발명에 따른 어떤 실시예들에서, MESFET는 2개의 스페이서층을 계단상 구성으

로 가질 수 있지만, 3개 이상의 스페이서층이 사용될 수 있다. 이 층들은 역시 전술한 바와 같은 에피택셜 또는 유전체 물질을 포함할 수 있으며, 계단상 구성은 2개의 전압에서 개선된 동작 특성을 제공하는 2개의 필드 플레이트를 효과적으로 제공한다. 또한, 본 발명에 따른 MESFET가 도 11에 도시하고 상기 설명한 HEMT(150)에서의 것과 유사한 다수의 스페이서층 및 필드 플레이트를 포함할 수도 있음을 잘 알 것이다.

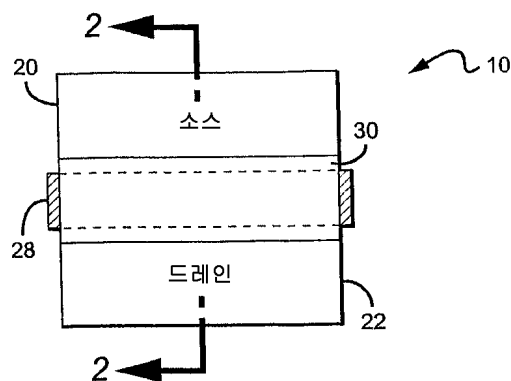
[0066] 본 발명이 몇몇 바람직한 구성을 참조하여 아주 상세히 기술되었지만, 다른 구성도 가능하다. 필드 플레이트 구성은 많은 다른 장치에서 사용될 수 있다. 필드 플레이트는 또한 많은 다른 형상을 가질 수 있으며 또 많은 다른 방식으로 소스 접점에 연결될 수 있다. 따라서, 본 발명의 정신 및 범위는 상기한 본 발명의 양호한 실시예로 한정되어서는 안된다.

### 도면의 간단한 설명

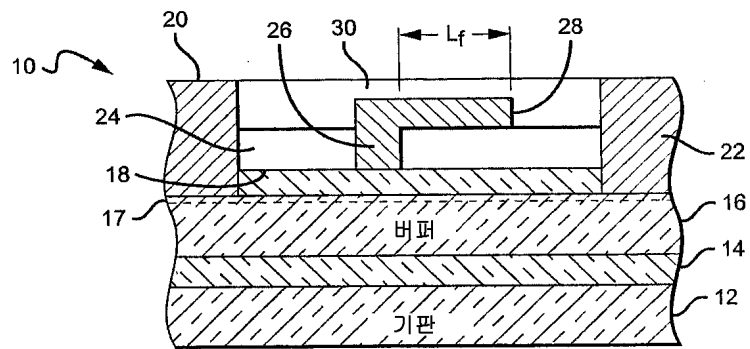
- [0013] 도 1은 본 발명에 따른 HEMT의 일 실시예의 평면도.
- [0014] 도 2는 도 1의 HEMT의 단면도.
- [0015] 도 3은 본 발명에 따른 HEMT의 다른 실시예의 평면도.
- [0016] 도 4는 도 3의 HEMT의 단면도.
- [0017] 도 5는 감마 형상의 게이트를 갖는 본 발명에 따른 HEMT의 다른 실시예의 단면도.
- [0018] 도 6은 n+ 도핑된 접촉층을 갖는 본 발명에 따른 HEMT의 다른 실시예의 단면도.
- [0019] 도 7은 다수의 스페이서층을 갖는 본 발명에 따른 HEMT의 다른 실시예의 단면도.
- [0020] 도 8은 함몰된 게이트를 갖는 본 발명에 따른 HEMT의 다른 실시예의 단면도.
- [0021] 도 9는 함몰된 게이트를 갖는 본 발명에 따른 HEMT의 다른 실시예의 단면도.
- [0022] 도 10은 함몰된 게이트를 갖는 본 발명에 따른 HEMT의 다른 실시예의 단면도.
- [0023] 도 11은 다수의 필드 플레이트를 갖는 본 발명에 따른 HEMT의 다른 실시예의 단면도.
- [0024] 도 12는 본 발명에 따라 구성된 어떤 HEMT의 성능을 나타낸 그래프.
- [0025] 도 13은 본 발명에 따른 MESFET의 일 실시예의 단면도.
- [0026] 도 14는 본 발명에 따른 MESFET의 다른 실시예의 단면도.
- [0027] 도 15는 함몰된 게이트를 갖는 본 발명에 따른 MESFET의 또다른 실시예를 나타낸 도면.

### 도면

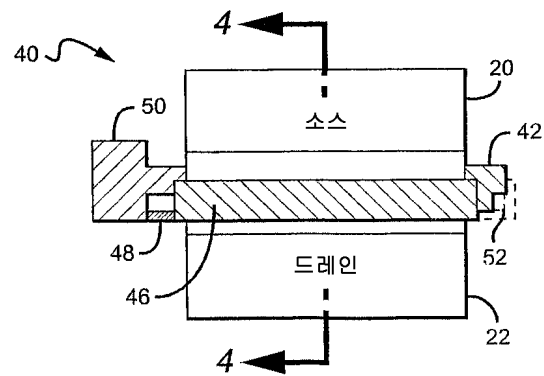
#### 도면1



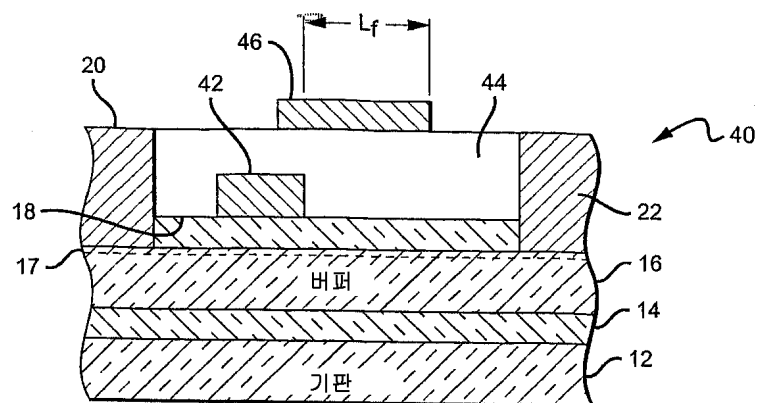
도면2



도면3

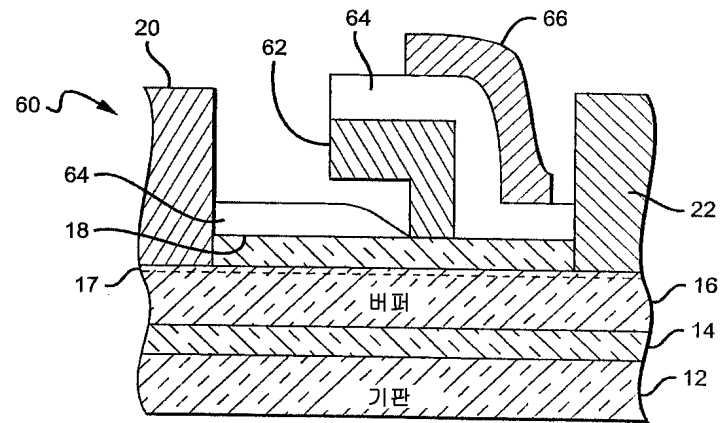


도면4

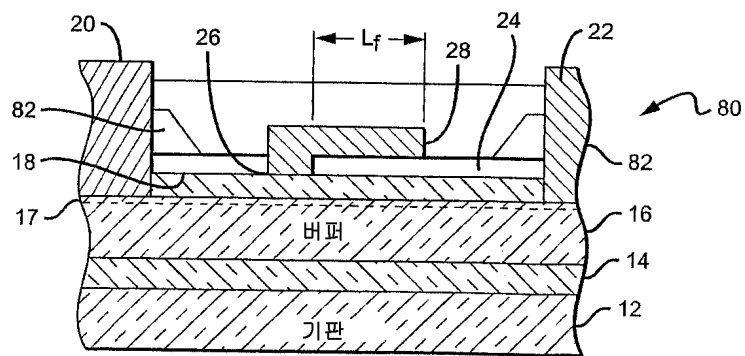




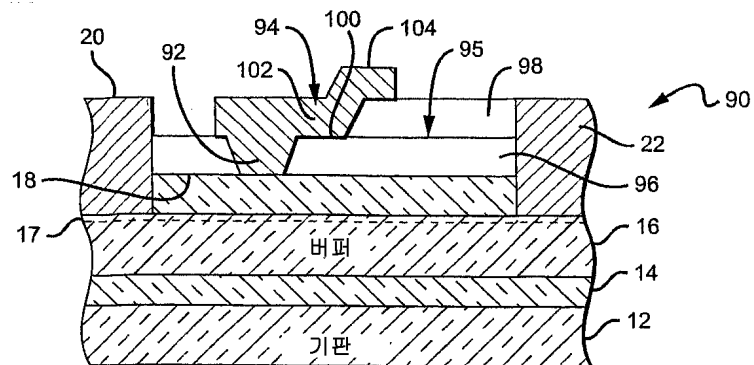
도면5



도면6

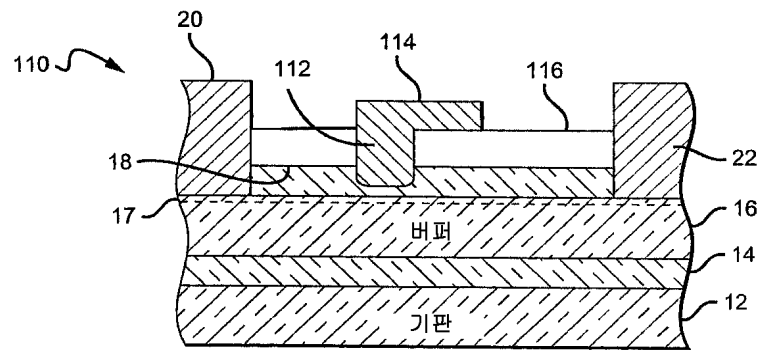


도면7

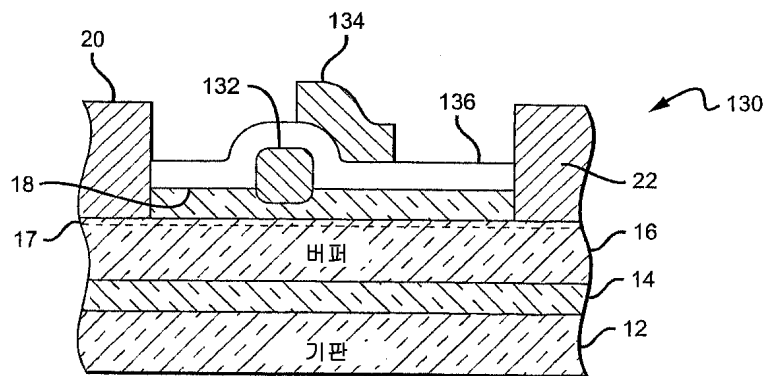




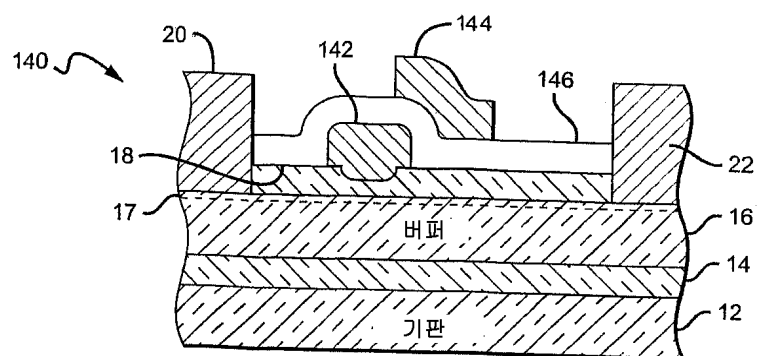
도면8



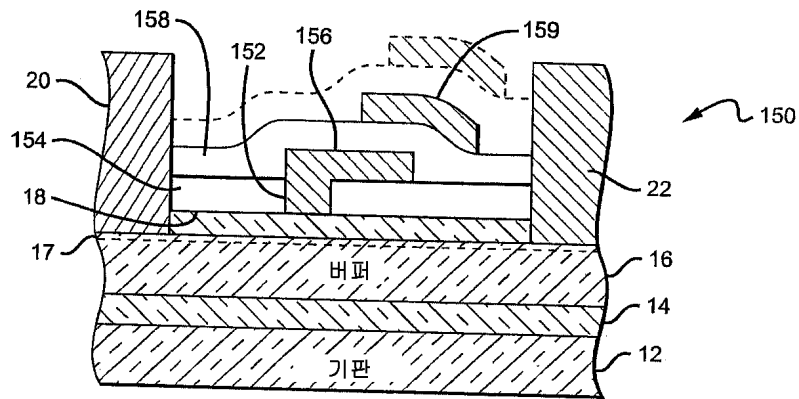
도면9



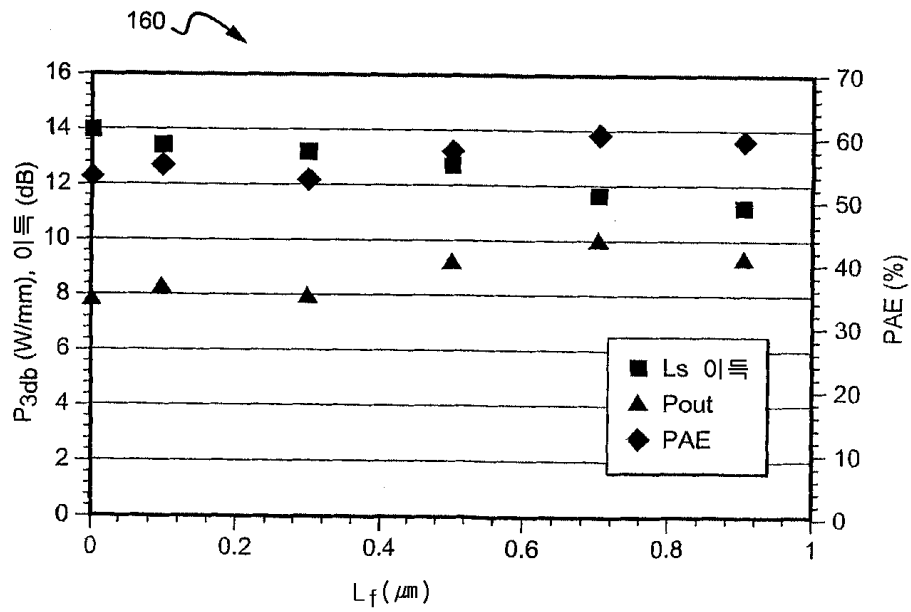
도면10



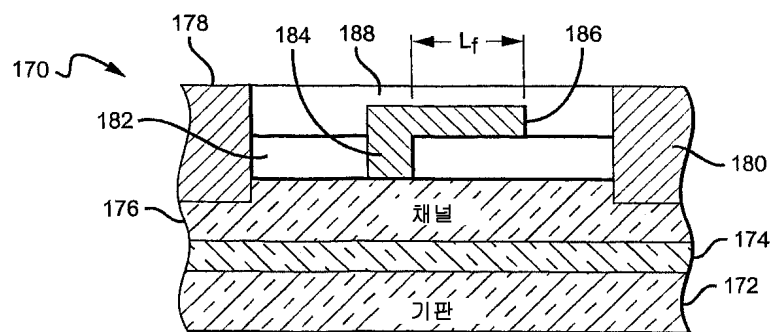
도면11



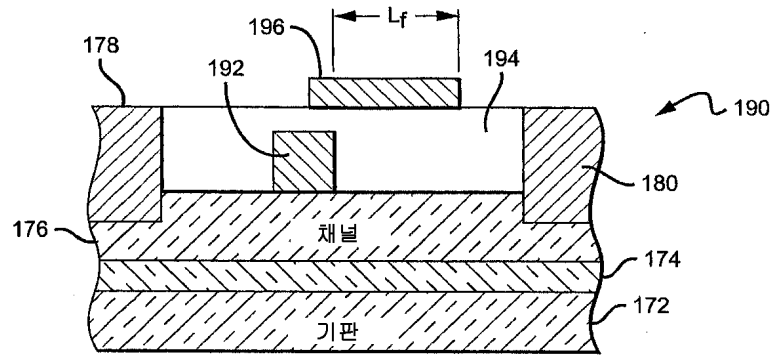
도면12



도면13



도면14



도면15

