

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：94119327

※ 申請日期：94.6.10

※IPC 分類：H01L 27/105 (2006.01)

一、發明名稱：(中文/英文)

形成奈米叢集電荷儲存裝置之方法

METHOD OF FORMING A NANOCLUSTER CHARGE STORAGE
DEVICE

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商飛思卡爾半導體公司

FREESCALE SEMICONDUCTOR, INC.

代表人：(中文/英文)

珍妮佛 B 伍艾梅特

WUAMETT, JENNIFER B.

住居所或營業所地址：(中文/英文)

美國德州奧斯丁市西帕莫路7700號

7700 WEST PARMER LANE, AUSTIN, TEXAS 78729, U.S.A.

國 籍：(中文/英文)

美國 U.S.A.

三、發明人：(共 4 人)

姓 名：(中文/英文)

1. 拉傑希 A 雷歐

HAO, RAJESH A.

2. 拉瑪琴倫 慕瑞黎赫

MURALIDHAR, RAMACHANDRAN

3. 羅伯 F 史黛莫

STEIMLE, ROBERT F.

4. 高瑞森卡 琴達羅爾

CHINDALORE, GOWRISHANKAR

國 籍：(中文/英文)

1.4.均印度 INDIA

2.3.均美國 U.S.A.

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2004年06月25日；10/876,820

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係與半導體裝置有關，且更特定言之，係與此類具有奈米叢集之裝置有關。

【先前技術】

某些裝置，例如記憶體(例如，非揮發性記憶體)，利用離散的稱作奈米叢集(例如，由矽、鋁、金或鍺製成)的電荷儲存元件將電荷儲存於電晶體之電荷儲存位置中。在某些範例中，該等奈米叢集係位於兩介電層(一底部介電質與一控制介電質)之間。此類電晶體之範例包括薄膜儲存電晶體。記憶體通常包括由此類電晶體組成之一陣列。範例性的奈米叢集類型包括摻雜及未摻雜的半導體奈米叢集，例如矽奈米晶體、鍺奈米晶體及其合金。其他範例性的奈米叢集類型包括各種導電結構，例如金屬奈米叢集(例如，金奈米叢集與鋁奈米叢集)及金屬合金奈米叢集。在某些範例中，奈米叢集之尺寸係從10至100埃。

某些具有含奈米叢集之電荷儲存電晶體之記憶體係實施於積體電路上，該等積體電路在用於對該等電荷儲存電晶體之電荷儲存位置進行充電與放電之電路中亦包括高電壓電晶體。對該等電荷儲存位置進行充電或放電係用來儲存一或多個資訊位元且可將其稱作程式化或抹除。此等高電壓電晶體通常包括一相對較厚的閘極氧化物。在嚴重氧化的條件下可形成此閘極氧化物。此氧化環境可穿透電荷儲存電晶體之控制介電質，從而不合需要地使奈米晶體氧化

且不合需要地使底部介電質之厚度增加。因此，需要一種改良的用於製造具有奈米叢集之裝置之改良方法。

【發明內容】

以下論述意欲詳細說明本發明之至少一範例且不應看成限制本發明本身。而是，可於此說明之後附申請專利範圍中適當定義的本發明之範疇內進行許多變更。

圖1至16顯示依據本發明之一第一具體實施例之包括奈米叢集之一記憶體之製造階段期間之一半導體晶圓之局部側視圖。如隨後將說明，目前所揭示的具體實施例利用一中間雙重多晶矽-氮化物控制電極堆疊，其包括一首先形成的多晶矽-氮化物結構與一其次形成的多晶矽-氮化物結構。將該其次形成的多晶矽-氮化物結構移除，同時圖案化周邊裝置之控制電極，留下首先形成的多晶矽-氮化物控制電極結構給記憶體單元裝置。該技術可保護奈米叢集氧化層之頂部部分，從而保持了此氧化層之厚度與品質。

【實施方式】

圖1顯示一半導體裝置10。半導體裝置10係一積體電路晶粒。半導體裝置10包括基板12，其係處於目前所說明的製造階段中之一完整晶圓之部分。半導體裝置10亦包括各種摻雜劑井14、18與20，其形成半導體裝置10之功能電路之部分。基板亦包括各種預形成的淺溝渠隔離結構(未顯示)以使不同裝置分開且使本文所述之井橫向分開。半導體裝置10亦包括一底部氧化層22。

摻雜劑井14、18與20可採用不同的形式。非揮發性記憶

體(non-volatile memory ; NVM)之井18形成非揮發性記憶體陣列之儲存單元電路之部分。在所述具體實施例中，NVM井18係一p井，一儲存單元陣列將駐留於其中。儘管在某些情況下，周邊裝置僅包括高電壓(high voltage ; HV)裝置(例如，電池充電/放電裝置)，但在本文所述的具體實施例中，周邊裝置可包括NVM之儲存單元陣列之外的各種裝置且可包括HV裝置、積體電路晶粒之輸入/輸出(I/O)裝置及低電壓(low voltage ; LV)裝置(例如，邏輯裝置)。高電壓(HV)井14形成用於程式化及抹除NVM陣列之單元之電路(例如，高電壓電晶體)之部分。所述HV井14係一n井。半導體裝置可在一較深的n型隔離井內替代地或額外地包括一HV p井。I/O井20形成半導體裝置10之I/O電路之部分。所述I/O井20係一n井。半導體裝置可在一較深的n型隔離井內替代地或額外地包括一I/O p井。在一具體實施例中，I/O井20係一雙重閘極氧化物(dual gate oxide ; DGO)之井。

二氧化矽層22提供一穿隧介電層。氧化層22可使用其他介電質，例如，氮氧化矽、氧化鈣、氧化鋁、氧化鎳或矽酸鎳。舉例而言，藉由氧化或化學汽相沈積在基板12上方形成介電層22。在一具體實施例中，底部介電質之厚度為5奈米，但在其他具體實施例中可為其他厚度。

參考圖2，舉例而言，藉由化學汽相沈積技術、噴霧沈積技術、旋塗技術或自組裝技術(例如，使薄膜退火以形成奈米叢集)在氧化層22上方形成一層奈米叢集24(例如，

由矽、鋁、金、鍺或矽與鍺之合金或其他類型的導電材料或摻雜或未摻雜的半導體材料製成)。在一具體實施例中，奈米叢集24係由矽奈米晶體。在將奈米叢集應用於非揮發性記憶體中之一具體實施例中，奈米叢集之平面密度為 $1 \times 10^{12} \text{ cm}^{-2}$ ，尺寸為5至7奈米。在某些具體實施例中，奈米叢集之尺寸係從10至100埃。然而，其他具體實施例中的奈米叢集可具有其他尺寸及/或其他密度。在一具體實施例中，將奈米叢集24分開的平均距離一般等於叢集之平均尺寸。該具體實施例中的平均距離係大於4奈米。儘管所示奈米叢集24具有均勻的尺寸與分佈，但在實際應用中，奈米叢集24可具有不均勻的尺寸及不均勻的分佈。奈米叢集24可用於實施半導體裝置10之非揮發性記憶體之電晶體(參見圖16)中之電荷儲存位置。

在沈積奈米叢集24之後，在奈米晶體24上方(例如藉由化學汽相沈積)形成一層介電材料(例如，二氧化矽、氮氧化矽、氧化鈣、氧化鋁、氧化鎳及矽酸鎳)以便形成一控制介電層26。在一具體實施例中，在奈米叢集上方沈積一二氧化矽層。或者，層26可使用其他介電質，例如，氮氧化矽、氧化鈣、氧化鋁、氧化鎳或矽酸鎳。在另一具體實施例中，層26可使用由二氧化矽、氮化矽與二氧化矽製成之一氧化物-氮化物-氧化物(ONO)堆疊。在一具體實施例中，介電層26之厚度為大約5至15奈米，但在其他具體實施例中，可具有其他厚度。

在某些具體實施例中，可藉由將離子(例如，矽或鍺)植

入到一層介電材料(未顯示)中、接著使該等離子退火以在該層介電材料中形成奈米晶體來形成底部介電質22、奈米叢集24及控制介電質26。在其他具體實施例中，可藉由在兩層介電材料之間再結晶一富矽氧化層以便形成該等奈米叢集來形成底部介電質22、奈米叢集24及控制介電質26。在其他具體實施例中，可將該等奈米叢集實施於位於該底部介電質上方之多層中。在其他具體實施例中，藉由沈積一層薄的非晶性奈米叢集材料(例如，1至5奈米)來形成該等奈米叢集，其中隨後採用一退火程序使所得結構退火。

參考圖3，在介電層26上方形成一摻雜的多晶矽層28。多晶矽層28之一部分將作為NVM之位元單元之一閘極電極。可就地(沈積期間)摻雜該多晶矽層或以植入方式(沈積之後)進行摻雜。可使用其他的閘極電極材料，例如金屬。在沈積閘極電極28之後，沈積一抗反射塗層(anti-reflective coating; ARC)。在所述具體實施例中，氮化矽層30提供該抗反射塗層。

參考圖4，在氮化層30上方形成一遮罩層32(例如，光阻)。遮罩層32保護NVM井18上方之閘極堆疊且使層30、28、26、24與22之部分從半導體裝置10之其他區域中曝露出來。隨後將氮化層30、多晶矽層28、介電層26與奈米叢集層24移除。隨後亦將層22之部分移除。在一具體實施例中，使用反應性離子蝕刻將層30、28、26、24與22移除。

參考圖5，將遮罩層32移除以曝露氮化物且將穿隧介電層22之曝露部分之剩餘部分移除以曝露基板。在穿隧介電

層 22 為二氧化矽的一具體實施例中，可經由一濕式蝕刻(使用稀釋的氫氟酸)來執行移除。

參考圖 6，形成高電壓裝置之氧化層 34。舉例而言，可藉由氧氣或蒸汽氧化來生長 HV 氧化層 34。一範例性的氧化層 34 係二氧化矽，其厚度在 5 與 15 奈米之間。氧化層 35 係伴隨生長於氮化層 30 上方，其通常具有更小的厚度。在此侵蝕性的氧化步驟期間，氮化層 30 作為擴散阻障並保護下方奈米叢集 24、多晶矽層 26 與穿隧介電質 22 免遭有害氧化。此氧化(若允許發生)會有害地影響 NVM 裝置之性能，因為程式化及抹除該等奈米叢集時，對介電層 22 之厚度及奈米叢集之尺寸係極敏感的。

隨後，一般邏輯電路之低電壓裝置之井 37 係藉由植入到基板 12 中來形成。在藉由一遮罩步驟使低電壓區域展現之後，實施一傳統的植入程序。HV 氧化層 34 為植入低電壓井而作為犧牲性的氧化物。通常藉由一快速熱退火程序來活化邏輯井。

在邏輯井 37 形成之後，在 HV 氧化層 34 上方形成遮罩層 36(例如，光阻)以保護 HV 裝置之井 14 上方之 HV 氧化層之部分且使該 HV 氧化層之其它部分曝露。

參考圖 7，經由一濕式蝕刻(使用稀釋的氫氟酸)將 HV 氧化層 34 之曝露部分移除。伴隨層 34 之曝露部分亦將氧化層 35 移除。在將 HV 氧化層 34 與 35 之曝露部分移除之後，亦將遮罩層 36 移除。

參考圖 8，形成 I/O 裝置之氧化層 38。儘管可使用其他方

法，但通常藉由氧氣氧化來生長氧化層38。可使用其他的氧化合物，例如， N_2O 。一範例性氧化層38係二氧化矽。I/O氧化層38一般比HV氧化層34稍薄，其厚度在4與8奈米之間。在氮化層30上方伴隨生長薄的氧化層39。在I/O氧化層38生長期間，HV氧化層34自然變厚。在此氧化步驟期間，氮化層30再次作為擴散阻障並保護下方奈米叢集24與穿隧介電質22免遭有害氧化。此氧化(若允許發生)會有害地影響NVM裝置之性能，因為程式化及抹除該等奈米叢集時，對介電層22之厚度及奈米叢集之尺寸係極敏感的。

參考圖9，在I/O氧化層38上方形成遮罩層40(例如，光阻)以保護個別HV與I/O裝置之井14與20上方之HV與I/O氧化層34與38之部分並使該I/O氧化層之其他部分曝露。接著，舉例而言，使用一濕式蝕刻(採用稀釋的氫氟酸)將I/O氧化層38之曝露部分移除。亦伴隨著將氮化層30上方薄的氧化層39移除。

參考圖10，將光阻層40從HV氧化層34與I/O氧化層38上方移除。形成低電壓(LV)氧化物42。儘管可使用其他方法，但通常藉由氧氣、 N_2O 或NO氧化來生長氧化層42。一範例性氧化層42係二氧化矽。LV氧化層42一般比HV氧化層34與I/O氧化層38稍薄，其厚度在1.5與3奈米之間。可在氮化層30上方伴隨生長一非常薄的氧化層43。在LV氧化層42生長期間，HV氧化層34與I/O氧化層38可自然變厚。在此氧化步驟期間，氮化層30再次作為擴散阻障並保護下方奈米叢集24與穿隧介電質22免遭任何進一步氧化。

參考圖 11，在基板 12 上方形成一摻雜的多晶矽層 44。在所述具體實施例中，多晶矽層 44 係沈積於 LV 氧化層 42、HV 氧化層 34、I/O 氧化層 38 及附帶的氧化層 43 上方。多晶矽層 44 之部分將作為 HV、LV 及 I/O 裝置之閘極電極。將多晶矽用作周邊及 NVM 陣列裝置之閘極電極時，兩層之厚度通常近似相等。在其他具體實施例中，具有適當厚度的不同材料可用作周邊及 NVM 陣列裝置之閘極電極。可就地(沈積期間)摻雜多晶矽層 44 或以植入方式(沈積之後)進行摻雜。可使用其他的閘極電極材料，例如金屬。在沈積閘極電極 44 之後，沈積一抗反射塗層(ARC)。在所述具體實施例中，氮化矽層 46 提供該抗反射塗層。

參考圖 12，在周邊裝置上方之氮化層 46 上形成遮罩層 48(例如，光阻)且該遮罩層 48 係用來圖案化此類裝置之閘極，此後使用例如一各向異性的電漿蝕刻將層 44 與 46 之曝露部分移除。在此閘極圖案化步驟期間，將覆蓋 NVM 區域之多晶矽層 44 與氮化層 46 之部分移除，而使 LV、HV 與 I/O 裝置之閘極電極(例如，層 44 之部分)保留下來。針對層 43 與 30 使用一選擇性的反應性離子蝕刻將用作閘極電極材料之層 44 與 ARC 層 46 從 NVM 陣列區域上方實質上完全移除，而同時圖案化 I/O、HV 與 LV 裝置之閘極電極。

參考圖 13，將遮罩層 48 移除。在與 HV 井 14、I/O 井 20 及 LV 井 37 對應之周邊裝置之區域及其他區域上方形成一遮罩層 50(例如，光阻)。該遮罩層係用來圖案化 NVM 陣列裝置之閘極電極且保護半導體裝置 10 之周邊部分。

參考圖 14，將藉由遮罩層 50 所曝露之層之不同部分移除(例如，經由非選擇性、各向異性、定時、電漿蝕刻)。例如，將薄的氧化層 43、氮化 ARC 層 30、閘極電極層 28、控制介電質 26 及奈米叢集層 24 之曝露部分移除。亦將穿隧介電層 22 之部分移除。

參考圖 15，將遮罩層 50 移除。藉由使用濕式蝕刻程序將低電壓氧化層 42、高電壓氧化層 34、NVM 之穿隧介電質 22 及 I/O 氧化層 38 之任何剩餘的曝露部分移除。亦將 NVM ARC 層 30 上方之極薄的氧化物 43 移除。在所有氧化層 34、38 與 42 均係二氧化矽之一具體實施例中，可為此目的採用一濕式清潔程序(使用稀釋的氫氟酸)。

參考圖 16，完成 NVM 單元及周邊裝置。在如圖 15 所示形成所有閘極電極之後，使用標準的 CMOS 處理技術來形成源極/汲極擴展部分、側壁間隔物及源極/汲極區域。如所述，60 與 62 表示一 HV 裝置之源極/汲極區域與擴展部分、64 與 66 表示一 NVM 單元之源極/汲極區域與擴展部分、68 與 70 表示一 I/O 裝置之源極/汲極區域與擴展部分，且 72 與 74 表示一 LV 裝置之源極/汲極區域與擴展部分。側壁間隔物 52 對應於 HV 裝置、側壁間隔物 54 對應於 NVM 單元裝置、側壁間隔物 56 對應於 I/O 裝置，且側壁間隔物 58 對應於 LV 裝置。

在另一具體實施例中，在如圖 10 所示形成 LV 氧化物 42 之後，可如圖 17 所示在基板 12 上方形成一摻雜的多晶矽層 44。在所述具體實施例中，多晶矽層 44 係沈積於 LV 氧化層

42、HV氧化層34、I/O氧化層38及附帶的氧化層43上方。多晶矽層44之部分將作為HV、LV與I/O裝置之閘極電極。在此具體實施例中，在此階段中不需要抗反射塗層(ARC)，因為隨後的蝕刻係針對大的區域而不針對關鍵尺寸。

參考圖18，在HV、I/O與LV區域上方形成一遮罩層80(例如，光阻)且使其圖案化，且曝露NVM之井區域。在圖19中，舉例而言，使用一乾式蝕刻、一濕式蝕刻或其組合，對NVM區域上方之多晶矽層44、薄的氧化層43及氮化層30進行蝕刻。在一具體實施例中，偵測到正在蝕刻之材料之化學特性改變時就停止蝕刻。在圖20中，將遮罩層80移除(例如，經由電漿灰化程序或採用piranha溶液進行阻劑剝離)，且將一ARC層82保形地沈積於多晶矽層44與28上方。在所述具體實施例中，使用氮化矽來提供該抗反射塗層。在圖21中，在HV、I/O、LV與NVM區域上方形成遮罩層84。在圖22中，執行一乾式蝕刻以移除ARC層82及下方的多晶矽層44與28，從而曝露介電層26、34、38與42。在圖23中，將遮罩層84移除(例如，如以上關於遮罩層80所述)，且藉由移除(例如，蝕刻)介電層26、34、38與42及層24之曝露部分來連續形成該等閘極電極。移除ARC層82之後，以如上關於圖16所述之類似方式繼續進行處理。此替代具體實施例之優點在於，兩遮罩中僅一遮罩具有提供成本與製造優點之關鍵尺寸。

以上描述意欲說明本發明之至少一具體實施例。以上描

述並非意欲定義本發明之範疇。而是在以下的申請專利範圍中定義本發明之範疇。因而，本發明之其他具體實施例包括以上描述之其他變更、修改、添加及/或改善。

在一具體實施例中，提供一種形成一奈米叢集電荷儲存裝置之方法。提供一基板。該基板具有與該奈米叢集電荷儲存裝置關聯之一第一摻雜劑井及與並不具有奈米叢集之一半導體裝置關聯之一第二摻雜劑井。形成覆蓋該第一摻雜劑井且具有一第一導電閘極材料層之一第一閘極堆疊，該第一導電閘極材料層形成該第一閘極堆疊中之一閘極電極。該第一導電閘極材料層覆蓋一第一閘極介電層中所嵌入之複數個奈米叢集。該第一導電閘極材料層位於一第二導電閘極材料層之一部分下方。使用該第二導電閘極材料層之一部分形成覆蓋該第二摻雜劑井之一第二閘極堆疊，該第二導電閘極材料層之該部分覆蓋該第二摻雜劑井且用作該第二閘極堆疊中之一閘極電極。將覆蓋該第一導電閘極材料層之該第二導電閘極材料層之一部分移除。

在另一形成方法中，藉由遮罩遠離該第一摻雜劑井之所有區域並選擇性蝕刻該第二導電閘極材料層將覆蓋該第一導電閘極材料層之該第二導電閘極材料層之該部分移除。在另一具體實施例中，使用摻雜的多晶矽、金屬或金屬合金來形成該第一導電閘極材料層與該第二導電閘極材料層。在另一具體實施例中，採用不同於該第二導電閘極材料層之一材料來實施該第一導電閘極材料層。

在另一具體實施例中，藉由形成覆蓋該奈米叢集層並圍

繞該奈米叢集層之一閘極氧化層與一第二閘極氧化層來形成該第一閘極介電層。所形成的該第一閘極介電質與該第一導電閘極材料層係覆蓋該第一摻雜劑井與該第二摻雜劑井。使用濕式蝕刻與乾式蝕刻之組合，從覆蓋該第一導電閘極材料層之該第二摻雜劑井之區域開始選擇性蝕刻該第一閘極介電層與該奈米叢集層。

在另一具體實施例中，藉由形成一第二閘極介電層與覆蓋該第二摻雜劑井之一部分之該第二導電閘極材料層來形成該第二閘極堆疊。該第二導電閘極材料層覆蓋該第二閘極介電層。在另一具體實施例中，該第二閘極介電層係由二氧化矽或氮氧化矽形成。

在另一具體實施例中，在該第一閘極堆疊中形成一氮化層，其覆蓋該第一導電閘極材料且係在該第一導電閘極材料之一部分與該第二導電閘極材料之間。形成覆蓋該氮化層且與其實體接觸之一氧化層。移除該第二導電閘極材料時，該氮化層與氧化層用作一蝕刻停止層。在該第一閘極堆疊中形成該閘極電極時，該氮化層亦用作一抗反射塗層。

在另一具體實施例中，該第一閘極介電層係由含鉛、鋇、鋁與矽之至少一者之化合物之氧化物或氮氧化物形成。

在另一具體實施例中，藉由形成一層摻雜或未摻雜的半導體奈米晶體、金屬奈米晶體、由兩或更多摻雜或未摻雜的半導體形成之奈米晶體或金屬合金奈米晶體來形成覆蓋

該第一摻雜劑井與該第二摻雜劑井之該第一閘極介電層中所嵌入之該複數個奈米叢集。

在另一具體實施例中，在該第一閘極堆疊周圍且在該第一摻雜劑井內部形成一第一源極與一第一汲極以使該電荷儲存裝置形成為一非揮發性記憶體(NVM)之電晶體。在該第二閘極堆疊周圍且在該第二摻雜劑井內部形成一第二源極與一第二汲極以形成一周邊電晶體。

在另一具體實施例中，由該第二閘極堆疊形成一半導體裝置。該半導體裝置能使該奈米叢集電荷儲存裝置充電及放電。

在另一具體實施例中，一種方法包括以下步驟：提供一基板；在該基板中形成一第一摻雜劑井與一第二摻雜劑井；形成覆蓋該第一摻雜劑井與該第二摻雜劑井之一第一閘極介電質中所嵌入之一層奈米叢集；形成覆蓋該層奈米叢集之一第一導電閘極材料層；形成覆蓋該第一導電閘極材料層之一氮化層；藉由圖案化該氮化層、該第一導電閘極材料層及該層奈米叢集並將其從並不覆蓋該第一摻雜劑井之區域中移除而形成覆蓋該第一摻雜劑井之一儲存堆疊；形成覆蓋該第二摻雜劑井之一第二閘極介電質，該第二閘極介電質不具有奈米叢集；形成覆蓋該第二閘極介電質與該儲存堆疊之一第二導電閘極材料層；形成覆蓋該第二導電閘極材料層之一抗反射塗層；圖案化該第二導電閘極材料層以形成將該第二導電閘極材料層用作其一閘極電極之一第一閘極堆疊，同時將該第二導電閘極材料層從該

儲存堆疊中移除；及藉由移除該儲存堆疊之一部分形成覆蓋該第一摻雜劑井之一第二閘極堆疊，該第二閘極堆疊將該第一導電閘極材料層用作具有奈米叢集之一電荷儲存裝置之一閘極電極。

在另一具體實施例中，該方法進一步包括以下步驟：在該第一閘極堆疊周圍且在該第二摻雜劑井內部形成一第一源極與一第一汲極以形成一電晶體；及在該第二閘極堆疊周圍且在該第一摻雜劑井內部形成一第二源極與一第二汲極以完成該電荷儲存裝置之形成。

在另一具體實施例中，該方法進一步包括由摻雜的多晶矽、金屬或金屬合金形成該第一導電閘極材料層之步驟。

在另一具體實施例中，該方法進一步包括由摻雜的多晶矽、金屬或金屬合金形成該第二導電閘極材料層(44)之步驟。

在另一具體實施例中，該方法進一步包括，藉由形成一層摻雜或未摻雜的半導體奈米晶體、金屬奈米晶體、由兩或更多摻雜或未摻雜的半導體形成之奈米晶體或金屬合金奈米晶體，來形成覆蓋該第一摻雜劑井與該第二摻雜劑井之該第一閘極介電質中所嵌入之該層奈米叢集之步驟。

在另一具體實施例中，該方法進一步包括由含鉛、鋁、鋁與矽之至少一者之化合物之氧化物或氮氧化物形成該第一閘極介電質之步驟。

在另一具體實施例中，該方法進一步包括由二氧化矽與氮氧化矽形成該第二閘極介電質之步驟。

在另一具體實施例中，一種形成一奈米叢集電荷儲存裝置之方法包括以下步驟：提供一基板，其具有與該奈米叢集電荷儲存裝置關聯之一記憶體摻雜劑井及與不具有奈米叢集之一半導體裝置關聯之一周邊摻雜劑井；形成覆蓋該記憶體摻雜劑井之一第一閘極介電質中所嵌入之一層奈米叢集；形成覆蓋該層奈米叢集之一第一閘極材料層；圖案化該層奈米叢集及該第一閘極材料層以僅覆蓋該記憶體摻雜劑井而存在；在形成該第一閘極材料層之後，形成覆蓋該周邊摻雜劑井且亦覆蓋該層奈米叢集與該第一閘極材料層之一第二閘極材料層；藉由將該第二閘極材料層從不同於覆蓋該周邊摻雜劑井之一預定周邊區域之區域中移除而形成一周邊裝置之閘極堆疊；及隨後藉由圖案化覆蓋該記憶體摻雜劑井之該層奈米叢集及該第一閘極材料層而形成一奈米叢集電荷儲存裝置之閘極堆疊，其中在形成該周邊裝置之閘極堆疊之後形成該電荷儲存裝置之閘極堆疊，即使在該第二閘極材料層之前形成該第一閘極材料層。

在另一具體實施例中，該方法進一步包括，為在移除覆蓋該第一閘極材料層之該第二閘極材料層期間偵測終點，而形成直接覆蓋該第一閘極材料層之一蝕刻停止層之步驟。

在另一具體實施例中，一種形成一奈米叢集電荷儲存裝置之方法包括：提供一基板，其具有與該奈米叢集電荷儲存裝置關聯之一記憶體摻雜劑井及與不具有奈米叢集之一半導體裝置關聯之一周邊摻雜劑井；形成覆蓋該記憶體摻

雜劑井之一第一閘極介電質中所嵌入之一層奈米叢集；形成覆蓋該層奈米叢集之一第一閘極材料層；圖案化該層奈米叢集及該第一閘極材料層以僅覆蓋該記憶體摻雜劑井而存在；在形成該第一閘極材料層之後，形成覆蓋該周邊摻雜劑井且亦覆蓋該層奈米叢集與該第一閘極材料層之一第二閘極材料層；將該第二閘極材料層從不同於覆蓋該周邊摻雜劑井之一預定周邊區域之區域中移除；及使用一遮罩在一實質上相同的時刻選擇性形成一周邊裝置之閘極堆疊與一奈米叢集電荷儲存閘極。

本文所述的許多裝置在概念上可具有一控制端子，其控制一第一電流處理端子與一第二電流處理端子之間之電流流動。該裝置之一範例係電晶體。在電晶體之控制端子上施加一適當的條件可使電流從該第一電流處理端子流至該第二電流處理端子及從該第二電流處理端子流至該第一電流處理端子。此外，儘管所述場效電晶體(field effect transistor; FET)經常具有一汲極、一閘極及一源極，但在大多數此類裝置中，汲極可與源極互換。此係由於電晶體之佈局與半導體處理經常係對稱的。

因為上述說明係範例性的，所以在說明「一具體實施例」時，其係一範例性的具體實施例。因此，此上下文中所使用的措辭「一」並非表示僅一具體實施例可具有所述特徵。而是，其他許多具體實施例可以(且經常確實)具有範例性之「一具體實施例」所述特徵。因而，如上所使用，當採用一具體實施例來說明本發明時，此一具體實施

例係本發明之許多可能的具體實施例之一。

儘管以上說明了與詳細說明中之措辭「一具體實施例」之使用有關的注意點，但熟習此項技術者應明白，若於以下申請專利範圍中意欲使用一納入申請專利範圍之元件之特定數目，則會在申請專利範圍中明確地陳述該意圖，若無此類陳述，則不存在或無意施加此類限制。例如，在以下申請專利範圍中，當所述申請專利範圍之一元件具有「一」特徵時，其意欲使該元件僅限於具有該所述特徵之一元件。此外，在以下申請專利範圍中，當所述申請專利範圍之一元件包括或包含「一」特徵時，其並非意欲使該元件僅限於具有該所述特徵之一元件。而是，舉例而言，該申請專利範圍包括「一」特徵應理解成一設備或方法包括一或多個正在談論之特徵。即，因為正在談論之設備或方法包括一特徵，所以該申請專利範圍應理解成，不論該設備或方法是否包括另一此類類似特徵，其均包括一正在談論之特徵。申請者在本文中採用措辭「一」並將其用作申請專利範圍之一特徵之一非限制性、介紹性的冠詞，係說明其與過去許多法院中所採用的解釋相同，儘管可找到與此相反的任何反常或先例性的案例法。類似地，在以下申請專利範圍中，當所述申請專利範圍之一元件包括或包含一上述特徵(例如，「該」特徵)時，其意欲使該元件不僅僅限於具有附帶使用定冠詞所述之特徵之一元件。

此外，在申請專利範圍中使用介紹性辭令，例如「至少一」與「一或多個」，不應理解成其意味著，藉由不定冠

詞「一」介紹另一申請專利範圍元件可將包含此類介紹性申請專利範圍元件之任何特定的申請專利範圍限制成僅包含一此類元件之發明，即使在相同申請專利範圍包括該等介紹性辭令「一或多個」或「至少一」及不定冠詞(例如，「一」)時。使用定冠詞亦如此。

依據本文之原理，熟習此項技術者可容易地實施提供本文所揭示結構與方法所必需之步驟，且應明白，程序參數、材料、尺寸及步驟順序係僅以範例方式給出且可對其加以變更以獲得所需結構並可對其進行屬於本發明之範疇內之修改。可依據本文所述說明變更及修改本文所揭示的具體實施例，而不會背離以下申請專利範圍中所述的本發明之精神與範疇。

雖然已顯示並說明本發明之特定具體實施例，但熟習此項技術者應明白，依據本文之原理，可使用各種修改、替代構造及等效物而不會背離本文所述的本發明之申請專利範圍。因此，隨附申請專利範圍將所有此類變化、修改等包含於其範疇內，如同屬於本發明之真正的精神與範疇內。此外，應明白本發明僅由隨附之申請專利範圍定義。以上說明並未包攬無遺地呈現本發明之具體實施例。除非明確陳述，否則本文所呈現的每一範例僅為一非限制性或非排他性的範例，無論該等非限制性或非排他性或類似術語是否與每一範例一起同時得以表述。儘管試圖概述某些範例性具體實施例及其範例性變更，但如以下申請專利範圍中所定義，其他具體實施例及/或變更亦屬於本發明之

範疇內。

【圖式簡單說明】

藉由參考隨附圖式，熟習此項技術者可更佳理解本發明且可明白其許多目的、特徵及優點。

圖式中的圖1至16說明依據本發明之一第一具體實施例之一積體電路之不同製造階段期間之一半導體裝置之一系列局部側視圖。

圖式中的圖1至10與16至23說明依據本發明之一第二具體實施例之一積體電路之不同製造階段期間之一半導體裝置之一系列局部側視圖。

不同圖式中的相同參考編號標示類似或同一項目。熟習此項技術者應瞭解，為了簡潔及清楚起見，圖中的元件不一定按比例繪製。例如，為了有助於改進對本發明之具體實施例的瞭解，圖式中的某些元件可相對於其他元件而加以誇大。

【主要元件符號說明】

10	半導體裝置
12	基板
14	摻雜劑井
18	摻雜劑井
20	摻雜劑井
22	介電層
24	奈米叢集
26	控制介電層

28	多晶矽層
30	氮化層
32	遮罩層
34	高電壓裝置之層
35	氧化層
36	遮罩層
37	低電壓裝置之井
38	I/O裝置之氧化層
39	薄的氧化層
40	光阻層；遮罩層
42	低電壓氧化物；氧化層
43	氧化層
44	多晶矽層
46	氮化矽層
48	遮罩層
50	遮罩層
52	側壁間隔物
54	側壁間隔物
56	側壁間隔物
58	側壁間隔物
60	源極/汲極區域
62	源極/汲極區域
64	源極/汲極區域
66	源極/汲極區域

68	源極/汲極區域
70	源極/汲極區域
72	源極/汲極區域
74	源極/汲極區域
80	遮罩層
82	抗反射塗層
84	遮罩層

五、中文發明摘要：

本發明揭示一種形成奈米叢集電荷儲存裝置之方法。藉由使用一覆蓋奈米叢集(24)的中間雙重多晶矽-氮化物控制電極堆疊來形成複數個記憶體單元裝置。該堆疊包括一首先形成的多晶矽-氮化物層(126)及一其次形成的含多晶矽之層(28)。將該其次形成的含多晶矽之層從包含該複數個記憶體單元之區域中移除。在一形成方法中，該其次形成的含多晶矽之層亦包含一氮化物部分，亦將該氮化物部分移除，從而留下該首先形成的多晶矽-氮化物層來形成該等記憶體單元裝置。在另一形成方法中，該其次形成的含多晶矽之層並不包含氮化物且亦將該首先形成的多晶矽-氮化物層之一氮化物部分移除。在後者形成方法中，在剩餘的多晶矽層(28)上方形成一隨後的氮化物層(30)。在兩形成方法中，該裝置之一頂部部分均受保護以免氧化，從而保持了下方奈米叢集之尺寸與品質。該等記憶體單元裝置周邊之裝置之閘極電極亦使用該其次形成的含多晶矽之層。

六、英文發明摘要：

十一、圖式：

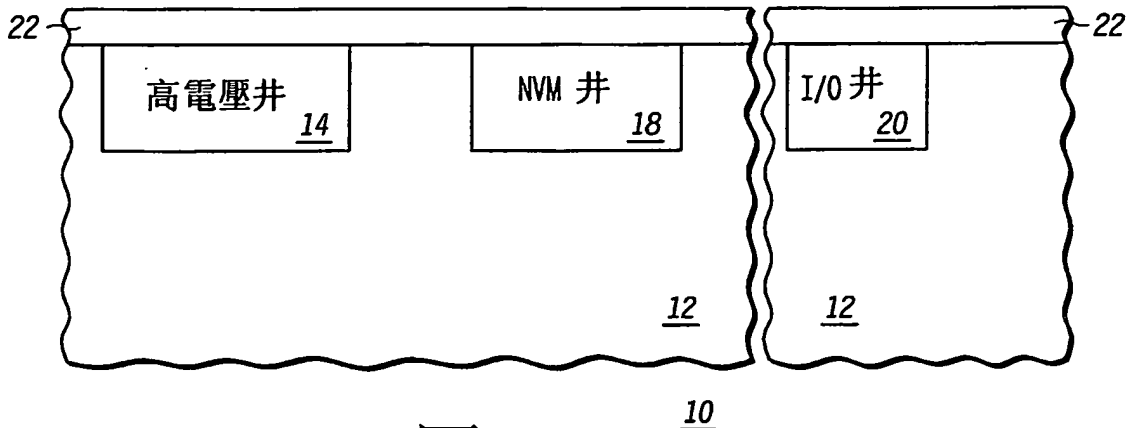


圖1

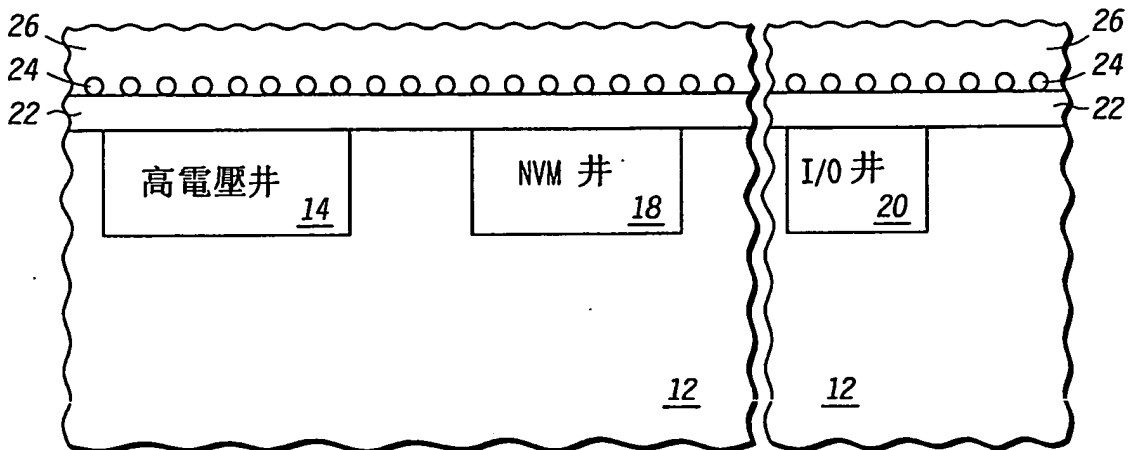


圖2

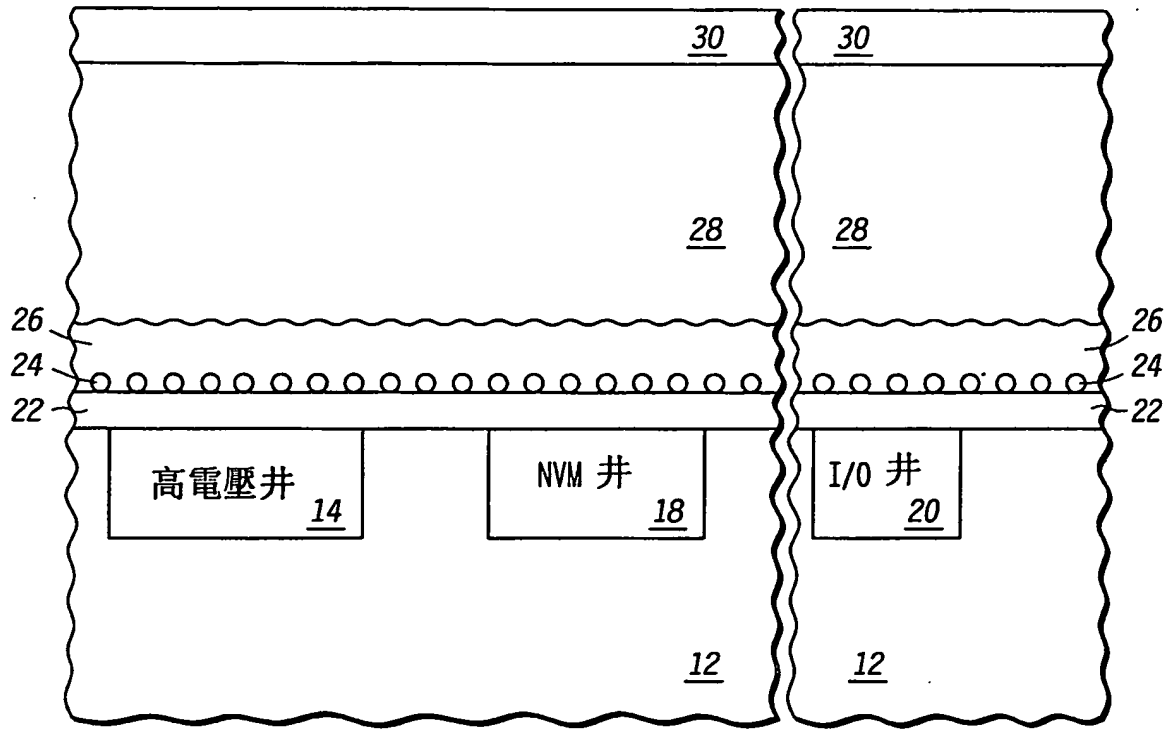


圖3 10

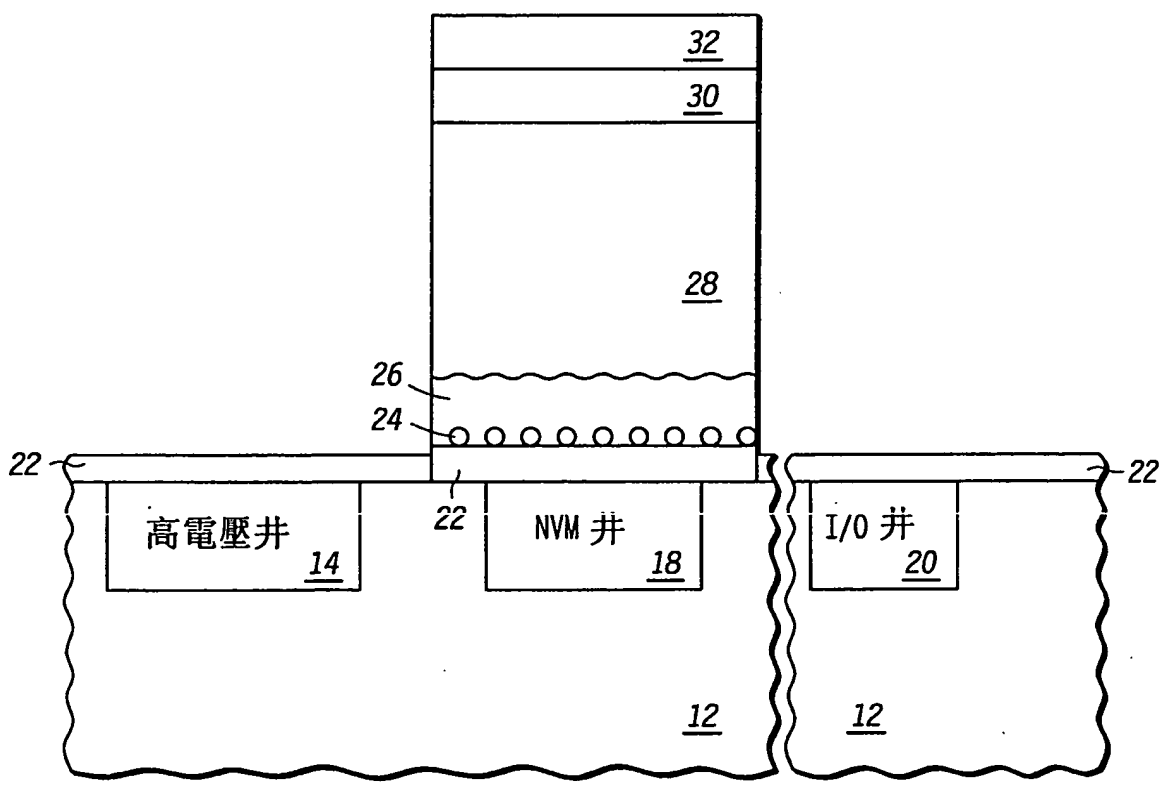


圖4 10

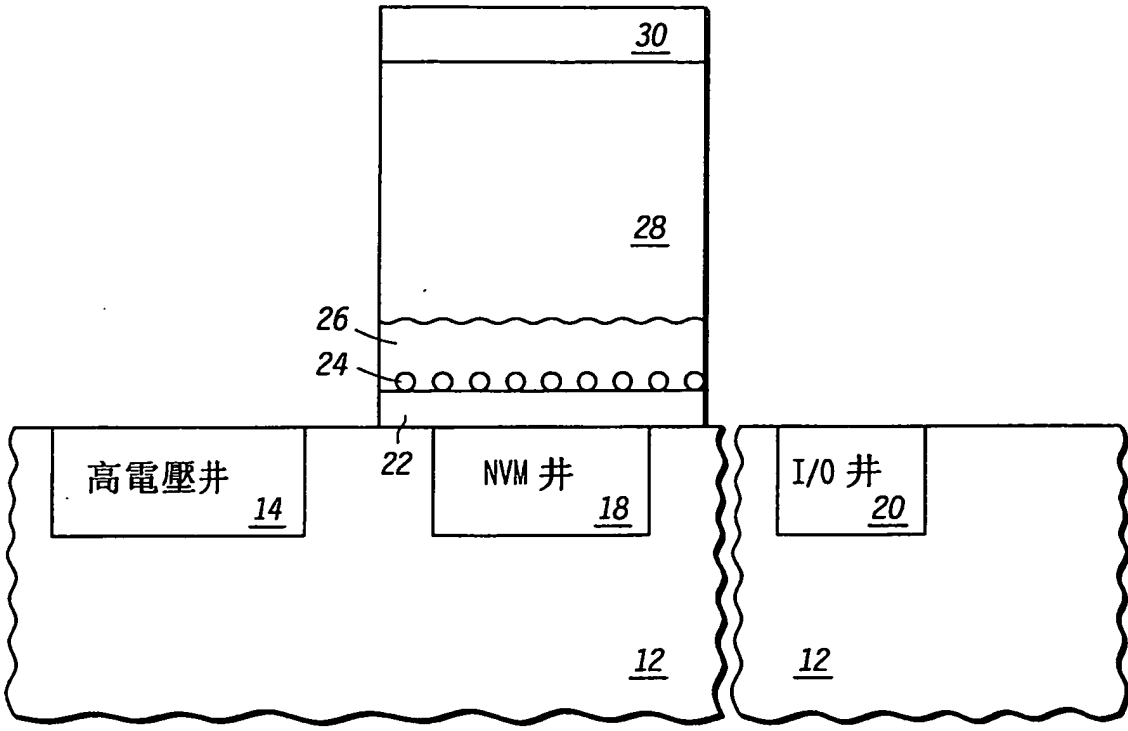


圖5 10

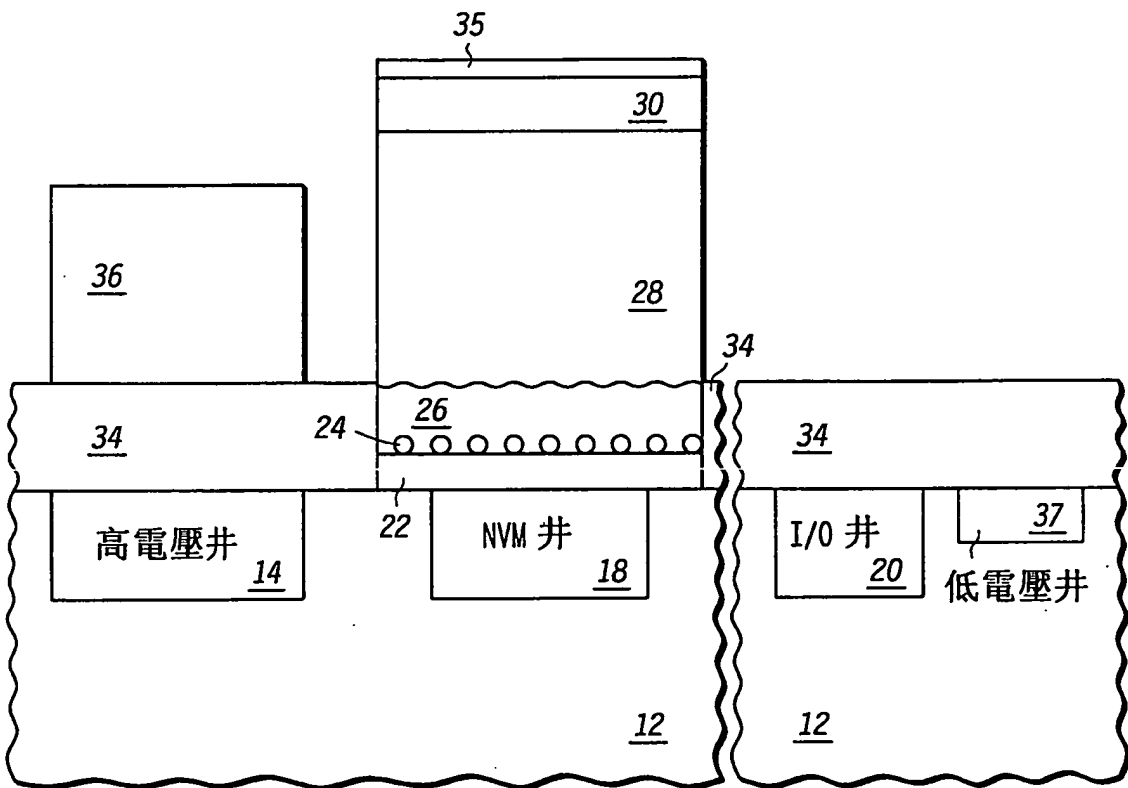


圖6 10

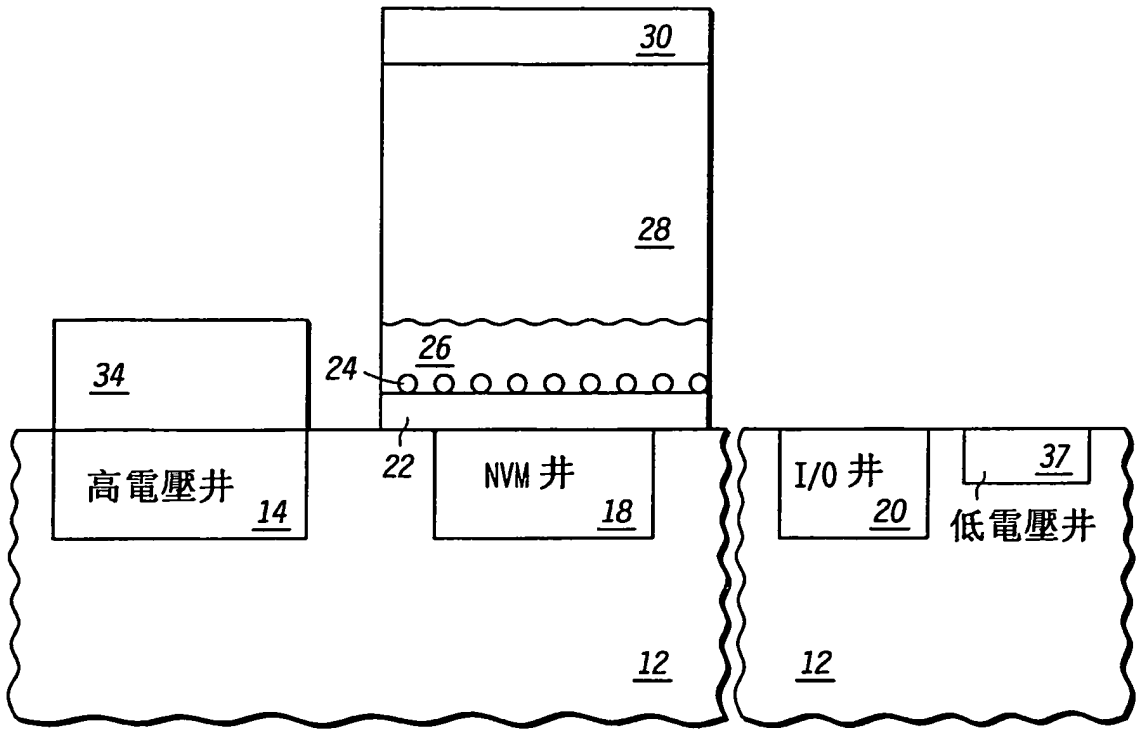


圖 7 10

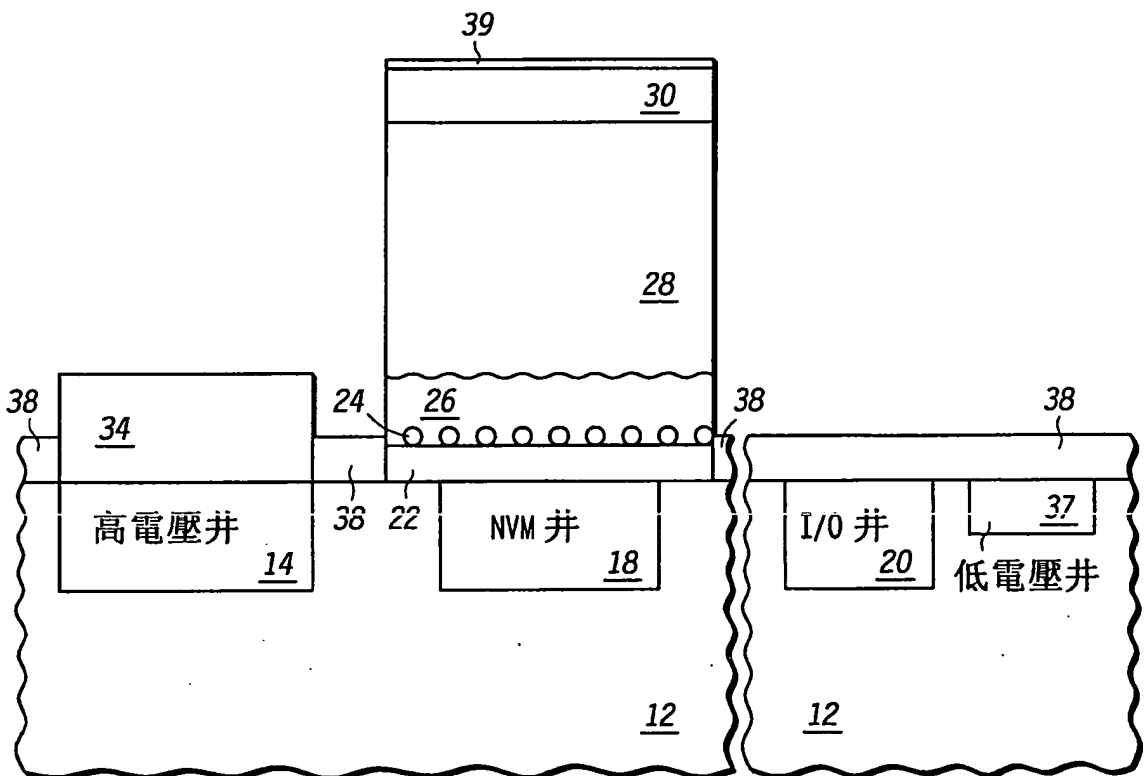


圖 8 10

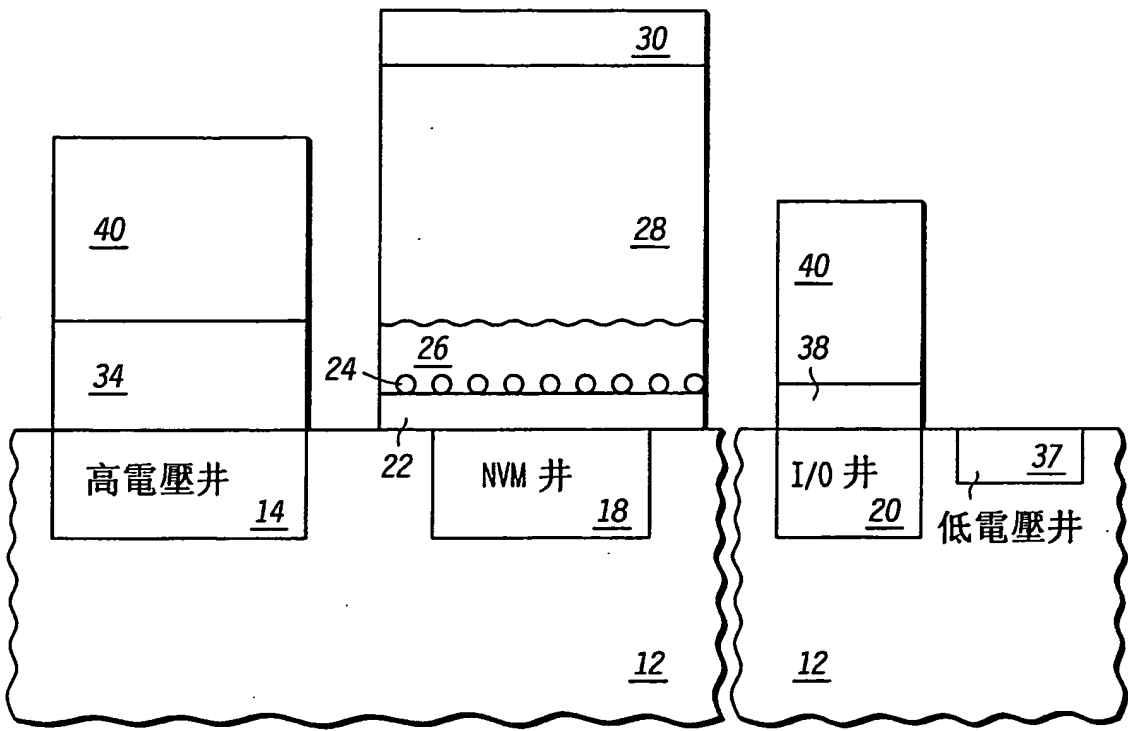


圖9 10

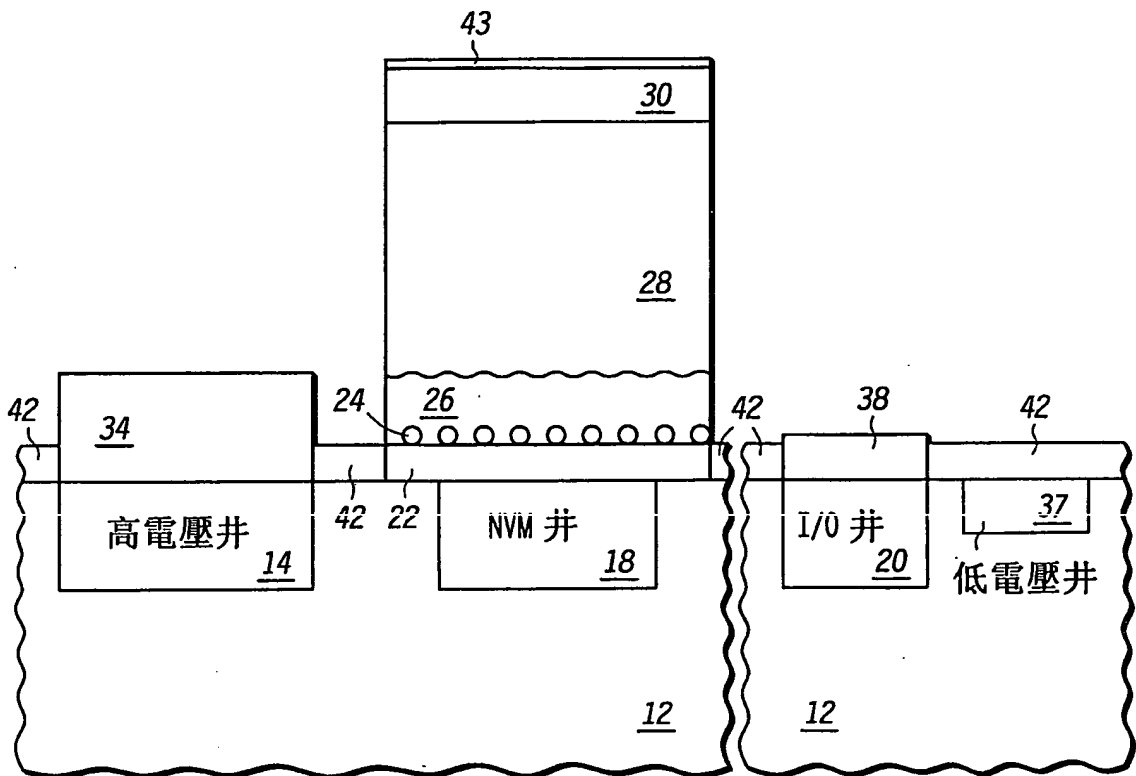


圖10 10

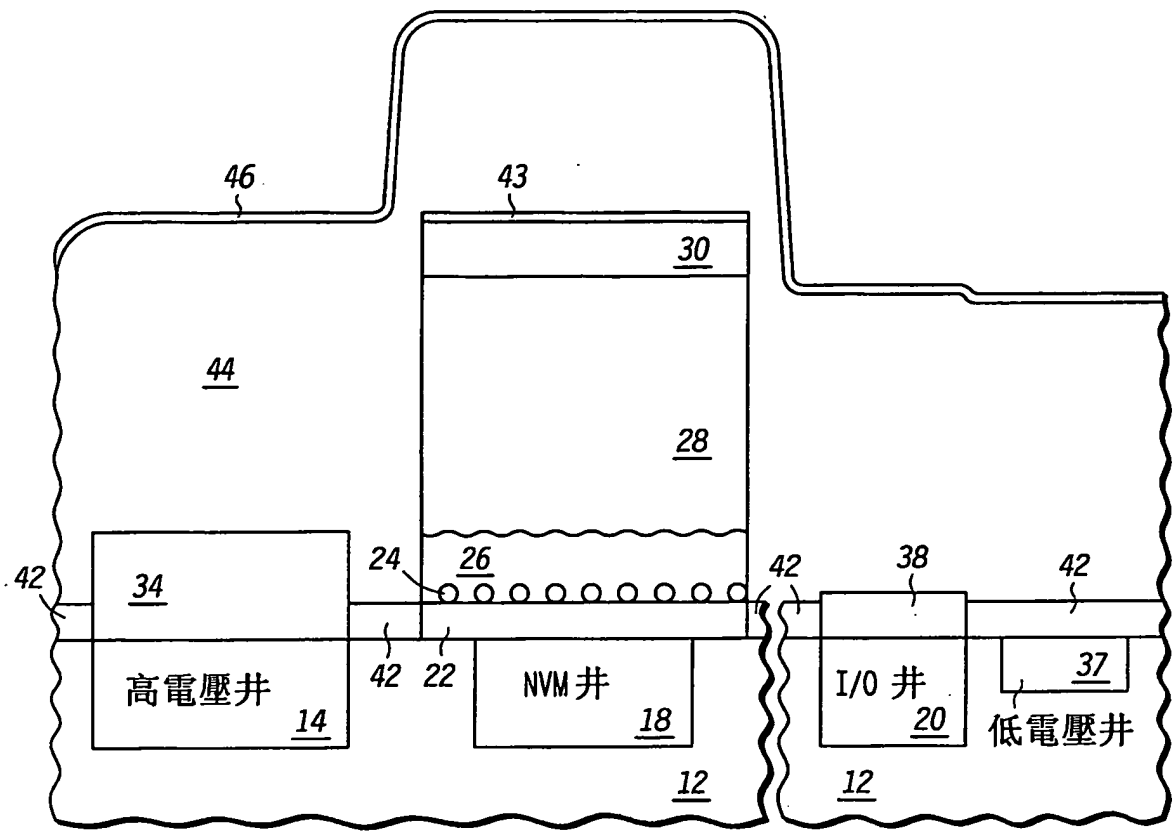


圖 11 10

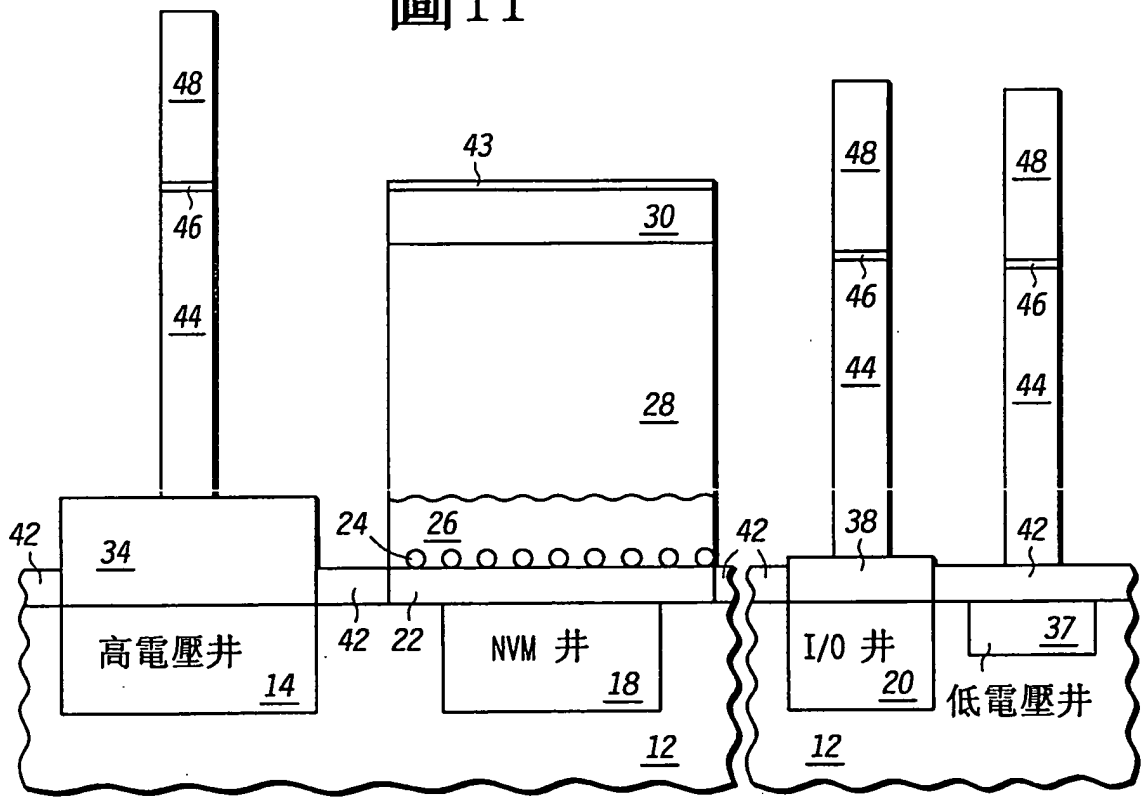


圖 12 10

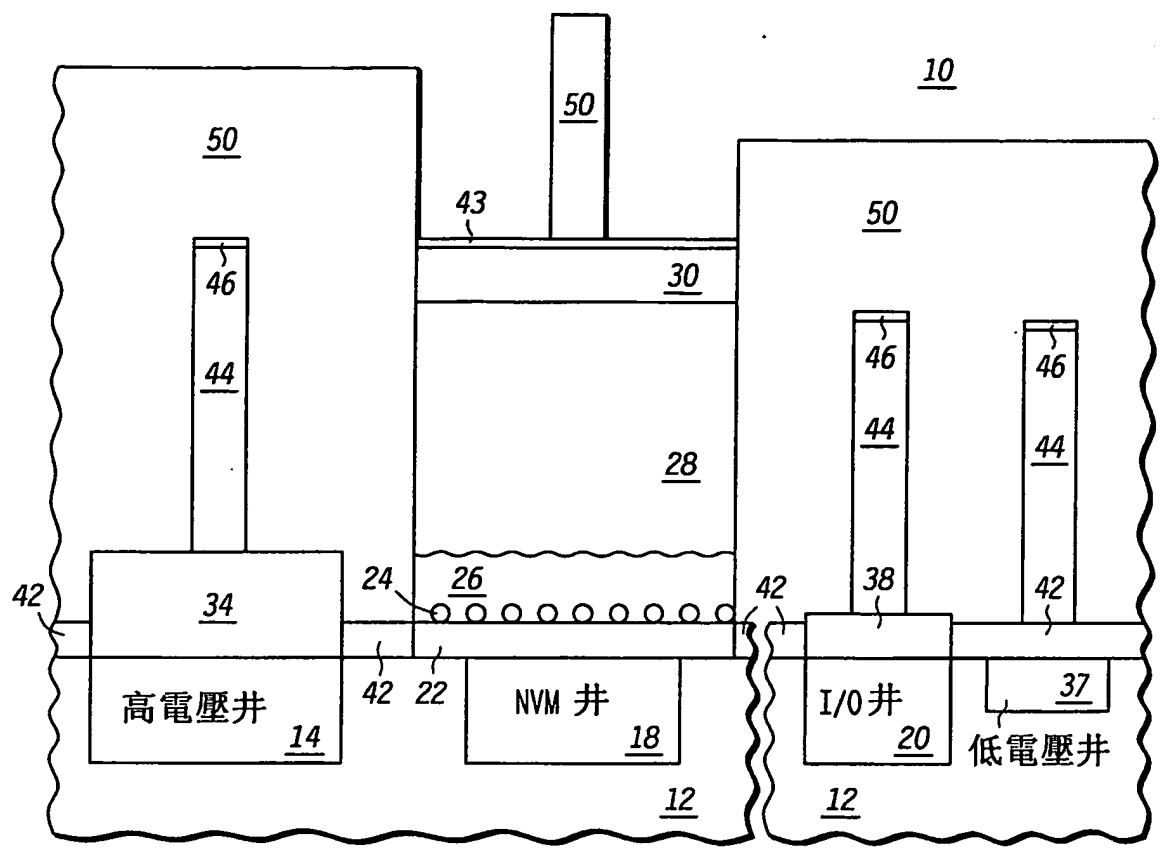


圖 13

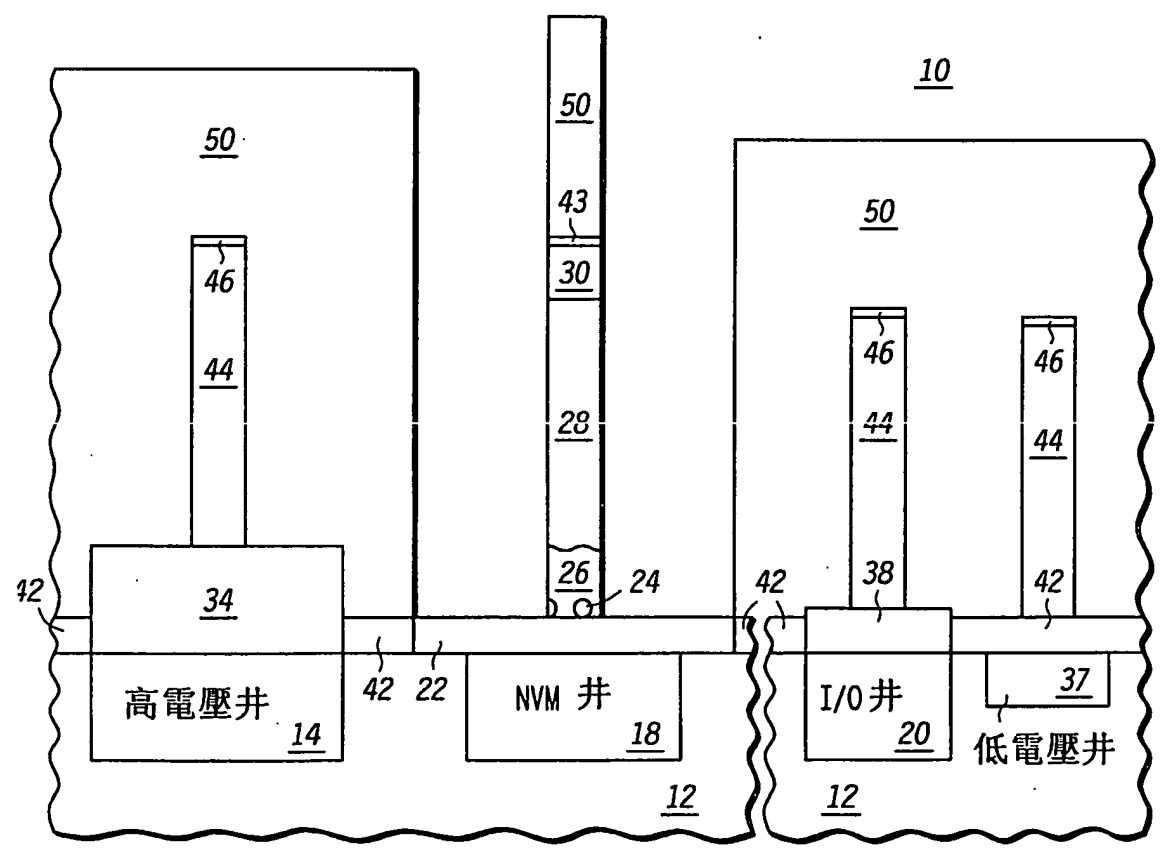


圖 14

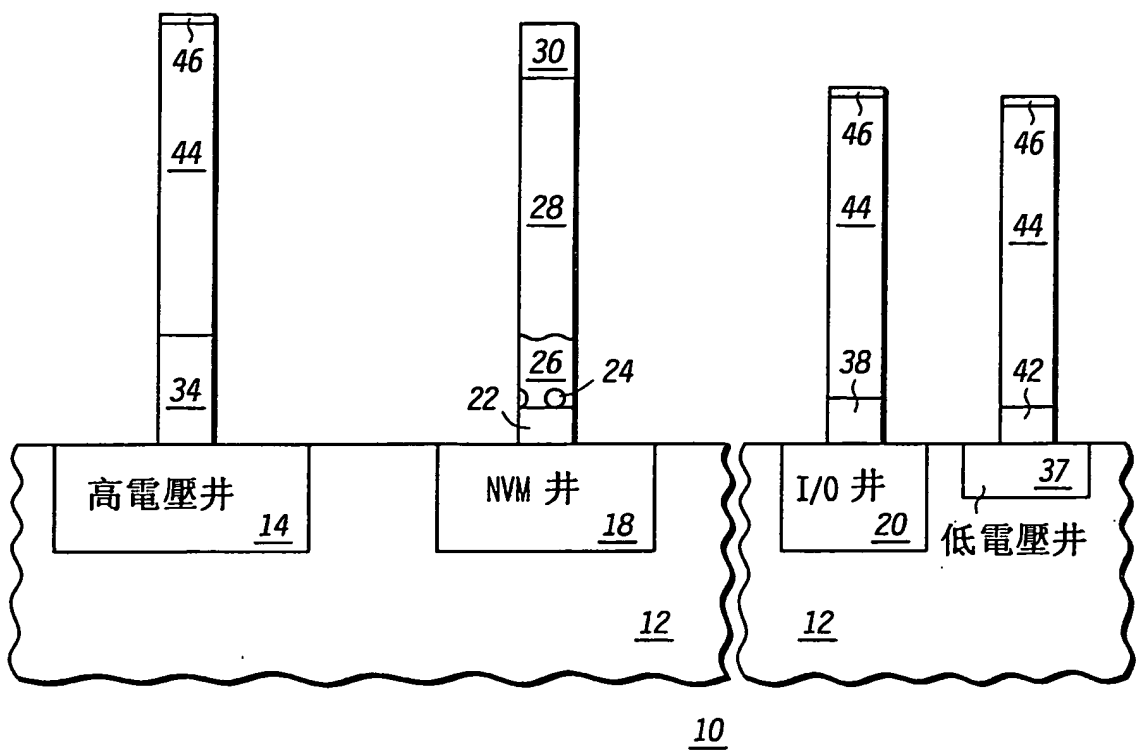


圖 15

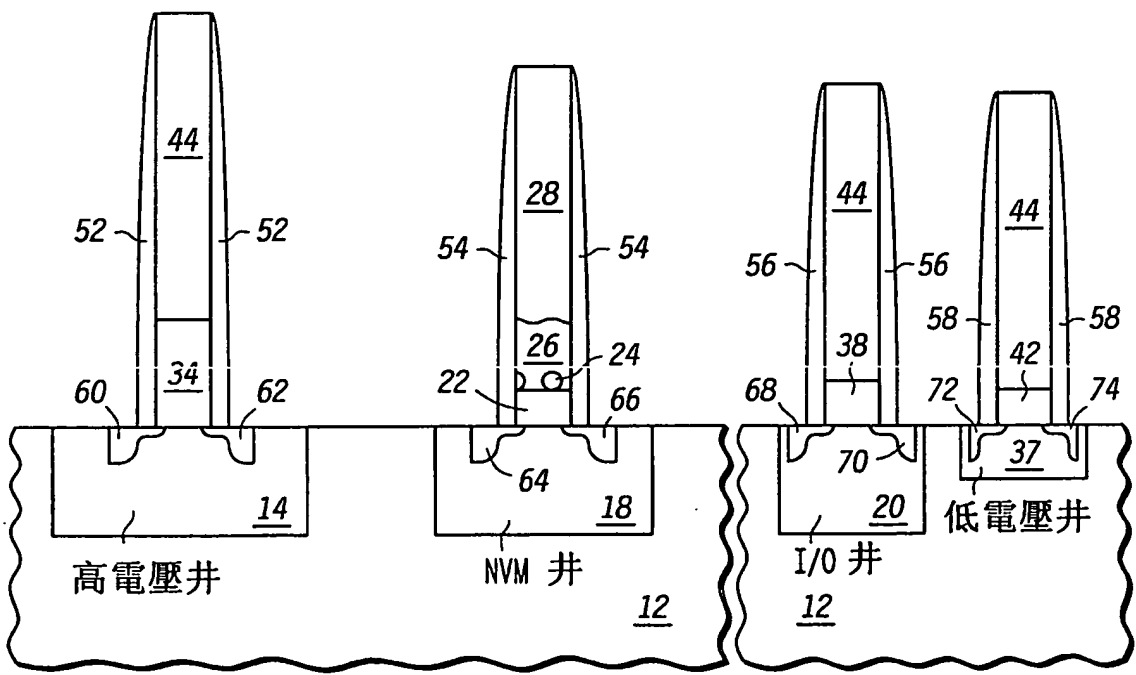


圖 16

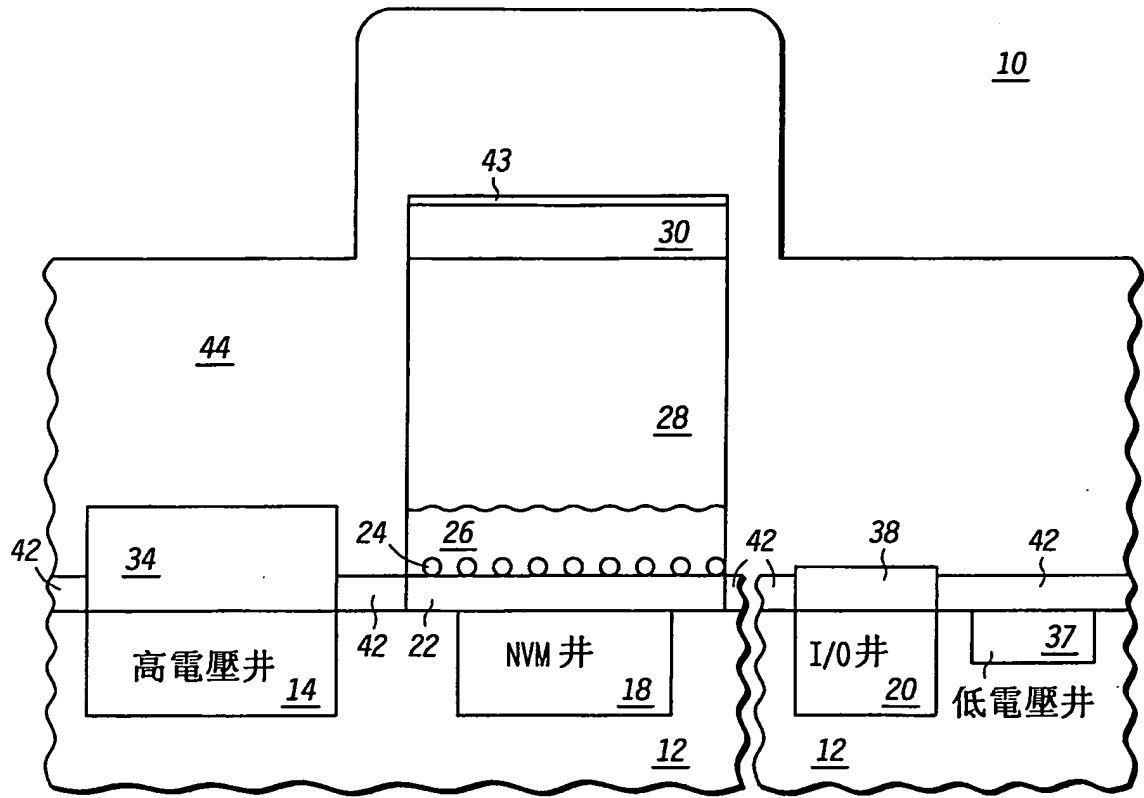


圖17

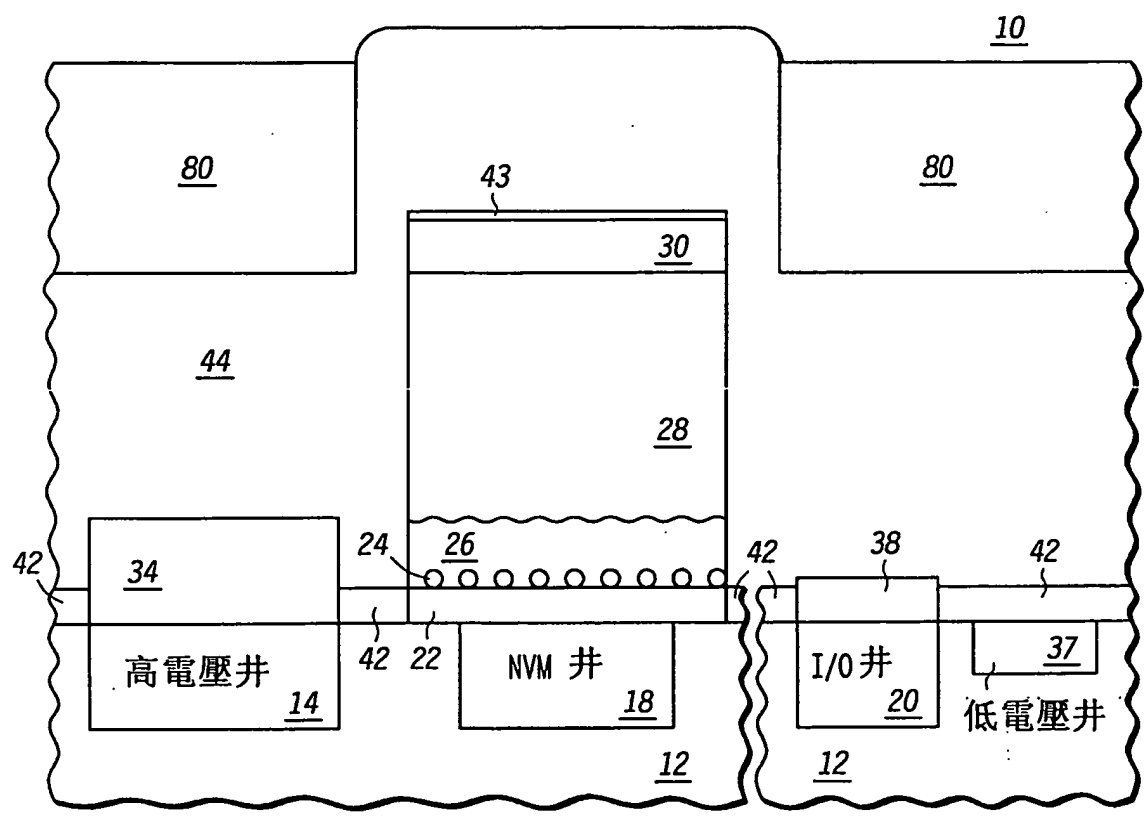


圖18

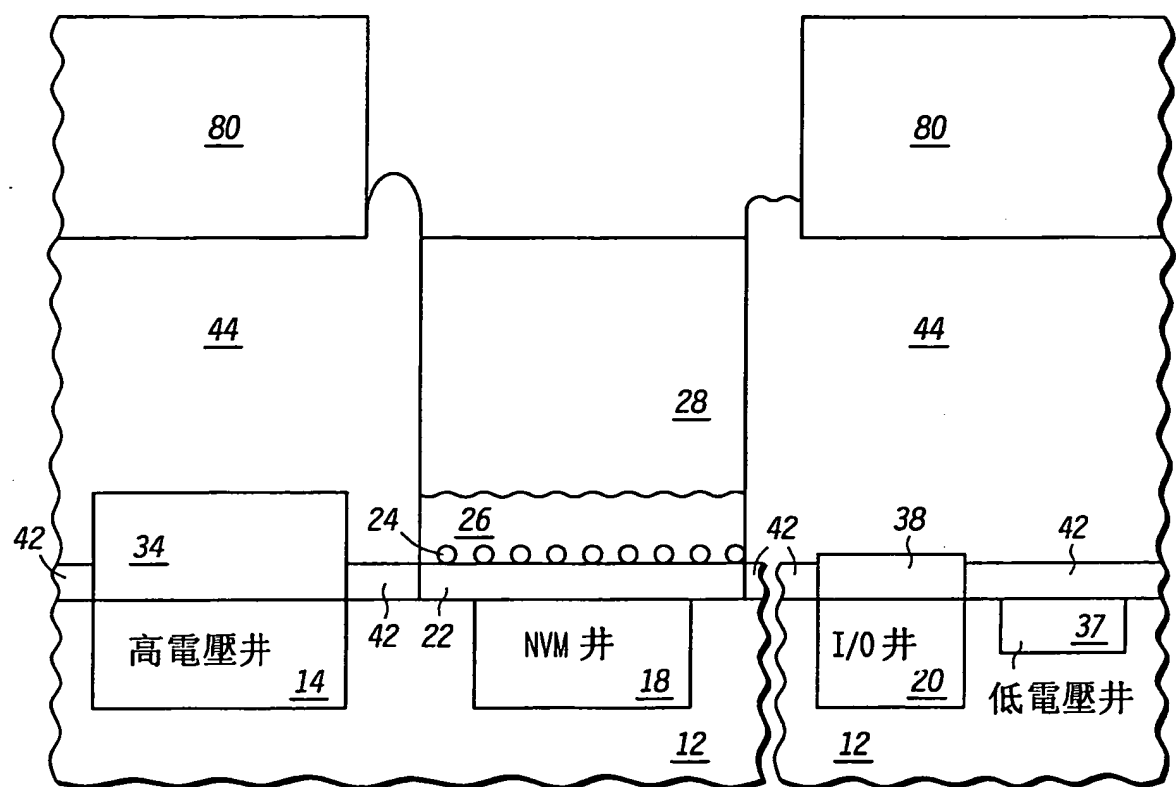


圖19 10

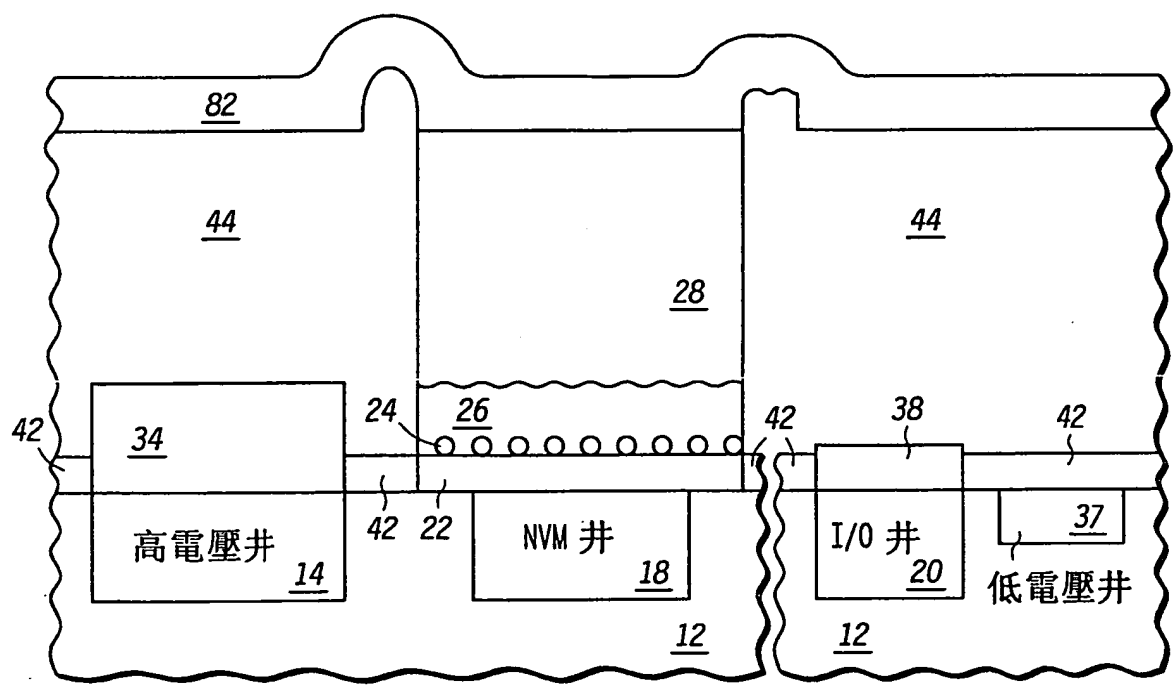


圖20 10

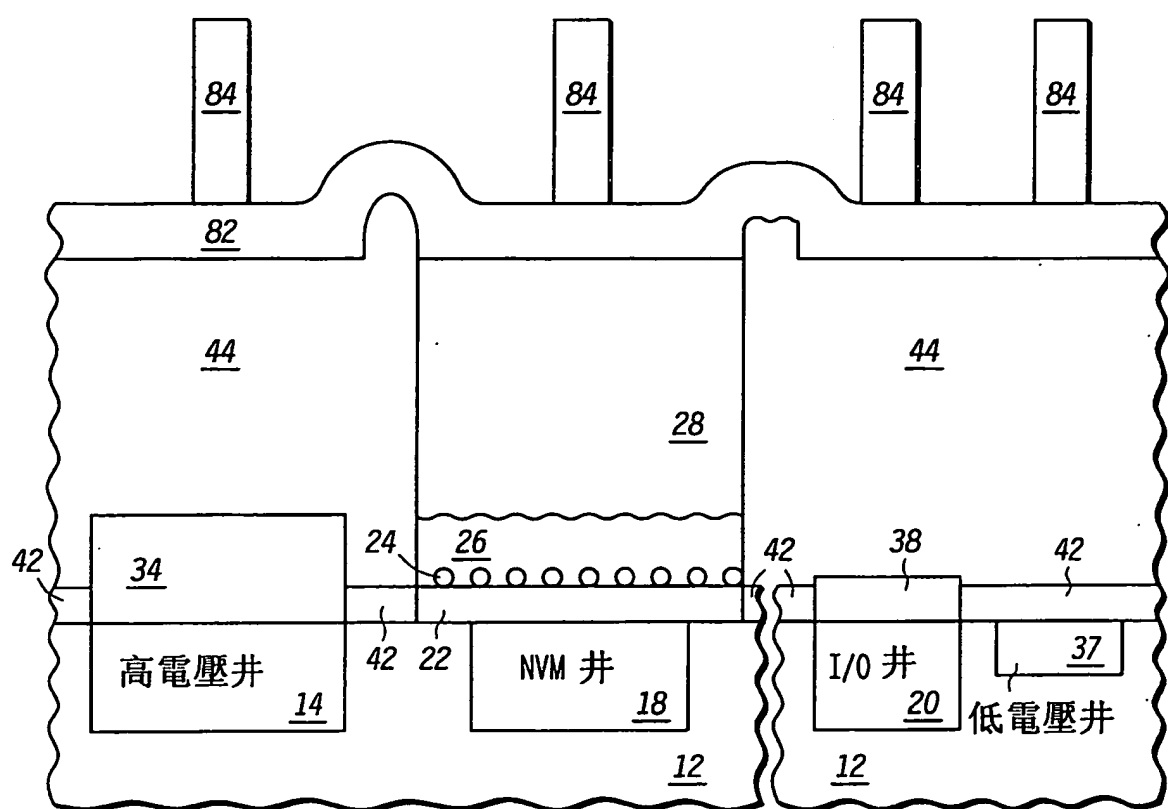


圖21 10

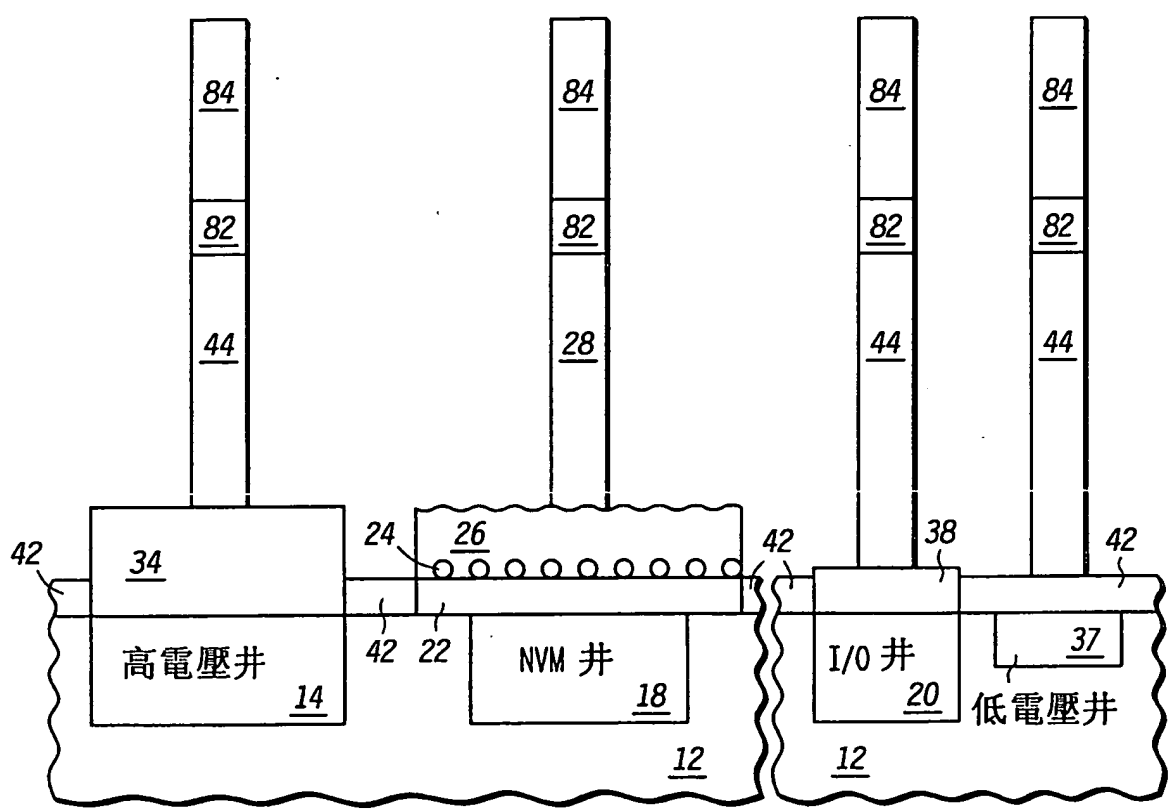


圖22 10

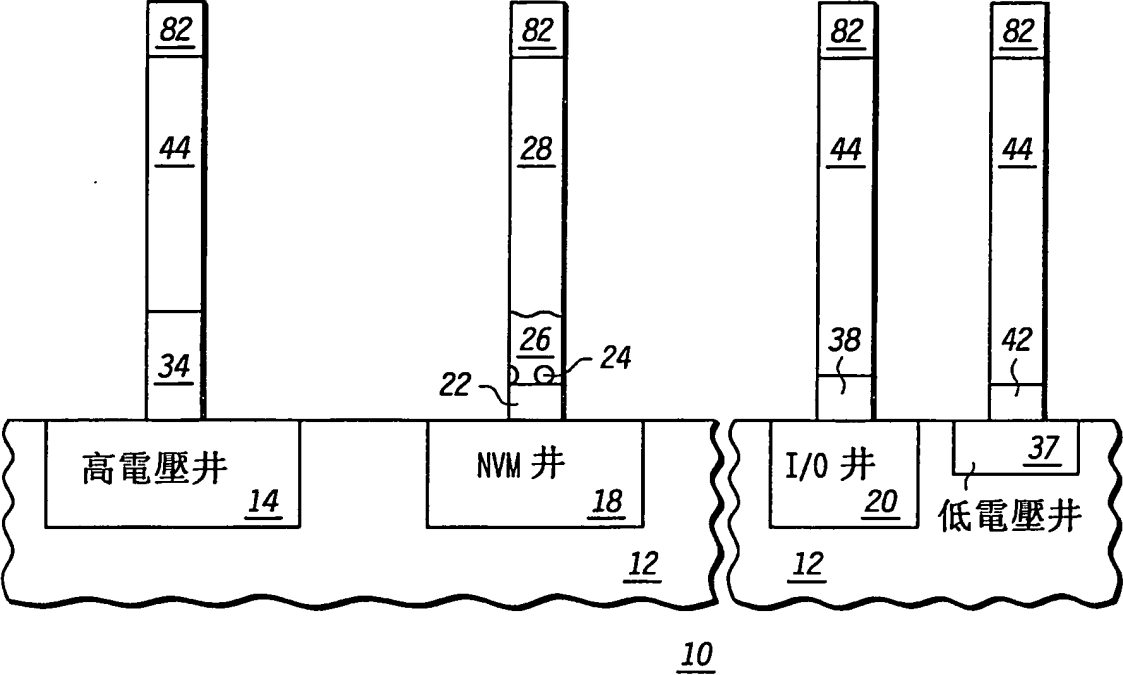


圖23

七、指定代表圖：

(一)本案指定代表圖為：第 (16) 圖。

(二)本代表圖之元件符號簡單說明：

12	基板
14	摻雜劑井
18	摻雜劑井
20	摻雜劑井
22	介電層
24	奈米叢集
26	控制介電層
28	多晶矽層
34	高電壓裝置之層
37	低電壓裝置之層
38	輸入/輸出裝置之氧化層
42	低電壓氧化物；氧化層
44	多晶矽層
52	側壁間隔物
54	側壁間隔物
56	側壁間隔物
58	側壁間隔物
60	源極/汲極區域
62	源極/汲極區域
64	源極/汲極區域
66	源極/汲極區域

68	源極/汲極區域
70	源極/汲極區域
72	源極/汲極區域
74	源極/汲極區域

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

十、申請專利範圍：

101 年 1 月 17 日修正本

1. 一種形成一奈米叢集電荷儲存裝置之方法，其包含：

提供一基板，其具有與該奈米叢集電荷儲存裝置關聯之一第一摻雜劑井，及與不具有奈米叢集之一半導體裝置關聯之一第二摻雜劑井；

形成一第一閘極堆疊，其覆蓋該第一摻雜劑井且具有複數個奈米叢集嵌入其中的一第一閘極介電層，及一第一導電閘極材料層，其形成該第一閘極堆疊中之一閘極電極；該第一導電閘極材料層覆蓋該第一閘極介電層中所嵌入的該複數個奈米叢集；形成覆蓋於該第二摻雜劑井之一第二閘極堆疊；

形成覆蓋於該第一導電閘極材料層及該第二閘極堆疊之一第二導電閘極材料層；其中該第二導電閘極材料層之一部份覆蓋於該第二摻雜劑井且係用作該第二閘極堆疊中之一閘極電極；以及

將覆蓋該第一導電閘極材料層之該第二導電閘極材料層之一部分移除。

2. 如請求項 1 之方法，其進一步包含：

藉由遮罩遠離該第一摻雜劑井之所有區域並選擇性蝕刻該第二導電閘極材料層而將覆蓋該第一導電閘極材料層之該第二導電閘極材料層之該部分移除。

3. 如請求項 1 之方法，其進一步包含：

使用摻雜的多晶矽、一金屬或一金屬合金來形成該第一導電閘極材料層與該第二導電閘極材料層。

4. 如請求項3之方法，其進一步包含：

採用不同於該第二導電閘極材料層之一材料來實施該第一導電閘極材料層。

5. 如請求項1之方法，其進一步包含：

形成該第一閘極介電層，其包含形成覆蓋該奈米叢集層並圍繞該奈米叢集層之一閘極氧化層與一第二閘極氧化層，其中所形成之該第一閘極介電層與該第一導電閘極材料層係覆蓋該第一摻雜劑井與該第二摻雜劑井；及

使用一濕式蝕刻與一乾式蝕刻之一組合，從覆蓋該第一導電閘極材料層之該第二摻雜劑井之區域開始選擇性蝕刻該第一閘極介電層與該奈米叢集層。

6. 如請求項1之方法，其進一步包含：

藉由形成一第二閘極介電層與覆蓋該第二摻雜劑井之一部分之該第二導電閘極材料層來形成該第二閘極堆疊，該第二導電閘極材料層覆蓋該第二閘極介電層。

7. 如請求項6之方法，其進一步包含：

由二氧化矽或氮氧化矽形成該第二閘極介電層。

8. 如請求項1之方法，其進一步包含：

在該第一閘極堆疊中形成一氮化層，該氮化層覆蓋該第一導電閘極材料且係在該第一導電閘極材料之一部分與該第二導電閘極材料之間；

形成覆蓋該氮化層並與其實體接觸之一氧化層，在移除該第二導電閘極材料時，該氮化層與氧化層用作一蝕刻停止層，且在該第一閘極堆疊中形成該閘極電極時，

該氮化層亦用作一抗反射塗層。

9. 如請求項1之方法，其進一步包含：

由含鉛、鋇、鋁與矽之至少一者之一化合物之一氧化物或一氮氧化物形成該第一閘極介電層。

10. 如請求項1之方法，其進一步包含：

藉由形成一層摻雜或未摻雜的半導體奈米晶體、金屬奈米晶體、由兩或更多摻雜或未摻雜的半導體形成之奈米晶體或金屬合金奈米晶體，來形成覆蓋該第一摻雜劑井與該第二摻雜劑井之該第一閘極介電層中所嵌入之該複數個奈米叢集。

11. 如請求項1之方法，其進一步包含：

在該第一閘極堆疊周圍且在該第一摻雜劑井內部形成一第一源極與一第一汲極，以使該電荷儲存裝置形成為一非揮發性記憶體(NVM)之電晶體；及

在該第二閘極堆疊周圍且在該第二摻雜劑井內部形成一第二源極與一第二汲極，以形成一周邊電晶體。

12. 如請求項1之方法，其進一步包含：

由該第二閘極堆疊形成一半導體裝置，該半導體裝置能使該奈米叢集電荷儲存裝置充電與放電。