(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年5月7日(07.05.2020)

WIPO | PCT

(10) 国際公開番号
WO 2020/090199 A1

(51) 国際特許分類:
*H02M 7/12* (2006.01) *H02M 3/155* (2006.01)

(21) 国際出願番号： PCT/JP2019/032981

(22) 国際出願日： 2019年8月23日(23.08.2019)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2018-205271 2018年10月31日(31.10.2018) JP

(71) 出願人: 富士電機株式会社 (**FUJI ELECTRIC CO., LTD.**) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田１番１号 Kanagawa (JP).

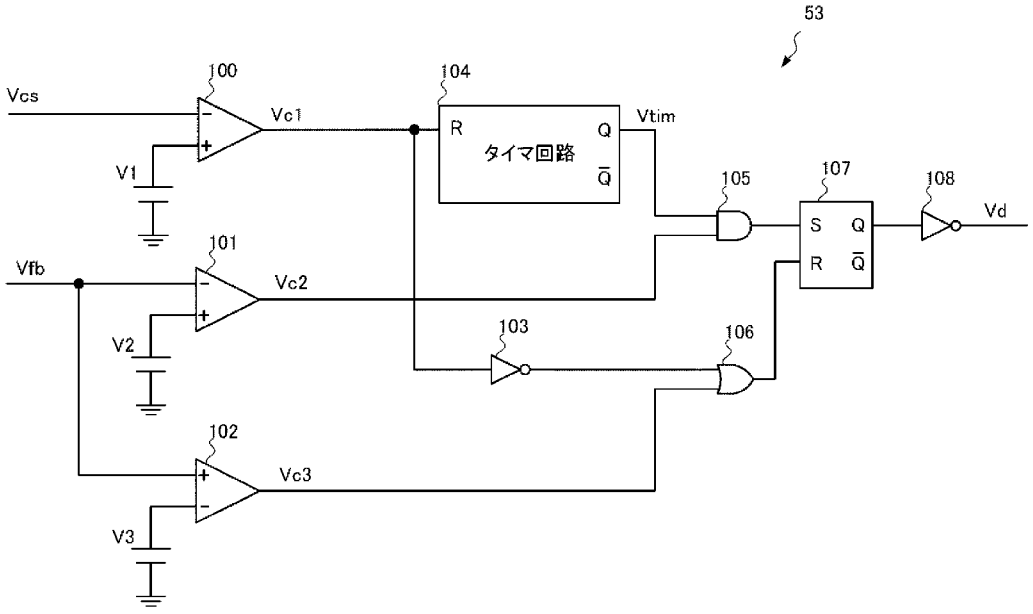
(72) 発明者: 遠藤 勇太 (**ENDO, Yuta**); 〒2109530 神奈川県川崎市川崎区田辺新田１番１号 富士電機株式会社内 Kanagawa (JP).

(74) 代理人: 一色国際特許業務法人 (**ISSHIKI & CO.**); 〒1080073 東京都港区三田三丁目１１番３６号三田日東ダイビル Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,

(54) **Title:** INTEGRATED CIRCUIT AND POWER SUPPLY CIRCUIT

(54) 発明の名称： 集積回路、電源回路




104 Timer circuit

(57) **Abstract:** In order to generate an output voltage having a target level from an input predetermined AC voltage, this integrated circuit drives a transistor for, on the basis of an inductor current flowing through an inductor to which the voltage from a rectifier circuit for rectifying the predetermined AC voltage is applied and the output voltage, controlling the inductor current and is provided with: a first comparison circuit for comparing the current value of the inductor current with a predetermined current value; a timer circuit for measuring an elapsed time from when the first comparison circuit

WO 2020/090199 A1

[続葉有]

NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

outputs a comparison result indicating that the current value of the inductor current is less than the predetermined current value; a second comparison circuit for comparing the level of the output voltage with a first level lower than the target level; and a signal output circuit which, when the elapsed time reaches a predetermined time and the second comparison circuit outputs a comparison result indicating that the level of the output voltage is lower than the first level, outputs a first signal indicating that the predetermined AC voltage is not input to the rectifier circuit.

(57) 要約:入力される所定の交流電圧から目的レベルの出力電圧を生成すべく、前記所定の交流電圧を整流する整流回路からの電圧が印加されるインダクタに流れるインダクタ電流と、前記出力電圧と、に基づいて前記インダクタ電流を制御するトランジスタを駆動する集積回路であって、前記インダクタ電流の電流値と、所定の電流値とを比較する第1比較回路と、前記インダクタ電流の電流値が前記所定の電流値より小さいことを示す比較結果を前記第1比較回路が出力してからの経過時間を計時するタイマ回路と、前記出力電圧のレベルと、前記目的レベルより低い第1レベルとを比較する第2比較回路と、前記経過時間が所定時間に達し、かつ、前記出力電圧のレベルが前記第1レベルより低いことを示す比較結果を前記第2比較回路が出力した場合に、前記整流回路に前記所定の交流電圧が入力されていないことを示す第1信号を出力する信号出力回路と、を備える。

# 明　細　書

## 発明の名称 ： 集積回路、電源回路

## 技術分野

[0001]　本発明は、集積回路、および電源回路に関する。

## 背景技術

[0002]　ＡＣ－ＤＣコンバータは、交流電圧から目的レベルの出力電圧を生成する回路であるが、一般に入力される交流電圧が遮断されると、出力電圧は低下する。このような場合、ＡＣ－ＤＣコンバータの負荷が正常に動作しなくなることがあるため、ＡＣ－ＤＣコンバータには、交流電圧が遮断されたことを検出する検出回路が設けられることがある（例えば、特許文献１）。

## 先行技術文献

## 特許文献

[0003] 特許文献1：特開２００６－２２３０７０号公報

## 発明の概要

## 発明が解決しようとする課題

[0004]　ところで、一般に交流電圧が遮断されたことを検出する検出回路は、数多くのディスクリート部品で構成されるためＡＣ－ＤＣコンバータのコスト上昇を招くことになる。

[0005]　本発明は、上記のような従来の問題に鑑みてなされたものであって、その目的は、低コストで交流電圧が遮断されたことを検出することができる集積回路を提供することにある。

## 課題を解決するための手段

[0006]　前述した課題を解決する主たる本発明は、入力される所定の交流電圧から目的レベルの出力電圧を生成すべく、前記所定の交流電圧を整流する整流回路からの電圧が印加されるインダクタに流れるインダクタ電流と、前記出力電圧と、に基づいて前記インダクタ電流を制御するトランジスタを駆動する集積回路であって、前記インダクタ電流の電流値と、所定の電流値とを比較

する第１比較回路と、前記インダクタ電流の電流値が前記所定の電流値より小さいことを示す比較結果を前記第１比較回路が出力してからの経過時間を計時するタイマ回路と、前記出力電圧のレベルと、前記目的レベルより低い第１レベルとを比較する第２比較回路と、前記経過時間が所定時間に達し、かつ、前記出力電圧のレベルが前記第１レベルより低いことを示す比較結果を前記第２比較回路が出力した場合に、前記整流回路に前記所定の交流電圧が入力されていないことを示す第１信号を出力する信号出力回路と、を備えることを特徴とする集積回路である。

## 発明の効果

[0007] 本発明によれば、低コストで交流電圧が遮断されたことを検出することができる集積回路を提供することができる。

## 図面の簡単な説明

[0008] [図1]ＡＣ－ＤＣコンバータ１０の一例を示す図である。

[図2]力率改善ＩＣ２５の一例を示す図である。

[図3]検出回路５３の一例を示す図である。

[図4]ＡＣ－ＤＣコンバータ１０の動作を説明するための図である。

[図5]交流電圧が入力されている際のＡＣ－ＤＣコンバータ１０の動作を説明するための図である。

[図6]交流電圧が遮断されている際のＡＣ－ＤＣコンバータ１０の動作を説明するための図である。

[図7]検出回路５５の一例を示す図である。

## 発明を実施するための形態

[0009] 関連出願の相互参照

この出願は、２０１８年１０月３１日に出願された日本特許出願、特願２０１８－２０５２７１に基づく優先権を主張し、その内容を援用する。

[0010] 本明細書及び添付図面の記載により、少なくとも以下の事項が明らかとなる。

[0011] ＝＝＝＝＝本実施形態＝＝＝＝＝

図１は、本発明の一実施形態であるＡＣ－ＤＣコンバータ１０の構成を示す図である。ＡＣ－ＤＣコンバータ１０は、商用電源の交流電圧Ｖａｃから目的レベルの出力電圧Ｖｏｕｔを生成する昇圧チョッパー型の電源回路である。

[0012] ＤＣ－ＤＣコンバータ１１は、直流電圧である出力電圧Ｖｏｕｔから、負荷１２に適した電圧を生成する回路である。なお、負荷１２は、例えば、直流電圧で動作する電子機器である。

[0013] マイコン１３（制御回路）は、後述する電圧Ｖｏｖｐのレベルが上昇すると、例えば負荷１２の消費電力を低下させる。

[0014] ＜＜＜ＡＣ－ＤＣコンバータ１０の概要＞＞＞

ＡＣ－ＤＣコンバータ１０は、全波整流回路２０、コンデンサ２１，２２，３６、インダクタ２３、ダイオード２４、力率改善ＩＣ２５、パワートランジスタ２６、及び抵抗３０～３５を含んで構成される。

[0015] 全波整流回路２０は、入力される所定の交流電圧Ｖａｃを全波整流し、電圧Ｖｒｅｃとして、コンデンサ２１及びインダクタ２３に出力する。なお、交流電圧Ｖａｃは、例えば、実効値が１００～２４０Ｖ、周波数が５０～６０Ｈｚの電圧である。

[0016] コンデンサ２１は、電圧Ｖｒｅｃを平滑化し、コンデンサ２２は、インダクタ２３、ダイオード２４、及びパワートランジスタ２６とともに昇圧チョッパー回路を構成する。このため、コンデンサ２２の充電電圧が直流の出力電圧Ｖｏｕｔとなる。なお、出力電圧Ｖｏｕｔは、例えば、４００Ｖである。

[0017] 力率改善ＩＣ２５は、ＡＣ－ＤＣコンバータ１０の力率を改善しつつ、出力電圧Ｖｏｕｔのレベルが目的レベル（例えば、４００Ｖ）となるよう、パワートランジスタ２６のスイッチングを制御する集積回路である。具体的には、力率改善ＩＣ２５は、インダクタ２３に流れるインダクタ電流ＩＬ、及び出力電圧Ｖｏｕｔに基づいて、パワートランジスタ２６を駆動する。なお、力率改善ＩＣ２５の詳細については後述するが、力率改善ＩＣ２５には、

端子ＣＳ，ＦＢ，ＣＯＭＰ，ＯＶＰ，ＯＵＴが設けられている。

[0018] パワートランジスタ２６は、ＡＣ－ＤＣコンバータ１０の負荷（後述）への電力を制御するためのＮＭＯＳトランジスタである。なお、本実施形態では、パワートランジスタ２６は、ＭＯＳ（Metal Oxide Semiconductor）トランジスタであることとしたがこれに限られない。パワートランジスタ２６は、電力を制御できるトランジスタであれば、例えば、バイポーラトランジスタ、またはＩＧＢＴ（Insulated Gate Bipolar Transistor）であっても良い。また、パワートランジスタ２６のゲート電極は、端子ＯＵＴに接続されている。

[0019] 抵抗３０，３１は、出力電圧Ｖｏｕｔを分圧する分圧回路を構成し、パワートランジスタ２６をスイッチングする際に用いられる帰還電圧Ｖｆｂを生成する。なお、抵抗３０，３１が接続されるノードに生成される帰還電圧Ｖｆｂは、端子ＦＢに印加される。

[0020] 抵抗３２は、インダクタ電流ＩＬを検出するための抵抗であり、一端は、パワートランジスタ２６のソース電極に接続され、他端は、端子ＣＳに接続されている。なお、本実施形態では、接地されたパワートランジスタ２６のソース電極を基準（０Ｖ）として、抵抗３２に発生する電圧を電圧Ｖｃｓとする。このため、インダクタ電流ＩＬの増加に応じて、電圧Ｖｃｓの負の電圧値は大きくなる。

[0021] 抵抗３３，３４は、出力電圧Ｖｏｕｔを分圧する分圧回路を構成し、出力電圧Ｖｏｕｔが過電圧の状態にあるかを検出する際に用いられる電圧Ｖｏｖｐを生成する。なお、詳細は後述するが、抵抗３３，３４が接続されるノードに生成される電圧Ｖｏｖｐ（分圧電圧）は、端子ＯＶＰに印加される。ここで、「過電圧」とは、例えば、出力電圧Ｖｏｕｔのレベルが、目的レベルの１．１倍の所定のレベルＸになる状態をいう。

[0022] 抵抗３５及びコンデンサ３６は、詳細は後述するが、フィードバック制御される力率改善ＩＣ２５の位相補償用の素子であり、端子ＣＯＭＰと、接地との間に設けられている。

[0023] ＜＜＜力率改善ＩＣ２５の構成＞＞＞

図２は、力率改善ＩＣ２５の構成の一例を示す図である。力率改善ＩＣ２５は、駆動信号生成回路５０、駆動回路５１、コンパレータ５２、検出回路５３、及び電圧切替回路５４を含んで構成される。

[0024] 駆動信号生成回路５０は、インダクタ電流ＩＬを示す電圧Ｖｃｓと、帰還電圧Ｖｆｂとに基づいて、パワートランジスタ２６をオンオフする駆動信号Ｖｑ１を生成する回路である。駆動信号生成回路５０は、コンパレータ７０、遅延回路７１、パルス回路７２、誤差増幅回路７３、発振回路７４、コンパレータ７５、及びＳＲフリップフロップ７６を含んで構成される。

[0025] コンパレータ７０は、インダクタ電流ＩＬの電流値が、ほぼゼロであるかを検出する回路である。具体的には、コンパレータ７０は、端子ＣＳに印加される電圧Ｖｃｓと、ゼロよりやや大きい電流値（例えば、数ｍＡ）に応じた基準電圧Ｖｒｅｆ１（例えば、数ｍＶ）との大小を比較し、インダクタ電流ＩＬの電流値がほぼゼロ（以下、便宜上、「ほぼゼロ」を単にゼロと称する。）であるかを検出する。なお、詳細は後述するが、本実施形態では、電圧Ｖｃｓが基準電圧Ｖｒｅｆ１より大きくなると、インダクタ電流ＩＬがゼロであることを示すハイレベル（以下、Ｈレベルとする。）の信号Ｖｚが、コンパレータ７０から出力される。

[0026] 遅延回路７１は、コンパレータ７０からＨレベルの信号Ｖｚが出力されると、所定時間だけ遅延させて出力する。

[0027] パルス回路７２は、遅延回路７１からＨレベルの信号Ｖｚが出力されると、ハイレベルのパルス信号Ｖｐ１を出力する。

[0028] 誤差増幅回路７３は、端子ＦＢに印加される帰還電圧Ｖｆｂと、所定の基準電圧Ｖｒｅｆ２との誤差を増幅する回路である。なお、基準電圧Ｖｒｅｆ２は、目的レベルの出力電圧Ｖｏｕｔに応じて定められる電圧である。また、誤差増幅回路７３の出力と接地との間には、端子ＣＯＭＰを介して、位相補償用の抵抗３５及びコンデンサ３６が接続されている。ここで、誤差増幅回路７３の出力と端子ＣＯＭＰとが接続されたノードの電圧を、電圧Ｖｅと

する。

[0029] 発振回路７４は、パルス信号Ｖｐ１が出力されると、振幅が徐々に大きくなるランプ波Ｖｒを出力する。

[0030] コンパレータ７５は、電圧Ｖｅとランプ波Ｖｒとの大小を比較して、比較結果として信号Ｖｐ２を出力する。ここでは、電圧Ｖｅがコンパレータ７５の反転入力端子に印加され、ランプ波Ｖｒがコンパレータ７５の非反転入力端子に印加されている。このため、ランプ波Ｖｒのレベルが電圧Ｖｅのレベルより低い場合、信号Ｖｐ２はローレベル（以下、Ｌレベルとする。）となり、ランプ波Ｖｒのレベルが電圧Ｖｅのレベルより高くなると信号Ｖｐ２はＨレベルとなる。

[0031] ＳＲフリップフロップ７６のＳ入力には、信号Ｖｐ１が入力され、Ｒ入力には、信号Ｖｐ２が入力される。このため、ＳＲフリップフロップ７６のＱ出力である駆動信号Ｖｑ１は、信号Ｖｐ１がＨレベルになるとＨレベルとなる。一方、信号Ｖｐ２がＨレベルになると、駆動信号Ｖｑ１は、Ｌレベルになる。

[0032] 駆動回路５１は、駆動信号Ｖｑ１に基づいてパワートランジスタ２６を駆動する回路であり、ＡＮＤ回路８０及びバッファ回路８１を含む。

[0033] ＡＮＤ回路８０は、駆動信号Ｖｑ１と後述するコンパレータ５２からの信号Ｖｏｖとの論理積を演算し、バッファ回路８１に出力する。

[0034] バッファ回路８１は、入力される信号と同じ論理レベルの信号Ｖｄｒで、ゲート容量等の大きいパワートランジスタ２６を駆動する。

[0035] コンパレータ５２（第４比較回路）は、電圧Ｖｏｖｐ（後述）と、基準電圧Ｖｒｅｆ３とを比較することにより、出力電圧Ｖｏｕｔが過電圧の状態にあるかを検出するための回路である。ところで、上述のように「過電圧」とは、例えば出力電圧Ｖｏｕｔのレベルが、目的レベルの１．１倍である所定のレベルＸ（第３レベル）となる状態をいう。このため、本実施形態では、出力電圧Ｖｏｕｔが所定レベルＸを超えると、電圧Ｖｏｖｐが基準電圧Ｖｒｅｆ３より大きくなるよう、電圧Ｖｒｅｆ３のレベルが定められている。

[0036] 検出回路５３（信号出力回路）は、交流電圧Ｖａｃが遮断された状態であるか否かを検出するための回路である。なお、ここで「交流電圧Ｖａｃが遮断された状態」とは、例えば、所定の交流電圧ＶａｃがＡＣ－ＤＣコンバータ１０に供給されず、全波整流回路２０に入力されていない状態をいう。なお、検出回路５３の詳細は後述するが、検出回路５３は、交流電圧Ｖａｃが遮断されていることを検出すると、Ｌレベルの信号Ｖｄ（第１信号）を出力する。また、検出回路５３は、交流電圧Ｖａｃが遮断されていないこと、つまり、所定の交流電圧ＶａｃがＡＣ－ＤＣコンバータ１０に供給され、全波整流回路２０に入力されていることを検出すると、Ｈレベルの信号Ｖｄ（第２信号）を出力する。

[0037] 電圧切替回路５４は、交流電圧Ｖａｃが遮断されているか否かに応じて、端子ＯＶＰの電圧レベルを切り替える回路である。電圧切替回路５４は、ＰＭＯＳトランジスタ９０、ＮＭＯＳトランジスタ９１、スイッチ９２、及びインバータ９３を含んで構成される。

[0038] ＰＭＯＳトランジスタ９０は、端子ＯＶＰの電圧をプルアップするための素子であり、ゲート電極に信号Ｖｄが入力され、ソース電極に所定の電圧Ｖｃｃ（所定電圧）が印加され、ドレイン電極が端子ＯＶＰに接続されている。なお、本実施形態の電圧Ｖｃｃのレベルは、電圧Ｖｒｅｆ３のレベルより高いため、端子ＯＶＰに電圧Ｖｃｃが印加されると、マイコン１３は、出力電圧Ｖｏｕｔが過電圧の状態と同様に、負荷１２の消費電力を低下させる。

[0039] ＮＭＯＳトランジスタ９１は、コンパレータ５２の反転入力端子の電圧をプルダウンするための素子であり、ゲート電極にはインバータ９３で反転された信号Ｖｄが入力され、ソース電極は接地され、ドレイン電極はコンパレータ５２の反転入力端子に接続されている。

[0040] スイッチ９２は、コンパレータ５２の誤動作を防ぐためのスイッチであり、端子ＯＶＰと、コンパレータ５２の反転入力端子との間に設けられている。なお、スイッチ９２は、例えば、ＮＭＯＳトランジスタやＣＭＯＳスイッチ等である。ここで、スイッチ９２は、Ｌレベルの信号Ｖｄに基づいてオフ

し、Ｈレベルの信号Ｖｄに基づいてオンする。

[0041] このため、Ｌレベルの信号Ｖｄが出力されている場合には、端子ＯＶＰの電圧のレベルは、電圧Ｖｃｃのレベルとなり、Ｈレベルの信号Ｖｄが出力されている場合には、端子ＯＶＰの電圧レベルは、電圧Ｖｏｖｐのレベルとなる。

[0042] ＜＜＜検出回路５３の構成＞＞＞

図３に示すように、検出回路５３は、コンパレータ１００～１０２、インバータ１０３，１０８タイマ回路１０４、ＡＮＤ回路１０５、ＯＲ回路１０６、及びＳＲフリップフロップ１０７を含んで構成される。

[0043] コンパレータ１００（第１比較回路）は、電圧Ｖｃｓと、電圧Ｖ１との大小関係に基づいて、インダクタ電流ＩＬの電流値と、電流値Ｉ１とを比較する回路である。ここで、「電流値Ｉ１」は、例えば、インダクタ電流ＩＬの平均値より小さく、コンパレータ７０が検出する電流値より大きい、ゼロに近い正の電流値（例えば、数十ｍＡ）である。また、コンパレータ１００から比較結果として出力される信号Ｖｃ１は、インダクタ電流ＩＬの電流値が、電流値Ｉ１より大きい場合にＬレベルとなり、電流値Ｉ１より小さい場合にＨレベルとなる。

[0044] コンパレータ１０１（第２比較回路）は、帰還電圧Ｖｆｂと、電圧Ｖｃ２との大小関係に基づいて、出力電圧Ｖｏｕｔのレベルと、目的レベルより低い所定レベルＡ（第１レベル）とを比較する回路である。ここで、「所定レベルＡ」は、例えば、目的レベルの０．９倍のレベルである。また、コンパレータ１０１から比較結果として出力される信号Ｖｃ２は、出力電圧Ｖｏｕｔのレベルが、所定レベルＡより高い場合にＬレベルとなり、所定レベルＡより低い場合にＨレベルとなる。

[0045] コンパレータ１０２（第３比較回路）は、帰還電圧Ｖｆｂと、電圧Ｖ３との大小関係に基づいて、出力電圧Ｖｏｕｔのレベルと、所定レベルＢ（第２レベル）とを比較する回路である。ここで、「所定レベルＢ」は、目的レベルより低く所定レベルＡより高いレベルであり、例えば、目的レベルの０．

９５倍のレベルである。また、コンパレータ１０２から比較結果として出力される信号Ｖｃ３は、出力電圧Ｖｏｕｔのレベルが、所定レベルＢより高い場合にＨレベルとなり、所定レベルＢより低い場合にＬレベルとなる。

[0046] タイマ回路１０４は、Ｈレベルの信号Ｖｃ１がＲ入力に入力されている時間を計時し、Ｌレベルの信号Ｖｃ１がＲ入力に入力されると計時した時間をリセットする。また、タイマ回路１０４は、Ｈレベルの信号Ｖｃ１が入力されてから所定時間Ｔだけ計時すると、Ｑ出力から出力される信号ＶｔｉｍをＬレベルからＨレベルに変化させる。

[0047] このため、本実施形態のタイマ回路１０４は、インダクタ電流ＩＬの電流値が電流値Ｉ１より小さくなり、信号Ｖｃ１がＨレベルとなってからの経過時間を計時することになる。

[0048] ＡＮＤ回路１０５は、信号Ｖｔｉｍと、コンパレータ１０１からの信号Ｖｃ２との論理積を演算し、ＳＲフリップフロップ１０７に出力する。

[0049] ＯＲ回路１０６は、インバータ１０３で反転された信号Ｖｃ１と、コンパレータ１０２からの信号Ｖｃ３との論理和を演算し、ＳＲフリップフロップ１０７に出力する。

[0050] ＳＲフリップフロップ１０７のＳ入力には、ＡＮＤ回路１０５の出力が入力され、Ｒ入力には、ＯＲ回路１０６の出力が入力される。インバータ１０８は、ＳＲフリップフロップ１０７のＱ出力の論理レベルを判定させ、信号Ｖｄとして出力する。

[0051] ＝＝＝力率改善ＩＣ２５の動作＝＝＝

＜＜＜交流電圧Ｖａｃが入力されている場合＞＞＞

図４を参照しつつ、ＡＣ－ＤＣコンバータ１０が所定の交流電圧Ｖａｃから目的レベルの出力電圧Ｖｏｕｔを生成し、一定の負荷に電力を供給している際の力率改善ＩＣ２５の動作を説明する。

[0052] ここで、出力電圧Ｖｏｕｔは目的レベルであるため、コンパレータ１０１は、Ｌレベルの信号Ｖ２を出力し、コンパレータ１０２は、Ｈレベルの信号Ｖｃ３を出力するため、ＳＲフリップフロップ１０７はリセットされた状態

となる。そして、検出回路５３からは、Ｈレベルの信号Ｖｄが出力されるため、端子ＯＶＰには電圧Ｖｏｖｐが印加され、過電圧が検出可能な状態となる。

[0053] ところで、目的レベルの出力電圧Ｖｏｕｔが生成されている際、電圧Ｖｏｖｐは基準電圧Ｖｒｅｆ３より低く、過電圧の状態にはない。したがって、コンパレータ５２は、Ｈレベルの信号Ｖｏｖを出力し、駆動回路５１は、駆動信号生成回路５０の出力に基づいて動作する。

[0054] まず、時刻ｔ０にインダクタ電流ＩＬが減少し、電流値Ｉ１になると、つまり、電圧Ｖｃｓが上昇し、基準電圧Ｖｒｅｆ１となると、コンパレータ７０は、信号ＶｚをＨレベルに変化させる（図４では不図示）。また、時刻ｔ０から遅延回路７１の遅延時間だけ経過した時刻ｔ１になると、パルス回路７２は、パルス信号Ｖｐ１を出力する。

[0055] そして、パルス信号Ｖｐ１が出力されると、ＳＲフリップフロップ７６は、Ｈレベルの駆動信号Ｖｑ１を出力するため、信号ＶｄｒもＨレベルとなる。この結果、パワートランジスタ２６はオンし、インダクタ電流ＩＬは増加することになる。

[0056] また、パルス信号Ｖｐ１が出力されると、発振回路７４からのランプ波Ｖｒの振幅が増加する。そして、時刻ｔ２に、ランプ波Ｖｒの振幅レベルが電圧Ｖｅのレベルより高くなると、コンパレータ７５は、信号Ｖｐ２をＨレベルに変化させる。この結果、ＳＲフリップフロップ７６はリセットされ、信号ＶｄｒもＬレベルとなる。信号ＶｄｒがＬレベルとなると、パワートランジスタ２６はオフするため、インダクタ電流ＩＬは徐々に減少する。また、時刻ｔ３にインダクタ電流ＩＬが減少し、電流値Ｉ１になると、時刻ｔ０の動作が繰り返される。

[0057] ここで、ＡＣ－ＤＣコンバータ１０が所定の交流電圧Ｖａｃから目的レベルの出力電圧Ｖｏｕｔを生成し、一定の負荷に電力を供給している際、帰還電圧Ｖｆｂは一定となる。この結果、誤差増幅回路７３から出力される電圧Ｖｅも一定になるため、パワートランジスタ２６がオンする期間（例えば、

時刻ｔ０～ｔ１までの期間）も一定となる。

[0058] また、パワートランジスタ２６がオンする際に、交流電圧Ｖａｃを整流した電圧Ｖｒｅｃのレベルが高くなると、インダクタ電流ＩＬの電流値も大きくなる。この結果、図５に示すように、インダクタ電流ＩＬのピークの波形は電圧Ｖｒｅｃと同じ波形となり、力率が改善される。なお、インダクタ電流ＩＬのピークの波形は、電圧Ｖｒｅｃと同様の波形となるが、電圧Ｖｃｓは、上述のようにインダクタ電流ＩＬの増加に応じて負の電圧値が大きくなる。したがって、電圧Ｖｒｅｃのレベルが最も高くなる際に、電圧Ｖｃｓのピークは低くなる。

[0059] ＜＜＜交流電圧Ｖａｃが遮断された後に復帰した場合＞＞＞

図６を参照しつつ、交流電圧Ｖａｃが遮断された際の力率改善ＩＣ２５の動作について説明する。まず、時刻ｔ１０において、交流電圧Ｖａｃが遮断されると、電圧Ｖｒｅｃのレベルが急激に低下する。これに伴い、時刻ｔ１１において、インダクタ電流ＩＬの電流値は、電流値Ｉ１より小さくなるため、電圧Ｖｃｓのレベルが電圧Ｖ１のレベルより低くなる。この結果、コンパレータ１００からの信号Ｖｃ１はＨレベルとなり、タイマ回路１０４は、信号Ｖｃ１はＨレベルとなってからの時間の計時を開始する。

[0060] そして、時刻ｔ１１から所定時間Ｔだけ経過した時刻ｔ１２になると、タイマ回路１０４は、Ｑ出力から出力される信号ＶｔｉｍをＨレベルに変化させる。なお、所定時間Ｔは、例えば、交流電圧Ｖａｃの１／８周期程度の時間であり、交流電圧Ｖａｃの１／２周期の時間より短い。

[0061] また、この期間においても、交流電圧Ｖａｃは遮断されているため、出力電圧Ｖｏｕｔ及び帰還電圧Ｖｆｂは徐々に低下する。そして、時刻ｔ１３において、出力電圧Ｖｏｕｔのレベルが所定レベルＡまで低下すると、つまり、帰還電圧Ｖｆｂのレベルが電圧Ｖ２のレベルまで低下すると、コンパレータ１０１からの信号Ｖｃ２がＨレベルになる。この結果、ＡＮＤ回路１０５からの出力もＨレベルとなり、検出回路５３は、交流電圧Ｖａｃが遮断されていることを示すＬレベルの信号Ｖｄを出力することになる。そして、信号

ＶｄがＬレベルになると、端子ＯＶＰの電圧は電圧Ｖｃｃにプルアップされる。

[0062] なお、時刻ｔ１３に端子ＯＶＰの電圧がプルアップされると、マイコン１３は負荷１２の消費電力を低下させる。このため、時刻ｔ１３以降、出力電圧Ｖｏｕｔは緩やかに低下する。

[0063] また、時刻ｔ１４に交流電圧Ｖａｃが復帰すると、電圧Ｖｒｅｃのレベルは上昇し、インダクタ電流ＩＬも増加する。そして、時刻ｔ１５において、電圧Ｖｃｓのレベルが電圧Ｖ１のレベルより高くなると、タイマ回路１０４の計時がリセットされ、信号ＶｔｉｍはＬレベルに変化する。また、この際、コンパレータ１００からのＬレベルの信号Ｖｃ１はインバータ１０３で反転されるため、ＳＲフリップフロップ１０７もリセットされ、信号ＶｄはＨレベルになる。この結果、端子ＯＶＰに印加される電圧は、電圧Ｖｏｖｐとなり、出力電圧Ｖｏｕｔの過電圧が検出可能な状態となる。

[0064] また、交流電圧Ｖａｃが復帰した時刻ｔ１４以降は徐々に出力電圧Ｖｏｕｔも上昇するため、例えば時刻ｔ１６には、出力電圧Ｖｏｕｔのレベルは所定レベルＢより高くなる。

[0065] ＝＝＝検出回路の他の実施例＝＝＝

図７は、交流電圧Ｖａｃが遮断された状態であるか否かを検出する検出回路５５の構成を示す図である。検出回路５５は、検出回路５３と同様に、交流電圧Ｖａｃが遮断されていることを検出すると、Ｌレベルの信号Ｖｄｘ（第１信号）を出力し、交流電圧Ｖａｃが遮断されていないことを検出すると、Ｈレベルの信号Ｖｄｘ（第２信号）を出力する。なお、検出回路５５における電流値Ｉ１や電圧Ｖ１は、上述した電流値Ｉ１や電圧Ｖ１と同じである。

[0066] 検出回路５５（信号出力回路）は、コンパレータ１２０～１２２、タイマ回路１２３、ＯＲ回路１２４、Ｄフリップフロップ１２５、及びインバータ１２６，１２７を含んで構成される。

[0067] コンパレータ１２０（第１比較回路）は、電圧Ｖｃｓと、電圧Ｖ１との大

小関係に基づいて、インダクタ電流ＩＬの電流値と、電流値Ｉ１とを比較する回路である。コンパレータ１２０から比較結果として出力される信号Ｖｘ１は、インダクタ電流ＩＬの電流値が、電流値Ｉ１より大きい場合にＬレベルとなり、電流値Ｉ１より小さい場合にＨレベルとなる。

[0068] コンパレータ１２１（第２比較回路）は、帰還電圧Ｖｆｂと、電圧Ｖ２との大小関係に基づいて、出力電圧Ｖｏｕｔのレベルと、目的レベルより低い所定レベルＡ（第１レベル）とを比較する回路である。コンパレータ１２１から比較結果として出力される信号Ｖｘ２は、出力電圧Ｖｏｕｔのレベルが、所定レベルＡより高い場合にＨレベルとなり、所定レベルＡより低い場合にＬレベルとなる。

[0069] コンパレータ１２２（第３比較回路）は、帰還電圧Ｖｆｂと、電圧Ｖ３との大小関係に基づいて、出力電圧Ｖｏｕｔのレベルと、所定レベルＢ（第２レベル）とを比較する回路である。コンパレータ１２２から比較結果として出力される信号Ｖｘ３は、出力電圧Ｖｏｕｔのレベルが、所定レベルＢより高い場合にＨレベルとなり、所定レベルＢより低い場合にＬレベルとなる。

[0070] タイマ回路１２３は、Ｈレベルの信号がＲ入力に入力されている時間を計時し、Ｌレベルの信号がＲ入力に入力されると計時した時間をリセットする。また、タイマ回路１２３は、Ｈレベルの信号が入力されてから計時した時間が所定時間Ｔに達すると、Ｑ出力から出力される信号ＶｔをＬレベルからＨレベルに変化させる。なお、本実施形態のタイマ回路１２３は、インダクタ電流ＩＬの電流値が電流値Ｉ１より小さくなり、信号Ｖｘ１がＨレベルとなってからの経過時間を計時することになる。

[0071] ＯＲ回路１２４は、インバータ１２７で反転した信号Ｖｘ１と、信号Ｖｘ３との論理和を演算し、Ｄフリップフロップ１２５に出力する。

[0072] Ｄフリップフロップ１２５のＤ入力には、信号Ｖｔが入力され、ｃｋ入力には、信号Ｖｘ２が入力され、Ｒ入力には、ＯＲ回路１２４の出力が入力される。インバータ１２６は、入力される信号の論理レベルを反転させ信号Ｖｄｘとして出力する。

[0073] ここで、インダクタ電流ＩＬの電流値が電流値Ｉ１より小さくなると、信号Ｖｘ１は、Ｈレベルとなる。そして、Ｈレベルの信号Ｖｘ１が所定時間Ｔ出力されると、タイマ回路１２３は、信号ＶｔをＨレベルに変化させるため、Ｄフリップフロップ１２５のＤ入力は、Ｈレベルの信号が入力される。この際に、出力電圧Ｖｏｕｔのレベルが、所定レベルＡより低くなると、信号Ｖｘ２がＬレベルとなるため、Ｄフリップフロップ１２５のＱ出力はＨレベルとなる。この結果、信号ＶｄｘはＬレベルに変化する。このように、検出回路５５は、インダクタ電流ＩＬが所定時間Ｔだけ小さくなり、出力電圧Ｖｏｕｔのレベルが低下すると、検出回路５３と同様に動作する。

[0074] また、検出回路５５は、出力電圧Ｖｏｕｔのレベルが所定レベルＢより高くなるか、インダクタ電流ＩＬの電流値が電流値Ｉ１より大きくなると、信号ＶｄｘをＨレベルに変化させる。したがって、検出回路５５は、出力電圧Ｖｏｕｔのレベルが所定レベルＢより高くなるか、インダクタ電流ＩＬの電流値が電流値Ｉ１より大きくなる場合も、検出回路５３と同様に動作する。このため、例えば、力率改善ＩＣ２５において、検出回路５３の代わりに検出回路５５を用いることも可能である。

[0075] ＝＝＝まとめ＝＝＝

以上、本実施形態のＡＣ－ＤＣコンバータ１０について説明した。力率改善ＩＣ２５は、交流電圧Ｖａｃが遮断されたことを検出する検出回路５３を含んでいる。このため、ＡＣ－ＤＣコンバータ１０を実現する際には、交流電圧Ｖａｃを検出する回路をディスクリート部品等で構成する必要がない。したがって、力率改善ＩＣ２５を用いることにより、ＡＣ－ＤＣコンバータ１０は、低コストで交流電圧Ｖａｃが遮断されたことを検出することが可能である。

[0076] また、交流電圧Ｖａｃが遮断された後に復帰すると、電圧Ｖｒｅｃが上昇するため、インダクタ電流ＩＬも増加する。本実施形態の検出回路５３は、インダクタ電流ＩＬの電流値と、電流値Ｉ１とを比較することにより、遮断された交流電圧Ｖａｃが復帰したことを検出している。このように、力率改

善ＩＣ２５は、交流電圧Ｖａｃの遮断のみならず、復帰も検出することができる。

[0077] また、交流電圧Ｖａｃが復帰すると、出力電圧Ｖｏｕｔのレベルも上昇する。検出回路５３は、出力電圧Ｖｏｕｔのレベルが所定レベルＢより高くなると、遮断された交流電圧Ｖａｃが復帰したことを検出している。このように、力率改善ＩＣ２５は、インダクタ電流ＩＬのみならず、出力電圧Ｖｏｕｔに基づいて交流電圧Ｖａｃの復帰を検出することができる。また、所定レベルＢは、交流電圧Ｖａｃが遮断されたことを検出する所定レベルＡよりも高く設定されている。つまり、出力電圧Ｖｏｕｔのレベルで遮断を検出する際のレベルと、復帰を検出する際のレベルとは異なる。このため、検出回路５３は、出力電圧Ｖｏｕｔがリップルやノイズ等により変動した場合であっても、交流電圧Ｖａｃの遮断、復帰を精度良く検出することができる。

[0078] また、力率改善ＩＣ２５の電圧切替回路５４は、交流電圧Ｖａｃが遮断された際に、端子ＯＶＰの電圧のレベルを電圧Ｖｃｃのレベルへと変化させている。このため、力率改善ＩＣ２５の利用者は、端子ＯＶＰの電圧のレベルをモニタすることで、交流電圧Ｖａｃが遮断されたことを把握することができる。

[0079] また、力率改善ＩＣ２５では、コンパレータ５２が過電圧を検出すると、パワートランジスタ２６がオフされる。これにより、出力電圧Ｖｏｕｔが必要以上に上昇することを防ぐことができる。

[0080] また、マイコン１３は、端子ＯＶＰの電圧レベルが上昇すると負荷１２の消費電力を低下させる。このため、仮に交流電圧Ｖａｃが遮断され、ＡＣ－ＤＣコンバータ１０の出力電圧Ｖｏｕｔが目的レベルから低下した場合であっても、短時間で出力電圧Ｖｏｕｔを目的レベルまで戻すことができる。

[0081] 上記の実施形態は、本発明の理解を容易にするためのものであり、本発明を限定して解釈するためのものではない。また、本発明は、その趣旨を逸脱することなく、変更や改良され得るとともに、本発明にはその等価物が含まれるのはいうまでもない。

## 符号の説明

[0082] １０　ＡＣ－ＤＣコンバータ

１１　ＤＣ－ＤＣコンバータ

１２　負荷

１３　マイコン

２０　全波整流回路

２１，２２，３６　コンデンサ

２３　インダクタ

２４　ダイオード

２５　力率改善ＩＣ

２６　パワートランジスタ

３０～３５　抵抗

５０　駆動信号生成回路

５１　駆動回路

５２，７０，７５，１００～１０２，１２０～１２２　コンパレータ

５３，５５　検出回路

５４　電圧切替回路

７１　遅延回路

７２　パルス回路

７３　誤差増幅回路

７４　発振回路

７６，１０７　ＳＲフリップフロップ

８０，１０５　ＡＮＤ回路

８１　バッファ回路

９０　ＰＭＯＳトランジスタ

９１　ＮＭＯＳトランジスタ

９２　スイッチ

９３，１０３，１０８，１２６，１２７　インバータ

１０４，１２３　タイマ回路

１０６，１２４　ＯＲ回路

１２５　Ｄフリップフロップ

# 請求の範囲

[請求項1] 入力される所定の交流電圧から目的レベルの出力電圧を生成すべく、前記所定の交流電圧を整流する整流回路からの電圧が印加されるインダクタに流れるインダクタ電流と、前記出力電圧と、に基づいて前記インダクタ電流を制御するトランジスタを駆動する集積回路であって、

前記インダクタ電流の電流値と、所定の電流値とを比較する第１比較回路と、

前記インダクタ電流の電流値が前記所定の電流値より小さいことを示す比較結果を前記第１比較回路が出力してからの経過時間を計時するタイマ回路と、

前記出力電圧のレベルと、前記目的レベルより低い第１レベルとを比較する第２比較回路と、

前記経過時間が所定時間に達し、かつ、前記出力電圧のレベルが前記第１レベルより低いことを示す比較結果を前記第２比較回路が出力した場合に、前記整流回路に前記所定の交流電圧が入力されていないことを示す第１信号を出力する信号出力回路と、

を備えることを特徴とする集積回路。

[請求項2] 請求項１に記載の集積回路であって、

前記信号出力回路は、

前記インダクタ電流の電流値が前記所定の電流値より大きいことを示す比較結果が前記第１比較回路から出力されると、前記整流回路に前記所定の交流電圧が入力されていることを示す第２信号を出力すること、

を特徴とする集積回路。

[請求項3] 請求項２に記載の集積回路であって、

前記出力電圧のレベルと、前記目的レベルより低く前記第１レベルより高い第２レベルとを比較する第３比較回路を更に含み、

前記信号出力回路は、

前記インダクタ電流の電流値が前記所定の電流値より大きいことを示す比較結果が前記第１比較回路から出力されるか、前記出力電圧のレベルが前記第２レベルより高いことを示す比較結果が前記第３比較回路から出力されると、前記第２信号を出力すること、

を特徴とする集積回路。

[請求項4] 請求項３に記載の集積回路であって、

端子と、

前記第１信号に基づいて前記端子の電圧レベルが所定の電圧レベルとなり、前記第２信号に基づいて前記端子の電圧レベルが前記出力電圧を分圧した分圧電圧のレベルとなるよう、前記端子の電圧レベルを切り替える電圧切替回路と、

前記第２信号が出力されている際、前記分圧電圧のレベルと、前記目的レベルより高い第３レベルに応じた基準電圧のレベルとを比較する第４比較回路と、を更に含み、

前記所定の電圧のレベルは、前記基準電圧のレベルより高いこと、

を特徴とする集積回路。

[請求項5] 請求項４に記載の集積回路であって、

前記インダクタ電流と、前記出力電圧とに基づいて前記トランジスタをオンオフする駆動信号を生成する駆動信号生成回路と、

前記分圧電圧のレベルが前記基準電圧のレベルより低い場合、前記駆動信号に基づいて前記トランジスタをオンオフし、前記分圧電圧のレベルが前記基準電圧のレベルより高い場合、前記トランジスタをオフする駆動回路と、を更に含むこと、

を特徴とする集積回路。

[請求項6] 請求項４または請求項５に記載の集積回路であって、

前記端子には、前記端子の電圧のレベルが前記基準電圧のレベルより高くなると、前記出力電圧に基づいて動作する負荷の消費電力を低

下させる制御回路が接続されていること、

を特徴とする集積回路。

[請求項7] 所定の交流電圧から目的レベルの出力電圧を生成する電源回路であって、

前記所定の交流電圧を整流する整流回路と、

前記整流回路からの電圧が印加されるインダクタと、

前記インダクタに流れるインダクタ電流と、前記出力電圧と、に基づいて前記インダクタ電流を制御するトランジスタを駆動する集積回路と、

を含み、

前記集積回路は、

前記インダクタ電流の電流値と、所定の電流値とを比較する第１比較回路と、

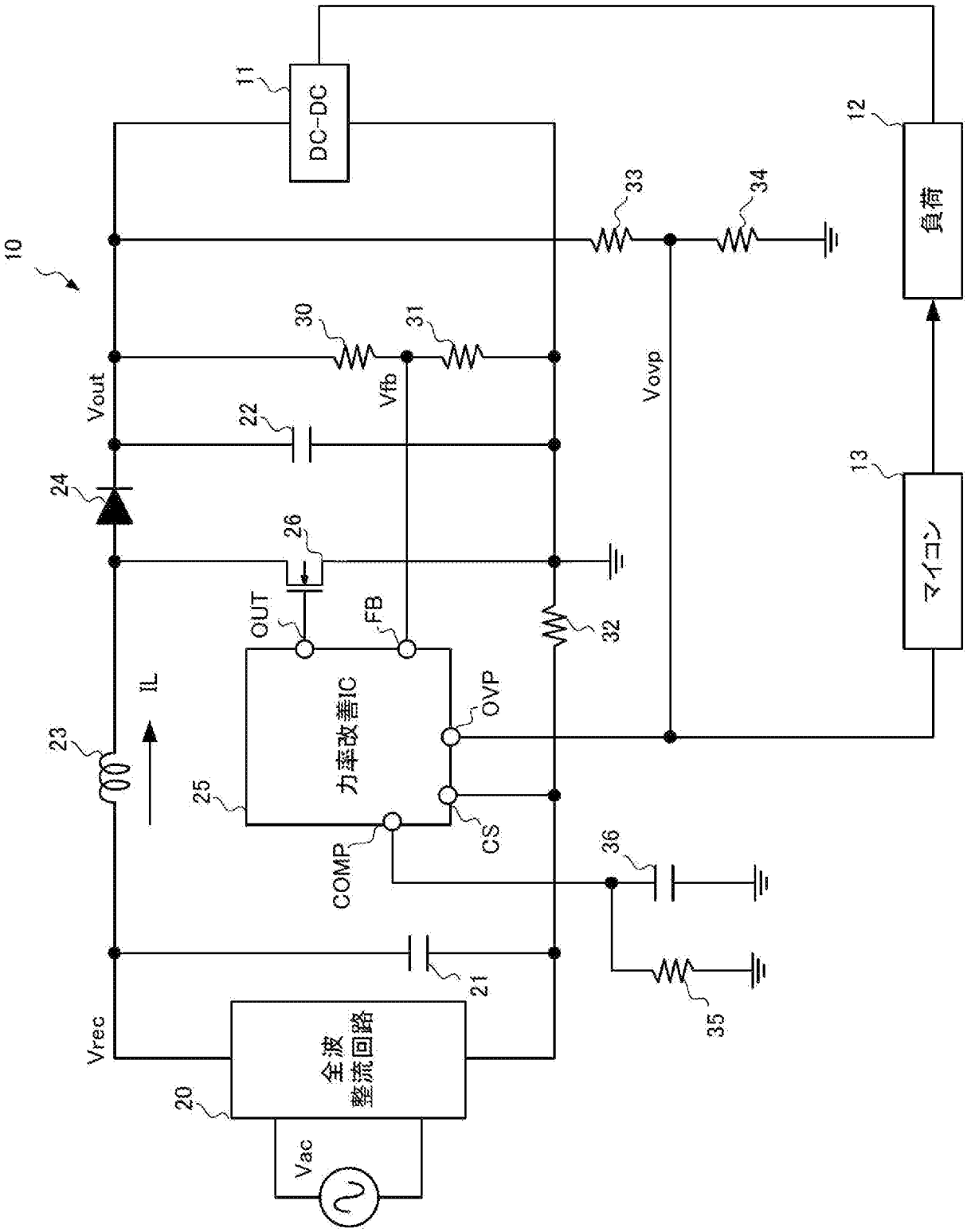
前記インダクタ電流の電流値が前記所定の電流値より小さいことを示す比較結果を前記第１比較回路が出力してからの経過時間を計時するタイマ回路と、

前記出力電圧のレベルと、前記目的レベルより低い第１レベルとを比較する第２比較回路と、

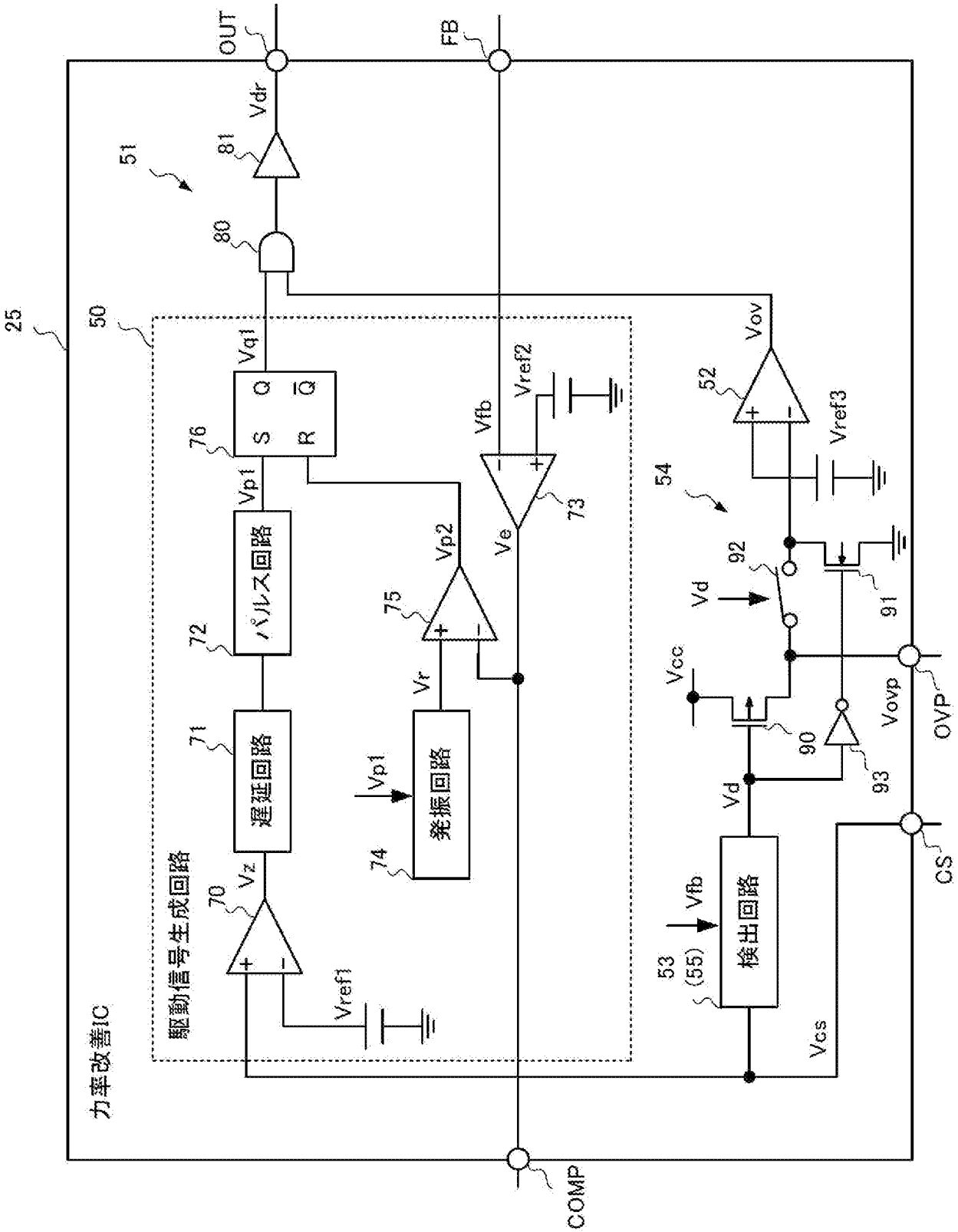
前記経過時間が所定時間に達し、かつ、前記出力電圧のレベルが前記第１レベルより低いことを示す比較結果を前記第２比較回路が出力した場合に、前記整流回路に前記所定の交流電圧が入力されていないことを示す第１信号を出力する信号出力回路と、

を備えることを特徴とする電源回路。

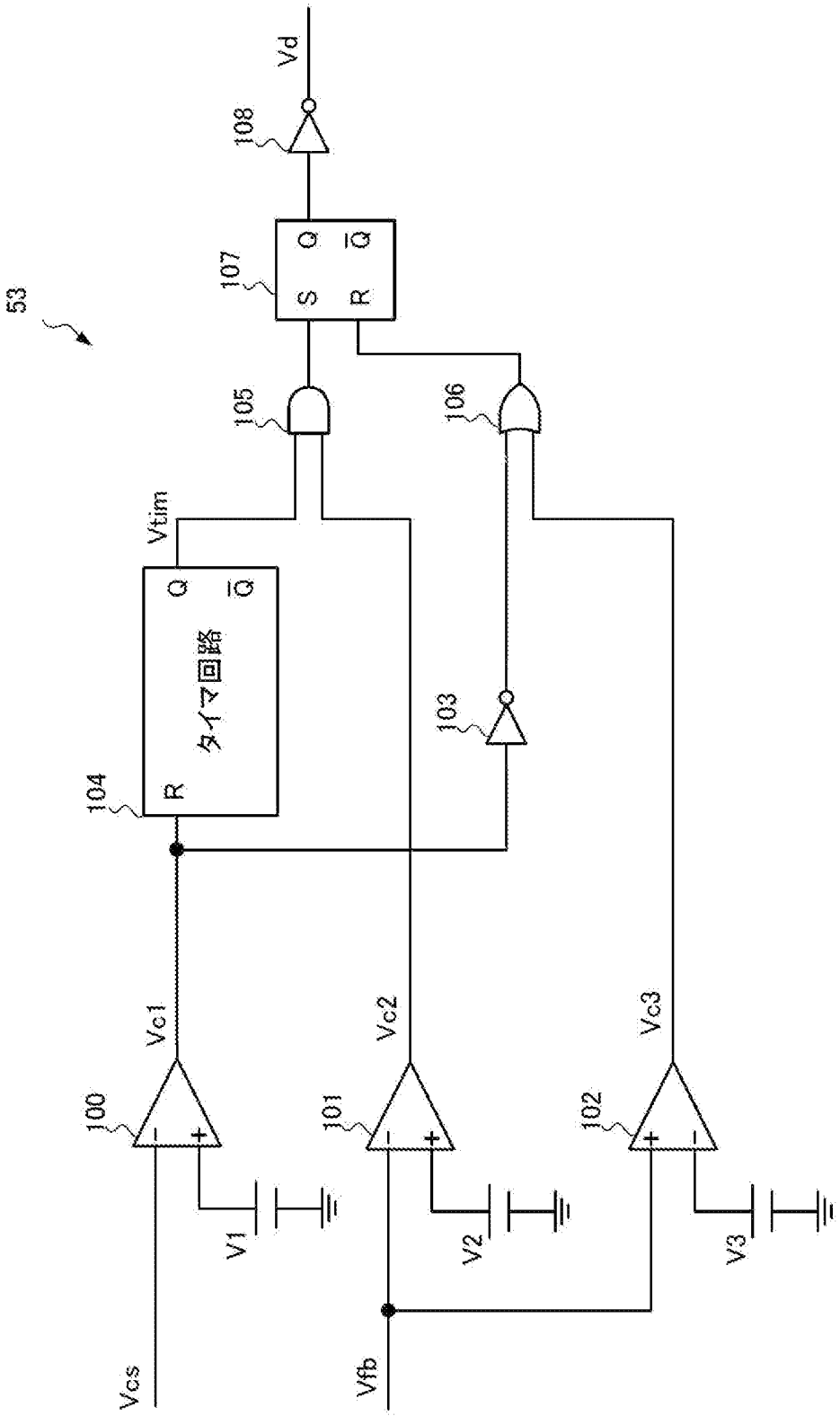
[図1]


10
11
DC-DC
12
負荷
13
マイコン
20
全波
整流回路
21
22
23
24
25
力率改善IC
26
30
31
32
33
34
35
36
Vout
Vfb
Vovp
Vrec
Vac
IL
OUT
FB
OVP
CS
COMP

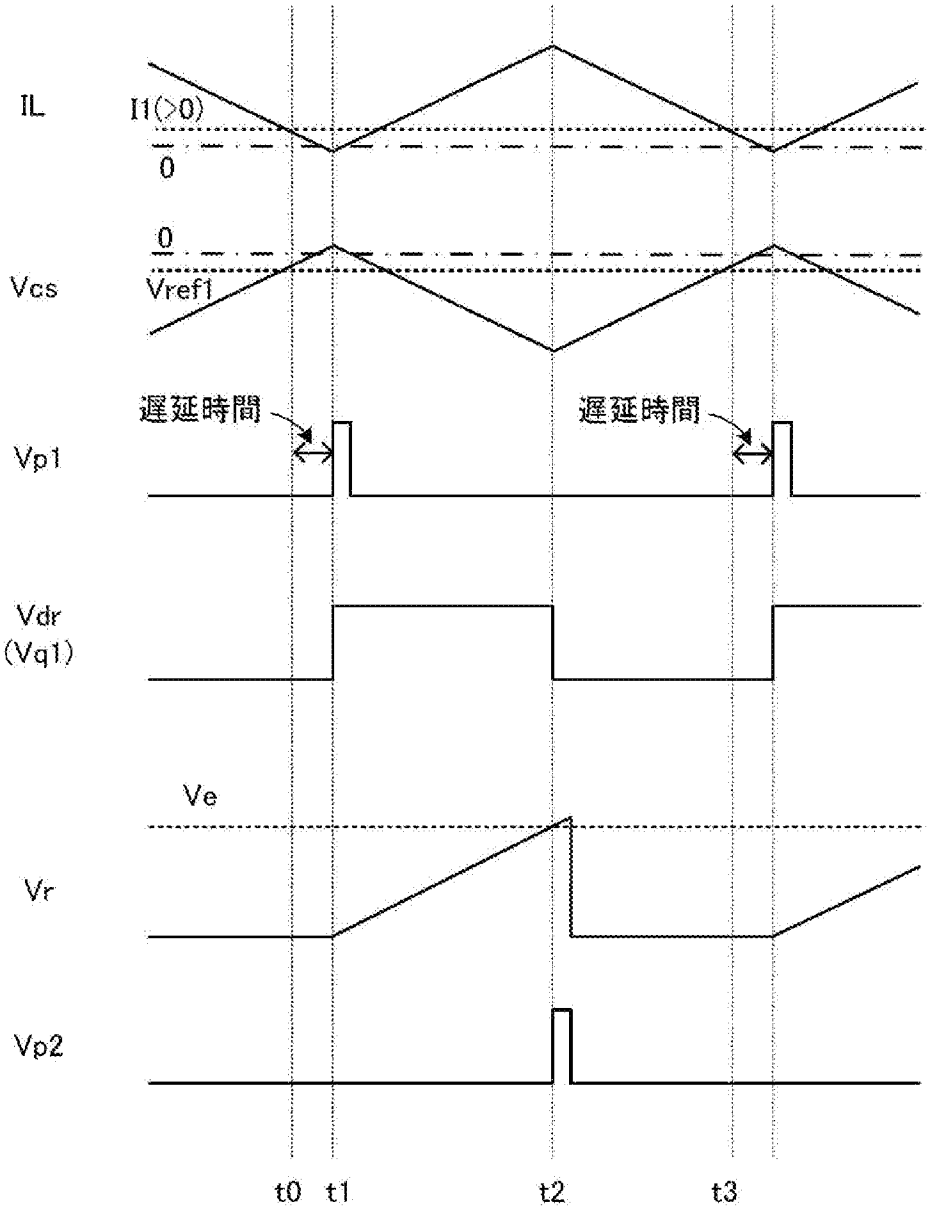
[図2]


力率改善IC
25
50
駆動信号生成回路
51
OUT
FB
COMP
OVP
CS
Vdr
81
80
Vq1
Q
S
R
76
Vp1
パルス回路
72
遅延回路
71
Vz
70
Vref1
Vp2
75
Vr
発振回路
74
Vfb
Vref2
73
Ve
Vov
52
Vref3
54
92
Vd
91
Vcc
90
93
Vovp
Vd
Vfb
53
(55)
検出回路
Vcs

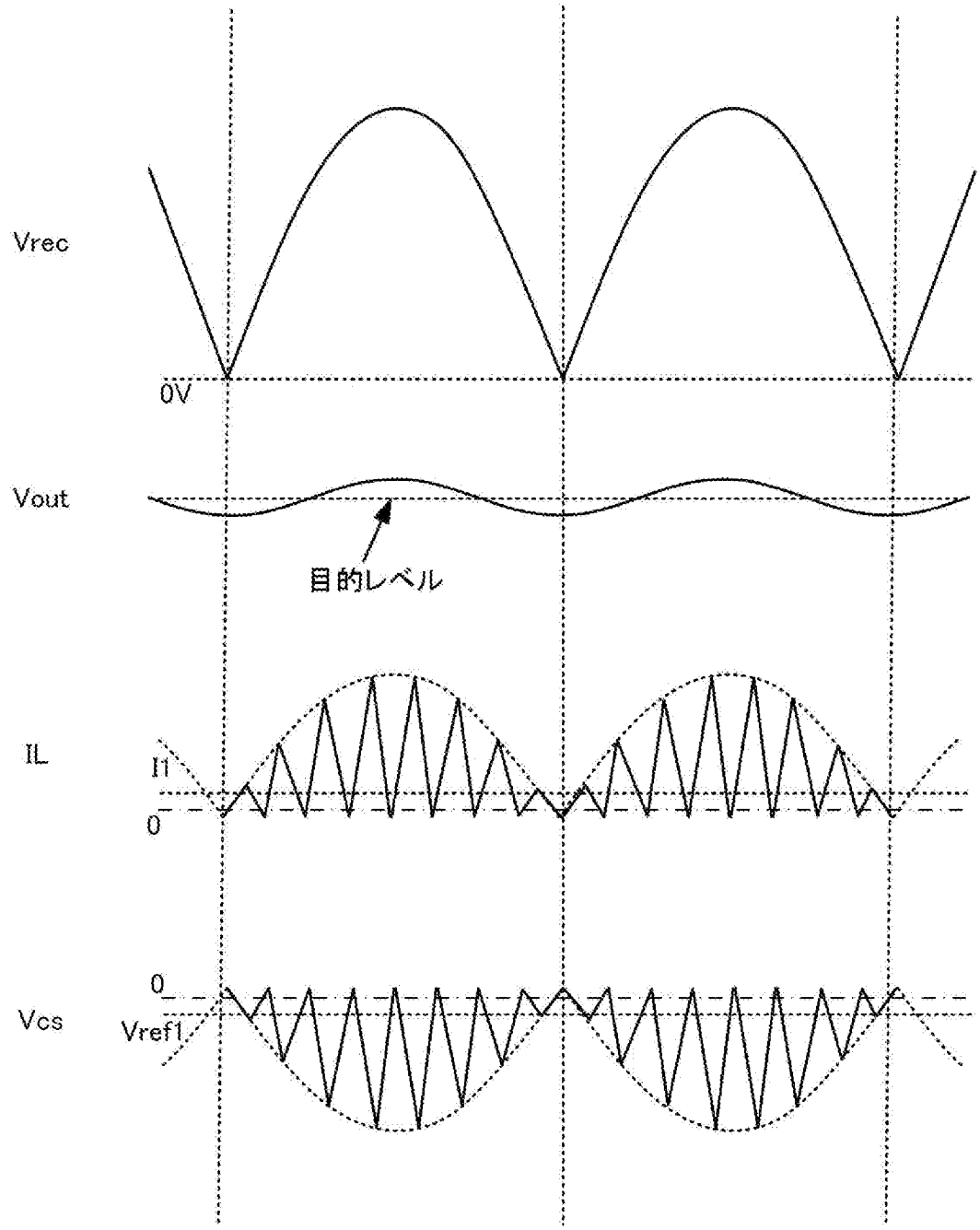
[図3]


53
Vd
108
107
S
R
Q
$\overline{Q}$
105
106
Vtim
タイマ回路
104
103
Vc1
Vc2
Vc3
100
101
102
V1
V2
V3
Vcs
Vfb

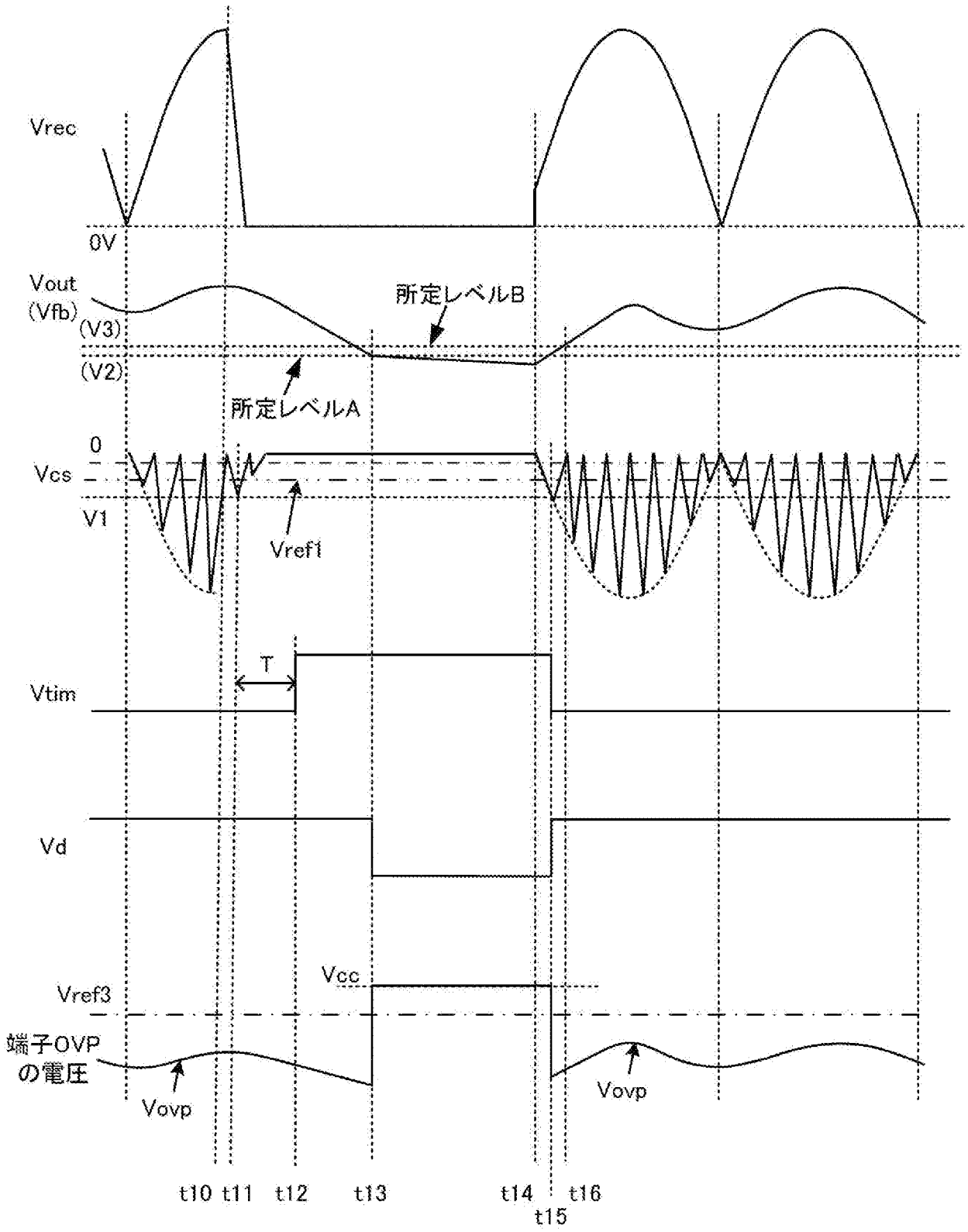
[図4]



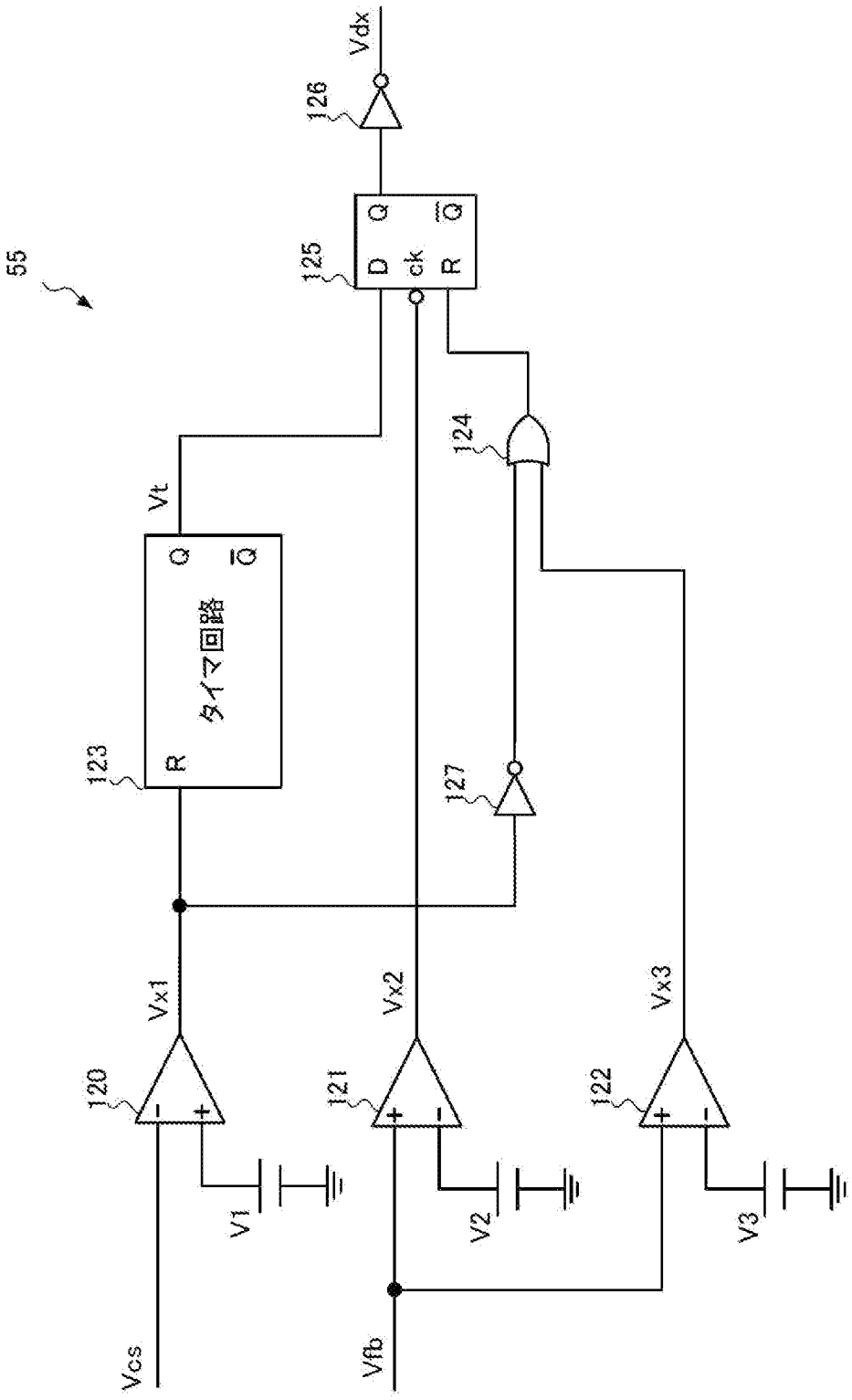
[図5]



[図6]


Vrec
0V
Vout
(Vfb)
(V3)
(V2)
所定レベルB
所定レベルA
0
Vcs
V1
Vref1
T
Vtim
Vd
Vcc
Vref3
端子OVP
の電圧
Vovp
Vovp
t10
t11
t12
t13
t14
t15
t16

[図7]


55
Vdx
126
125
D
Q
ck
R
124
Vt
Q
タイマ回路
R
123
127
Vx1
Vx2
Vx3
120
121
122
V1
V2
V3
Vcs
Vfb

# INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2019/032981

A. CLASSIFICATION OF SUBJECT MATTER
Int. Cl. H02M7/12(2006.01)i, H02M3/155(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int. Cl. H02M7/12, H02M3/155

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2019
Registered utility model specifications of Japan 1996-2019
Published registered utility model applications of Japan 1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|---|---|---|
| A | WO 2017/010031 A1 (SONY CORP.) 19 January 2017, entire text, all drawings & US 2018/01198363 A1, entire text, all drawings & CN 107710579 A | 1-7 |
| A | JP 2015-35931 A (OMRON CORP.) 19 February 2015, entire text, all drawings (Family: none) | 1-7 |
| A | JP 11-297483 A (ASAHI NATIONAL LIGHTING CO., LTD.) 29 October 1999, entire text, all drawings (Family: none) | 1-7 |
| A | WO 2014/188711 A1 (PANASONIC INTELLECTUAL PROPERTY MANAGEMENT CO., LTD.) 27 November 2014, entire text, all drawings & US 2016/0036249 A1, entire text, all drawings & CN 105247772 A | 1-7 |

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

| Date of the actual completion of the international search | Date of mailing of the international search report |
|---|---|
| 21.10.2019 | 05.11.2019 |
| Name and mailing address of the ISA/<br>Japan Patent Office<br>3-4-3, Kasumigaseki, Chiyoda-ku,<br>Tokyo 100-8915, Japan | Authorized officer<br><br>Telephone No. |

**INTERNATIONAL SEARCH REPORT**

International application No.
PCT/JP2019/032981

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|---|---|---|
| A | JP 2014-23194 A (FUJI ELECTRIC CO., LTD.) 03 February 2014, entire text, all drawings & US 9178431 B2, entire text, all drawings & US 2014/0016363 A1 | 1-7 |
| A | JP 2014-82924 A (FUJI ELECTRIC CO., LTD.) 08 May 2014, entire text, all drawings & US 2014/0085949 A1, entire text, all drawings & CN 103683918 A | 1-7 |
| A | JP 2010-154639 A (FUJI ELECTRIC SYSTEMS CO., LTD.) 08 July 2010, entire text, all drawings & US 2010/0165683 A1, entire text, all drawings | 1-7 |
| A | JP 2003-199348 A (FUJI ELECTRIC CO., LTD.) 11 July 2003, entire text, all drawings & US 2005/0047052 A1, entire text, all drawings & WO 2003/056581 A1 | 1-7 |
| A | JP 2018-113175 A (TOSHIBA LIGHTING & TECHNOLOGY CORP.) 19 July 2018, entire text, all drawings (Family: none) | 1-7 |

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１９／０３２９８１

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H02M7/12(2006.01)i, H02M3/155(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H02M7/12, H02M3/155

最小限資料以外の資料で調査を行った分野に含まれるもの

| | |
|---|---|
| 日本国実用新案公報 | １９２２－１９９６年 |
| 日本国公開実用新案公報 | １９７１－２０１９年 |
| 日本国実用新案登録公報 | １９９６－２０１９年 |
| 日本国登録実用新案公報 | １９９４－２０１９年 |

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

| 引用文献のカテゴリー＊ | 引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する請求項の番号 |
|---|---|---|
| A | WO 2017/010031 A1（ソニー株式会社）2017.01.19, 全文, 全図 & US 2018/0198363 A1, 全文, 全図 & CN 107710579 A | 1-7 |
| A | JP 2015-35931 A（オムロン株式会社）2015.02.19, 全文, 全図（ファミリーなし） | 1-7 |
| A | JP 11-297483 A（朝日ナショナル照明株式会社）1999.10.29, 全文, 全図（ファミリーなし） | 1-7 |

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

| 国際調査を完了した日 | 国際調査報告の発送日 |
|---|---|
| ２１．１０．２０１９ | ０５．１１．２０１９ |


国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｇ　９６５０
佐藤　匡
電話番号　０３－３５８１－１１０１　内線　３５２６

Ｃ（続き）．　関連すると認められる文献

| 引用文献のカテゴリー＊ | 引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する請求項の番号 |
|---|---|---|
| A | WO 2014/188711 A1（パナソニックＩＰマネジメント株式会社）2014.11.27，全文，全図 & US 2016/0036249 A1，全文，全図 & CN 105247772 A | 1-7 |
| A | JP 2014-23194 A（富士電機株式会社）2014.02.03，全文，全図 & US 9178431 B2,全文，全図 & US 2014/0016363 A1 | 1-7 |
| A | JP 2014-82924 A（富士電機株式会社）2014.05.08，全文，全図 & US 2014/0085949 A1,全文，全図 & CN 103683918 A | 1-7 |
| A | JP 2010-154639 A（富士電機システムズ株式会社）2010.07.08，全文，全図 & US 2010/0165683 A1，全文，全図 | 1-7 |
| A | JP 2003-199348 A（富士電機株式会社）2003.07.11，全文，全図 & US 2005/0047052 A1,全文，全図 & WO 2003/056581 A1 | 1-7 |
| A | JP 2018-113175 A（東芝ライテック株式会社）2018.07.19，全文，全図（ファミリーなし） | 1-7 |