

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3851663号
(P3851663)

(45) 発行日 平成18年11月29日(2006.11.29)

(24) 登録日 平成18年9月8日(2006.9.8)

(51) Int. Cl. F I
G06F 1/04 (2006.01) G06F 1/04 301C

請求項の数 16 (全 21 頁)

<p>(21) 出願番号 特願平10-523479 (86) (22) 出願日 平成9年11月21日(1997.11.21) (86) 国際出願番号 PCT/JP1997/004253 (87) 国際公開番号 W01998/022863 (87) 国際公開日 平成10年5月28日(1998.5.28) 審査請求日 平成15年5月21日(2003.5.21) (31) 優先権主張番号 特願平8-310380 (32) 優先日 平成8年11月21日(1996.11.21) (33) 優先権主張国 日本国(JP)</p>	<p>(73) 特許権者 株式会社ルネサステクノロジ 東京都千代田区丸の内2丁目4番1号 (74) 代理人 弁理士 玉村 静世 (74) 代理人 弁理士 作田 康夫 (72) 発明者 戸塚 米太郎 東京都国分寺市西恋ヶ窪4丁目14-6 日立第四協心寮B205 (72) 発明者 石橋 孝一郎 埼玉県蕨市南町3丁目7-6 (72) 発明者 水野 弘之 東京都国分寺市西恋ヶ窪3丁目8-1-8 7 最終頁に続く</p>
----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------	-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------

(54) 【発明の名称】 低電力プロセッサ

(57) 【特許請求の範囲】

【請求項1】

トランジスタを含み、第1モードと第2モードとを有する主回路と、
 上記主回路のトランジスタが形成されたウェルに印加される基板バイアス電圧を切り替える基板バイアス切り替え回路と、
 上記第1モードに移行する命令の実行または上記第2モードに移行する割り込みに応答して動作する動作モード制御回路とを備え、
 上記動作モード制御回路は、上記主回路を上記第1モードに移行する命令に応答して上記基板バイアス電圧を上記第1モード用の電圧に切り替えるように上記基板バイアス切り替え回路を制御し、上記主回路を上記第2モードに移行する割り込みに応答して上記基板バイアス電圧を上記第2モード用の電圧に切り替えるように上記基板バイアス切り替え回路を制御し、
 上記第1モード用の電圧が印加されたトランジスタのしきい値電圧の絶対値は上記第2モード用の電圧が印加されたトランジスタのしきい値電圧の絶対値よりも高くされ、
 上記第1モード用の電圧から上記第2モード用の電圧に切り替える際には、その切り替えた基板バイアス電圧が安定したことを検知した後に上記主回路の動作を開始させるマイクロプロセッサ。

【請求項2】

上記マイクロプロセッサを形成する基板は多重ウェル構造を有し、
 上記多重ウェル構造は、第1導電型の第1の半導体領域の中に第2導電型の第2の半導体

10

20

領域を形成し、上記第2の半導体領域の中に第1導電型の第3の半導体領域を形成し、上記第2の半導体領域に第1導電型のトランジスタを形成し、上記第3の半導体領域に第2導電型のトランジスタを形成する請求項1記載のマイクロプロセッサ。

【請求項3】

請求項2において、

上記主回路のトランジスタが形成される上記第3の半導体領域は、上記基板バイアス切り替え回路と上記動作モード制御回路のトランジスタが形成される半導体領域とは異なるマイクロプロセッサ。

【請求項4】

請求項1乃至3のいずれかにおいて、

上記動作モード制御回路は、上記基板バイアス電圧の安定に必要な時間の経過を計測するためのタイマーを備えるマイクロプロセッサ。

【請求項5】

請求項1乃至3のいずれかにおいて、

上記動作モード制御回路は、上記基板バイアス電圧が所定のレベルに安定したことを検知するセンサを備えるマイクロプロセッサ。

【請求項6】

請求項1乃至5のいずれかにおいて、

上記基板バイアス切り替え回路は上記基板バイアス電圧を発生する基板バイアス発生回路を有するマイクロプロセッサ。

【請求項7】

請求項1乃至6のいずれかにおいて、

上記第1モードは上記主回路の動作がスタンバイ状態となるスタンバイモードであり、上記第2モードは上記主回路が通常の動作を行う通常モードであるマイクロプロセッサ。

【請求項8】

主回路と、

上記主回路が形成されたウェルに印加される基板バイアス電圧を切り替える基板バイアス切り替え回路と、

動作モード制御回路とを備え、

上記動作モード制御回路は、上記主回路における第1のモードに移行する命令にตอบสนองして上記基板バイアス電圧を第1のモード用の電圧に切り替えるように上記基板バイアス切り替え回路を制御し、上記主回路における第2のモードに移行する割り込みにตอบสนองして上記基板バイアス電圧を第2のモード用の電圧に切り替えるように上記基板バイアス切り替え回路を制御し、

上記主回路が形成されたウェルに印加された基板バイアス電圧が上記第2のモードに対応する電圧に安定したことを検知して上記主回路の動作を開始させるマイクロプロセッサ。

【請求項9】

請求項8において、

上記第1のモードにおける上記主回路を構成するトランジスタのしきい値電圧の絶対値は、上記第2のモードにおける上記トランジスタのしきい値電圧の絶対値よりも高いマイクロプロセッサ。

【請求項10】

請求項8または9において、

上記主回路が形成されたウェルは、上記基板バイアス切り替え回路及び上記動作モード制御回路が形成されたウェルとは異なることを特徴とするプロセッサ。

【請求項11】

請求項8乃至10のいずれかにおいて、

上記主回路が形成されたウェルに印加された基板バイアス電圧を検知するセンサを備え、上記動作モード制御回路は、上記センサの検知結果にตอบสนองして上記主回路の動作を開始させることを特徴とするマイクロプロセッサ。

10

20

30

40

50

【請求項 1 2】

プログラム命令列を実行するプロセッサ主回路と、
上記プロセッサ主回路の形成されたウェルに印加する基板バイアス電圧を制御する基板バイアス制御回路とを備え、

上記基板バイアス制御回路は、第 1 状態から第 2 状態に移行する上記プロセッサ主回路の命令にตอบสนองして上記基板バイアス電圧を第 1 状態用の電圧から第 2 状態用の電圧に切り替え制御する一方、外部から第 2 状態解除の割り込みを受けて上記第 2 状態用の電圧から上記第 1 状態用の電圧に切り替え制御し、

上記プロセッサ主回路が形成されたウェルに印加された基板バイアス電圧が上記第 1 状態用の電圧値に安定したことを検知して上記プロセッサ主回路の第 2 状態が解除されるマイクロプロセッサ。

10

【請求項 1 3】

請求項 1 2 において、

上記第 1 状態における上記プロセッサ主回路を構成するトランジスタのしきい値電圧の絶対値は、上記第 2 状態における上記トランジスタのしきい値電圧の絶対値よりも高いマイクロプロセッサ。

【請求項 1 4】

主回路と、

上記主回路が形成されたウェルに印加される基板バイアス電圧を切り替える基板バイアス切り替え回路と、

20

タイマーと、

動作モード制御回路とを備え、

上記動作モード制御回路は、上記主回路における第 1 のモードに移行する命令にตอบสนองして上記基板バイアス電圧を第 1 のモード用の電圧に切り替えるように上記基板バイアス切り替え回路を制御し、上記主回路における第 2 のモードに移行する割り込みにตอบสนองして上記基板バイアス電圧を第 2 のモード用の電圧に切り替えるように上記基板バイアス切り替え回路を制御し、

上記タイマーにより上記基板バイアス切り替え回路が上記基板バイアス電圧を上記第 2 のモード用の電圧に切り替えてから所定時間経過したことを計測した後に上記主回路の動作を開始させるマイクロプロセッサ。

30

【請求項 1 5】

請求項 1 4 において、

上記第 1 のモードにおける上記主回路を構成するトランジスタのしきい値電圧の絶対値は、上記第 2 のモードにおける上記トランジスタのしきい値電圧の絶対値よりも高いマイクロプロセッサ。

【請求項 1 6】

請求項 1 4 または 1 5 において、

上記タイマーには、上記基板バイアス電圧の安定に必要な時間が設定されるマイクロプロセッサ。

【発明の詳細な説明】

40

技術分野

本発明はプロセッサなどの半導体集積回路装置に関し、特に、プロセッサの動作モードに応じて MOS トランジスタにより構成されるプロセッサ回路の基板バイアスを制御することにより高速動作かつ低消費電力を実現するマイクロプロセッサに関する。

背景技術

現在、マイクロプロセッサの実現には CMOS による集積回路が広く用いられている。CMOS 回路の消費電力にはスイッチング時の充放電によるダイナミックな消費電力とリーク電流によるスタティックな消費電力によるものがある。このうちダイナミック消費電力は電源電圧 V_{dd} の 2 乗に比例し、大きな消費電力を占めるため、低消費電力化のためには電源電圧を下げるのが効果的であり、近年多くのマイクロプロセッサの電源電圧は低

50

下してきている。

現在の低消費電力型のマイクロプロセッサには、パワーマネージメント機構を備え、プロセッサに複数の動作モードを設け、それに従って待機時に実行ユニットへのクロックの供給を停止しているものがある。このクロック供給の停止により、不要な実行ユニットにおけるスイッチングによるダイナミックな消費電力を可能な限り削減することができる。しかしながら、リーク電流によるスタティックな消費電力は削減することができず、残存したままである。

CMOS回路の動作速度は電源電圧の低下に伴い遅くなるため、動作速度の劣化を防ぐためには電源電圧の低下に連動してMOSトランジスタのしきい値電圧を下げる必要がある。しかし、しきい値電圧を下げると極端にリーク電流が増加するため、電源電圧の低下が進むにつれて、従来はそれほど大きなものではなかったリーク電流によるスタティック消費電力の増大が顕著になってきた。このため、高速性と低消費電力性の2点を両立したマイクロプロセッサを実現することが問題になっている。

MOSトランジスタ回路の動作速度およびリーク電流に関する問題を解決する方法として、基板バイアスを可変設定することによりMOSトランジスタのしきい値電圧を制御する方法が特開平6-53496号公報に示されている。

図2により基板バイアスを可変設定するためのデバイス構造を説明する。図2はCMOS構造の回路の断面図を示しており、pウェル(p型基板)201の表面層の一部に、nウェル205が形成されており、pウェル201の表面にはn+型のソース・ドレイン領域202、ゲート酸化膜203、およびゲート電極204からなるnMOSトランジスタが形成され、nウェル205の表面にはp+型のソース・ドレイン領域206、ゲート酸化膜207、およびゲート電極208からなるpMOSトランジスタが形成されている。

通常pMOSトランジスタとnMOSトランジスタのソースはそれぞれ電源電圧(以下V_{dd}と称す)と接地電位(以下V_{ss}と称す)に接続され、nMOSトランジスタとpMOSトランジスタのドレインは出力信号に接続される。基板バイアスを与えるための端子として、pMOSトランジスタのnウェル205にV_{b p}209、nMOSトランジスタのpウェル201にV_{b n}210が設けられている。

図2のようなデバイスを用いて、通常はV_{b p}209はV_{dd}に、V_{b n}210はV_{ss}に接続するが、回路の非動作時にはこれらの基板バイアスを切り替えてV_{b p}209はより高い電位に、V_{b n}210はより低い電位に接続することによりMOSトランジスタのしきい値電圧を高くすることができリーク電流を削減できる。

発明の開示

高速性と低消費電力を両立したマイクロプロセッサを実現するためには、プロセッサ回路に対して上記のような基板バイアスの可変制御を行ない、プロセッサの動作時はMOSトランジスタのしきい値電圧を低くして高速性を維持し、待機時はしきい値電圧を高くしてリーク電流を低減する必要がある。しかしながら、プロセッサの基板バイアスを可変制御するためには基板バイアスの切り替え時におけるプロセッサの動作モードの移行、特に待機状態から動作状態への移行時のプロセッサを再起動するタイミングを正確に制御し、プロセッサの誤動作を防止しなければならない。

本発明の目的はこのような問題点を解決し、プロセッサ・チップ上において上記基板バイアス制御を実現しプロセッサの各種動作モードに適用することにより、高速な低消費電力プロセッサを提供することにある。

上記問題を解決するため、本発明のプロセッサの特徴は、プロセッサ・チップ上にプログラム命令列を実行するプロセッサ主回路と、その基板に印加される基板バイアスの電圧を切り替える基板バイアス切り替え装置と、プロセッサ主回路におけるスタンバイモードに移行する命令の実行を受けて前記バイアスをスタンバイモード用の電圧に切り替えるように前記基板バイアス切り替え装置を制御し、外部からスタンバイ解除の割り込みを受け取るとバイアスを通常モード用の電圧に切り替えるように基板バイアス切り替え装置を制御し、その切り替えたバイアス電圧が安定した後にプロセッサ主回路のスタンバイを解除し動作を再開させる動作モード制御部を備えることである。

10

20

30

40

50

また、本発明のプロセッサの他の特徴は、プロセッサ・チップの半導体デバイスは3重ウェル構造をしており、プロセッサ主回路は基板バイアス切り替え装置と動作モード制御部とは異なるウェル領域上に形成されることである。

また、本発明の他の特徴は、動作モード制御部は、バイアスの切り替え時にプロセッサ主回路の動作を再開させる前にその切り替えたバイアス電圧が安定するまで待機する手段として、バイアスの安定に必要な時間の経過を計測するためのオンチップタイマ、または、バイアスが所定の電圧に安定したことを検知するセンサを備えることである。

また、本発明のプロセッサの他の特徴は、プロセッサ・チップの半導体デバイスは3重ウェル構造をしており、複数の機能モジュールに分割され、それらがそれぞれ異なるウェル領域上に形成されているプロセッサ主回路と、各機能モジュールの基板に印加される基板バイアスを切り替える基板バイアス切り替え装置と、プロセッサ主回路における一つ又は複数の前記機能モジュールをスタンバイにする命令の実行を受けてその機能モジュールの基板バイアスをスタンバイモード用の電圧に切り替えるように基板バイアス切り替え装置を制御し、外部またはプロセッサ主回路からその機能モジュールのスタンバイ解除の信号を受け取るとバイアスを通常モード用の電圧に切り替えるように基板バイアス切り替え装置を制御し、その切り替えたバイアス電圧が安定した後にプロセッサ主回路に機能モジュールのスタンバイが解除されたことを通知する動作モード制御部を備えることである。

また、本発明のプロセッサは、プロセッサ主回路の動作速度を動的に切り替える手段と、プロセッサ主回路における動作周波数変更する命令の実行を受けて基板バイアス切り替え装置をプロセッサ主回路または機能モジュールの基板バイアスをその動作周波数に適した電圧に切り替えるように制御し、その切り替えたバイアス電圧が安定した後に前記プロセッサ主回路に動作速度の切り替えが完了したことを通知する動作モード制御部を備えることである。

更に、本発明のプロセッサの特徴は、基板バイアス切り替え装置は内部で基板バイアスの電圧を発生する基板バイアス発生回路により構成されることである。

本発明はまた装置の低消費電力化に寄与する制御方法を提案するものである。すなわち、しきい値の低いトランジスタは高速だが、ソースドレイン間のリーク電流が大きく消費電力が増大するため、これを防止することが重要である。

このための構成は、半導体基板上に構成されたトランジスタを有しクロック信号に基づいて動作する複数の要素回路ブロックを有する半導体集積回路装置の消費電力を制御する制御方法であって、要素回路ブロックの全てがクロックに基づいて動作する第1のモードと、要素回路ブロックの少なくとも一つへのクロック信号の供給を停止する第2のモードと、要素回路ブロックの全てへのクロック信号の供給を停止するとともに半導体基板上に構成されたトランジスタの少なくとも一部の基板バイアスを制御してトランジスタのしきい値を上げる第3のモードとを切り換えて用いることを特徴とする。

主回路は例えば、CPU等を含むプロセッサである。第1のモードは主回路が通常の動作（演算、記憶など）を行っているモードである。

第2のモードはプロセッサの一部分へのクロックが停止されている状態であり、例えばスリープモード、ディープスリープモード等と呼ばれる。クロックを停止する範囲を選択することにより、必要な機能のみ維持しながら、低消費電力を図ることができる。

第3のモードはプロセッサの回路に対して基板バイアスを制御して、これを構成するトランジスタのしきい値を上げ、サブスレッショルドリーク電流による消費電力を低減するモードであり、例えばスタンバイモードやハードウェアスタンバイモードと称する。スタンバイモードは割り込み制御により通常状態に復帰できるが、ハードウェアスタンバイモードではリセットによらなければ復帰ができない。第3のモードでは主回路の機能は停止している。

回路全体の構成としては、要素回路ブロックは第1の回路ブロックに含まれ、クロック信号は第2の回路ブロックに含まれる発振回路により形成され、第2の回路ブロックから第1の回路ブロックにクロック信号、及び、第1の回路ブロックで処理されるべき情報信号が入力される。第2の回路ブロックにはその他、入出力回路や基板バイアスを制御する制

10

20

30

40

50

御回路が含まれる。通常は第2の回路ブロックは主回路を含む第1の回路ブロックほど高速の動作を要求されない。そこで、第2の回路ブロックを構成するトランジスタは、第1の回路ブロックを構成するトランジスタよりも、しきい値が大きく、動作電圧も高くすることが望ましい。また、第1の回路ブロックの主回路を構成するトランジスタは他の回路とは別個のウェル上に形成されることで他の回路の影響を低減することができる。

第1と第2の回路ブロックの動作電圧が異なる場合には、両者の間にはレベル変換回路が必要となる。例えば、第1の回路ブロックにレベルダウン回路を設け、第2の回路ブロックにはレベルアップ回路を設けて、信号レベルの変換を行う。

本発明では、モードの切り替えにより、基板バイアス電圧を動的に切り換えているために、信頼性の確保のためにはその動作シーケンスが重要である。

10

第1または第2のモードから第3のモードに切り換える際には、第2の回路ブロックから第1の回路ブロックに入力されるクロック信号や、第1の回路ブロックで処理されるために第1の回路ブロックに入力される情報信号をまず停止し、次に、半導体基板上に構成されたトランジスタの少なくとも一部の基板バイアスを制御してトランジスタのしきい値を上げる。これにより、第1の回路ブロックの動作が不安定な状態での第1の回路ブロックへの入力を阻止することができ、第1の回路ブロックの誤動作を防ぐことができる。

この動作のために、第1の回路ブロックへの信号入力を停止し、タイマー等により所定時間（例えば60マイクロ秒程度）待機した後、基板バイアスを制御するなどの構成を採用することができる。待機するためのタイマーは第1の回路ブロックの外に配置し、例えば第2の回路ブロックの中、あるいは、装置外部に配置する。

20

また、第3のモード（スタンバイモード）から第1のモードに切り換える際には、半導体基板上に構成されたトランジスタの少なくとも一部の基板バイアスを制御してトランジスタのしきい値を下げ、次に、第2の回路ブロックから第1の回路ブロックに入力される上記クロック信号や第1の回路ブロックで処理されるべき情報信号の入力を開始する。すなわち、第1の回路ブロックの誤動作を防止するために、第1の回路ブロックの基板電圧が安定してから信号の入力を開始する。

このために、第3のモードから第1のモードに切り換える際には、第1の回路ブロックの基板バイアスを制御してトランジスタのしきい値を下げ、タイマーにより所定時間待機して、動作が安定した後、第1の回路ブロックに入力されるクロック信号その他の信号の入力を開始する。

30

別の方法としては、トランジスタのしきい値の状態を電圧モニタなどで確認した後、第1の回路ブロックへの信号入力を開始する。あるいは、基板電圧を制御する基板バイアス発生回路の状態に基づいて、基板バイアス発生回路から出力されるスタンバイ解除を知らせる信号に従って、第1の回路ブロックに入力されるクロック信号その他の信号の入力を開始する。

第1のブロックに対する情報信号、クロック信号の停止の方法としては、第2の回路ブロックに設けた出力固定回路（レベルホールド回路）によって、信号レベルを固定することが考えられる。第1のモード時には信号は出力固定回路を経由してレベルダウン回路に入力されるが、第3のモードではレベルダウン回路への入力が固定されることになる。

【図面の簡単な説明】

40

図1は本発明の第1の実施例におけるプロセッサ・チップのブロック図である。

図2は基板バイアス制御に用いる一般的なデバイス構造を示す断面図である。

図3は本発明の第1の実施例におけるデバイス構造を示す断面図である。

図4は本発明の第1の実施例における動作の説明に用いるフローチャートである。

図5は本発明の第2の実施例におけるプロセッサ・チップのブロック図である。

図6は本発明の第3の実施例におけるプロセッサ・チップのブロック図である。

図7は本発明の第4の実施例におけるプロセッサ・チップのブロック図である。

図8は本発明の第5の実施例におけるプロセッサ・チップのブロック図である。

図9は本発明の動作モードと基板バイアス制御の関係を説明する図。

図10は本発明のプロセッサ主回路の構成を説明する図。

50

図 1 1 は本発明の低消費電力モードを説明する図。

図 1 2 は本発明のスリープとディープスリープを説明する図。

図 1 3 は本発明の動作モードの遷移図。

図 1 4 は本発明のプロセッサチップの構成と電源制御回路の第 1 の構成図。

図 1 5 は本発明の電源交換のシーケンスを説明する図。

図 1 6 は本発明のプロセッサチップの構成と電源制御回路の第 2 の構成図。

図 1 7 は本発明の R T C 電源バックアップのシーケンスを説明する図。

図 1 8 は本発明の低消費電力モードから割り込みにて復帰するまでのシーケンスを説明する図。

図 1 9 は本発明の低消費電力モードからリセットにて復帰するまでのシーケンスを説明する図。 10

発明を実施するための最良の形態

以下、本発明の実施例について図面を参照しながら説明する。

図 1 は本発明の第 1 の実施例を実現するためのプロセッサ・チップの構成例を示すブロック図である。図 1 において、プロセッサ・チップ 1 0 1 は C M O S 構造の回路を持つ L S I チップであり、プロセッサ主回路 1 0 2、動作モード制御部 1 0 3、基板バイアス切り替え装置 1 0 4 を含む。基板バイアス切り替え装置 1 0 4 には、基板バイアスの通常モードにおける電圧 V_{dd} および V_{ss} とスタンバイモードにおける電圧 V_{ddb} および V_{ssb} が信号 1 1 0 から入力されている。基板バイアス切り替え装置 1 0 4 は動作モード制御部の出力する信号 1 0 7 に従って、プロセッサ主回路 1 0 2 を構成する p M O S トランジスタの基板バイアスとして V_{dd} か V_{ddb} のどちらかを選択して信号 V_{bp111} に出力し、n M O S トランジスタの基板バイアスとして V_{ss} または V_{ssb} のどちらかを選択して信号 V_{bn112} に出力する。基板バイアス選択用の電圧値は例えば $V_{dd} = 1.5V$ 、 $V_{ddb} = 3.0V$ 、 $V_{ss} = 0.0V$ 、 $V_{ssb} = -1.5V$ である。 20

なお、後に述べるようにプロセッサ主回路 1 0 2 の形成されるウェル 3 0 2 は基板バイアス切り替え装置 1 0 4 や動作モード制御部が形成されるウェルとは別個独立に形成されている。

図 3 はプロセッサ・チップ 1 0 1 のデバイス構造を示す断面図である。図 3 が図 2 と異なるのは n 型基板 3 0 1 に p ウェル 3 0 2 が形成され、その表面相の一部に n ウェル 2 0 5 が形成されている、すなわち 3 重ウェル構造のデバイスになっている点である。p ウェル 3 0 2 の表面に n M O S トランジスタが、n ウェル 2 0 5 の表面に p M O S トランジスタが形成され、C M O S 回路を構成されている。また、基板バイアスを与えるための端子として、p M O S トランジスタの n ウェル 2 0 5 に V_{bp209} 、n M O S トランジスタの p ウェル 3 0 2 に V_{bn210} が設けられている点は図 2 と同様である。この実施例ではプロセッサ主回路 1 0 2 は動作モード制御部 1 0 3 と基板バイアス切り替え装置 1 0 4 とは異なる p ウェル 3 0 2 内に形成される。これにより、基板バイアス制御の影響はプロセッサ主回路 1 0 2 のみに及び、動作モード制御部 1 0 3 と基板バイアス切り替え装置 1 0 4 はその影響を避けることができる。 30

図 4 で本実施例におけるプロセッサ・チップ 1 0 1 の動作について説明する。プロセッサ主回路 1 0 2 の動作モードには通常の命令実行を行う通常モードと命令実行を行わないスタンバイモードがある。図 4 は、プロセッサ主回路 1 0 2 の動作モードが通常モードからスタンバイモードへ遷移し、そしてスタンバイモードから通常モードへと遷移する場合のプロセッサ・チップ 1 0 1 上における処理を示したフローチャートである。 40

最初にプロセッサ主回路 1 0 2 が通常モードで動作している。この時基板バイアス切り替え装置 1 0 4 は基板バイアス V_{bp111} と V_{bn112} にそれぞれ V_{dd} と V_{ss} を選択している。この例における通常モードの基板バイアスの電圧値は $V_{bp} = 1.5V$ 、 $V_{bn} = 0V$ である (ステップ 4 0 1)。

プロセッサ主回路 1 0 2 は、スリープ命令を実行すると信号 1 0 5 に「スタンバイ要求」を出力し動作モード制御部 1 0 3 に伝えた後、命令実行動作を停止しスタンバイモードに移行する (ステップ 4 0 2)。

動作モード制御部103はプロセッサ主回路からこの信号105を受け取るとプロセッサ主回路102の基板バイアスをスタンバイモード用の電圧に切り替えるために信号107を出力する。基板バイアス切り替え装置104はこの信号107を受けて基板バイアス V_{bp111} と V_{bn112} にそれぞれ V_{ddb} と V_{ssb} を入力電圧110から選択して出力する(ステップ403、404)。この例ではスタンバイモードの基板バイアスの電圧値は $V_{bp} = 3.0V$ 、 $V_{bn} = -1.5V$ である。

動作モード制御部103は、プロセッサ主回路102がスタンバイ状態にあるときに、外部から信号108に「スタンバイ解除割り込み」がアサートされたことを検出すると(ステップ405)、プロセッサ主回路102の基板バイアスを通常モード用の電圧に切り替えるために信号107を出力し、基板バイアス切り替え装置104はこの信号107を受けて、基板バイアス V_{bp111} と V_{bn112} をそれぞれ $V_{dd}(1.5V)$ と $V_{ss}(0.0V)$ に切り替える(ステップ406)。

基板バイアスの切り替え後、そのバイアス電圧が安定するまでにはいくらかの時間を必要とするため、すぐにプロセッサ主回路102の動作を再開させると誤動作する可能性がある。それを避けるため動作モード制御部103はプロセッサ主回路102の動作モードを切り替える前に、オンチップタイマ109に切り替えた基板バイアス電圧の安定に必要な十分な時間を設定してスタートさせ(ステップ407)、タイムアウトするまで待つ(ステップ408)。そしてタイムアウトした後に、動作モード制御部103は「スタンバイ解除」を信号106に出力し、プロセッサ主回路102に伝える。プロセッサ主回路102はこの信号106を受けて、通常モードに移行し命令実行動作を再開する(ステップ409)。

以上のようにして、プロセッサ主回路102の基板バイアス V_{bp111} および V_{bn112} を制御して、動作時にはプロセッサ主回路を構成するMOSトランジスタのしきい値電圧を低くして高速動作に対応させ、スタンバイ時にはしきい値電圧を高くしてリーク電流を削減することができる。

図5は本発明の第2の実施例におけるプロセッサ・チップの構成を示すブロック図である。この実施例では、動作モード制御部103はプロセッサ主回路102の基板に印加されるバイアス電圧を検知するセンサ501を備えている。プロセッサ主回路102の動作モードが通常モードからスタンバイモードへ遷移するときは、前記第1の実施例における処理手順と同じである。プロセッサ主回路102の動作モードがスタンバイモードから通常モードへ遷移するときは前記第1の実施例と同様に動作モード制御部103は基板バイアス切り替え装置104を制御して基板バイアスを通常モードの電圧に切り替えた後、センサ501が切り替えた基板バイアスの電圧が所定の値、すなわち本実施例では、 $V_{bp} = 1.5V$ 、 $V_{bn} = 0.0V$ に安定したことを信号502に出力するまで待つ。センサ501が基板バイアスの安定を信号502に出力すると動作モード制御部103は信号106に「スタンバイ解除」を出力し、プロセッサ主回路102の動作を再開させる。

図6は本発明の第3の実施例におけるプロセッサ・チップの構成を示すブロック図である。プロセッサ・チップ601の基本デバイス構造としては図3に示した3重ウェル構造を考える。図6のプロセッサ・チップ601においてプロセッサ主回路はCPU604、モジュールA606、モジュールB608のように複数の機能モジュールから構成される。各機能モジュールはそれぞれ異なるウェル領域上に分離して存在し、他の機能モジュールの基板バイアス制御の影響を受けない。機能モジュールは、CPU、FPU、キャッシュ、あるいは演算器等のより小さい単位のものを含む。基板バイアス切り替え装置605、607、609は各機能モジュール604、606、608に対応してそれぞれ設けられており、対応する機能モジュールの基板バイアスを前記実施例の場合と同様に切り替えることができる。命令の実行は機能モジュールの一つであるCPU604を中心に行なわれ、実行に不要な機能モジュールをスタンバイにする命令を実行すると動作モード制御部602に機能モジュールのスタンバイが伝えられる。

本実施例におけるプロセッサ・チップ601の動作について次に説明する。最初に全機能モジュールが通常モードで動作しているものとする。CPU604はモジュールAをスタ

10

20

30

40

50

ンバイにする命令を実行すると、このスタンバイ要求を信号610に出力し、以後モジュールA606のスタンバイが解除されるまでこのモジュールの使用が不可能になる。動作モード制御部602はこの信号610を受けて、基板バイアス切り替え装置607に信号612を出力し、モジュールA606の基板バイアスをスタンバイモード用の電圧に切り替える。モジュールA606がスタンバイ状態にあるときに動作モード制御部602はCPU604の出力信号610、あるいはプロセッサ・チップ601の外部の信号613からモジュールA606のスタンバイ解除の信号を受け取ると信号612を基板バイアス切り替え装置607に出力し、モジュールAの基板バイアスを通常モード用の電圧に切り替える。そして動作モード制御部602は本発明第1の実施例と同様にオンチップタイマ603を用いて切り替えた基板バイアスの安定を待ち、安定後、CPU604に信号611

10

を通してモジュールAのスタンバイが解除されたことを通知する。CPU604はこの信号611を受け取るとモジュールAを使用した命令の実行が可能になる。モジュールB608やその他の機能モジュールのスタンバイ制御についても同様である。また、CPU604自身もスタンバイ制御の対象である。この場合、CPU604はスタンバイモードに移行すると全ての命令実行を停止し、外部信号613にCPU604のスタンバイ解除の信号がアサートされると動作モード制御部602はCPU604の基板バイアスの切り替えが完了した後信号611にCPU604のスタンバイ解除をアサートし、CPU604の命令実行を再開させる点を除いては、前記モジュールA606の場合と同様に制御される。

本実施例における機能モジュール単位のスタンバイ制御により、プロセッサの動作時に不要な機能モジュールのリーク電流を削減することができる。

20

図7は本発明の第4の実施例におけるプロセッサ・チップの構成を示すブロック図である。第1の実施例と異なる点は外部から基板バイアス切り替え装置104に供給される電圧701の種類が増えており、基板バイアス切り替え装置104はそれらの中から適当なものを基板バイアスとして選択し、プロセッサ主回路102に印加することができることである。本実施例では、プロセッサ主回路102の動作速度、すなわち動作周波数は命令により動的に変更する手段を備えており、プロセッサ主回路102の動作モードには高速モードと低速モードがあるものとする。本実施例では、高速モードに対応した基板バイアスとしてV_{dd}(pMOS用)とV_{ss}(nMOS用)、低速モードに対応した基板バイアスとしてV_{ddb2}(pMOS用)とV_{ssb2}(nMOS用)、スタンバイモードに対応した基板バイアスとしてV_{ddb1}(pMOS用)とV_{ssb1}(nMOS用)を選択する。

30

次に本実施例におけるプロセッサ・チップ101の動作を説明する。ここで、プロセッサ主回路102の動作モードを高速モードから低速モードに切り替える場合を考える。プロセッサ主回路102が高速モードで動作中、基板バイアス切り替え装置104はプロセッサ主回路の基板バイアスとしてV_{b p 1 1 1}にV_{dd}を、V_{b n 1 1 2}にV_{ss}を選択している。プロセッサ主回路102は、低速モードへ移行する命令を実行するとその要求を信号105に出力し、命令実行動作を中断する。プロセッサ主回路102に供給されるクロックはこの低速モードへ移行する命令の実行により低周波数に切り替わる。動作モード制御部103は信号105を受けてプロセッサ主回路102の基板バイアスを低速モード

40

用の電圧に切り替えるために信号107に出力する。基板バイアス切り替え装置104はこの信号107を受けて基板バイアスV_{b p 1 1 1}とV_{b n 1 1 2}をそれぞれV_{ddb2}とV_{ssb2}に切り替える。動作モード制御部103は上記実施例と同様にオンチップタイマ109を使用して、切り替えた基板バイアスの安定を待ち、プロセッサ主回路102に低速モードへ移行が完了したことを信号106を通して通知する。プロセッサ主回路102はこの信号106を受けて中断していた命令実行動作を低速モードで再開する。本実施例における低速モードから高速モードへの切り替え、高速モードまたは低速モードからスタンバイモードへの切り替え、またはスタンバイモードから高速モードあるいは低速モードへの切り替え時における動作も上記と同様であるので詳細は省略する。本実施例では動作速度をさらに細分し、それに対応した基板バイアス制御を行なうことも可能であ

50

る。さらに、第3の実施例におけるように、プロセッサ主回路102を機能モジュール単位のデバイスの3重ウェル構造を用いて分離し、各機能モジュール別にその動作周波数の切り替えと連動して基板バイアスを制御することも可能である。

本実施例のように、プロセッサの動作周波数に適した基板バイアス制御を行なうことにより、低速な動作モードにおけるリーク電流の削減が可能である。さらに、この低速モードにおいてはCMOS回路のpMOSとnMOSの両方のトランジスタが同時に導通してしまう入力電圧の範囲が高速な動作モードの時より狭くなるためスイッチング時の貫通電流を削減する効果も得られる。

図8は本発明の第5の実施例におけるプロセッサ・チップの構成を示すブロック図である。この実施例が前記第1の実施例と異なるのは前記基板バイアス切り替え装置が基板バイアス発生回路801により構成されていることである。基板バイアス発生回路801は動作モード制御部103の出力信号802によって制御され、内部で基板バイアスの電圧を発生しVbp111とVbn112に出力する。動作モード制御部103の制御のもとでプロセッサ主回路102の動作モードに対応して発生する基板バイアスVbp111とVbn112の電圧値は第1の実施例と同様の値である。プロセッサ主回路102および動作モード制御部103の動作は第1の実施例と同様であるので詳細は省略する。また、本実施例と同様に第2、第3および第4の実施例における基板バイアス切り替え装置をこの基板バイアス発生回路801で構成することにより、プロセッサ・チップ内部で基板バイアスを発生させ、動作モードに応じて切り替えることができる。

以上のようにこれらの実施例によれば、タイマまたはセンサを用いて待機状態から動作状態への移行時のプロセッサを再起動するタイミングを正確に制御するので、プロセッサの動作モードに応じた最適な基板バイアス制御が可能になる。それにより、プロセッサの動作モードが通常モードにおいて高速性を維持したまま、スタンバイモードにおいてリーク電流を削減できる。また、機能モジュール別の動作モードに応じて基板バイアス制御を行なうことにより、プロセッサが動作中であっても実行に不要な機能モジュールのリーク電流の削減が可能である。さらに、プロセッサの動作周波数に適した基板バイアス制御を行なうことにより、低速モードにおけるリーク電流の削減に加え、スイッチング時の貫通電流を削減する効果も得られる。

その結果、消費電力の削減を効果的に実現でき、高速性と低電力性を兼ね備えたマイクロプロセッサを提供することができる。

以下、マイコンの実施例として、具体的に基板バイアスを制御する動作モードに関して説明する。マイコンは、1.8Vと3.3Vの2電源を有し、1.8Vのみ基板バイアス制御を行うものとする。1.8Vを供給する回路は比較的低い閾値(例えば $V_{th} < 0.4V$ 程度)なMOSトランジスタで構成するのが望ましい。

図9にマイコンの動作モードの一例を示す。動作モードとしては、通常に動作している通常動作モード982、およびリセットモード981がある。低消費電力で動作するモードとしては、スリープ983、ディープスリープ984、スタンバイ985、ハードウェアスタンバイ986、RTC(リアルタイムクロック)電池バックアップモードがある。また、テストモードとしては、IDDQ測定がある。

通常動作982の時には、高速動作が必要なので、基板バイアスの制御は行わない。リセット981の時は、全ての機能をリセットする必要があるため、基板バイアスの制御は行わない。低消費電力モードにおいては、低消費電力モードからの復帰時間が短いスリープ983、ディープスリープ984では、基板バイアスの制御は行わないが、復帰時間よりも消費電力を小さくすることに重点を置くスタンバイ985、ハードウェアスタンバイ986の場合には、基板バイアス制御を行う。RTC電池バックアップモードは、3.3Vで動作するRTC回路の電源のみを供給するモードである。このモードへは、低消費電力モードから遷移するので、基板バイアス制御を行なう。また、IDDQの測定は、スタンバイ電流を測定して、トランジスタのショートや不良による貫通電流を測定するモードであるから、この場合には必ず基板バイアスを制御して、チップのリーク電力を小さくして、不良を発見しやすくする必要がある。

10

20

30

40

50

図10で、低消費電力の動作モードを説明する前に、プロセッサ主回路902の内部ブロックに構成に関して説明する。この図は、プロセッサ主回路の主な構成ブロックの一例である。演算回路としては、CPU(中央演算処理装置)971、FPU(浮動小数点演算ユニット)972がある。また、チップに内蔵するメモリであるキャッシュ973、外部メモリとのインタフェースを行うBSC(バス制御部)974、DMA(ダイレクトメモリアクセス)を行うDMAC(DMA制御部)975、シリアルポートを制御するSCI(シリアル制御部)976、割り込み入力を制御するINTC(割り込み制御部)977、クロックを制御するCPG(クロック制御部)978等がある。

図11で、低消費電力モードであるスリープ983、ディープスリープ984、スタンバイ985に関して説明する。

スリープ983では、CPU971、FPU972、キャッシュ973等の演算装置のクロックのみが止まっている状態で、かつ基板バイアス制御をしていないので、消費電力は大幅に減少できないものの、DMAC975によるDMA転送やBSC974によるDRAM(ダイナミックRAM)やSDRAM(シンクロナスダイナミックRAM)の通常リフレッシュ(1024回/16ミリ秒のリフレッシュ)が可能である。CPG978は動作しており、また、基板バイアス制御をしていないので、スリープ983から通常動作モード982への復帰時間は早い。

スタンバイ985モードは、全ての動作クロックを止め、なおかつ基板バイアス制御も行なうため、消費電力は極めて少ない。クロックが止まっているため、DMA転送はできない。また、DRAMやSDRAMのリフレッシュに関しては、スタンバイ985に入る前に、メモリが自分自身でリフレッシュを行なうセルフリフレッシュモードになるようにBSC974を用いて各メモリの制御信号(RAS信号、CAS信号)を設定しておく必要がある。ただし、スタンバイ985から通常動作982までの復帰時間は、クロックが止まっているので、クロック発振の安定待ちや基板バイアス状態からの復帰時間のため長くなってしまふ。

ディープスリープ984モードは、スリープ983とスタンバイ985の中間の低消費電力モードである。

図12にスリープ983とディープスリープ984の動作モジュールの違いを示す。スリープ983時には、動作しているBSC973、DMAC974、SCI975がディープスリープ984では、停止しているため、その分消費電力を削減できている。

ただし、ディープスリープ984モードでは、DMA転送ができなくなり、メモリのリフレッシュもセルフリフレッシュになる。ディープスリープ984から通常動作モード982への復帰時間は、スリープモードと同様に早い。

このように3種類の低消費電力モードを設けることにより、用途に応じたきめ細かな低消費電力制御を行なうことができる。

図13で動作モードの状態遷移図を示し説明する。全ての電源がオフ状態980からRESET#952(または、パワーオンリセット)ピン入力により、プロセッサチップは、リセット状態981に遷移する。RESET#952がネゲートされると通常動作982に遷移する。この状態から低消費動作モードに遷移する。

遷移の方法には2通りある。一つは命令による遷移である。これはCPU971がスリープ命令を実行することにより遷移する。スリープ命令実行時にモードレジスタを設定して、スリープ983、ディープスリープ984、スタンバイ985を選択でき、それぞれのモードに遷移できる。各モードから通常動作モード982への復帰は、割り込み958である。

もう一つの遷移方法は、HARDSTB#951ピンによる遷移である。このピンがアサートされると、ハードウェアスタンバイ状態986に遷移する。この状態はスタンバイ985と同様に全てのクロックが停止し、基板バイアス制御も行なわれている状態である。このモードで、入出力バッファをハイインピーダンスにすれば、3.3V系の回路も貫通電流の流れるトランジスタがなくなりIDDQの測定が可能になる。

また、3.3V系に置かれたRTC回路の入力バッファを固定すれば、RTC回路以外の

10

20

30

40

50

電源をオフした場合にも、R T C回路の入力信号がフローティング（中間レベル）にならないので、R T C回路の誤動作を防止でき、R T C回路のみ動作させることが可能である。

次にハードウェアスタンバイの応用例を説明する。

図14にハードウェアスタンバイを適用してプロセッサチップ901の電源904（バッテリー）を交換可能にするプロセッサチップ901の構成と電源制御回路の構成を示す。

プロセッサチップ901は1.8Vで動作する1.8V領域回路930と3.3Vで動作する3.3V領域回路931から構成されている。1.8V領域回路930はプロセッサ主回路902と3.3Vから1.8Vにレベル変換するレベルダウン回路905、906から構成されている。3.3V領域の回路931は基板バイアス発生回路903、クロック発振回路908、I O回路909、動作モード制御部913、R T C回路914および1.8Vから3.3Vにレベル変換するレベルアップ回路904、910、3.3Vから1.8Vへの信号を固定する出力固定回路907、911から構成されている。

電源系の制御回路としては、電源904、電源監視回路921、表示器922、1.8V系の電圧を生成する電圧生成回路920がある。

以下動作を説明する。プロセッサチップ901が、通常動作モード982の時は、基板バイアス発生回路903は、基板バイアスを引かずに通常の基板レベル（例えばP M O SについてはV D D電位、N M O SについてはV S S電位）を保持している。クロック発振回路908はP L L（フェイズロックドループ）等からなり、内部動作用のクロックを生成して、出力固定回路907、レベルダウン回路905を介してプロセッサ主回路902へ送る。I O回路909は、外部からの信号を取り込み、出力固定回路907、レベルダウン回路905を介してプロセッサ主回路902へ送る。また、プロセッサ主回路902からの信号をレベルアップ回路904を介して外部へ信号を出力する。R T C回路914は、3.3Vで動作し、レベルアップ回路910を介して、プロセッサ主回路902から制御信号を受け取り、レベルダウン回路906、出力固定回路911を介して、プロセッサ主回路902に制御信号を送信する。動作モード制御部913は、特に基板バイアス発生回路903の制御を行なう。

電源監視回路921は、電源904の電圧レベルを監視する。電圧レベルが所定のレベルより下がる（バッテリーが切れている状態を検出）とH A R D S T B # 9 5 1をローレベルにする。同時に表示器922にバッテリー切れのアラームを表示し、利用者に知らせる。電圧レベルが下がった状態でも電圧保持回路923は、所定の期間（数分間から数時間）電圧レベルを保持できる。この期間に利用者は、電源904を交換できる。

図15を用いて、以下、電源交換シーケンスに関して、説明する。

（1）H A R D S T B # 9 5 1がローレベルになることにより、動作モードはハードウェアスタンバイ状態986に入る。ここで、動作モード制御部913から1.8V信号固定953を出力し、3.3Vから1.8Vへの信号を固定し、1.8V系のクロックも停止させる。これにより、基板バイアスを引いた時も、1.8V系の信号が動作しないので、基板バイアスを引いている状態（M O Sトランジスタのしきい値電圧が高くなり、その動作速度が遅くなっている状態で、基板電位が不安定な状態）での1.8V系の回路の誤動作を防止する。この状態で、基板バイアス生成回路903に基板バイアス制御開始信号955を出力する。

（2）その後、1.8V信号固定953のタイミングに基づいて、基板バイアス生成回路903に基板バイアス制御開始信号955を出力する。信号固定953と基板バイアス制御開始955の間には、実際に信号が固定されて、1.8V領域への信号の供給が停止するまでの時間差が設定されている。この時間差はR T C回路914のR T Cクロックに基づいたタイマーで測定することができる。

（3）基板バイアス制御開始信号955を受けて、基板バイアス発生回路903は1.8V系の基板の基板バイアスを引き始める。基板バイアスを引いている期間は、基板バイアス制御中956信号を動作モード制御部913へ返す。

（4）基板バイアスを引いている状態では、プロセッサ主回路902は動作しない。さら

10

20

30

40

50

に、リーク電流も少ないので、電流の消費量は少ない。これにより、電圧保持回路 9 2 3 の保持時間も長くなる。

(5) この状態で電源 9 0 4 を交換する。

(6) 電源交換後は、電源電圧が正常のレベルに戻るので、H A R D S T B # 9 5 1 がハイレベルに戻る。

(7) その後、パワーオンリセット回路が動作し、R E S E T # 9 5 2 が入力される。このリセット入力により、動作モード制御部 9 1 3 から出力している基板バイアス制御開始信号 9 5 5 が解除される。

(8) 基板バイアス制御開始信号 9 5 5 の解除を受けて、基板バイアス発生回路 9 0 3 は 1 . 8 V 径の基板の基板バイアスを動作状態の電位 (例えば P M O S については V D D 電位、N M O S については V S S 電位) に戻し始める。基板バイアスの回復まで所定の時間が必要であり、基板バイアスが戻し終わると基板バイアス制御中信号 9 5 6 の解除により動作モード制御部 9 1 3 へそれを通知する。

(9) 基板バイアス制御中信号 9 5 6 の解除を受けて、動作モード制御部 9 1 3 から出力している 1 . 8 V 信号固定 9 5 3 が解除され、プロセッサ主回路 9 0 2 等の 1 . 8 V 系の回路に信号が入力される。

(1 0) リセット状態 9 8 1 が終了後、通常状態 9 8 2 に入り、プロセッサ主回路 9 0 2 は通常の動作を開始する。

以上のようにハードウェアスタンバイによる低消費電力モードを利用して、電源 9 0 4 の交換が可能になる。

次にハードウェアスタンバイの第 2 の応用例を説明する。

図 1 6 に R T C 電源バックアップモードを実現する構成例を示す。R T C 回路 9 1 4 は、リアルタイムカウンタと呼ばれ、時計やカレンダーの機能を実現するものである。このため、常時動作していないと時計の機能を実現できない。電源 9 0 4 が遮断されても R T C 回路 9 1 4 は動作している必要がある。

ここで示す実施例では、R T C 電源バックアップモードを実現するために、3 . 3 V 領域が通常の 3 . 3 V 領域 9 9 1 と R T C の 3 . 3 V で動作する領域 9 9 2 に分けている。また、R T C の 3 . 3 V 領域 9 9 2 では、入力回路に入力固定回路 9 1 2、および入力固定レベルアップ回路 9 6 0 が付加されており、他の電源 (1 . 8 V、通常の 3 . 3 V の電源) が遮断されている状態で、入力信号がフローティングになっても R T C の 3 . 3 V で動作する領域 9 9 2 には、中間レベルの信号が伝達しないようになっていて、誤動作を防止している。

電源系の制御回路としては、電源 9 0 4、電源監視回路 9 2 1、表示器 9 2 2、1 . 8 V 系の電圧を生成する電圧生成回路 9 2 0 に加えて、バックアップ電池 9 6 2、ダイオード 9 6 3、9 6 4 がある。

以下動作を説明する。通常動作モード 9 8 2 の時は、基板バイアス発生回路 9 0 3 は、基板バイアスを引かずに通常の基板レベルを保持している。クロック発振回路 9 0 8 は P L L (フェイズロックドループ) 等からなり、内部動作用のクロックを生成して、出力固定回路 9 0 7、レベルダウン回路 9 0 5 を介してプロセッサ主回路 9 0 2 へ送る。I O 回路 9 0 9 は、外部から信号を取り込み、出力固定回路 9 0 7、レベルダウン回路 9 0 5 を介してプロセッサ主回路 9 0 2 へ送る。また、プロセッサ主回路 9 0 2 からの信号をレベルアップ回路 9 0 4 を介して外部へ信号を出力する。R T C 回路 9 1 4 は、3 . 3 V で動作し、入力固定レベルアップ回路 9 6 0 を介してプロセッサ主回路 9 0 2 から制御信号を受け取り、レベルダウン回路 9 0 6、出力固定回路 9 1 1 を介して、プロセッサ主回路 9 0 2 に制御信号を送信する。動作モード制御部 9 1 3 は、入力固定回路 9 1 2 を介して、制御信号を受け取り、特に基板バイアス発生回路 9 0 3 の制御を行なう。

電源監視回路は 9 2 1 は、電源 9 0 4 の電圧レベルを監視する。電圧レベルが所定のレベルより下がる (バッテリーが切れている状態を検出) と H A R D S T B # 9 5 1 をローレベルにし、R T C 3 . 3 V 領域 9 9 2 の入力を固定し、R T C 回路 9 1 4 の誤動作を防止する。同時に表示器 9 2 2 にバッテリー切れのアラームを表示する。この後、電圧レベルが下

10

20

30

40

50

がり続けて、3.3Vと1.8V系の電圧はプロセッサチップ901に供給されなくなる。この時バックアップ電池962からダイオード963を介してRTCの3.3V領域にのみ電圧(VDD-RTC、VSS-RTC)が供給され、電源904がなくても、RTC回路914(カレンダー用カウンタ回路)のみ正常に動作する。ダイオード964はRTC回路914以外に電流が流れるのを防止する。

図17を用いて、RTC電源バックアップシーケンスに関して、詳細に説明する。

(1) HARDSTB#951がローレベルになることにより、動作モードはハードウェアスタンバイ状態986に入る。ここで、動作モード制御部913から1.8V信号固定953を出力し、3.3Vから1.8Vへの信号を固定し、1.8V系のクロックも停止させる。これにより、基板バイアスを引いた時も、1.8V系の信号が動作しないので、基板バイアスを引いている状態での1.8V系の回路の誤動作を防止する。同時にRTC回路914への入力固定信号954を出力し入力信号を固定する。これにより他の電源が遮断されたときに、RTC回路914に不安定な中間レベルの信号が入るのを防ぐ。

10

(2) その後、1.8V信号固定953のタイミングに基づいて、基板バイアス生成回路903に基板バイアス制御開始信号955を出力する。信号固定953と基板バイアス制御開始955の間には、実際に信号が固定されて、1.8V領域への信号の供給が停止するまでの時間差が設定されている。この時間差はRTC回路914のRTCクロックに基づいたタイマーで測定することができる。

(3) 基板バイアス制御開始信号955を受けて、基板バイアス発生回路903は1.8V系の基板の基板バイアスを引き始める。基板バイアスを引いている期間は、基板バイアス制御中956信号を動作モード制御部913へ返す。

20

(4) 基板バイアスを引いている状態では、プロセッサ主回路902は動作しない。さらに、リーク電流も少ないので、電流の消費量は少ない。

(5) 電源904の遮断期間は長くてもよい。また、電源904の交換ができる。

(6) 電源904遮断からの復帰後(または電源904交換後)は、電源電圧が正常のレベルに戻るので、HARDSTB#951がハイレベルに戻る。

(7) その後、パワーオンリセット回路が動作し、RESET#952が入力される。このリセット入力により、基板バイアス制御開始信号955が解除される。

(8) 基板バイアス制御開始信号955の解除を受けて、基板バイアス発生回路903は1.8V径の基板の基板バイアスを動作状態の電位(例えばPMOSについてはVDD電位、NMOSについてはVSS電位)に戻し始める。基板バイアスの回復まで所定の時間が必要であり、基板バイアスが戻し終わると基板バイアス制御中信号956の解除により動作モード制御部913へそれを通知する。

30

(9) 基板バイアス制御中信号956の解除を受けて、動作モード制御部913から出力している1.8V信号固定953が解除され、プロセッサ主回路902等の1.8V系の回路に信号が入力される。

(10) リセット状態981が終了後、通常状態982に入り、プロセッサ主回路902は通常の動作を開始する。

上記シーケンスで、電源904に電源スイッチを設けて、電源オフの期間にRTC回路914のみ動作させることも可能である。

40

以上のようにハードウェアスタンバイを利用して、RTC回路914のみ電池バックアップして動作させることが可能になる。

図18に通常のスリープ命令959を使用して、スタンバイ状態985に入り、割り込み信号958で通常状態982に復帰するシーケンスを説明する。

(1) スリープ命令959により、動作モードはスタンバイ状態985に入る。ここで、動作モード制御部913から1.8V信号固定953を出力し、3.3Vから1.8Vへの信号を固定し、1.8V系のクロックも停止させる。これにより、基板バイアスを引いた時の1.8V系の回路の誤動作を防止する。

(2) その後、1.8V信号固定953のタイミングに基づいて、基板バイアス生成回路903に基板バイアス制御開始信号955を出力する。信号固定953と基板バイアス制

50

御開始 9 5 5 の間には、実際に信号が固定されて、1.8 V 領域への信号の供給が停止するまでの時間差が設定されている。この時間差は R T C 回路 9 1 4 の R T C クロックに基づいたタイマーで測定することができる。

(3) 基板バイアス制御開始信号 9 5 5 を受けて、基板バイアス発生回路 9 0 3 は 1.8 V 系の基板の基板バイアスを引き始める。基板バイアスを引いている期間は、基板バイアス制御中 9 5 6 信号を動作モード制御部 9 1 3 へ返す。

(4) 基板バイアスを引いている状態では、プロセッサ主回路 9 0 2 は動作しない。さらに、リーク電流も少ないので、電流の消費量は少ない。

(5) この状態で、制御信号 9 5 7 (外部ピン) から I O 回路 9 0 9 を介して、割り込み信号 9 5 8 を受け付けると、動作モード制御部 9 1 3 は、基板バイアス制御開始信号 9 5 5 を解除する。 10

(6) 基板バイアス制御開始信号 9 5 5 の解除を受けて、基板バイアス発生回路 9 0 3 は 1.8 V 径の基板の基板バイアスを動作状態の電位 (例えば P M O S については V D D 電位、N M O S については V S S 電位) に戻し始める。基板バイアスの回復まで所定の時間が必要であり、基板バイアスが戻し終わると基板バイアス制御中信号 9 5 6 の解除により動作モード制御部 9 1 3 へそれを通知する。

(7) 基板バイアス制御中信号 9 5 6 の解除を受けて、動作モード制御部 9 1 3 は、1.8 V 信号固定 9 5 3 を解除する。基板バイアス制御中信号が解除されてから 1.8 V 信号固定 9 5 3 を解除することにより、1.8 V 系の回路が誤動作するのを防いでいる。

(8) プロセッサ主回路 9 0 2 等の 1.8 V 系の回路に信号が入力され、通常状態 9 8 2 に入り、プロセッサ主回路 9 0 2 は通常の動作を開始する。 20

以上により、プロセッサチップ 9 0 1 は低消費電力モードに入り、割り込みにより復帰できる。

図 1 9 に通常のスリープ命令 9 5 9 を使用して、スタンバイ状態 9 8 5 に入り、R E S E T # 9 5 2 で通常状態 9 8 2 に復帰するシーケンスを説明する。

(1) スリープ命令 9 5 9 により、動作モードはスタンバイ状態 9 8 5 に入る。ここで、動作モード制御部 9 1 3 から 1.8 V 信号固定 9 5 3 を出力し、3.3 V から 1.8 V への信号を固定し、1.8 V 系のクロックも停止させる。これにより、基板バイアスを引いた時の 1.8 V 系の回路の誤動作を防止する。

その後、1.8 V 信号固定 9 5 3 により信号固定が完了したことを計測し、基板バイアス生成回路 9 0 3 に基板バイアス制御開始信号 9 5 5 を出力する。 30

(2) 基板バイアス制御開始信号 9 5 5 を受けて、基板バイアス発生回路 9 0 3 は 1.8 V 系の基板の基板バイアスを引き始める。基板バイアスを引いている期間は、基板バイアス制御中 9 5 6 信号を動作モード制御部 9 1 3 へ返す。

(3) 基板バイアスを引いている状態では、プロセッサ主回路 9 0 2 は動作しない。さらに、リーク電流も少ないので、電流の消費量は少ない。

(4) この状態で動作モード制御部 9 1 3 は、R E S E T # 9 5 2 を受け付けて、基板バイアス制御開始信号 9 5 5 を解除する。

(5) 基板バイアス制御開始信号 9 5 5 の解除を受けて、基板バイアス発生回路 9 0 3 は 1.8 V 系の基板の基板バイアスを動作状態の電位に戻し始める。基板バイアスが戻し終わると、基板バイアス制御中信号 9 5 6 を用いて動作モード制御部 9 1 3 へ知らせる。 40

(6) この解除信号を受けて、1.8 V 信号固定 9 5 3 を解除する。

(7) リセット状態 9 8 1 が終了後、プロセッサ主回路 9 0 2 等の 1.8 V 系の回路に信号が入力され、通常状態 9 8 2 に入り、プロセッサ主回路 9 0 2 は通常の動作を開始する。

以上により、プロセッサチップ 9 0 1 は低消費電力モードに入り、リセットにより復帰できる。

以上で説明したように、プロセッサチップ 9 0 1 は 1.8 V が電源電圧として供給されている部分と、3.3 V が電源電圧として供給されている部分がある。1.8 V が供給されている部分としては、例えばプロセッサ主回路 9 0 2 等がある。この部分は回路規模が大 50

大きく、さらに高速に動作させる必要がある部分である。回路規模が大きいかつ高速動作が要求されることからこの部分の消費電力が大きくなる。本実施例では、この消費電力を削減するために電源電圧を下げている。

また、電源電圧を低く（例えば1.8V）すると動作速度が遅くなるので、MOSトランジスタのしきい値電圧を低く（例えば $V_{th} < 0.4V$ 程度）している。さらに本実施例では、この低いしきい値化によるサブスレッショルドリーク電流を削減するために基板電圧制御を行う。

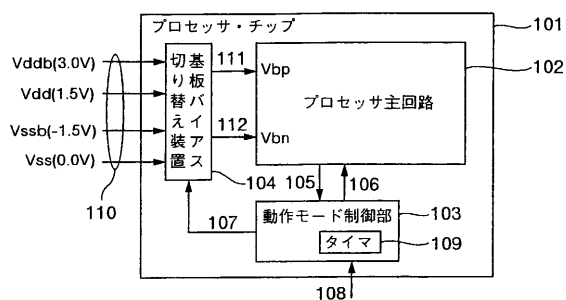
一方、3.3Vが電源電圧として供給されている部分は例えばRTC回路914がある。これらの回路は小規模で低速動作であるから、消費電力が小さい。よって、このような回路ブロックは電源電圧を低くする必要がない。例えば、 $V_{th} > 0.5V$ 程度に設定できる。MOSトランジスタの閾値を低くする必要がないことから、サブスレッショルドリーク電流を削減するため基板制御による電流対策の必要がないという利点がある。

本実施例のプロセッサチップ901はこの両者の電源電圧を使い分けている。すなわち、大規模高速動作が必要な部分は低電圧低しきい値MOSを基板制御して使用し、高電圧高しきい値MOSを基板制御無しで使用している。しきい値の異なるMOSトランジスタを作る方法は特に限定しないが、チャンネルインプラ量を変えることで実現できる。また、ゲート酸化膜の厚さを変えることでも実現できる。後者の場合、MOSトランジスタの構成を酸化膜厚を厚くすることでしきい値が大きくなるようにすればよい。高いしきい値MOSは高電圧で動作させるので酸化膜厚を厚くする必要があるからである。酸化膜を厚くすることでしきい値を高くできればプロセスを簡略化できる。

さらに、入出力回路909は外部信号振幅3.3Vを送受信する必要があることから、高電圧しきい値MOSと同じMOSトランジスタを用いると、プロセスを共通化でき望ましい。

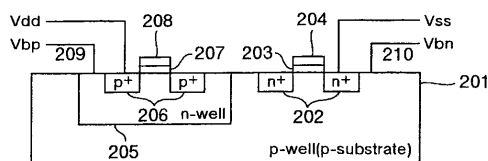
【図1】

FIG.1



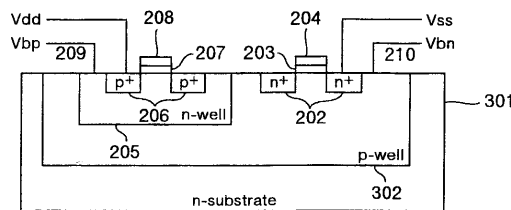
【図2】

FIG.2



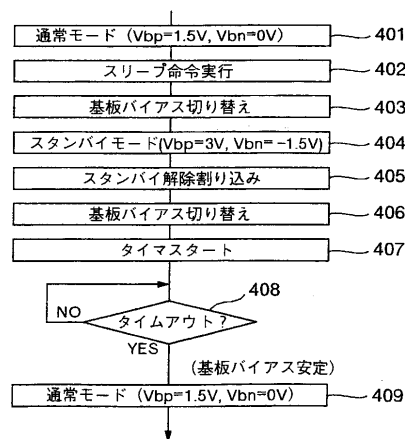
【図3】

FIG.3



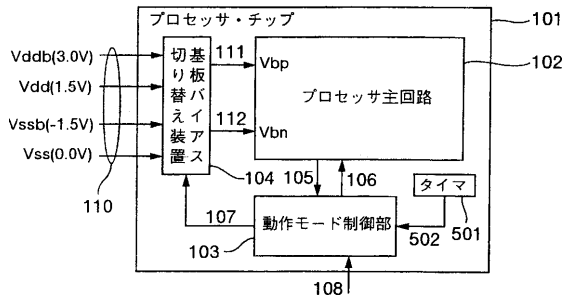
【図4】

FIG.4



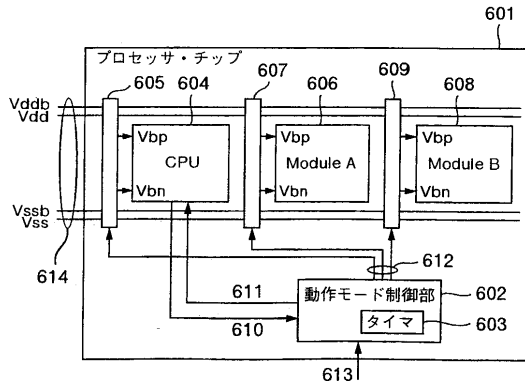
【図5】

FIG.5



【図6】

FIG.6



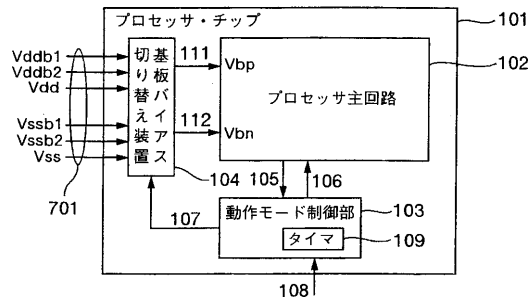
【図9】

FIG.9

動作モード	基板バイアス制御
981 リセット	制御しない
982 通常動作	制御しない
983 スリープ	制御しない
984 ディープスリープ	制御しない
985 スタンバイ	制御する
986 ハードウェアスタンバイ	制御する
RTC電池バックアップ	制御する
IDDQ測定	制御する

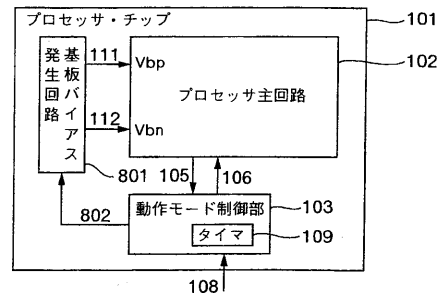
【図7】

FIG.7



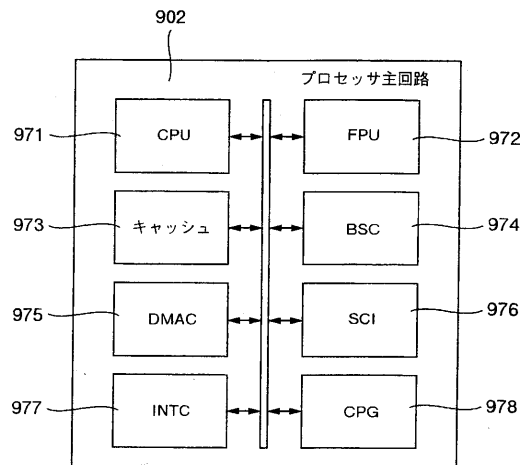
【図8】

FIG.8



【図10】

FIG.10



【図11】

FIG.11

	983 スリープ	984 ディープ スリープ	985 スタンバイ
消費電力	△	○	◎
DMA転送	可能	禁止	禁止
メモリ リフレッシュ	通常 リフレッシュ	セルフ リフレッシュ	セルフ リフレッシュ
復帰時間	早い	早い	遅い
基板バイアス 制御	制御しない	制御しない	制御する

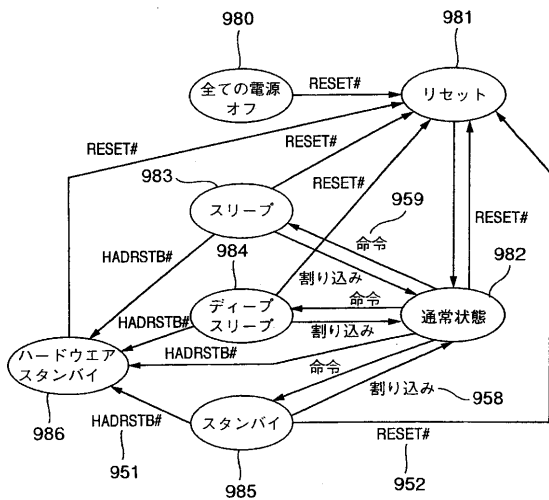
【図12】

FIG.12

	983 スリープ	984 ディープ スリープ
971 CPU	停止	停止
972 FPU	停止	停止
973 キャッシュ	停止	停止
974 BSC	動作	停止
975 DMAC	動作	停止
976 SCI	動作	停止
977 INTC	動作	動作
978 CPG	動作	動作

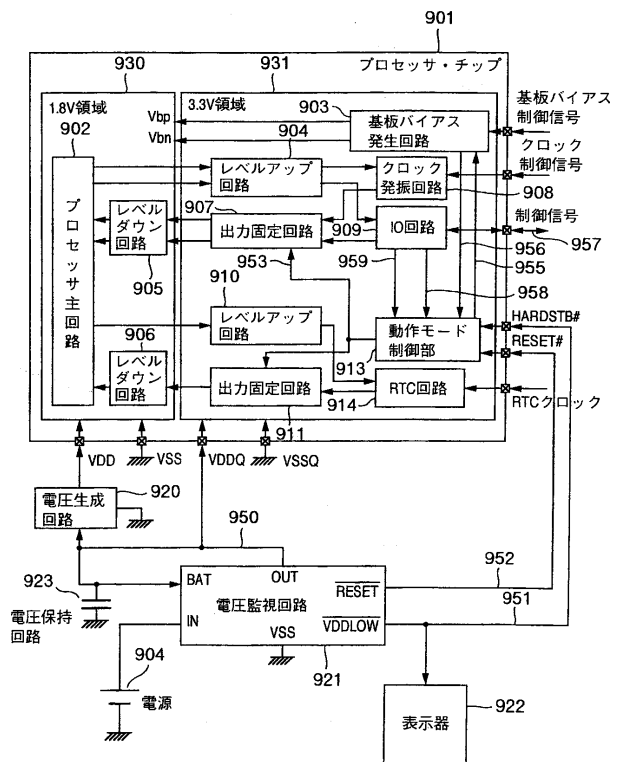
【図13】

FIG.13



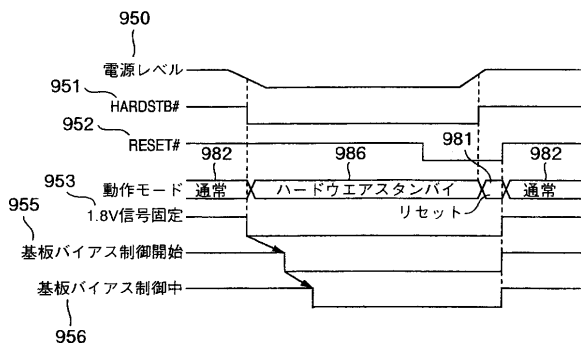
【図14】

FIG.14



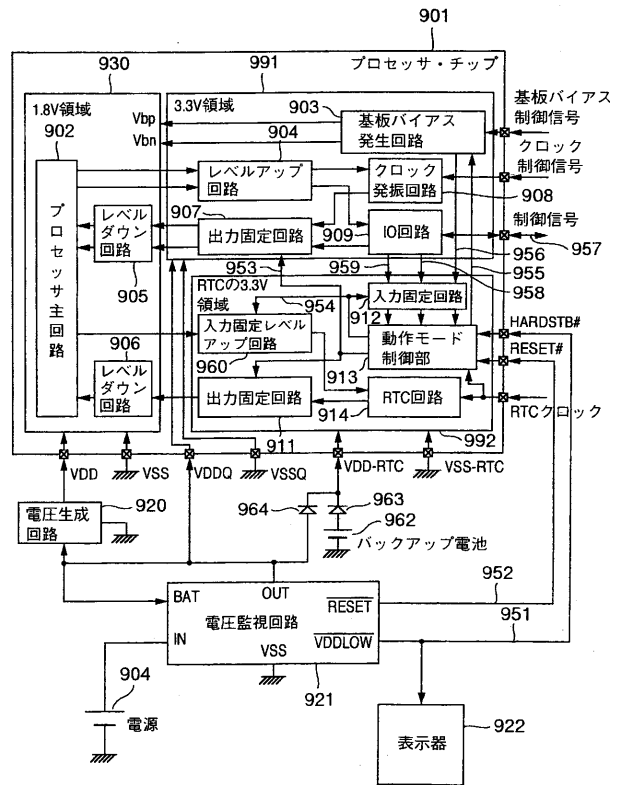
【図15】

FIG.15



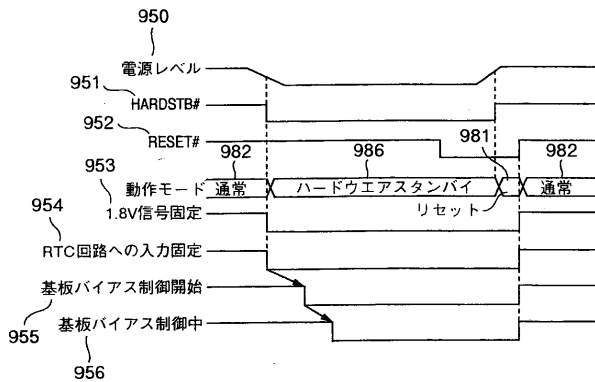
【図16】

FIG.16



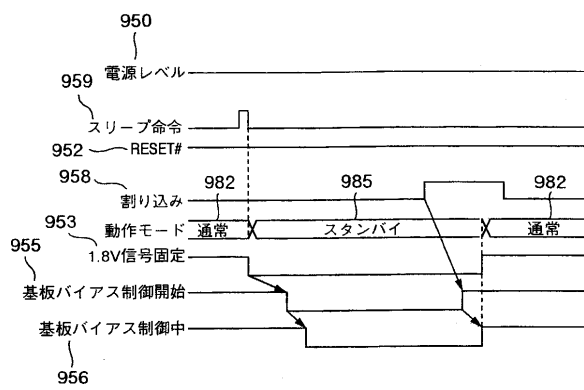
【図17】

FIG.17



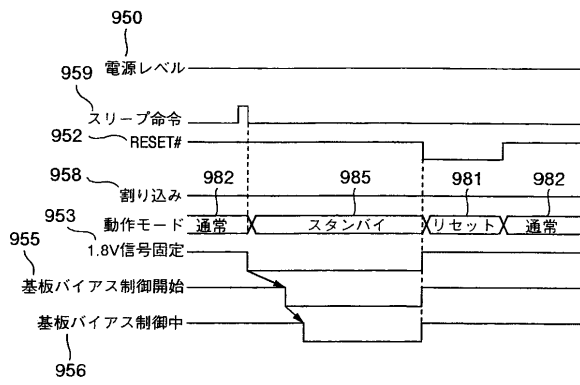
【図18】

FIG.18



【 図 1 9 】

FIG.19



フロントページの続き

- (72)発明者 西井 修
東京都稲城市百村16306
- (72)発明者 内山 邦男
東京都小平市小川町1丁目4451 ガーデンハイツ小平1 1106
- (72)発明者 志村 隆則
千葉県千葉市花見川区幕張町5丁目430
- (72)発明者 関根 麻子
東京都八王子市子安町2丁目32 日立子安台アパートE 204
- (72)発明者 勝木 陽一
東京都昭島市田中町1丁目9 32 サンライズ指田102
- (72)発明者 成田 進
東京都国分寺市東戸倉1丁目21 70

審査官 近藤 聡

- (56)参考文献 特開平05-108194(JP,A)
特開平06-089574(JP,A)
特許第3184265(JP,B2)
特許第2939086(JP,B2)

- (58)調査した分野(Int.Cl., DB名)
G06F 1/00