发明名称
自对准的隧穿场效应晶体管的制备方法

摘要
本发明属于微电子技术领域，具体公开了一种隧穿场效应晶体管 (TFET) 的制备方法。本发明使用自对准工艺形成隧穿场效应晶体管。这种隧穿场效应晶体管的制备方法工艺简单，形成这种隧穿场效应晶体管的工艺拥有自对准特性。而且其源极和漏极的形成过程可以被分离，从而可以很容易地形成拥有和衬底材料不同的源极结构。
1. 一种隧穿场效应晶体管的制备方法，其特征在于，该方法包括下列步骤：
   ①. 提供一个已经形成浅槽隔离的半导体衬底；
   ②. 在所述的衬底上形成器件的栅叠层结构；
   ③. 通过光刻和刻蚀，在所述的栅叠层上形成第一个开口和第二个开口；
   ④. 沉积一层作为第一种绝缘介质构成的牺牲介质层，然后对其进行各向异性刻蚀；
   ⑤. 注入离子形成第一种掺杂的区域，或者用各向同性的刻蚀方法将暴露的半导体衬底选择性地刻蚀掉，然后半导体衬底进行选择性外延生长或沉积生长新的填充材料层，该填充材料的掺杂通过生长时原位掺杂，或者生长后通过离子注入进行掺杂；
   ⑥. 去除所述的牺牲介质层，之后淀积第二种绝缘介质，构成新的牺牲介质层，并对所述的第二种绝缘介质进行各向异性刻蚀形成侧墙结构；
   ⑦. 注入离子形成第二种掺杂的区域；
   ⑧. 在源区和漏区形成金属层；
   ⑨. 进行电极隔离和电极形成，形成隧穿场效应晶体管。

2. 根据权利要求1所述的方法，其特征是，所述的栅叠层结构至少拥有一个导电层和一个将导电层与半导体衬底隔离的绝缘层。

3. 根据权利要求2所述的方法，其特征是，所述的导电层为多晶硅、无定形硅、锗金属、氮化钛或者氮化钽。

4. 根据权利要求2所述的方法，其特征是，所述的绝缘层为SiO₂、HfO₂、HfSiO、HfSiON或者SiON。

5. 根据权利要求1所述的方法，其特征是，步骤③中所述的第一个开口的宽度小于第二个开口的宽度。

6. 根据权利要求1所述的方法，其特征是，所述的第一种绝缘介质为SiO₂、Si₃N₈或者它们之间相混合的绝缘材料。

7. 根据权利要求1所述的方法，其特征是，所述的半导体衬底为单晶硅或绝缘体上的硅。

8. 根据权利要求1所述的方法，其特征是，所述的在源区和漏区形成的金属层为硅化物，该硅化物是硅化钛、硅化钻、硅化镍、硅化钯或锗硅化镍，或者这些硅化物中几种的混合物。

9. 根据权利要求1所述的方法，其特征是，所述的填充材料是p型掺杂的SiGe或者Ge，或者是n型掺杂的InAs或者InGaAs。

10. 根据权利要求1的方法，其特征是，所述的第一种掺杂为n型，第二种掺杂为p型；或者所述的第一种掺杂为p型，第二种掺杂为n型。
自对准的隧穿场效应晶体管的制备方法

技术领域
[0001] 本发明属于微电子技术领域，具体涉及一种半导体器件，特别涉及一种隧穿场效应晶体管（TFET）的制备方法。

背景技术
[0002] 近年来，以硅集成电路为核心的微电子技术得到了迅速的发展，集成电路芯片的发展基本上遵循摩尔定律，即半导体芯片的集成度以每年 18 个月翻一番的速度增长。在过去一段时间里，微电子技术的进步是以不断优化材料、工艺和流程的成本效益为基础的。然而，正如《国际半导体技术蓝图》（ITRS）所指出的一样，将常规 CMOS 晶体管变小，对于 45 纳米工艺以及更加微细的工艺来说已变得越来越困难。短沟道效应在所有的标准金属氧化物半导体场效应晶体管（MOSFET）中都是常见的，它使晶体管的漏电流上升、阈值电压降低。通过提高通道区掺杂，可以降低短沟道效应，但其代价是电子迁移率降低、速度减慢、发生电子雪崩击穿的危险加大。为了保持对 MOSFET 短通道的控制，栅极介质的厚度也必须减小。由于过薄二氧化硅容易通过电大泄漏电流，因此需要采用新材料。如何将这些高 K 电介质与传统工艺整合在一起，也是 CMOS 加工技术的一个巨大的挑战。
[0003] 解决上述问题的方案之一就是采用隧穿场效应晶体管（TFET）结构。和传统的 MOSFET 相比，由于工作原理不同，隧穿场效应晶体管可以进一步缩小电路的尺寸，具有低漏电流、低亚阈值摆幅、低功耗等优异特性。但是由于隧穿场效应晶体管的源和漏的掺杂互为反型，传统的 MOS 器件中的自对准源漏形成工艺不能被应用，这大大降低了隧穿场效应晶体管的可缩微能力，也降低了隧穿场效应晶体管的性能。

发明内容
[0004] 本发明的目的在于提出一种工艺简单的制造隧穿场效应晶体管（TFET）的方法，以提高 TFET 的微缩能力，并提高 TFET 的性能。
[0005] 本发明提出的制备隧穿场效应晶体管方法，采用自对准工艺，该方法工艺简单，写有自对准特性，而且其源和漏的形成过程都可以被分离，从而可以很容易地形成拥有和衬底材料不同的源极结构。
[0006] 本发明提供的隧穿场效应晶体管的制备方法，包括以下步骤：
[0007] 1. 提供一个已经形成浅槽隔离的半导体衬底；
[0008] 2. 在所述的衬底上形成器件的栅叠层结构；
[0009] 3. 对栅叠层结构进行光刻和刻蚀，形成第一个开口和第二个开口；
[0010] 4. 沉积一层牺牲介质层，然后对其进行各向异性刻蚀；
[0011] 5. 注入离子进行第一种掺杂；
[0012] 6. 去除牺牲介质层并沉积形成新的牺牲介质层，然后对其进行各向异性刻蚀形成侧墙结构；
[0013] 7. 注入离子进行第二种掺杂从而形成器件的 p-n 结或 p-i-n 结源漏区；
8. 在源区和漏区形成硅化物；
9. 进行电极隔离和电极形成。
本发明提供的隧穿场效应晶体管的制备方法也可以包括下列步骤：
1. 提供一个已经形成浅槽隔离的半导体衬底；
2. 在所述的衬底上形成器件的栅叠层结构；
3. 对栅叠层结构进行光刻和刻蚀，形成第一个开口和第二个开口；
4. 涂积一层牺牲介质层，然后对其进行各向异性刻蚀；
5. 用各向同性的刻蚀方法将暴露的半导体衬底选择性地刻蚀掉，然后对衬底进行选择性外延生长或沉积生长新的填充材料层。该填充材料的掺杂可以通过在生长时进行原位掺杂，也可以在生长之后通过离子注入进行掺杂；
6. 去除牺牲介质层并沉积形成新的牺牲介质层，然后对其进行各向异性刻蚀形成侧墙结构；
7. 注入离子进行第二种掺杂从而形成器件的 p-n 结或 p-i-n 结源漏区；
8. 在源区和漏区形成硅化物；
9. 进行电极隔离和电极形成。
上述方法中，所述的栅叠层结构至少拥有一个导电层和一个将导电层与半导体衬底隔离的绝缘层。
所述的导电层为多晶硅、无定形硅、钨金属、氮化钛或者氮化钽。
所述的绝缘层为 SiO₂、HfO₂、HfSiO、HfSiON 或者 SiON。
步骤③中所述的第一个开口的宽度小于第二个开口的宽度。
所述的第一种绝缘介质为 SiO₂、Si₃N₄ 或者它们之间相混合的绝缘材料。
所述的半导体衬底为单晶硅或绝缘体上的硅 (SOI)。
所述的在源区和漏区形成的金属层为硅化物，该硅化物是硅化钛、硅化钴、硅化镍、硅化钼或锗硅化镍，或者这些硅化物中几种的混合物。
所述的填充材料是 p 型掺杂的 Si₃Ge 或者 Ge，或者是 n 型掺杂的 InAs 或者 InGaAs。所述的第一种掺杂为 n 型，第二种掺杂为 p 型，或者所述的第一种掺杂为 p 型，第二种掺杂为 n 型。
附图说明
图 1 为本发明一个实例中的半导体集成电路衬底的截面图。
图 2 为图 1 后在提供的衬底上依次形成绝缘介质层、导电层、硬掩膜层和光阻层，并对其进行刻蚀。
图 3 为图 2 后去除光阻层后沉积形成牺牲介质层。
图 4 为图 3 后刻蚀牺牲介质层，并进行离子注入，在半导体衬底内形成杂质分布区。
图 5 为图 4 后去除旧的牺牲介质层并沉积形成新的牺牲介质层，然后对其进行刻蚀。
图 6 为图 5 后进行离子注入形成器件的 p-n 结或 p-i-n 结。
图 7 为图 6 后在源和漏区形成硅化物。
具体实施方式

[0043] 下面结合附图与具体实施方式对本发明作进一步详细的说明。在图中，为了方便说明，放大了层和区域的厚度，所示大小并不代表实际尺寸，也不反映尺寸的比例关系。参考图是本发明的理想化实施例的示意图，本发明所示的实施例不应被理解为仅限于图中所示区域的特定形状，而是包括所得的形状，比如制造引起的偏差。例如刻蚀得到的曲线通常具有弯曲或圆润的特点，但在本发明实施例中，均以矩形表示，图中的表示是示意性的，但这不应该被认为是限制本发明的范围。同时在下面的描述中，所使用的术语晶片和衬底可以理解为包括正在工艺加工中的半导体晶片，可能包括在其上所制备的其它薄膜层。

[0044] 实施例 1。

[0045] 步骤 1：请参照图 1，提供一个半导体集成电路衬底，100 为衬片，100 上已覆盖一层 SiO₂ 或其它介质材料的栅氧化层，101a 和 101b 为隔离槽介质层。衬片 100 可以是硅片、绝缘体上的硅或其他半导体材料。衬片 100 的半导体衬底材料可以为 n 型掺杂，也可以为 p 型掺杂，还可以为无掺杂（本征半导体）。

[0046] 步骤 2：请参照图 2，在提供的衬底上依次沉积薄膜 201、薄膜 202、薄膜 203 和薄膜 204，再利用光刻技术和刻蚀技术，在薄膜 201、薄膜 202、薄膜 203 和薄膜 204 中形成开口 301 和开口 302，薄膜 201 为二氧化硅或高 K 介质层，薄膜 202 为导电层如高掺杂的多晶硅、金属层或者它们的组合。薄膜 203 为硬掩膜层，该层可以是金属层、介质层、半导体层或者由它们的组合组成，主要用来在后续的刻蚀过程中保护用作栅极电极的导电层 202。薄膜 204 为光阻层，开口 301 的宽度 S1 需小于开口 302 的宽度 S2。

[0047] 步骤 3：请参照图 3，去除掉薄膜 204，然后沉积形成牺牲介质层 205，牺牲介质层 205 的厚度需大于 S1/2 并且小于 S2/2。

[0048] 步骤 4：请参照图 4，依图样利用各向异性干法刻蚀对牺牲介质层 205 进行刻蚀，然后进行 p 型或者 n 型离子注入形成器件的源极或漏极（若该侧形成的是源极，则另外一侧需形成漏极，反之亦然）。注入离子形成掺杂区 401。

[0049] 步骤 5：请参照图 5，去除掉牺牲介质层 205 后形成新的介质层 206，并依图样对介质层 206 进行各向异性刻蚀形成侧墙结构。

[0050] 步骤 6：请参照图 6，进行 n 型或者 p 型离子注入形成器件的漏极或者源极。402 为注入离子后形成的掺杂区。然后进行退火处理从而对源区和漏区的杂质离子进行激活（该次注入离子的类型需与步骤 4 注入离子的类型相反，选择合适的离子注入的能量和剂量，以保证激活后不改变步骤 4 中形成的源极或漏极的掺杂类型）。杂质经过激活后，源和漏之间就形成了 p-n 结或者 p-i-n 结。

[0051] 步骤 7：请参照图 7，在源和漏区形成硅化物 501 和 502。该硅化物可以是硅化钛、硅化锆、硅化镁、硅化铈、硅化锗或者它们之间的混合物。

[0052] 这样第一个实例中的自对准掩模场效应晶体管就形成了。
实施例 2。步骤 1: 请参照图 1, 提供一个半导体集成电路衬底, 100 为晶片, 100 上已覆盖一层 
SiO₂ 或其它介质材料的微氧化层, 101a 和 101b 为隔离槽介质层。晶片 100 可以是硅片、绝缘体上的硅或其他半导体材料。晶片 100 的半导体衬底材料可以为 n 型掺杂, 也可以为 p 
型掺杂, 还可以为无掺杂（本征半导体）。
步骤 2: 请参照图 2, 在提供的衬底上依次淀积薄膜 201、薄膜 202、薄膜 203 和薄 
膜 204, 再利用光刻技术和刻蚀技术, 在薄膜 201、薄膜 202、薄膜 203 和薄膜 204 中形成开 
口 301 和开口 302, 薄膜 201 为二氧化硅或高 K 介质层, 薄膜 202 为导电层如高掺杂的多晶 
硅、金属层或者它们的组合, 薄膜 203 为硬掩底层, 该层可以是金属层、绝缘介质层、半导体 
层或者它们的组合组成, 主要用来在后续的刻蚀过程中保护用作栅电极的导电层 202。薄膜 
204 为光阻层, 开口 301 的宽度 S1 需小于开口 302 的宽度 S2。
步骤 3: 请参照图 3, 去除掉薄膜 204 后淀积形成牺牲介质层 205, 牺牲介质层 205 的厚 
度需大于 S1/2 并且小于 S2/2。
步骤 4: 请参照图 8, 依图样利用各向异性干法刻蚀对牺牲介质层 205 进行刻蚀, 
再对硅衬底进行高选择性刻蚀, 然后选择性外延生长或淀积生长新的填充材料层 401（该 
层的掺杂可以在生长时原位掺杂形成, 也可以通过后续的离子注入来形成）, 填充的材料 
可以是 p 型掺杂的 SiGe, Ge（用于 n 型 Sele 填充场效应晶体管中）, 也可以是 n 型掺杂的 InAs, 
InGaAs（用于 p 型 Sele 填充场效应晶体管中）。
步骤 5: 请参照图 5, 去除掉牺牲介质层 205 后淀积形成新的介质层 206, 并依图样 
对介质层 206 进行各向异性刻蚀形成侧墙结构。
步骤 6: 请参照图 6, 进行 n 型或者说 p 型离子注入形成器件的漏极或者源极, 402 为 
注入离子后形成的掺杂区。然后进行退火处理从而对源区和漏区的杂质离子进行激活（该 
次离子注入离子的类型需与步骤 4 中填充材料层的杂质类型相反, 其离子注入的能量和剂 
量需要仔细选择, 以保证激活后不改变填充材料层的原始掺杂类型）。杂质经过激活后, 源 
和漏之间就形成了 p-n 结或者 p-i-n 结。
步骤 7: 请参照图 7, 在源和漏区形成硅化物 501 和 502。该硅化物可以是硅化钛、硅化钴、硅化镍、硅化铝, 它们之间的混合物。这样第二个实例中的自对准 
Sele 填充场效应晶体管也形成了。
步骤 8: 需要注意的是, 请参照图 9, 在实例 1 中步骤 4 之后, 可以继续对牺牲介质层 205 进 
行刻蚀, 使其在横向和纵向都缩小, 然后再一次进行离子注入, 注入的杂质和步骤 4 中注入 
的杂质为同一类型, 从而可以形成更低结的掺杂区并使该掺杂区更加接近中间的栅电极。 
图 9 中的步骤同样也可以应用在实例 2 中。
步骤 9: 需要指出的是在偏离本发明的精神和范围的情况下还可以构成许多有很大差 
别的实施例。应当理解, 除了如所附的权利要求所限定的, 本发明不限于在说明书中所述的 
具体实例。
图9