



(12) 发明专利

(10) 授权公告号 CN 101819931 B

(45) 授权公告日 2013. 02. 13

(21) 申请号 201010119463. 1

CN 1228197 A, 1999. 09. 08, 说明书第 1 页第

(22) 申请日 2010. 02. 23

1-2 段, 第 6 页第 2 段, 第 12 页第 2 段-第 13 页
第 2 段.

(30) 优先权数据

JP 9155998 A, 1997. 06. 17, 全文.

2009-046801 2009. 02. 27 JP

审查员 王丽

(73) 专利权人 瑞萨电子株式会社

地址 日本神奈川

(72) 发明人 中山知士 笠间佳子 藤仓荣一

菊池敦志

(74) 专利代理机构 中原信达知识产权代理有限

责任公司 11219

代理人 杨海荣 穆德骏

(51) Int. Cl.

H01L 21/3105(2006. 01)

H01L 21/311(2006. 01)

(56) 对比文件

CN 1501448 A, 2004. 06. 02, 说明书第 1 页
倒数第 3 段-第 2 页第 4 段, 第 7 页第 1-2 段, 图
1-3.

CN 1113034 A, 1995. 12. 06, 说明书第 4 页倒
数第 3 段, 说明书第 8 页第 4 段.

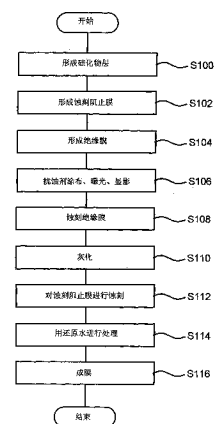
权利要求书 2 页 说明书 6 页 附图 5 页

(54) 发明名称

制造半导体装置的方法

(57) 摘要

一种制造半导体装置的方法, 包括: 通过干法
蚀刻去除在含 Ni 硅化物层上表面形成的绝缘层,
由此使含 Ni 硅化物层至少部分地露出; 以及使用
具有还原作用的还原水清洗含 Ni 硅化物层的露
出部。



1. 一种制造半导体装置的方法,其包含:

通过干法蚀刻去除在含 Ni 硅化物层上形成的绝缘层,从而使所述含 Ni 硅化物层至少部分地露出;以及

使用还原水清洗所述含 Ni 硅化物层的露出部,

其中所述还原水是碱性还原性水溶液,且

其中所述还原水是包含 0.01ppm 以上且 1000ppm 以下氨的富氨水或电解还原水。

2. 如权利要求 1 中所述的制造半导体装置的方法,其中

所述还原水具有的 pH 值大于 7,并且具有负 ORP(氧化-还原电位)。

3. 如权利要求 1 中所述的制造半导体装置的方法,其中

在所述使所述含 Ni 硅化物层露出之后,在不使所述露出的表面经受使用含氧化性气体的气体进行的任何处理、并且不使所述露出的表面接触 $\text{pH} \leq 7$ 的任何液体的情形下,使用所述还原水清洗露出的表面。

4. 如权利要求 1 中所述的制造半导体装置的方法,其中

在所述通过干法蚀刻去除绝缘层时,在所述绝缘层中形成凹部;以及

在所述清洗中,使用所述还原水清洗所述凹部。

5. 如权利要求 1 中所述的制造半导体装置的方法,进一步包含:

在使用所述还原水进行所述清洗之后,在不使所述清洗的表面接触 $\text{pH} \leq 7$ 的任何液体的情形下,对清洗的表面进行干燥的工序。

6. 如权利要求 5 中所述的制造半导体装置的方法,进一步包含:

在所述干燥所述清洗的表面之后,在凹部形成阻挡金属和金属膜的工序。

7. 如权利要求 6 中所述的制造半导体装置的方法,其中

在所述干燥所述清洗的表面之后,在不使所述干燥的表面经受使用含氧化性气体的气体进行的任何处理、并且不使所述干燥的表面接触 $\text{pH} \leq 7$ 的任何液体的情形下,在所述凹部形成所述阻挡金属和所述金属膜。

8. 如权利要求 4 中所述的制造半导体装置的方法,其中

所述绝缘层至少具有第一绝缘膜以及在其上表面形成的第二绝缘膜。

9. 如权利要求 8 中所述的制造半导体装置的方法,其中

所述形成所述凹部进一步包含:

使用抗蚀剂层作为掩模,来选择性地蚀刻所述第二绝缘膜;

去除所述抗蚀剂层;以及

使用所述第二绝缘膜作为掩模,来选择性地蚀刻所述第一绝缘膜。

10. 如权利要求 8 中所述的制造半导体装置的方法,其中

所述第一绝缘膜是氮化硅膜。

11. 如权利要求 8 中所述的制造半导体装置的方法,其中

所述第二绝缘膜是氧化硅膜。

12. 如权利要求 1 中所述的制造半导体装置的方法,其中

所述含 Ni 硅化物层选自 NiSi 层、NiPtSi 层以及这些层的堆叠。

13. 如权利要求 6 中所述的制造半导体装置的方法,其中

在使用所述还原水的所述清洗之后,从所述含 Ni 硅化物层被所述还原水覆盖的时间

点开始,直到在所述凹部形成所述阻挡金属和所述金属膜的时间点为止,在这一期间不使所述含 Ni 硅化物层接触水。

制造半导体装置的方法

[0001] 本申请基于日本专利申请 No. 2009-046801, 其内容通过引用结合于此。

技术领域

[0002] 本发明涉及一种制造半导体装置的方法。

背景技术

[0003] 涉及到半导体装置的尺寸缩小、集成度的提高以及操作速度的提高, 一直以来不断地要求在栅电极上和源/漏(杂质扩散层)区上形成的硅化物具有更低的电阻率。因此, 这种情况促使采用包含 NiSi、NiPtSi 等的含 Ni 硅化物膜。

[0004] 另一方面, 为了防止薄硅化物膜的穿透, 并且为了保持侧壁的必要厚度, 也要求硅化物膜在用于形成接触插塞的干法蚀刻工艺中确保大的选择性。然而, 这种情况使得更难以同时满足去除工艺中产生的沉积物以及硅化物的氧化溶解的要求。

[0005] 作为在硅化物层上形成的绝缘膜中形成接触孔的示例性方法, 日本专利特许公布 No. 2007-234760 描述了如下所述技术。

[0006] 根据日本专利特许公布 No. 2007-234760, 在硅化物层上形成作为蚀刻阻止膜的 SiN 膜, 并在其上形成作为层间绝缘膜的氧化硅膜。然后形成具有预定图案的抗蚀剂膜, 所述预定图案包含开口, 通过这些开口形成接触孔, 然后通过使用抗蚀剂膜作为掩模的干法蚀刻, 选择性地去除氧化硅膜, 通常是通过 O_2 等离子体灰化来去除抗蚀剂膜。此后, 使用氧化硅膜作为掩模来选择性地去除作为蚀刻阻止膜的 SiN 膜。以这种方式形成接触孔。根据在该公布中所描述的形成接触孔的方法, 由于发生灰化, 所以留下作为蚀刻阻止膜的 SiN 膜未被去除, 使得可以防止硅化物层直接暴露于 O_2 等离子体。

[0007] 在上述低电阻化的趋势中, 采用诸如 NiSi 的含 Ni 硅化物层作为硅化物提出了另外的要求, 即, 要求在用作较高蚀刻阻止膜的 SiN 膜蚀刻工艺中对 Ni 硅化物层保持大的选择性。因此, 为确保这种大的选择性, 有必要在更有可能产生沉积物的条件下蚀刻 SiN 膜, 使得更有可能在接触孔的底部产生沉积物。在形成接触孔后, 进行清洗以去除沉积物是重要的。

[0008] 一般通过灰化或者通过使用氨水与过氧化氢水溶液的混合溶液(下文中有称氨/过氧化氢溶液)、氢氟酸溶液或硫酸与过氧化氢水溶液(下文中有称硫酸/过氧化氢溶液)的混合溶液来进行清洗, 以去除这类沉积物。

[0009] 日本专利特许公布 No. 2007-234760 中公开了一种工艺, 在该工艺中形成接触孔, 接下来使用氢氟酸等进行酸洗, 并使用碱性化学品进行处理。该专利公布中还公开了硅化物层表面的 RF 蚀刻。

[0010] 日本专利特许公布 No. 2002-146574 中公开了, 活性阴极水和活性阳极水也可应用于在通过蚀刻形成开口之后进行的清洗, 所述开口使硅化物层露出。

[0011] 根据该公布, 组成活性阴极水和活性阳极水的电解质水溶液包含 1 至 30 质量%的氢氧化氨和 1 至 30 质量%的氟化物。

[0012] 本发明人已经有如下的认识。上述公布中公开的现有技术仍然存在着以下方面的问题。

[0013] 在日本专利特许公布 No. 2007-234760 所述的现有技术中,硅化物层上沉积物的去除与通常使用含酸水溶液进行的氧化或氧等离子体处理一起发生。在日本专利特许公布 No. 2002-146574 中所描述的现有技术中,使用含 1 至 30 质量%氢氧化氨的电解质水溶液的清洗基本上需要用水进行冲洗的后续处理。

[0014] 然而,硅化物层,特别是 Ni 硅化物层,即使通过这种使用水进行的冲洗也容易氧化。

[0015] 如上所述,通过现有技术去除硅化物层上的沉积物与不期望的硅化物层氧化相关联。

发明内容

[0016] 根据本发明提供一种制造半导体装置的方法,包括:

[0017] 通过干法蚀刻来去除在含 Ni 硅化物层上形成的绝缘层,从而使含 Ni 硅化物层至少部分地露出;以及

[0018] 使用还原水清洗含 Ni 硅化物层的露出部。

[0019] 此时可以使用还原水清洗在干法蚀刻中产生的沉积在含 Ni 硅化物层上的沉积物。

[0020] 根据本发明可提供一种制造半导体装置的方法,该方法能够在不使硅化物层氧化的情况下去除沉积物。

附图说明

[0021] 根据下面结合附图对某些优选实施方式进行的描述,使本发明的上述以及其他的、优点和特征更明显,其中:

[0022] 图 1 是示出本发明的一个实施方式中的半导体装置的制造工序的流程图;

[0023] 图 2A 至 2C 和图 3A 至 3C 是示出本发明的一个实施方式的半导体装置制造工艺的截面图;

[0024] 图 4A 至 4E 是在绝缘膜中形成的接触孔的截面 SEM 图像;以及

[0025] 图 5A 至 5D 是接触孔底部的 X 射线光电子能谱 (XPS) 图。

具体实施方式

[0026] 现在将参照示例性实施方式来描述本发明。本领域技术人员将会意识到,使用本发明的教导内容可以实现许多可替选的实施方式,并且本发明不局限于为了例示的目的而示出的实施方式。

[0027] 参考附图说明了本发明的一个实施方式。需指出的是,在所有附图中,以相同的数字或符号表示任何相同的构成要素,不再重复对其的说明。

[0028] 将参考图 1 至图 3C 来说明本实施方式的半导体装置的制造方法。

[0029] 图 1 是示出本实施方式中的半导体装置制造工序的流程图,图 2A 至 2C 和图 3A 至 3C 是示出本实施方式中的半导体装置制造工艺的截面图。

[0030] 在本实施方式中,首先,在半导体衬底 102 上形成含 Ni 硅化物层 104(S100)。然后在含 Ni 硅化物层 104 上形成蚀刻阻止膜 106(S102)。然后在蚀刻阻止膜 106 上形成绝缘膜 108(S104)。此后,在绝缘膜 108 上形成具有预定图案的抗蚀剂层 110(S106),然后使用抗蚀剂层 110 作为掩模来蚀刻绝缘膜 108,以由此形成接触孔(开口)(S108)。然后通过灰化来去除抗蚀剂层 110(S110)。

[0031] 接下来使用绝缘膜 108 作为掩模,通过干法蚀刻来去除蚀刻阻止膜 106(S112)。由此,在接触孔的底部处使含 Ni 硅化物层 104 露出。然后使用还原水 114 来清洗产品(S114)。通过清洗,可以去除接触孔中的沉积物 112,并由此可以清洗含 Ni 硅化物层 104 的表面。在本实施方式中,还原水 114 可以是碱性还原性水溶液。

[0032] 在本实施方式中,然后将半导体衬底 102 转移至膜生长腔室,同时保持对含 Ni 硅化物层 104 的保护。接下来在膜生长腔室中,在接触孔中生长作为金属膜 116 的导电膜(S116)。

[0033] 下面将进一步详细说明上述的过程。需指出的是,图中所示的只是源/漏区上的硅化物部分,而简化了对本发明来说是非必要的栅极绝缘膜、栅电极等的描述。

[0034] 含 Ni 硅化物层 104 可以优选地选自 NiSi 层、NiPtSi 层以及这些层的堆叠,并且可以按下述的方式来制造。本文中的一个示例涉及采用 NiSi 层的情况。首先,通过溅射在由硅衬底构成的半导体衬底 102 的上表面形成厚度大约 5nm 以上且 20nm 以下的作为金属膜的 Ni 膜。然后使产物在 250℃以上且 350℃以下经受第一退火(烧结)。结果,形成 Ni₂Si 层。此后,通过通常使用 SPM(硫酸/过氧化氢(/水)混合物)进行的蚀刻,去除金属膜的未反应部分。然后使产物在 350℃以上且 400℃以下经受第二退火(烧结),以由此形成 NiSi 层。

[0035] 在本实施方式的半导体装置 100 的制造方法中,绝缘层优选地包含至少第一绝缘膜(蚀刻阻止膜 106)和在其上形成的第二绝缘膜(绝缘膜 108)。

[0036] 形成接触孔的工艺优选地包括使用抗蚀剂层作为掩模来选择性蚀刻绝缘膜 108 的工艺、去除抗蚀剂层的工艺以及使用绝缘膜 108 作为掩模对蚀刻阻止膜 106 进行选择性蚀刻的工艺。

[0037] 通常可以通过使用 SiN 膜来构造蚀刻阻止膜 106。通常通过原子层沉积(ALD)来形成蚀刻阻止膜 106。通常可以通过使用氧化硅(SiO₂)膜来构造绝缘膜 108。

[0038] 接下来,在绝缘膜 108 上形成具有预定图案的抗蚀剂层 110(图 2A),所述预定图案包含用于形成接触孔的开口。接下来,通过使用抗蚀剂层 110 作为掩模进行干法蚀刻,来选择性地去除绝缘膜 108(图 2B)。接下来,通过灰化或者通过使用 SPM 或 APM 的湿法蚀刻来去除抗蚀剂层 110(图 2C)。然后,通过使用绝缘膜 108 作为掩模进行干法蚀刻,来选择性地去除蚀刻阻止膜 106(图 3A)。以这种方式,形成到达含 Ni 硅化物层 104 的凹部(接触孔)。

[0039] 在对蚀刻阻止膜 106 的干法蚀刻中(S112),考虑到要确保满意的选择性水平,优选地使用诸如 CH₃F 的 H 比例大的气体。又可备选地,可以使用诸如 CH₂F₂ 和 CHF₃ 的氟碳化合物气体。该气体可以包含氧等。

[0040] 然而,作为干法蚀刻的结果,在该工艺中的接触孔具有在其中聚积的沉积物 112。在本实施方式中,通过使用还原水 114 的清洗来去除保留在接触孔中的这种沉积物 112(图

3B 以及图 1 中的步骤 S114)。通过清洗,沉积物 112 被去除,由此清洗含 Ni 硅化物层 104。应该理解的是,本文中的清洗还包括简单的冲洗。

[0041] 本实施方式的半导体装置 100 的制造方法优选地包括:通过干法蚀刻去除在含 Ni 硅化物层 104 上表面形成的绝缘层,由此使含 Ni 硅化物层 104 至少部分地露出的工艺;以及使用还原水 114 清洗含 Ni 硅化物层 104 的露出部。

[0042] 所述方法进一步优选地包括在绝缘层中形成凹部(接触孔)的工艺和用还原水 114 清洗接触孔的工艺。

[0043] 还原水旨在通过用 OH 基团保护含 Ni 硅化物层 104 的表面防止其被氧化,还原水优选地为在提供用于清洗之前才进行测量时包含 0.01ppm 以上氨的富氨水或电解还原水。还优选还原水为包含 1000ppm 以下氨的富氨水或电解还原水,使得在用还原水处理之后,不再需要用水冲洗。

[0044] 氨浓度更优选在 0.1ppm 以上至 100ppm 以下的范围内。具有的氨浓度调节至该范围内的还原水呈碱性。由在以还原水处理之前才用 pH 计测量的 pH 值来计算氨浓度。本文中可以采用任何市售的 pH 计。

[0045] 还原水的 pH 值优选大于 7,并且具有负的 ORP(氧化-还原电位)。还原水的 pH 值更优选地大于 8。考虑到借助于碱性去除沉积物,还原水的 ORP 值更优选地小于 -100mV。具体地,ORP 值更优选地为 -800mV 以上且 -500mV 以下。具有的 ORP 值调节至该范围内的还原水呈碱性。

[0046] 在以还原水处理之前才使用 pH 计测量 pH 值。在以还原水处理之前才使用 ORP 计测量氧化-还原电位。本文中可以采用任何市售的 ORP 计。

[0047] 可以在室温或适当高于室温的条件下使用还原水。

[0048] 电解还原水是作为电解含少量氨离子(1 质量%以下)的水的结果而在阴极侧上产生的液体。用于产生电解还原水的装置可以是两部件电解装置,或者可以可替代地是三部件电解装置。富氨水优选地为通过把氢气溶入到稀释的氨水溶液中得到的水,所述氢气作为电解的结果在阴极处产生或者由储气瓶供给。

[0049] 可以通过调节氨离子量获得所需的 pH 值和氧化-还原电位,并且也可以通过调节溶解的氢气量获得所需的氧化-还原电位值。

[0050] 以还原水进行清洗可以采用单晶片处理模式和批处理模式这两种。处理的持续时间可优选地为 30 秒以上,并且特别地为 60 秒以上且 180 秒以下。

[0051] 以还原水清洗后不一定接下来要使用纯水或其他种类的水进行冲洗以去除还原水。

[0052] 因此,在本实施方式的半导体装置 100 的制造方法中,从以还原水进行清洗之后含 Ni 硅化物层 104 被还原水覆盖的时间点开始,直到在接触孔中形成阻挡金属和金属膜时的时间点,在该时段期间可以保持含 Ni 硅化物层 104 不接触水。

[0053] 图 4A 至 4E 是接触孔的截面 SEM 图像。本文中所示的是干法蚀刻后的结果(图 4A)、干法蚀刻之后进行常规清洗处理(图 4B 中通过灰化,图 4C 中通过用硫酸/过氧化氢溶液清洗,以及图 4E 中通过用稀氢氟酸清洗)后的结果以及干法蚀刻之后根据本实施方式用还原水清洗后的结果(图 4D)。图 5A 至 5D 是以一分钟为间隔在各个工艺之后一至五分钟时测量的接触孔底部的 XPS 图。本文中所示的是干法蚀刻后得到的 XPS 图(图 5A)、干

法蚀刻之后进行常规清洗处理（图 5B 中通过灰化，以及图 5C 中通过用硫酸 / 过氧化氢溶液清洗）后得到的 XPS 图以及干法蚀刻之后根据本实施方式用还原水清洗后得到的 XPS 图（图 5D）。

[0054] 本文中所用还原水具有的氨浓度为 10ppm，pH 值为 9.5，以及氧化 - 还原电位为 -600mV。

[0055] 根据 SEM 图像判断来看，灰化（图 4B）以及用硫酸 / 过氧化氢溶液清洗（图 4C）似乎可成功地去除了沉积物。然而，与本实施方式中用还原水处理后得到的结果（图 4D）相比可知，在接触孔的底部处，使用 SPM 进行去除不充分。还发现 DHF 处理（图 4E）对绝缘膜以及接触孔底部造成不期望有的蚀刻。

[0056] 此外，蚀刻后得到的 XPS 图（图 5A）和干法蚀刻之后进行常规清洗处理（图 5B 中通过灰化，图 5C 中通过用硫酸 / 过氧化氢溶液清洗）后得到的 XPS 图在大约 103eV 处示出峰，可能表明存在 SiO_2 。

[0057] 与之相比之下，在本实施方式中用还原水清洗之后得到的 XPS 图（图 5D）没有显示出由 SiO_2 所引起的峰，表明 NiSi 膜暴露于接触孔的底部。

[0058] 这大概是因为 NiSi 膜上的导电抑制物（ SiO_2 ）通过以负 ORP 为特征的还原水的还原功能被还原。

[0059] 用还原水清洗之后还发现，在清洗之后一至五分钟内的任何时间点上没有在接触孔的底部通过 XPS 观察到由 SiO_2 所引起的峰。因此在使用还原水处理后的延长持续时间段内，在接触孔的底部处可以防止含 Ni 硅化物层 104 的表面被氧化。

[0060] 现在返回到日本专利特许公布 No. 2002-146574 中公开的现有技术，因为氢氧化氨的浓度高达 1 至 30 质量%，所以以活性阴极水清洗之后接下来一定要用水进行冲洗。虽然在该公布中没有公开 Ni 硅化物作为所述硅化物，但如果硅化物是 Ni 硅化物，用水冲洗会对含 Ni 硅化物层产生不期望有的氧化。

[0061] 相反，根据本实施方式的半导体装置 100 的制造方法，在用还原水处理之后，不再需要用水冲洗。因此，在使含 Ni 硅化物层 104 露出之后，可以在不使露出的表面经受用含氧化性气体的气体进行的任何处理、并且不使露出的表面接触 $\text{pH} \leq$ （不大于）7 的任何液体的情形下，使用还原水清洗露出的表面。

[0062] 此外，在用还原水进行清洗处理后，可以在不使清洗的表面接触诸如 SPM 的 $\text{pH} \leq 7$ 的任何液体的情形下，对清洗的表面进行干燥处理。

[0063] 然后把半导体衬底 102 转移至膜生长腔室。接下来，在接触孔中形成导电金属膜 116（图 3C）。

[0064] 在本实施方式的半导体装置 100 的制造方法中，在对清洗的表面进行干燥处理后，可以在接触孔中形成阻挡金属和金属膜 116。更具体而言，在对清洗的表面进行干燥处理后，在不使干燥的表面经受用含氧化性气体的气体进行的任何处理、并且不使干燥的表面接触 $\text{pH} \leq 7$ 的任何液体的情形下，在接触孔（凹部）中形成阻挡金属和金属膜 116。

[0065] 金属膜 116 和阻挡金属可以构造成堆叠结构。

[0066] 例如，金属膜 116 可以优选地采用 Ti。阻挡金属可以优选地采用由 W、Ti、Ta、这些元素的氮化物或这些元素的堆叠组成的层。

[0067] 已经对本发明的实施方式进行了说明，但其并不是对本发明的限制。

[0068] 例如,通常在栅电极上的硅化物层也可以采用本发明的实施方式,而不是局限于杂质扩散层上的硅化物层。

[0069] 可以以自对准方式(如自对准硅化物工艺)形成含 Ni 硅化物层。Ni 硅化物层可以是诸如 NiPtSi 层的任何包含 Ni 的硅化物层,而不是局限于 NiSi 层,或者可以是这些层的堆叠。

[0070] 这些元素的化学计量比可以是任意的,使得并不总是需要 NiSi 的 Ni 与 Si 的组成比为 1 : 1。

[0071] 蚀刻阻止膜 106 不局限于 SiN 膜,可以是能够确保相对于其上形成的绝缘膜 108 具有一定程度的蚀刻选择性的任何蚀刻阻止膜。

[0072] 进一步可以在 SiN 膜下方以及在硅化物层与 SiN 膜之间形成氧化硅膜。该构造使得蚀刻氧化硅膜成为必要,使得同样由氧化硅膜组成的绝缘膜 108 也从上面被轻微地蚀刻,但只进行到不会造成问题的程度。

[0073] 绝缘膜 108 可以是低 k 膜,而不是局限于氧化硅膜。低 k 膜可以以 MSQ、SiOCH、HSQ 和有机膜为例子。

[0074] 根据其特征在于用还原水清洗其中含 Ni 硅化物层露出的接触孔的本发明实施方式,可以彻底去除沉积物,并且可以保持期望的接触电阻水平,因为硅化物层的表面不大可能被氧化。

[0075] 根据本发明实施方式所述那样,用还原水进行清洗,既不需要用氧化性气体进行处理,也不需要氧化处理,并且甚至在用还原水处理之后不必用水冲洗。因此可以防止硅化物层在其表面上被氧化,并且因此可以将接触电阻保持在期望水平处。

[0076] 由于无需通过例如氢氟酸处理、RF 蚀刻等方式蚀刻含 Ni 硅化物层的表面,因此,即使硅化物层变薄,也可以将接触电阻保持在期望的水平处,并且还可以抑制泄漏电流。

[0077] 此外,以还原水进行清洗可以成功地用 H 终止 Ni 硅化物表面上的悬键,并且这有助于进一步防止表面被氧化。

[0078] 当然可以将所述实施方式与上述的多种修改相结合,只要在其中不发生冲突即可。可以按各种方式对所述实施方式及修改的实施方式中具体描述的各个组件的构造进行修改,只要能实现本发明的目的即可。

[0079] 显而易见的是,本发明并不局限于上述的实施方式,在不偏离本发明范围和实质的情况下,可以对上述的实施方式进行修改和改变。

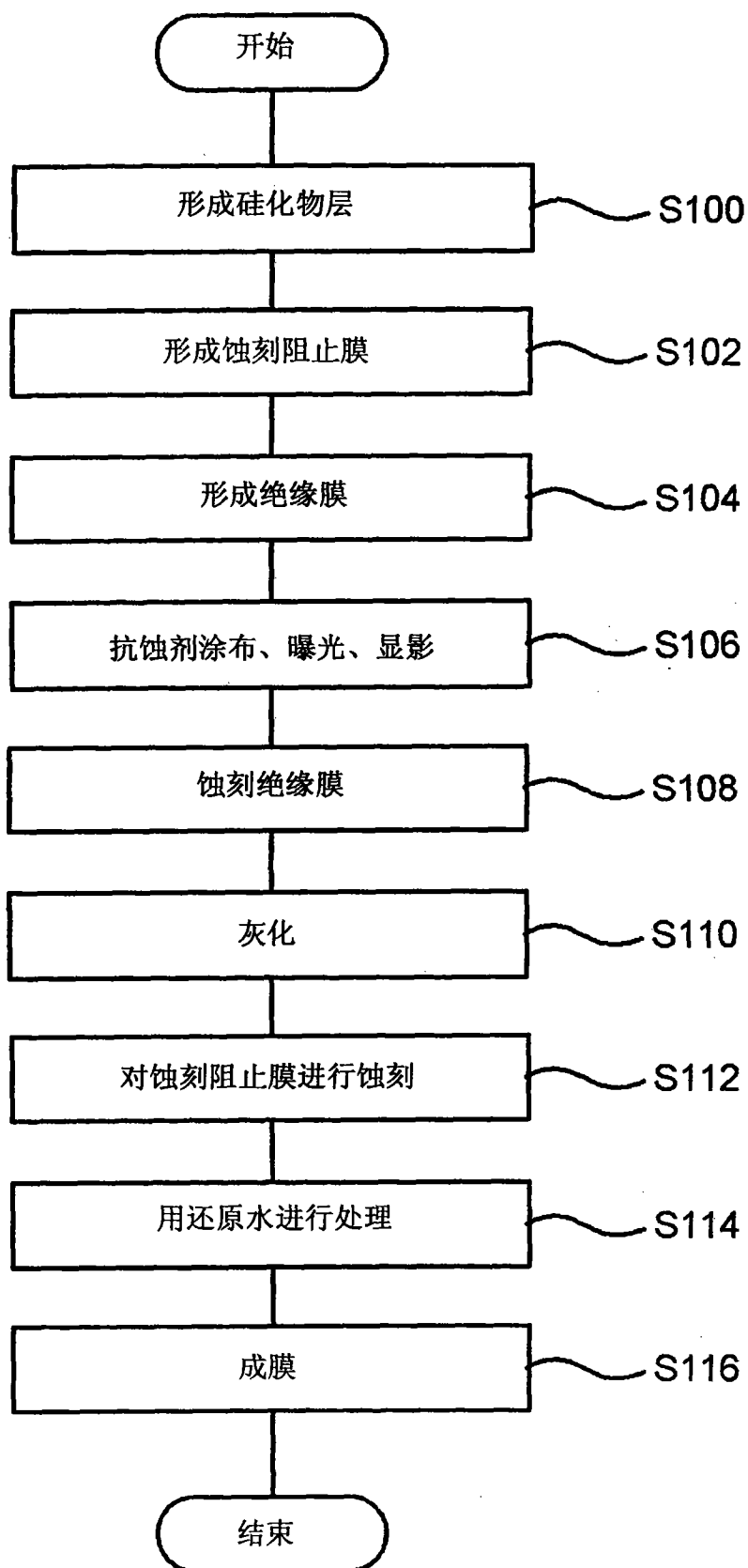


图 1

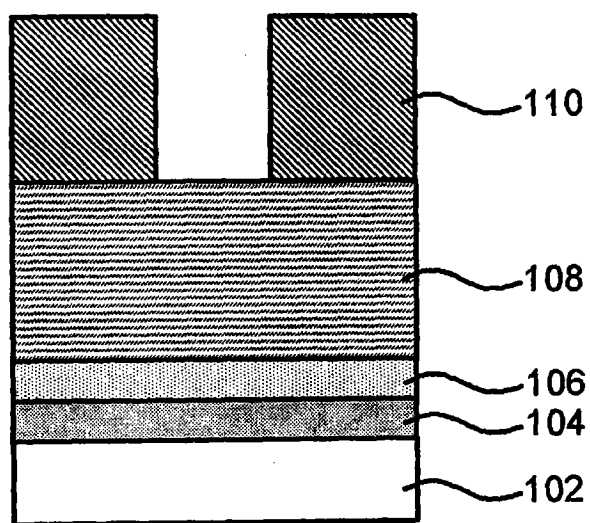


图 2A

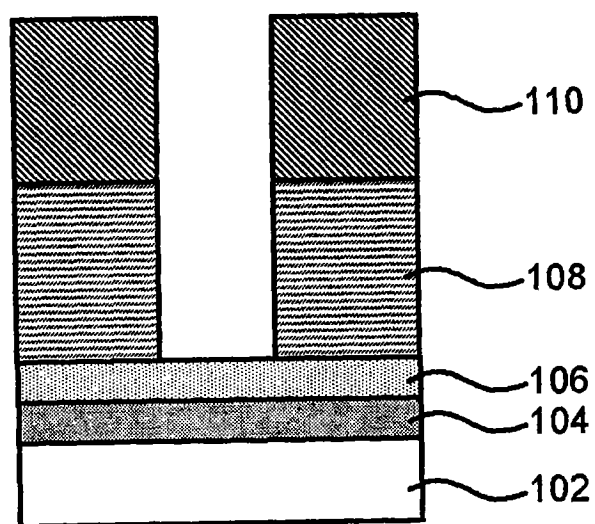


图 2B

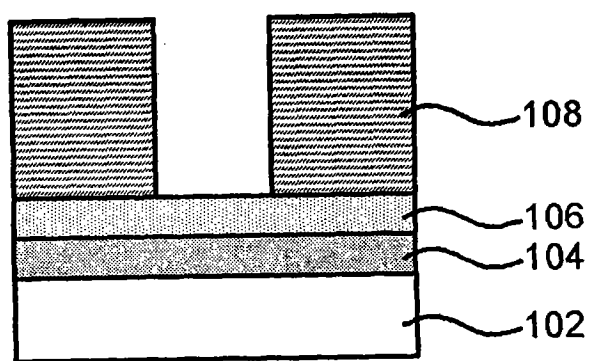


图 2C

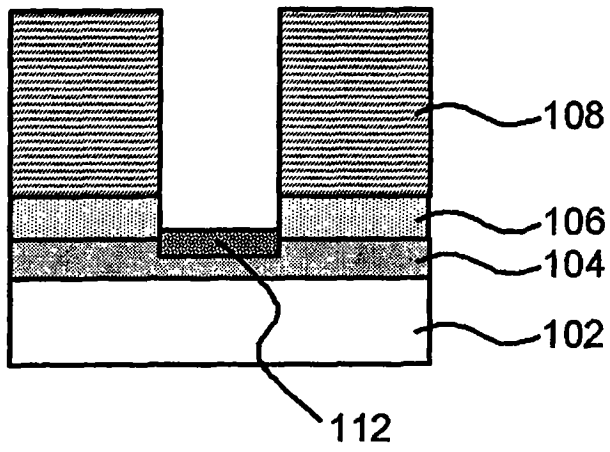


图 3A

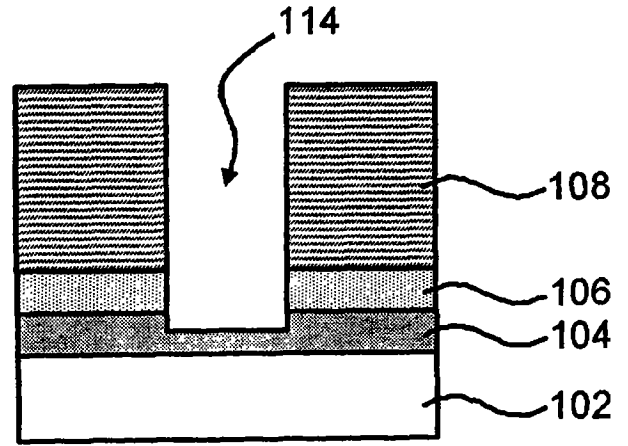


图 3B

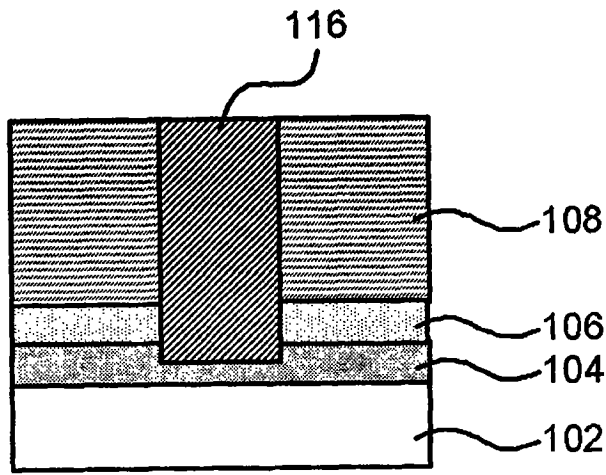


图 3C

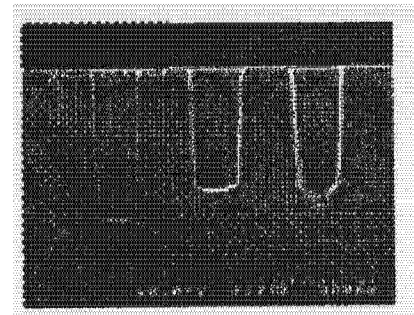


图 . 4A

100

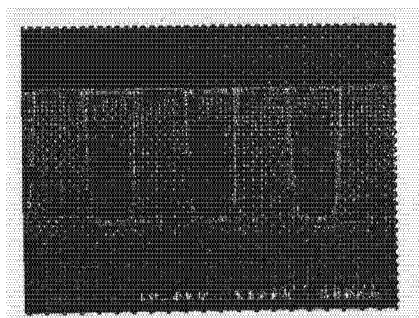


图 . 4B

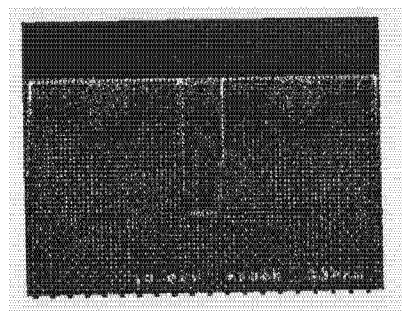


图 . 4C

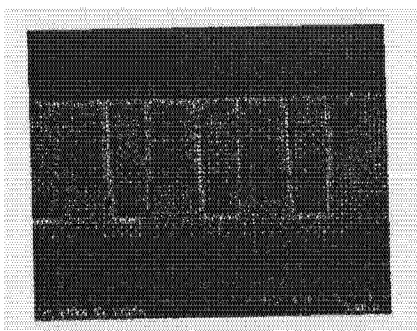


图. 4D

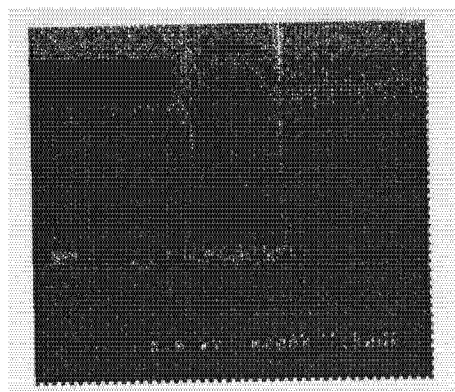


图. 4E

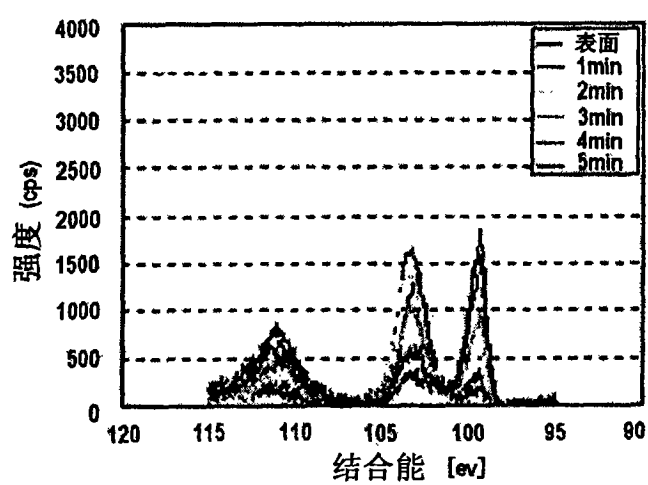


图 5A

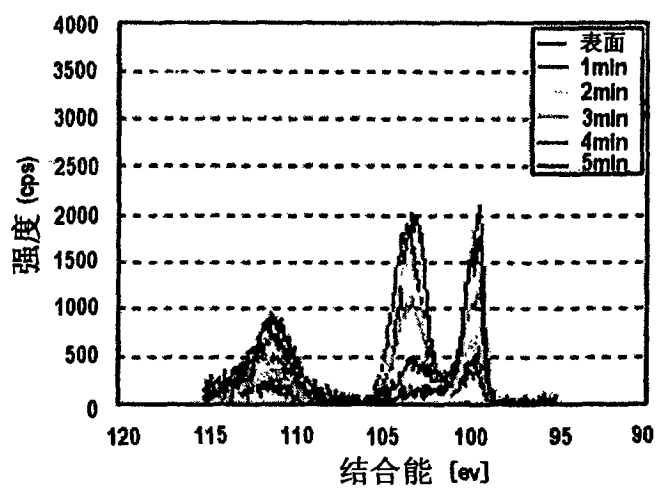


图 5B

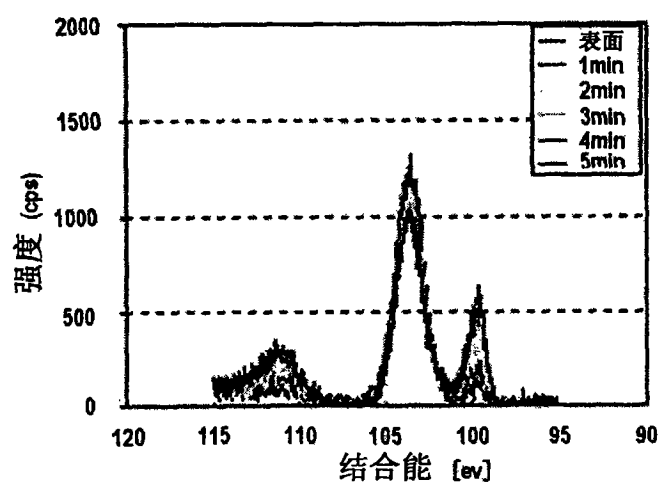


图 5C

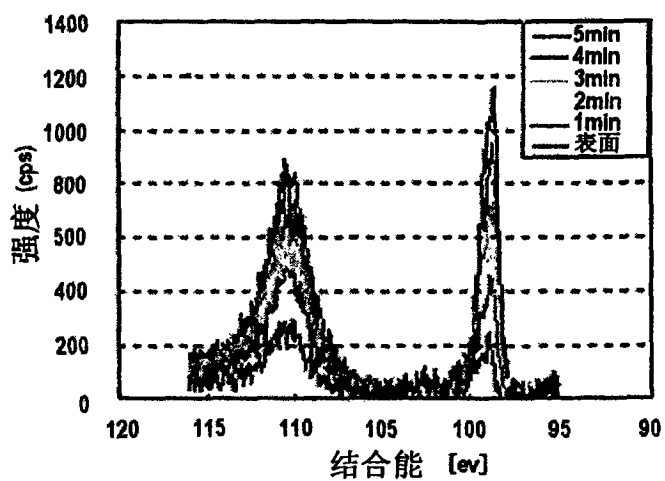


图 5D