

①9 RÉPUBLIQUE FRANÇAISE
—
**INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE**
—
COURBEVOIE
—

①1 N° de publication : **3 127 627**

(à n'utiliser que pour les
commandes de reproduction)

②1 N° d'enregistrement national : **21 10273**

⑤1 Int Cl⁸ : **H 01 L 21/02** (2020.12), H 01 L 21/265, H 01 L 21/20,
H 01 L 21/762

⑫

BREVET D'INVENTION

B1

⑤4 PROCÉDÉ DE FABRICATION D'UNE STRUCTURE COMPOSITE COMPRENANT UNE COUCHE MINCE EN SIC MONOCRISTALLIN SUR UN SUBSTRAT SUPPORT EN SIC POLYCRISTALLIN.

②2 Date de dépôt : 29.09.21.

③0 Priorité :

④3 Date de mise à la disposition du public de la demande : 31.03.23 Bulletin 23/13.

④5 Date de la mise à disposition du public du brevet d'invention : 09.08.24 Bulletin 24/32.

⑤6 Liste des documents cités dans le rapport de recherche :

Se reporter à la fin du présent fascicule

⑥0 Références à d'autres documents nationaux apparentés :

Demande(s) d'extension :

⑦1 Demandeur(s) : *SOITEC Société anonyme à conseil d'administration* — FR.

⑦2 Inventeur(s) : ALLIBERT Frédéric et GUIOT Eric.

⑦3 Titulaire(s) : *SOITEC Société anonyme à conseil d'administration.*

⑦4 Mandataire(s) : IP TRUST.

FR 3 127 627 - B1



Description

Titre de l'invention : PROCÉDÉ DE FABRICATION D'UNE STRUCTURE COMPOSITE COMPRENANT UNE COUCHE MINCE EN SiC MONOCRISTALLIN SUR UN SUBSTRAT SUPPORT EN SiC POLYCRISTALLIN

DOMAINE DE L'INVENTION

[0001] La présente invention concerne le domaine des matériaux semi-conducteurs pour composants microélectroniques. Elle concerne en particulier un procédé de fabrication d'une structure composite comprenant une couche mince en carbure de silicium monocristallin sur un substrat support en carbure de silicium poly-cristallin, et procurant une bonne conduction électrique verticale entre la couche mince et le substrat support.

ARRIERE PLAN TECHNOLOGIQUE DE L'INVENTION

[0002] Les dispositifs de puissance et les systèmes intégrés d'alimentation basés sur du carbure de silicium monocristallin peuvent gérer une densité de puissance beaucoup plus élevée par rapport à leurs homologues traditionnels en silicium, et ce avec des dimensions de zone active inférieures. Pour limiter encore les dimensions des dispositifs de puissance sur SiC, il est avantageux de fabriquer des composants verticaux plutôt que latéraux. Pour cela, une conduction électrique verticale, entre une électrode disposée en face avant de la structure SiC et une électrode disposée en face arrière, doit être autorisée par ladite structure.

[0003] Les substrats en SiC monocristallin destinés à l'industrie microélectronique restant chers et difficiles à approvisionner en grande taille, il est avantageux de recourir à des solutions de transfert de couches minces, pour élaborer des structures composites comprenant typiquement une couche mince en SiC monocristallin sur un substrat support plus bas coût. Une solution de transfert de couche mince bien connu est le procédé Smart Cut™, basé sur une implantation d'ions légers et sur un assemblage par collage direct. Un tel procédé permet par exemple de fabriquer une structure composite comprenant une couche mince en SiC monocristallin (c-SiC), prélevée d'un substrat donneur en c-SiC, en contact direct avec un substrat support en SiC poly-cristallin (p-SiC), et autorisant une conduction électrique verticale. Il reste néanmoins difficile de réaliser un collage direct par adhésion moléculaire de bonne qualité entre deux substrats c-SiC et p-SiC, car la gestion de la rugosité et de l'état de surface desdits substrats est complexe, sans compter que le c-SiC et le p-SiC sont susceptibles de présenter des polytypes différents.

[0004] Différentes méthodes dérivées de ce procédé sont également connues de l'état de la technique. Par exemple, F.Mu et al (ECS Transactions, 86 (5) 3-21, 2018) mettent en

œuvrer un collage direct, après activation des surfaces à assembler par bombardement d'argon (SAB pour « Surface Activation Bonding ») : un tel traitement préalable au collage génère une très forte densité de liaisons pendantes, lesquelles favorisent la formation de liaisons covalentes à l'interface d'assemblage, et donc une forte énergie de collage. Cette méthode présente néanmoins l'inconvénient de générer une couche amorphe, à la surface du substrat donneur en SiC monocristallin, qui impacte défavorablement la conduction électrique verticale entre la couche mince en c-SiC et le substrat support en p-SiC.

[0005] Des solutions ont été proposées pour résoudre ce problème, en particulier dans le document EP3168862, mettant en œuvre une implantation d'espèces dopantes dans ladite couche amorphe, pour restaurer ses propriétés électriques. L'inconvénient principal de cette approche est sa complexité et donc son coût.

[0006] On connaît par ailleurs le document WO2021/019137, qui décrit un procédé de fabrication d'une structure composite comportant une couche mince en carbure de silicium monocristallin disposée sur un substrat support en carbure de silicium polycristallin, le procédé comprenant :

[0007] - une étape de fourniture d'un substrat initial en carbure de silicium monocristallin,
 - une première étape de dépôt à une température supérieure à 1000°C pour former une couche intermédiaire en carbure de silicium polycristallin sur le substrat initial, la couche intermédiaire présentant une épaisseur supérieure ou égale à 1,5 microns,
 - une étape d'implantation ionique d'espèces légères à travers la couche intermédiaire, pour former un plan fragile enterré dans le substrat initial, délimitant la couche mince entre ledit plan fragile enterré et la couche intermédiaire,
 - une deuxième étape de dépôt à une température supérieure à 1000°C pour former une couche additionnelle en carbure de silicium polycristallin sur la couche intermédiaire, ladite couche intermédiaire et la couche additionnelle formant le substrat support. Une séparation le long du plan fragile enterré s'opère au cours de la deuxième étape de dépôt, menant à l'obtention de la structure composite.

[0008] Cependant, l'implantation ionique à travers une couche intermédiaire en p-SiC épaisse demeure relativement complexe et coûteuse car elle implique des énergies et doses d'implantation éloignées des standards.

OBJET DE L'INVENTION

[0009] La présente invention concerne une solution alternative à celles de l'état de la technique, et vise à remédier à tout ou partie des inconvénients précités. Elle concerne en particulier un procédé de fabrication d'une structure composite comprenant une couche mince en c-SiC disposée sur un substrat support en p-SiC, et procurant une excellente conduction électrique verticale entre la couche mince et le substrat support.

BREVE DESCRIPTION DE L'INVENTION

- [0010] L'invention concerne un procédé de fabrication d'une structure composite comprenant une couche mince en carbure de silicium monocristallin disposée sur un substrat support en carbure de silicium poly-cristallin, le procédé comprenant :
- [0011] **a)** une étape de fourniture d'un substrat initial en carbure de silicium monocristallin,
b) une première étape de dépôt à une température supérieure à 1100°C pour former une première couche en carbure de silicium poly-cristallin sur une face avant du substrat initial, la première couche présentant une épaisseur inférieure à 1µm et une concentration en dopants supérieure à 10¹⁹/cm³,
c) une étape d'implantation ionique d'espèces légères à travers la première couche, pour former un plan fragile enterré dans le substrat initial, délimitant la couche mince entre ledit plan fragile enterré et la face avant du substrat initial,
d) une deuxième étape de dépôt à une température inférieure à 900°C pour former une deuxième couche en carbure de silicium amorphe et/ou poly-cristallin sur la première couche, la deuxième couche présentant une épaisseur supérieure ou égale à 10µm et une concentration en dopants du même type que ceux de la première couche, supérieure à 10¹⁹/cm³,
e) une troisième étape de dépôt à une température supérieure à 1000°C pour former une troisième couche en carbure de silicium poly-cristallin sur la deuxième couche, les première, deuxième et troisième couches formant le substrat support, une séparation le long du plan fragile enterré s'opérant au cours de la troisième étape de dépôt.
- [0012] Selon d'autres caractéristiques avantageuses et non limitatives de l'invention, prises seules ou selon toute combinaison techniquement réalisable :
- [0013] • la première étape de dépôt et la troisième étape de dépôt sont réalisées par dépôt chimique en phase vapeur, à une température comprise entre 1100°C et 1600°C, préférentiellement comprise entre 1200°C et 1600°C, encore préférentiellement comprise entre 1200°C et 1400°C ;
- la première couche présente une concentration en dopants supérieure à 5.10¹⁹ / cm³ ;
 - à l'issue de la première étape de dépôt, la première couche présente une épaisseur comprise entre 50nm et 500nm, voire entre 50nm et 200nm ;
 - le procédé de fabrication comprend, avant la première étape de dépôt, une étape de préparation du substrat initial comportant au moins une désoxydation d'une face avant dudit substrat initial ;
 - le procédé de fabrication comprend, avant l'étape b), une étape a') de formation d'une couche intermédiaire sur la face avant du substrat initial pour favoriser la conduction électrique, la première couche étant ensuite formée sur ladite couche intermédiaire au cours de l'étape b) ;

- la couche intermédiaire est en silicium ;
- la troisième couche formée à l'étape e) présente une épaisseur supérieure ou égale à 100 μm et une concentration en dopants supérieure à 10¹⁹/cm³, au moins sur ses cents premiers microns d'épaisseur.

BREVE DESCRIPTION DES FIGURES

- [0014] D'autres caractéristiques et avantages de l'invention ressortiront de la description détaillée de l'invention qui va suivre en référence aux figures annexées sur lesquelles :
- [0015] [Fig.1] La [Fig.1] présente une structure composite élaborée selon un procédé de fabrication conforme à l'invention ;
- [0016] [Fig.2a]
- [0017] [Fig.2b]
- [0018] [Fig.2c]
- [0019] [Fig.2d]
- [0020] [Fig.2e]
- [0021] [Fig.2e']
- [0022] [Fig.2f] Les figures 2a, 2b, 2c, 2d, 2e, 2e' et 2f présentent des étapes d'un procédé de fabrication conforme à l'invention.
- [0023] Les figures sont des représentations schématiques qui, dans un objectif de lisibilité, ne sont pas à l'échelle. En particulier, les épaisseurs des couches selon l'axe z ne sont pas à l'échelle par rapport aux dimensions latérales selon les axes x et y ; et les épaisseurs relatives des couches entre elles ne sont pas respectées sur les figures.

DESCRIPTION DETAILLEE DE L'INVENTION

- [0024] La présente invention concerne un procédé de fabrication d'une structure composite 1 comprenant une couche mince 10 en carbure de silicium monocristallin disposée sur un substrat support 20 en carbure de silicium poly-cristallin ([Fig.1]).
- [0025] Le procédé comprend en premier lieu une étape a) de fourniture d'un substrat initial 11 en carbure de silicium monocristallin (c-SiC) ([Fig.2a]).
- [0026] Le substrat initial 11 se présente préférentiellement sous la forme d'une plaquette de diamètre 100mm, 150mm, 200mm voire 300mm et d'épaisseur comprise typiquement entre 300 et 800 microns. Il présente une face avant 11a et une face arrière 11b. La rugosité de surface de la face avant 11a est avantageusement choisie inférieure à 1nm Ra, rugosité moyenne (« average roughness ») mesurée par microscopie à force atomique (AFM) sur un scan de 20 μm x 20 μm .
- [0027] La couche mince 10 en c-SiC de la structure composite 1 sera formée, à l'issue du procédé de la présente invention, à partir du substrat initial 11 : ainsi, l'orientation cristallographique, la qualité cristalline ainsi que le niveau de dopage du substrat initial 11 sont choisis pour répondre aux spécifications requises des composants verticaux

destinés à être élaborés sur la couche mince 10. Par exemple, le substrat initial 11 en c-SiC est de polytype 4H ou 6H, présentant une désorientation (“offcut”) de l’ordre de 4.0° par rapport à l’axe cristallographique $\langle 11-20 \rangle \pm 0.5^\circ$, et une densité de dislocations traversantes (« Micropipes ») inférieure ou égale à $5/\text{cm}^2$, voire inférieure à $1/\text{cm}^2$. Dopé de type N (azote), il présente une résistivité préférentiellement comprise entre 0.015 ohm.cm et 0.030 ohm.cm . De manière avantageuse, on pourra choisir un substrat initial 11 présentant une faible densité de dislocation de type BPD (« basal plane dislocation » selon la terminologie anglo-saxonne), typiquement inférieure ou égale à $1500/\text{cm}^2$ selon la sensibilité des composants visés à ces défauts.

[0028] Alternativement, le substrat initial 11 peut comporter une couche superficielle sur sa face avant 11a, élaborée par exemple par épitaxie, et présentant les propriétés requises pour une future couche mince 10, laquelle sera formée, à l’issue du procédé de la présente invention, à partir de ladite couche superficielle.

[0029] Le procédé comprend ensuite une étape b), dite première étape de dépôt, pour former une première couche 21 en carbure de silicium poly-cristallin (p-SiC) sur la face avant 11a du substrat initial 11 ([Fig.2b]). Notons que, dans le contexte de la présente description, la première couche 21 peut être formée directement sur la face avant 11a du substrat initial 11 ou indirectement, c’est-à-dire via une couche intermédiaire qui se trouvera intercalée entre le substrat initial 11 et la première couche 21. Nous décrirons plus loin une variante impliquant une telle couche intermédiaire.

[0030] La première couche 21 présente une épaisseur inférieure à $1\mu\text{m}$. Avantageusement, l’épaisseur de cette première couche 21 est inférieure ou égale à 500nm , typiquement comprise entre 50nm et 200nm .

[0031] La première couche 21 présente en outre une concentration en dopants supérieure à $10^{19}/\text{cm}^3$. Les dopants sont habituellement souhaités de même type que les dopants de la future couche mince 10, donc en l’occurrence, de même type que les dopants du substrat initial 11 ; dans les structures composites en SiC destinées aux applications de puissance, les dopants sont le plus souvent choisis de type N (Azote). La concentration en dopants de la première couche 21 est choisie entre $10^{19}/\text{cm}^3$ et quelques $10^{21}/\text{cm}^3$. En particulier, la concentration en dopants est supérieure ou égale à $5.10^{19}/\text{cm}^3$, par exemple supérieure ou égale à $3.10^{20}/\text{cm}^3$, notamment comprise entre $4.10^{20}/\text{cm}^3$ et $6.10^{20}/\text{cm}^3$. Un tel niveau de dopage du carbure de silicium poly-cristallin va favoriser l’établissement d’une bonne conduction électrique entre la couche mince 10 (qui sera transférée ultérieurement du substrat initial 11) et le substrat support 20 (qui inclut, entre autres, la première couche 21).

[0032] Le dépôt p-SiC de l’étape b) est opéré à une température supérieure à 1100°C . Il est avantageusement réalisé par une technique de dépôt chimique en phase vapeur (CVD), par exemple à base de précurseurs chlorés, et à une température comprise entre 1100°C

et 1600°C. Encore plus avantageusement, la température de dépôt est comprise entre 1200°C et 1600°C, notamment entre 1200°C et 1400°C. Les paramètres du premier dépôt sont déterminés de sorte que la première couche 21 présente, outre sa bonne conductivité électrique du fait du fort dopage et de son uniformité en termes de polytype (avantageusement 3C), une haute conductivité thermique (typiquement, supérieure ou égale à 200 W.m⁻¹.K⁻¹) et un coefficient de dilatation thermique similaire à celui de la future couche mince 10 (typiquement entre 3,8^{E-6} /K et 4,2^{E-6} /K à température ambiante).

- [0033] Le premier dépôt de l'étape b), parce qu'il est opéré à hautes températures, voire à très hautes températures, favorise la formation d'un poly-cristal SiC de bonne qualité et présentant un faible niveau de contrainte, avec des caractéristiques structurales compatibles avec les propriétés électriques, thermiques et mécaniques visées.
- [0034] A titre d'exemple, la première couche intermédiaire 21 pourra comporter des grains de type 3C SiC, orientés 111, de taille moyenne 1 à 10µm, et une concentration en dopants N de l'ordre de 5.10²⁰/cm³ (équivalent à une résistivité de l'ordre de 2 mohm.cm).
- [0035] De manière avantageuse, le procédé de fabrication comprend, avant l'étape b), une étape de préparation du substrat initial 11 comportant au moins une séquence de désoxydation de la face avant 11a dudit substrat initial 11. Cette séquence pourra par exemple s'opérer par immersion dans un bain d'acide fluorhydrique (HF), par exposition à des vapeurs de HF ou encore par recuit sous hydrogène en phase préliminaire du premier dépôt p-SiC. L'étape de préparation peut également comprendre des séquences de nettoyage pour éliminer tout ou partie de contaminants particuliers, métalliques ou organiques potentiellement présents sur les faces 11a,11b du substrat initial 11.
- [0036] Selon une variante, le procédé peut comprendre, avant l'étape b), une étape a') de formation d'une couche intermédiaire sur la face avant 11a du substrat initial 11 pour favoriser la conduction électrique, la première couche 21 étant destinée à être ensuite formée sur ladite couche intermédiaire au cours de l'étape b).
- [0037] Une telle couche intermédiaire peut par exemple être en silicium, amorphe ou polycristallin, éventuellement fortement dopé du même type que le substrat initial 11. D'autres matériaux, aptes à établir un bon contact électrique entre la première couche 21 et le substrat initial 11, peuvent également être envisagés, tel que le titane, le nickel, l'aluminium, le molybdène, le niobium, le tantale, le cobalt ou le cuivre. L'épaisseur de la couche intermédiaire est maintenue faible, typiquement inférieure à 20nm, voire inférieure à 10nm.
- [0038] Revenant à la description générale, le procédé de fabrication selon l'invention comprend, en outre, une étape c) d'implantation ionique d'espèces légères à travers la

première couche 21, jusqu'à une profondeur déterminée dans le substrat initial 11. Cette implantation génère un plan fragile enterré 12 dans le substrat initial 11 ([Fig.2c]).

- [0039] Les espèces légères implantées sont préférentiellement de l'hydrogène, de l'hélium ou une co-implantation de ces deux espèces. Comme cela est bien connu en référence au procédé Smart Cut™, ces espèces légères vont former, autour de la profondeur déterminée, des microcavités distribuées dans une fine couche parallèle à la surface libre de la première couche 21, soit parallèle au plan (x,y) sur les figures. On appelle cette fine couche le plan fragile enterré, par souci de simplification.
- [0040] Le plan fragile enterré 12 délimite la future couche mince 10, avec la face avant du substrat initial 11. L'énergie d'implantation des espèces légères est choisie de manière à traverser la première couche 21 et à atteindre la profondeur déterminée dans le substrat initial 11, ladite profondeur correspondant à une épaisseur visée de la couche mince 10. Elle demeure dans les gammes d'énergie d'implantation classiques du fait de la faible épaisseur de la première couche 21.
- [0041] Typiquement, des ions hydrogène seront implantés à une énergie comprise entre 50 keV et 210 keV, et à une dose comprise entre $5^{E16}/\text{cm}^2$ et $1^{E17}/\text{cm}^2$, pour traverser une première couche 21 de 50nm à $1\mu\text{m}$ et délimiter une couche mince 10 de l'ordre de 100 à 1500 nm.
- [0042] Notons qu'une couche de protection pourra être déposée sur la face libre de la première couche 21, préalablement à l'étape d'implantation ionique, et être retirée avant l'étape d) suivante du procédé. Cette couche de protection peut être composée par un matériau tel que l'oxyde de silicium ou le nitrure de silicium par exemple.
- [0043] Le procédé de fabrication comprend ensuite une étape d), dite deuxième étape de dépôt, pour former une deuxième couche 22 sur la première couche 21 ([Fig.2d]) ; cette deuxième couche 22 est formée de carbure de silicium amorphe (a-SiC) ou polycristallin (p-SiC) ou d'un mélange de a-SiC et de p-SiC.
- [0044] Le deuxième dépôt de a-SiC ou p-SiC est opéré à une température inférieure ou égale à 900°C , préférentiellement inférieure ou égale à 800°C . Le budget thermique du deuxième dépôt est choisi de manière à rester inférieur au budget thermique de bullage ou de fracture au niveau du plan fragile enterré 12. En d'autres termes, les températures mises en œuvre pour le dépôt de l'étape d) et les durées de dépôt ne permettent pas aux cavités et micro-fissures dans le plan fragile enterré 12 de croître thermiquement jusqu'à provoquer des déformations locales (bullage) de l'empilement de couches (couche mince 10, première couche 21, deuxième couche 22), ou jusqu'à induire la délamination partielle ou la séparation par une fracture complète tout le long du plan fragile enterré 12.
- [0045] Typiquement, le deuxième dépôt est réalisé à $750\text{-}800^\circ\text{C}$, permettant d'obtenir une

épaisseur de deuxième couche 22 de l'ordre de 10-15 μm . Une technique classique de dépôt chimique en phase vapeur (CVD) pourra être mise en œuvre.

- [0046] La deuxième couche 22 présente une épaisseur supérieure ou égale à 10 μm . Cette épaisseur minimale est définie pour assurer à la deuxième couche 22 un rôle raidisseur autorisant l'application, à une étape ultérieure du procédé, d'un plus fort budget thermique, pour provoquer la croissance thermique des cavités et microfissures dans le plan fragile enterré 12, comme cela sera décrit plus loin.
- [0047] La deuxième couche 22 présente en outre une concentration en dopants du même type que ceux de la première couche 21, supérieure à 10¹⁹/cm³. La concentration en dopants de la deuxième couche 22 est avantageusement choisie entre 5.10¹⁹/cm³ et quelques 10²⁰/cm³, voire quelques 10²¹/cm³. L'objectif est d'assurer une certaine continuité de conductivité électrique entre la première couche 21 et la deuxième couche 22, bien que cette dernière soit de moindre qualité, du fait de sa température de dépôt peu élevée.
- [0048] Le procédé de fabrication selon l'invention comprend enfin une étape e), dite troisième étape de dépôt, pour former une troisième couche 23 en carbure de silicium poly-cristallin sur la deuxième couche 22 ([Fig.2e]).
- [0049] Le troisième dépôt est opéré à une température supérieure à 1000°C pour assurer une vitesse de dépôt suffisante. Comme pour le premier dépôt (étape b)), ce troisième dépôt est avantageusement réalisé par une technique de dépôt chimique en phase vapeur (CVD), à une température comprise entre 1100°C et 1600°C, préférentiellement comprise entre 1200°C et 1600°C. Les paramètres du troisième dépôt sont également déterminés de sorte que la troisième couche 23 présente une bonne conductivité électrique, une haute conductivité thermique (supérieure ou égale à 200 W.m⁻¹.K⁻¹) et un coefficient de dilatation thermique similaire à celui de la couche mince 10.
- [0050] La température et les conditions du troisième dépôt pourront être identiques ou différentes de celles du premier dépôt à l'étape b).
- [0051] Notons que, si la deuxième couche 22, déposée lors de la deuxième étape de dépôt d) est, en tout ou partie, en carbure de silicium amorphe, l'étape e) à haute température va générer sa cristallisation sous forme poly-cristalline.
- [0052] Typiquement, la troisième couche 23 formée à l'étape e) présente une épaisseur supérieure ou égale à 100 μm , voire supérieure ou égale à 200 μm . L'ensemble constitué par la première couche 21, la deuxième couche 22 et la troisième couche 23 forme le substrat support 20 en p-SiC de la structure composite 1. C'est majoritairement la troisième couche 23 qui procure au substrat support 20 son épaisseur et par conséquent, ses caractéristiques mécaniques. L'épaisseur de la troisième couche 23 est donc ajustée aux spécifications requises pour le substrat support 20.

- [0053] La troisième couche 23 présente avantageusement une concentration en dopants supérieure à $10^{19}/\text{cm}^3$, au moins sur ses cents premiers microns d'épaisseur. Le dopage peut être uniforme sur toute l'épaisseur de la troisième couche 23 ou diminuer progressivement ou abruptement au-delà d'une certaine épaisseur (par exemple $100\mu\text{m}$, $150\mu\text{m}$, $200\mu\text{m}$ ou plus) pour limiter la contrainte dans la couche et simplifier le dépôt.
- [0054] Le type de dopants est choisi identique à ceux de la première couche 21 et de la deuxième couche 22.
- [0055] Au cours de la troisième étape de dépôt e), du fait du budget thermique appliqué à la structure formée par le substrat initial 11, les première 21 et deuxième 22 couches et la troisième couche additionnelle 23 croissante, une séparation le long du plan fragile enterré 12 va s'opérer ([Fig.2e]'). En effet, les microcavités présentes dans le plan fragile enterré 12 suivent une cinétique de croissance jusqu'à l'initiation d'une onde de fracture qui va se propager sur toute l'étendue du plan fragile enterré 12 et provoquer la séparation entre l'ensemble formé de la couche mince 10 et des première 21, deuxième 22 et troisième 23 couches, et le reste 11' du substrat initial 11.
- [0056] La séparation s'opère généralement avant que la troisième couche 23 n'atteigne son épaisseur cible, compte tenu du budget thermique du troisième dépôt, bien supérieur à celui de la fracture. Quelle que soit l'épaisseur de cette couche 23 lorsque la séparation s'opère, l'onde de fracture va se propager sur toute l'étendue du plan fragile enterré 12 car la deuxième couche 22 présente à elle seule une épaisseur suffisante pour garantir un effet raidisseur : les cavités ne déforment donc pas la couche sous forme de bullage. L'épaisseur de la deuxième couche 22 à elle-seule permet également de maintenir l'intégrité de la structure composite intermédiaire 1' (figure e'), évitant l'écaillage ou la détérioration de ladite structure jusqu'à la finalisation de la troisième couche 23.
- [0057] Le troisième dépôt peut ainsi se poursuivre jusqu'à l'atteinte de l'épaisseur cible de la troisième couche 23 et l'obtention de la structure composite finale 1 ([Fig.2f]).
- [0058] Avantageusement, et bien que cela n'ait pas été précisé en référence aux étapes b), d) et e) de dépôt du procédé de fabrication, des étapes de préparation de surface classiques pourront être réalisées préalablement à la formation des première 21, deuxième 22 et/ou troisième 23 couches.
- [0059] Selon un mode de réalisation avantageux, le procédé de fabrication comprend des étapes de finition appliquées à la structure composite finale 1 obtenue à l'issue de l'étape e). Ces étapes de finition visent en particulier à améliorer la rugosité de la surface libre de la couche mince 10 (face avant de la structure composite finale 1) et éventuellement la rugosité de la face libre de la troisième couche 23 (face arrière de la structure composite finale 1).
- [0060] En effet, après la séparation, la face libre de la couche mince 10 présente typiquement une rugosité comprise entre 3nm et 6nm Ra (AFM – scan $20\mu\text{m} \times 20\mu\text{m}$).

L'objectif pour la fabrication ultérieure de composants est d'avoir une rugosité inférieure à 1nm Ra. Concernant la face arrière de la structure composite finale 1, la rugosité à l'issue du troisième dépôt est typiquement supérieure à 10nm Ra, voire supérieure à 100nm Ra ; l'objectif visé est habituellement d'abaisser la rugosité à moins de 3nm Ra.

- [0061] Les étapes de finition peuvent en particulier faire appel à des techniques connues de polissage mécanique et/ou mécano-chimique, appliquées à la face avant de la structure composite finale 1, à sa face arrière, ou aux deux faces simultanément en utilisant des équipements de polissage double-face. Le procédé de polissage pourra être différent entre la face avant et la face arrière, le lissage d'une surface de c-SiC et d'une surface de p-SiC requérant habituellement des consommables différents.
- [0062] Les étapes de finition peuvent également comprendre des traitements thermiques à hautes ou très hautes températures, typiquement entre 1500°C et 1900°C, pour restaurer la qualité cristalline et les propriétés électriques de la couche mince 10, ainsi que pour uniformiser les caractéristiques structurales des différentes couches 21,22,23 du substrat support 20.
- [0063] La structure composite 1 selon l'invention présente l'avantage d'une excellente conduction électrique entre la couche mince 10 et le substrat support 20, soit en particulier une résistivité d'interface inférieure à $5 \cdot 10^{-5} \text{ohm.cm}^2$, voire inférieure ou égale 10^{-5}ohm.cm^2 .

Exemples

- [0064] Selon un exemple non limitatif de mise en œuvre, la substrat initial 11 fourni à la première étape du procédé de fabrication est une plaquette de c-SiC, de polytype 4H, d'orientation 4.0° par rapport à l'axe $\langle 11-20 \rangle \pm 0.5^\circ$, de diamètre 150mm et d'épaisseur 350 μm et de résistivité moyenne 20mOhm.cm.
- [0065] Une séquence classique de nettoyage de type RCA (Standard Clean 1 + Standard Clean 2), puis Caro (mélange d'acide sulfurique et d'eau oxygénée), puis HF (acide fluorhydrique), est opérée sur le substrat initial 11 préalablement à la première étape de dépôt. Un dépôt CVD à base de précurseurs chlorés, à une température de 1300°C est effectué sur la face avant 11a du substrat initial 11, générant une première couche 21 en p-SiC de 500nm d'épaisseur, et présentant une concentration de dopants N (azote) de $5 \cdot 10^{20} / \text{cm}^3$. La résistivité à l'interface de dépôt est de l'ordre de 10^{-5}ohm.cm^2 .
- [0066] L'implantation d'ions hydrogène est opérée à une énergie de 200keV et une dose de $6 \cdot 10^{16} \text{H}^+ / \text{cm}^2$, à travers la surface libre de la première couche 21. Un plan fragile enterré 12 est ainsi créé à une profondeur d'environ 1,2 μm dans le substrat initial 11.
- [0067] Une séquence de nettoyage de type RCA + Caro est opérée sur la structure, de manière à éliminer les potentielles contaminations sur la face libre de la première

couche 21.

- [0068] Un deuxième dépôt CVD de SiC, poly-cristallin ou amorphe ou de structure mixte p-SiC/a-SiC, est effectué sur la première couche 21, à une température de 800°C, de manière à atteindre une épaisseur de la deuxième couche 22 de 10µm. Une concentration de dopants N (azote) de $5.10^{20}/\text{cm}^3$ est incorporée à la deuxième couche 22 au cours du dépôt.
- [0069] Une nouvelle séquence de nettoyage de type RCA + Caro est opérée sur la structure obtenue, de manière à éliminer les potentielles contaminations sur la face libre de la deuxième couche 22.
- [0070] Un troisième dépôt CVD est effectué sur la deuxième couche 22, à une température de 1300°C, de manière à atteindre une épaisseur de la troisième couche 23 de 350µm. Les 100µm initiaux de la troisième couche 23 sont dopés N (azote) avec une concentration de l'ordre de $5.10^{20}/\text{cm}^3$, puis le dopage décroît au cours de la croissance pour atteindre $5.10^{18}/\text{cm}^3$ à l'épaisseur visée de 350µm.
- [0071] Le budget thermique du troisième dépôt CVD provoque la cristallisation de la deuxième couche 22 sous forme poly-cristalline.
- [0072] La séparation s'opère au niveau du plan fragile enterré 12 au cours du troisième dépôt. A l'issue de ce dernier, la structure composite 1 formée de la couche mince 10 et du substrat support 20 est séparée du reste 11' du substrat initial 11.
- [0073] Un polissage mécanique puis mécano-chimique est opéré pour restaurer la rugosité de surface de la face arrière p-SiC du substrat support 20 (face libre de la troisième couche 23) ; on pourra typiquement enlever une épaisseur de p-SiC de l'ordre de quelques microns à quelques 10µm. Un polissage mécano-chimique est opéré pour restaurer la rugosité de surface de la couche mince 10 ; l'enlèvement ici est de l'ordre de quelques dizaines à quelques centaines de nanomètres.
- [0074] Un traitement thermique à 1700°C pendant 30 min est appliqué à la structure composite 1 avant ou après le polissage mécano-chimique précité, réalisé du côté de la couche mince 10.
- [0075] Bien entendu, l'invention n'est pas limitée aux modes de réalisation et aux exemples décrits, et on peut y apporter des variantes de réalisation sans sortir du cadre de l'invention tel que défini par les revendications.
- [0076] Notamment, selon une variante envisageable, le budget thermique du troisième dépôt CVD ne suffit pas à provoquer la cristallisation de la deuxième couche 22 (en tout ou partie amorphe lors du deuxième dépôt), dans sa totalité, sous forme poly-cristalline. Dans ce cas, un traitement thermique additionnel est susceptible d'être prévu, pour provoquer cette cristallisation, avant ou après le troisième dépôt.

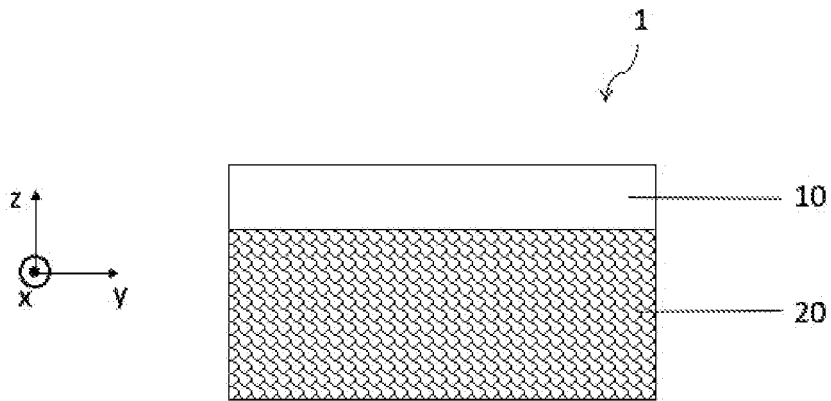
Revendications

- [Revendication 1] Procédé de fabrication d'une structure composite (1) comprenant une couche mince (10) en carbure de silicium monocristallin disposée sur un substrat support (20) en carbure de silicium poly-cristallin, le procédé comprenant:
- a)** une étape de fourniture d'un substrat initial (11) en carbure de silicium monocristallin,
 - b)** une première étape de dépôt à une température supérieure à 1100°C pour former une première couche (21) en carbure de silicium poly-cristallin sur une face avant (11a) du substrat initial (11), la première couche (21) présentant une épaisseur inférieure à 1µm et une concentration en dopants supérieure à 10¹⁹/cm³,
 - c)** une étape d'implantation ionique d'espèces légères à travers la première couche (21), pour former un plan fragile enterré (12) dans le substrat initial (11), délimitant la couche mince (10) entre ledit plan fragile enterré (12) et la face avant du substrat initial (11),
 - d)** une deuxième étape de dépôt à une température inférieure à 900°C pour former une deuxième couche (22) en carbure de silicium amorphe et/ou poly-cristallin sur la première couche (21), la deuxième couche (22) présentant une épaisseur supérieure ou égale à 10µm et une concentration en dopants du même type que ceux de la première couche (21), supérieure à 10¹⁹/cm³,
 - e)** une troisième étape de dépôt à une température supérieure à 1000°C pour former une troisième couche (23) en carbure de silicium poly-cristallin sur la deuxième couche (22),
- les première (21), deuxième (22) et troisième (23) couches formant le substrat support (20), une séparation le long du plan fragile enterré (12) s'opérant au cours de la troisième étape de dépôt.
- [Revendication 2] Procédé de fabrication selon la revendication précédente, dans lequel la première étape de dépôt et la troisième étape de dépôt sont réalisées par dépôt chimique en phase vapeur, à une température comprise entre 1100°C et 1600°C, préférentiellement comprise entre 1200°C et 1600°C, encore préférentiellement comprise entre 1200°C et 1400°C.
- [Revendication 3] Procédé de fabrication selon l'une des revendications précédentes, dans lequel, la première couche (21) présente une concentration en dopants supérieure à 5.10¹⁹/cm³.
- [Revendication 4] Procédé de fabrication selon l'une des revendications précédentes, dans

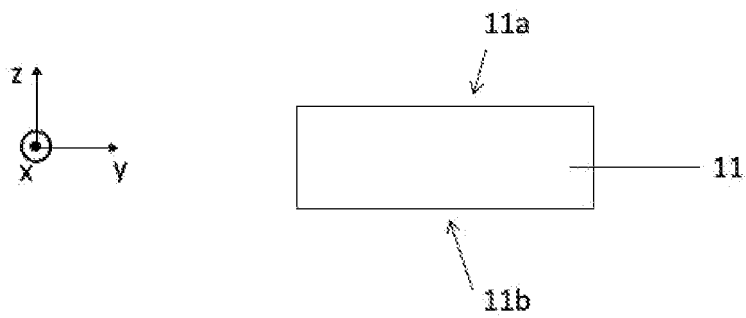
lequel, à l'issue de la première étape de dépôt, la première couche (21) présente une épaisseur comprise entre 50nm et 500nm, voire entre 50nm et 200nm.

- [Revendication 5] Procédé de fabrication selon l'une des revendications précédentes, comprenant, avant la première étape de dépôt, une étape de préparation du substrat initial (11) comportant au moins une désoxydation d'une face avant dudit substrat initial (11).
- [Revendication 6] Procédé de fabrication selon l'une des revendications précédentes, comprenant avant l'étape b), une étape a') de formation d'une couche intermédiaire sur la face avant du substrat initial (11) pour favoriser la conduction électrique, la première couche (21) étant ensuite formée sur ladite couche intermédiaire au cours de l'étape b).
- [Revendication 7] Procédé de fabrication selon la revendication précédente, dans lequel la couche intermédiaire est en silicium.
- [Revendication 8] Procédé de fabrication selon l'une des revendications précédentes, dans lequel la troisième couche (23) formée à l'étape e) présente une épaisseur supérieure ou égale à 100µm et une concentration en dopants supérieure à $10^{19}/\text{cm}^3$, au moins sur ses cents premiers microns d'épaisseur.

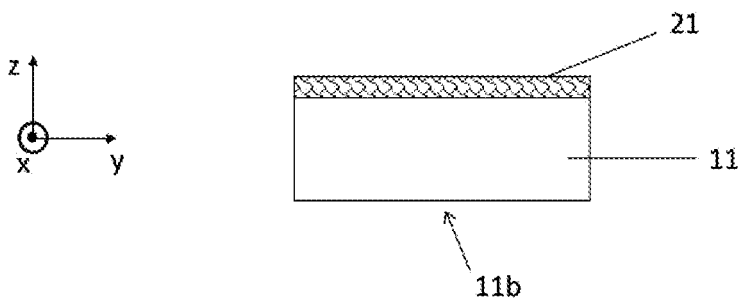
[Fig. 1]



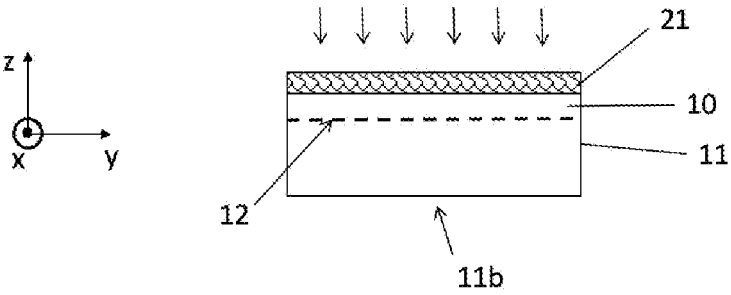
[Fig. 2a]



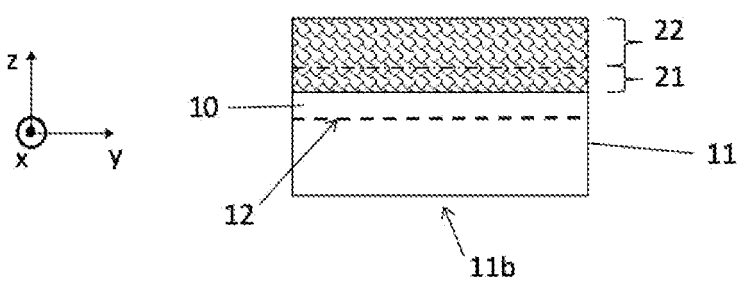
[Fig. 2b]



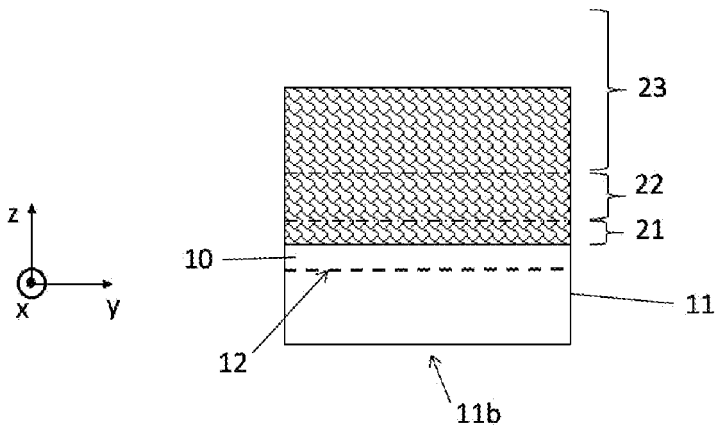
[Fig. 2c]



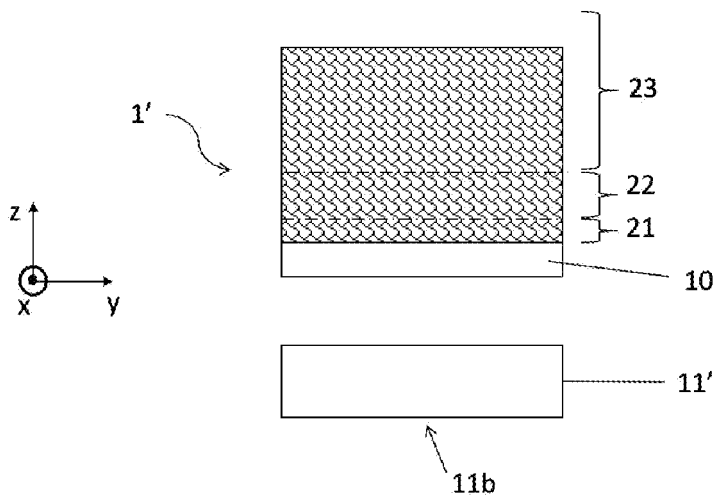
[Fig. 2d]



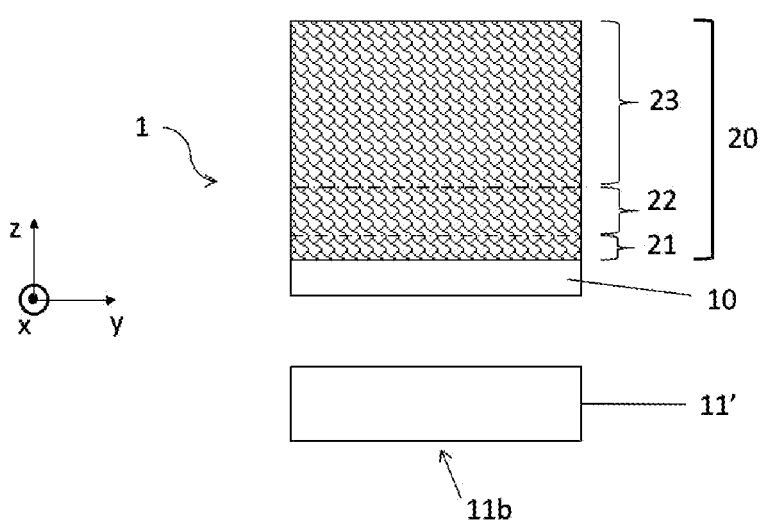
[Fig. 2e]



[Fig. 2e']



[Fig. 2f]



RAPPORT DE RECHERCHE

articles L.612-14, L.612-53 à 69 du code de la propriété intellectuelle

OBJET DU RAPPORT DE RECHERCHE

L'I.N.P.I. annexe à chaque brevet un "RAPPORT DE RECHERCHE" citant les éléments de l'état de la technique qui peuvent être pris en considération pour apprécier la brevetabilité de l'invention, au sens des articles L. 611-11 (nouveau) et L. 611-14 (activité inventive) du code de la propriété intellectuelle. Ce rapport porte sur les revendications du brevet qui définissent l'objet de l'invention et délimitent l'étendue de la protection.

Après délivrance, l'I.N.P.I. peut, à la requête de toute personne intéressée, formuler un "AVIS DOCUMENTAIRE" sur la base des documents cités dans ce rapport de recherche et de tout autre document que le requérant souhaite voir prendre en considération.

CONDITIONS D'ETABLISSEMENT DU PRESENT RAPPORT DE RECHERCHE

Le demandeur a présenté des observations en réponse au rapport de recherche préliminaire.

Le demandeur a maintenu les revendications.

Le demandeur a modifié les revendications.

Le demandeur a modifié la description pour en éliminer les éléments qui n'étaient plus en concordance avec les nouvelles revendications.

Les tiers ont présenté des observations après publication du rapport de recherche préliminaire.

Un rapport de recherche préliminaire complémentaire a été établi.

DOCUMENTS CITES DANS LE PRESENT RAPPORT DE RECHERCHE

La répartition des documents entre les rubriques 1, 2 et 3 tient compte, le cas échéant, des revendications déposées en dernier lieu et/ou des observations présentées.

Les documents énumérés à la rubrique 1 ci-après sont susceptibles d'être pris en considération pour apprécier la brevetabilité de l'invention.

Les documents énumérés à la rubrique 2 ci-après illustrent l'arrière-plan technologique général.

Les documents énumérés à la rubrique 3 ci-après ont été cités en cours de procédure, mais leur pertinence dépend de la validité des priorités revendiquées.

Aucun document n'a été cité en cours de procédure.

1. ELEMENTS DE L'ETAT DE LA TECHNIQUE SUSCEPTIBLES D'ETRE PRIS EN CONSIDERATION POUR APPRECIER LA BREVETABILITE DE L'INVENTION

WO 2021/019137 A1 (SOITEC SILICON ON INSULATOR [FR])
4 février 2021 (2021-02-04)

WO 2021/105575 A1 (SOITEC SILICON ON INSULATOR [FR]) 3 juin 2021 (2021-06-03)

WO 2021/191512 A1 (SOITEC SILICON ON INSULATOR [FR])
30 septembre 2021 (2021-09-30)

2. ELEMENTS DE L'ETAT DE LA TECHNIQUE ILLUSTRANT L'ARRIERE-PLAN TECHNOLOGIQUE GENERAL

NEANT

3. ELEMENTS DE L'ETAT DE LA TECHNIQUE DONT LA PERTINENCE DEPEND DE LA VALIDITE DES PRIORITES

NEANT