

⑤④ DISPOSITIF DE CONVERSION NUMERIQUE – ANALOGIQUE A FORT RAPPORT SIGNAL/BRUIT.

⑫② Date de dépôt : 12.03.21.

⑫③ Priorité :

⑥⑥ Références à d'autres documents nationaux
apparentés :

○ Demande(s) d'extension :

⑦① Demandeur(s) : COMMISSARIAT A L'ENERGIE
ATOMIQUE ET AUX ENERGIES ALTERNATIVES
Etablissement public — FR.

④③ Date de mise à la disposition du public
de la demande : 16.09.22 Bulletin 22/37.

④⑤ Date de la mise à disposition du public du
brevet d'invention : 08.11.24 Bulletin 24/45.

⑤⑥ Liste des documents cités dans le rapport de
recherche :

Se reporter à la fin du présent fascicule

⑦② Inventeur(s) : BERTRAND François.

⑦③ Titulaire(s) : COMMISSARIAT A L'ENERGIE
ATOMIQUE ET AUX ENERGIES ALTERNATIVES
Etablissement public.

⑦④ Mandataire(s) : BREVALEX.



Description

Titre de l'invention : DISPOSITIF DE CONVERSION NUMERIQUE – ANALOGIQUE A FORT RAPPORT SIGNAL/ BRUIT

Domaine technique

[0001] L'invention concerne le domaine des convertisseurs numérique-analogique (CNA, ou DAC pour « Digital to Analog Converter » en anglais), et avantageusement celui des CNA à haute résolution (conversion de signaux numériques dont le nombre de bits est supérieur ou égal à 16), pour lesquels un important rapport signal sur bruit (RSB, ou SNR pour « Signal to Noise Ratio » en anglais) est recherché.

État de la technique antérieure

[0002] La conversion numérique-analogique de signaux est un vaste domaine dans lequel une multitude de types de CNA et de technologies mises en œuvre sont possibles. Pour la réalisation de CNA de haute résolution avec un fort RSB, fonctionnant de manière dynamique avec des fréquences d'échantillonnage pouvant aller jusqu'à environ 1 MHz, deux grandes technologies sont possibles : les CNA de type $\Sigma\Delta$ et ceux à réseau R-2R.

[0003] Cependant, pour ces deux technologies, les meilleurs de ces CNA peinent à dépasser un RSB supérieur à 160 dB/ $\sqrt{\text{Hz}}$, ce qui peut s'avérer insuffisant pour certaines applications, notamment dans le domaine de la métrologie.

[0004] Dans une optique d'exploitation statique des convertisseurs, c'est-à-dire une utilisation où l'on souhaite générer une tension continue paramétrable à partir d'un mot de commande numérique, des solutions ont été proposées afin d'étendre la résolution des CNA, c'est-à-dire augmenter le nombre de bits sur lesquels la conversion est réalisée.

[0005] Par exemple, pour étendre la résolution d'un CNA, le document « Using a 16-bit DAC to generate a cost-efficient 18-DAC transfer function », 2016, Rahul Prakash, décrit la possibilité d'associer quatre CNA de 16 bits chacun pour former un CNA de 18 bits au total. Chaque CNA a pour charge de convertir un quart de la plage totale de conversion. Ainsi, pour augmenter la résolution finale de 2 bits, cette technique nécessite d'utiliser quatre CNA de même résolution. Plus généralement, pour augmenter la résolution de n bits, il convient d'associer 2^n CNA de même résolution. Cette technique présente toutefois plusieurs inconvénients :

[0006] - la gestion des « raccordements » entre les différents CNA est délicate et devient rédhibitoire pour des résolutions plus élevées que celles présentées dans ce document ;

[0007] - le nombre de CNA nécessaires pour élever la résolution d'un nombre important de

bits est elle aussi rédhibitoire.

- [0008] Une seconde technique permettant d'étendre la résolution d'un CNA, mentionnée dans le document « The 20-Bit DAC Is the Easiest Part of a 1-ppm-Accurate Precision Voltage Source » de Maurice Egan, Analog Dialogue 44-04, avril 2010, consiste à utiliser un CNA principal et un CNA secondaire associés l'un à l'autre. Le principe de cette technique est le suivant :
- [0009] - chaque pas de quantification du CNA principal est subdivisé par la quantification du CNA secondaire ;
- [0010] - un atténuateur est présent en sortie du CNA secondaire pour assurer que la tension pleine échelle du CNA secondaire corresponde une tension de 1 LSB (« Less Significant Bit » en anglais, ou bit de poids faible) du CNA principal, c'est-à-dire au quantum du CNA principal.
- [0011] Cette technique présente l'avantage de n'utiliser que deux CNA, quel que soit le nombre de bits que l'on souhaite étendre, et permet de garder les performances de précision et de linéarité essentiellement fixées par le CNA principal.
- [0012] En considérant une utilisation statique du CNA global ainsi formé, c'est-à-dire une utilisation où l'on souhaite générer une tension continue paramétrable à partir d'un mot de commande numérique, la principale limite à l'extension de résolution obtenue par cette technique est liée aux défauts de linéarité différentielle (également appelés DNL pour « Differential Non Linearity » en anglais) du CNA principal. Par exemple, si le CNA principal a un DNL de $\pm 0,25 \text{ LSB}$, subdiviser son LSB d'un facteur 4 (donc un accroissement de la résolution de 2 bits) donnera un DNL global de $\pm 1 \text{ LSB}$, conduisant le CNA à la limite de monotonie.
- [0013] Ce besoin d'amélioration du RSB des CNA peut se retrouver également pour des CNA de plus faible résolution (nombre de bits < 16) et/ou fonctionnant de manière statique.

Exposé de l'invention

- [0014] Un but de la présente invention est de proposer un dispositif de conversion numérique – analogique dont le RSB soit meilleur que ceux des CNA conventionnels existants, et par exemple de l'ordre de $180 \text{ dB}/\sqrt{\text{Hz}}$.
- [0015] Pour cela l'invention propose un dispositif de conversion numérique – analogique, comportant au moins :
- [0016] - un premier convertisseur numérique-analogique, CNA, à réseau R-2R ;
- [0017] - un deuxième CNA à réseau R-2R et dont une résolution N_2 est inférieure à une résolution N_1 du premier CNA ;
- [0018] - un atténuateur couplé électriquement à une sortie du deuxième CNA et configuré pour délivrer en sortie une tension dont l'amplitude est égale à un quantum qI du

- premier CNA, ou comprise entre $0,9.q1$ et $1,1.q1$ en considérant par exemple une certaine tolérance en fonction de la valeur recherchée pour le RSB et de la valeur de la résolution N_1 , lorsqu'il reçoit en entrée une tension pleine échelle du deuxième CNA ;
- [0019] - un additionneur configuré pour additionner une tension de sortie du premier CNA et la tension de sortie de l'atténuateur ;
- [0020] - un circuit de pilotage numérique configuré pour délivrer sur une entrée de données du premier CNA N_1 bits de poids fort d'un signal numérique de N bits destiné à être converti analogiquement par le dispositif, et pour délivrer sur une entrée de données du deuxième CNA $(N - N_1)$ autres bits du signal numérique de N bits, avec $N_2 \geq (N - N_1)$;
- [0021] - un circuit de génération de référence de tension dont une sortie est couplée électriquement à une entrée d'un circuit de filtrage, une sortie du circuit de filtrage étant couplée électriquement à une entrée de référence de tension du premier CNA.
- [0022] Dans ce dispositif de conversion numérique – analogique, les premier et deuxième CNA, l'atténuateur et l'additionneur forment ensemble un système de conversion dont le bruit de quantification est très inférieur au bruit de DNL du CNA principal. En outre, grâce au filtrage réalisé sur la référence de tension appliquée sur le premier CNA, dont l'impact sur le bruit global du dispositif de conversion est bien plus important que celui de la référence de tension appliquée sur le deuxième CNA, les seuls bruits limitant le RSB du dispositif correspondent au bruit de DNL, au bruit thermique du réseau R-2R du premier CNA (qui est bien plus important à celui du réseau R-2R du deuxième CNA après le dispositif d'atténuation), et éventuellement au bruit des glitches générés par le premier CNA lorsque le dispositif de conversion numérique – analogique fonctionne de manière dynamique.
- [0023] En outre, ce système de conversion permet de choisir aisément le nombre de bits pouvant être convertis par le dispositif grâce au deuxième CNA qui permet d'étendre la résolution du dispositif par rapport à la résolution du premier CNA. Du fait de l'extension de la résolution du dispositif par rapport à la résolution du premier CNA obtenue grâce au fonctionnement conjoint des premier et deuxième CNA, il est possible d'obtenir des performances, en termes de RSB, qui soient inchangées tout en ayant un premier convertisseur de résolution moindre et moins coûteux, dès lors que celui-ci présente un bruit thermique et des défauts de DNL rapportés à sa tension de sortie pleine échelle qui sont identiques.
- [0024] Les performances obtenues en termes de précision et de linéarité du dispositif correspondent à celles du premier CNA.
- [0025] Le dispositif est particulièrement bien adapté à la conversion de signaux possédant une composante statique ou quasi statique très élevée par rapport aux composantes alternatives qui le composent et au plancher de bruit recherché. Le dispositif est ainsi bien adapté pour être utilisé dans le domaine de l'instrumentation et de la métrologie,

notamment celui des capteurs qui reposent sur l'utilisation d'un système bouclé et dont le traitement est effectué de manière numérique.

[0026] Le dispositif est avantageusement utilisé de manière dynamique, mais peut également être utilisé de manière statique.

[0027] Le dispositif est avantageusement utilisé pour convertir un signal numérique d'au moins 16 bits. Le nombre de bits des signaux numériques pouvant être convertis par le dispositif est choisi via le choix des résolutions N_1 et N_2 des premier et deuxième CNA. Toutefois, ces résolutions peuvent être choisies telles que le dispositif soit configuré pour convertir des signaux numériques d'entrée de moins de 16 bits.

[0028] Le dispositif peut comporter en outre un circuit de suppression de glitch comprenant, dans une première configuration, une entrée de données couplée électriquement à une sortie de l'additionneur, une entrée de commande couplée au circuit de pilotage numérique, et une sortie formant une sortie du dispositif de conversion numérique – analogique, ou, dans une deuxième configuration, l'entrée de données couplée électriquement à une sortie du premier CNA, l'entrée de commande couplée au circuit de pilotage numérique et la sortie couplée à une des entrées de l'additionneur. Un tel circuit permet notamment de supprimer les glitches générés par le premier CNA (qui génèrent un bruit bien plus important que celui lié aux glitches du deuxième CNA grâce à la forte atténuation présente en aval de ce deuxième CNA). Les glitches sont des tensions transitoires qui apparaissent à chaque changement de valeur du signal de sortie du convertisseur et dont l'énergie est dépendante de la transition de code du signal numérique appliqué en entrée. Du fait de cette dépendance, leur impact sur le spectre de bruit de la tension de sortie du CNA dépend fortement du signal généré, ce qui se traduit par des perturbations dans la bande passante utile du signal généré. Le circuit de suppression de glitch supprime ces glitches, et donc le bruit lié à ces glitches. Une telle configuration peut notamment être mise en œuvre lorsque le dispositif de conversion est destiné à fonctionner de manière dynamique.

[0029] Le circuit de suppression de glitch peut comporter un amplificateur opérationnel monté en suiveur et un dispositif de type échantillonneur – bloqueur dont une entrée forme l'entrée de données du circuit de suppression de glitch et dont une sortie est couplée à une entrée non inverseuse de l'amplificateur opérationnel monté en suiveur, et le circuit de pilotage numérique peut être configuré pour délivrer, sur une entrée de commande d'un interrupteur commandé du dispositif de type échantillonneur – bloqueur formant l'entrée de commande du circuit de suppression de glitch, un signal de commande d'ouverture ou de fermeture de l'interrupteur commandé. La sortie de l'amplificateur opérationnel monté en suiveur peut former la sortie du circuit de suppression de glitch.

[0030] Le circuit de filtrage peut être configuré pour mettre en œuvre un filtrage passe-bas

d'une référence de tension destinée à être appliquée sur son entrée.

- [0031] Dans ce cas, selon une première configuration, le circuit de filtrage peut comporter au moins un circuit R-C et un amplificateur opérationnel monté en suiveur, configurés tels qu'une entrée du circuit R-C soit couplée électriquement à la sortie du circuit de génération de référence de tension, qu'une sortie du circuit R-C soit couplée à une entrée non inverseuse de l'amplificateur opérationnel et qu'une sortie de l'amplificateur opérationnel soit couplée à l'entrée de référence de tension du premier CNA.
- [0032] Selon une deuxième configuration, le circuit de filtrage peut comporter au moins :
- [0033] - un circuit R-C et un amplificateur opérationnel monté en suiveur, configurés tels qu'une entrée non-inverseuse de l'amplificateur opérationnel soit couplée électriquement à la sortie du circuit de génération de référence de tension, qu'une sortie de l'amplificateur opérationnel soit couplée à une entrée du circuit R-C et qu'une sortie du circuit R-C soit couplée à l'entrée de référence de tension du premier CNA ;
- [0034] - un élément résistif de contre-réaction couplé entre l'entrée inverseuse de l'amplificateur opérationnel et l'entrée de référence de tension du premier CNA ;
- [0035] - un élément capacitif de contre-réaction couplé entre l'entrée inverseuse de l'amplificateur opérationnel et la sortie de l'amplificateur opérationnel.
- [0036] De manière avantageuse, les premier et deuxième CNA peuvent être tels que $N_1 \geq 16$ et/ou $N_2 \geq 4$.
- [0037] De manière avantageuse, la résolution N_2 du deuxième CNA peut être telle que $N_2 > (N - N_1)$, et les $N_2 - (N - N_1)$ bits de poids fort du deuxième CNA peuvent être configurés pour être mis à 0, c'est-à-dire tels qu'un signal nul est appliqué sur les entrées du deuxième CNA correspondant aux $N_2 - (N - N_1)$ bits de poids fort du deuxième CNA.
- [0038] L'invention concerne également un capteur comprenant au moins :
- [0039] - un élément sensible configuré pour mesurer une grandeur physique et délivrer en sortie un signal analogique représentatif de la grandeur physique mesurée ;
- [0040] - un dispositif de conversion analogique – numérique et de traitement recevant en entrée le signal analogique représentatif de la grandeur physique mesurée ;
- [0041] - un correcteur dont une entrée est couplée à une sortie du dispositif de conversion analogique – numérique et de traitement et une sortie sur laquelle un signal de mesure de la grandeur physique est destiné à être délivré ;
- [0042] - un dispositif de conversion numérique – analogique selon l'invention, comprenant une entrée de données à convertir couplée à la sortie du correcteur ;
- [0043] - une chaîne électronique de réinjection comprenant une entrée couplée à une sortie du dispositif de conversion numérique – analogique, et une sortie couplée à une entrée de l'élément sensible qui est configuré pour soustraire un signal de sortie de la chaîne

électronique de réinjection à la grandeur physique destinée à être mesurée.

[0044] De manière avantageuse, l'élément sensible peut être configuré pour mesurer un champ magnétique.

[0045] En outre, le capteur peut être configuré pour former un magnétomètre de type fluxgate ou un magnétomètre vectoriel à pompage optique.

Brève description des dessins

[0046] La présente invention sera mieux comprise à la lecture de la description d'exemples de réalisation donnés à titre purement indicatif et nullement limitatif en faisant référence aux dessins annexés sur lesquels :

[0047] [Fig.1] représente schématiquement un dispositif de conversion numérique – analogique, objet de la présente invention, selon un mode de réalisation particulier ;

[0048] [Fig.2] et

[0049] [Fig.3] représentent schématiquement des exemples de réalisation d'un circuit de filtrage d'un dispositif de conversion numérique – analogique, objet de la présente invention ;

[0050] [Fig.4] représente schématiquement un exemple de réalisation d'un circuit de suppression de glitch d'un dispositif de conversion numérique – analogique, objet de la présente invention ;

[0051] [Fig.5] représente des exemples de signaux illustrant le principe de fonctionnement du circuit de suppression de glitch représenté sur la [Fig.4] ;

[0052] [Fig.6] représente un exemple de réalisation de l'atténuateur et de l'additionneur d'un dispositif de conversion numérique – analogique, objet de la présente invention ;

[0053] [Fig.7] et

[0054] [Fig.8] représentent schématiquement des exemples de réalisation de capteurs comprenant chacun un dispositif de conversion numérique – analogique, objet de la présente invention ;

[0055] [Fig.9] représente schématiquement un dispositif de conversion numérique – analogique, objet de la présente invention, selon une variante de réalisation.

[0056] Des parties identiques, similaires ou équivalentes des différentes figures décrites ci-après portent les mêmes références numériques de façon à faciliter le passage d'une figure à l'autre.

[0057] Les différentes parties représentées sur les figures ne le sont pas nécessairement selon une échelle uniforme, pour rendre les figures plus lisibles.

[0058] Les différentes possibilités (variantes et modes de réalisation) doivent être comprises comme n'étant pas exclusives les unes des autres et peuvent se combiner entre elles.

[0059] Exposé détaillé de modes de réalisation particuliers

[0060] Un exemple de réalisation d'un dispositif 100 de conversion numérique – analogique

selon un mode de réalisation particulier est représenté schématiquement sur la [Fig.1] et décrit ci-dessous.

- [0061] Le dispositif 100 comporte un premier CNA 102 à réseau R-2R et un deuxième CNA 104 à réseau R-2R. Le premier CNA 102 a une résolution N_1 supérieure à la résolution N_2 du deuxième CNA 104.
- [0062] Une sortie du deuxième CNA 104 est couplée électriquement à une entrée d'un atténuateur 106. L'atténuateur 106 est configuré pour délivrer en sortie une tension dont l'amplitude est égale à un quantum qI du premier CNA 102, ou comprise entre $0,9.qI$ et $1,1.qI$ en considérant une certaine tolérance en fonction de la valeur recherchée pour le RSB et de la valeur de la résolution N_1 , lorsqu'il reçoit en entrée l'excursion maximale du deuxième CNA 104 pouvant aller, selon l'exploitation de celui-ci de la dizaine de millivolt à quelques volts.
- [0063] Les sorties de l'atténuateur 106 et du premier CNA 102 sont couplées à un additionneur 108 configuré pour additionner la tension de sortie du premier CNA 102 et la tension de sortie de l'atténuateur 106.
- [0064] Une sortie de l'additionneur 108 est couplée à une entrée d'un circuit de suppression de glitch 110 qui permet de supprimer notamment les glitches générés par le premier CNA 102. La tension de sortie du circuit de suppression de glitch 110, appelée « Vout » sur la [Fig.1], correspond à la tension de sortie du dispositif 100.
- [0065] Le dispositif 100 comporte également un circuit de pilotage numérique 112 couplé à des entrées des premier et deuxième CNA 102, 104 et du circuit 110 de suppression de glitch, et permettant de piloter de manière coordonnée les premier et deuxième CNA 102, 104 et le circuit 110. Le circuit de pilotage numérique 112 est configuré pour délivrer sur une entrée du premier CNA 102 les N_1 bits de poids fort d'un signal numérique de N bits destiné à être converti analogiquement par le dispositif 100, et pour délivrer sur une entrée du deuxième CNA 104 les $(N - N_1)$ autres bits du signal numérique de N bits. La résolution N_2 du deuxième CNA 104 est telle que $N_2 \geq (N - N_1)$. A titre d'exemple, le circuit 112 peut être de type FPGA, ASIC, microcontrôleur, etc.
- [0066] Le dispositif 100 comporte également un circuit de filtrage 114 interposé entre une sortie d'un circuit de génération de référence de tension 116 et une entrée de référence de tension du premier CNA 102.
- [0067] Bien que non représenté sur la [Fig.1], le dispositif 100 comporte également un deuxième circuit de génération de référence de tension couplé à une entrée de référence de tension du deuxième CNA 104.
- [0068] Dans ce dispositif 100, les premier et deuxième CNA 102, 104, l'atténuateur 106 et l'additionneur 108 forment ensemble un système de conversion numérique – analogique dont la résolution N est plus grande que chacune des résolutions N_1 et N_2 des premier et deuxième CNA 102, 104. Dans ce système, le premier CNA 102 forme

un CNA principal dont chaque pas de quantification est subdivisé par la quantification du deuxième CNA 104 qui forme un CNA secondaire.

[0069] En outre, dans ce système de conversion numérique – analogique, le bruit de quantification du système est abaissé bien en dessous du bruit généré par les défauts de linéarité différentielle, ou bruit de DNL, des CNA 102, 104, comme cela est expliqué ci-dessous.

[0070] D'une manière générale, le bruit de quantification b_{quant} d'un CNA s'exprime par la relation :

[0071] [Math.1]

$$b_{quant} = \frac{q}{\sqrt{12}}$$

[0072] avec q correspondant au quantum du CNA.

[0073] Le RSB associé à ce bruit de quantification, appelée SNR_{quant} , s'exprime par la relation :

[0074] [Math.2]

$$SNR_{quant} (dB) = 6.02N_{bits} + 1.76$$

[0075] avec N_{bits} correspondant à la résolution du CNA.

[0076] Avec un CNA fonctionnant à une fréquence F_e , la puissance de bruit se trouve étalée sur toute la bande passante de Nyquist du CNA, et son SNR s'exprime en dB/√Hz selon la relation suivante :

[0077] [Math.3]

$$SNR_{quant} \left(\frac{dB}{\sqrt{Hz}} \right) = 6.02N_{bits} + 1.76 + 20 \log \sqrt{\frac{F_e}{2}}$$

[0078] Par ailleurs, pour des petits signaux et dès lors que le CNA est activé avec des mots de commande, c'est-à-dire les signaux d'entrée numériques à convertir, non répétitifs, les défauts différentiels de linéarité du CNA peuvent s'apparenter à un rajout d'un bruit aléatoire sur chaque échantillon généré (erreur qui dépend du seul mot numérique d'entrée) de valeur crête à crête de $\pm DNL_{crête}$. Sa puissance de bruit peut donc être estimée à $DNL_{crête}/3$ dans l'hypothèse d'une distribution gaussienne. Le bruit des défauts de linéarité différentielle b_{DNL} et son RSB associé, appelé SNR_{DNL} , s'expriment alors de la manière suivante :

[0079] [Math.4]

$$b_{DNL} = \frac{DNL_{crête}}{3} q$$

[0080] [Math.5]

$$SNR_{DNL} (dB) = 20 \log \left(\frac{3}{DNL_{crête}} \frac{2^{N_{bits}-1}}{\sqrt{2}} \right)$$

[0081] De la même manière que le bruit de quantification, ce bruit lié aux défauts différentiels de linéarité est aussi étalé sur toute la bande passante de Nyquist du CNA, d'où

son SNR exprimé en dB/ $\sqrt{\text{Hz}}$:

[0082] [Math.6]

$$SNR_{DNL} \left(\text{dB} / \sqrt{\text{Hz}} \right) = 20 \log \left(\frac{3}{DNL_{crête}} \frac{2^{N_{bits}-1}}{\sqrt{2}} \right) + 20 \log \sqrt{\frac{F_e}{2}}$$

[0083] Ces deux sources de bruit n'étant pas corrélées, le bruit total b_{out} en sortie d'un CNA suit alors une règle de sommation quadratique et s'exprime par la relation suivante :

[0084] [Math.7]

$$b_{out} = \sqrt{b_{quant}^2 + b_{DNL}^2}$$

[0085] Le RSB correspondant s'exprime alors par la relation :

[0086] [Math.8]

$$SNR_{OUT} = 20 \log \left(\frac{2^{N_{bits}-1}}{\sqrt{2} b_{out}} \right)$$

[0087] Pour rendre le bruit de quantification b_{quant} négligeable par rapport au bruit total de sortie b_{out} , le bruit de quantification b_{quant} doit être maintenu très inférieur au bruit de DNL b_{DNL} . Par exemple, et pour la suite de l'exposé, il peut être choisi un bruit b_{quant} selon la relation (9) qui permet de limiter à +0,26 dB l'augmentation du bruit total de sortie b_{out} liée au bruit de quantification b_{quant} :

[0088] [Math.9]

$$b_{quant} < b_{DNL} / 4$$

[0089] En combinant les relations (1), (4) et (9) ci-dessus, et en considérant q_{total} comme étant le quantum du dispositif 100 et q_1 comme étant le quantum du premier CNA 102, les CNA 102, 104 peuvent être choisis ou conçus tels que la relation suivante soit vérifiée :

[0090] [Math.10]

$$q_{total} < \frac{DNL_{crête}}{2\sqrt{3}} q_1$$

[0091] Il convient de noter que le bruit de quantification et le bruit de DNL du deuxième CNA 104 sont, au sein du dispositif 100, bien inférieurs à ceux du premier CNA 102. Ainsi, la valeur du quantum du deuxième CNA 104 n'intervient pas dans l'équation (10) ci-dessus.

[0092] Les valeurs de $DNL_{crête}$ des CNA 102, 104, exprimées en fraction du quantum de ces CNA 102, 104, dépendent de la qualité de fabrication des CNA 102, 104 et aussi de la résolution des CNA 102, 104 : plus ces résolutions seront élevées, plus il est difficile d'obtenir des valeurs de $DNL_{crête}$ faibles, et inversement. Par exemple, pour un premier CNA 102 de résolution N_1 égale à 20 bits, le $DNL_{crête}$ de ce CNA peut être de l'ordre 0,3. q_1 . Le quantum q_{total} du dispositif 100 respectant la relation (10) ci-dessus est alors inférieur à environ $q_1/12$, ce qui est obtenu en choisissant un deuxième CNA 104 de ré-

solution N_2 d'au moins 4 bits. La valeur de la résolution N_2 est choisie pour atteindre le facteur d'atténuation entre les quantums q_1 et q_{total} , ici égal à 12, avec $N_2 = \ln 12 / \ln 2 = 3,5$, ce qui donne 4 bits lorsque le résultat obtenu est arrondi au nombre entier supérieur. Selon un autre exemple, pour un premier CNA 104 de résolution moindre, par exemple $N_1 = 16$ bits, le $DNL_{crête}$ de ce premier CNA peut être plus faible et par exemple égal à environ $0,1.q_1$. Le quantum q_{total} du dispositif 100 respectant la relation (10) ci-dessus est alors inférieur à environ $q_1/35$, ce qui est obtenu en choisissant un deuxième CNA 104 de résolution N_2 d'au moins 6 bits.

- [0093] La démonstration ci-dessus décrit comment est choisie la valeur minimale de la résolution N_2 du deuxième CNA 104 pour minimiser le bruit de quantification dans le dispositif 100. De manière avantageuse, la valeur de la résolution N_2 du deuxième CNA 104 est choisie comme étant supérieure à cette valeur minimale, par exemple de 4 bits supplémentaire par rapport à cette valeur minimale, ce qui permet de conférer les propriétés d'un bruit blanc lié au seul bruit de DNL. En effet, un bruit de quantification « pur » peut générer un spectre de raies et non un bruit blanc. Choisir une valeur de résolution N_2 du deuxième CNA 104 supérieure à la valeur minimale indiquée ci-dessus permet d'éviter que ces raies où se concentre la puissance de bruit dépassent le bruit de DNL. Par exemple, si la valeur minimale de la résolution N_2 est de 4 bits, le deuxième CNA 104 peut être choisi tel que la valeur de sa résolution N_2 soit de 8 bits.
- [0094] Dans le dispositif 100 décrit ici, outre la minimisation du bruit de quantification apportée par le système formé par les premier et deuxième CNA 102, 104, l'atténuateur 106 et l'additionneur 108, l'augmentation de la valeur du RSB du dispositif 100 est obtenue également grâce au filtrage de la référence de tension délivrée par le circuit 116 et destinée à être appliquée en entrée du premier CNA 102, ce filtrage étant réalisé par le circuit de filtrage 114.
- [0095] En effet, deux principales sources de bruit analogiques sont présentes dans un CNA à réseau R-2R :
- [0096] le bruit interne du réseau R-2R ;
- [0097] - le bruit apporté par la référence de tension appliquée en entrée du CNA, qui est généralement au moins 10 fois supérieur au bruit interne du réseau R-2R.
- [0098] Dans le dispositif 100, le circuit de filtrage 114 permet de minimiser et rendre négligeable le bruit apporté par la référence de tension par rapport au bruit interne des réseaux R-2R des CNA 102, 104, et donc que le bruit analogique du dispositif 100 corresponde sensiblement à ce bruit interne des réseaux R-2R des CNA 102, 104.
- [0099] En effet, le bruit du réseau R-2R, appelé b_{R-2R} , d'un CNA correspond essentiellement au bruit thermique du réseau R-2R du CNA, et dépend donc de l'impédance équivalente du réseau. Ce bruit du réseau R-2R est propre à la constitution du CNA et sa valeur b_{R-2R} ne peut être réduite. Par contre, son RSB associé est, dans une certaine

mesure, ajustable car directement lié à l'excursion de la tension de sortie du CNA, appelée $\Delta V_{out\ max\ c-c}$. Ce RSB, appelée SNR_{R-2R} , s'exprime par la relation suivante :

[0100] [Math.11]

$$SNR_{R-2R} (dB/\sqrt{Hz}) = 20\log \left(\frac{\Delta V_{out\ max\ c-c}}{2\sqrt{2} b_{R-2R}} \right)$$

[0101] La valeur de la tension de sortie d'un CNA est directement proportionnelle à celle de la tension de référence appliquée sur l'entrée de référence de tension de ce CNA.

Ainsi, la contribution du bruit de la référence de tension b_{Ref} au bruit total b_{out} en sortie du CNA est d'autant plus importante que la valeur de la tension de sortie du CNA approche de la valeur de la tension pleine échelle du CNA. Il est ainsi possible d'écrire la relation suivante :

[0102] [Math.12]

$$b_{out} \equiv b_{Ref} \frac{Code}{2^{Nbits}}$$

[0103] avec la variable « Code », également appelée « Data DAC », correspondant à la consigne numérique d'entrée à convertir par le dispositif 100.

[0104] De manière avantageuse, le circuit de filtrage 114 est configuré pour mettre en œuvre un filtrage passe bas. La sévérité du filtrage (ordre, fréquence de coupure) à mettre en œuvre dépend du bruit de la référence de tension choisie et de la fréquence à partir de laquelle l'obtention du RSB optimisé est souhaitée (donnée propre à chaque application).

[0105] Un premier exemple de réalisation du circuit de filtrage 114 est représenté schématiquement sur la [Fig.2].

[0106] Dans ce premier exemple de réalisation, le circuit de filtrage 114 comporte un élément résistif 118 et un élément capacitif 120 couplés électriquement en série et formant un circuit R-C. Une entrée du circuit R-C, formée par une première électrode de l'élément résistif 118, est couplée à la sortie du circuit de génération de référence de tension 116 sur laquelle est délivrée une référence de tension V_{ref} . Le circuit de filtrage 114 comporte également un amplificateur opérationnel 122 monté en suiveur. L'amplificateur opérationnel 122 est avantageusement choisi tel qu'il apporte le moins de bruit possible. L'entrée non inverseuse de l'amplificateur opérationnel 122 est couplée à une sortie du circuit R-C formée par une deuxième électrode de l'élément résistif 118 à laquelle l'une des électrodes de l'élément capacitif 120 est couplée électriquement. La sortie de l'amplificateur opérationnel 122, sur laquelle est délivrée la référence de tension filtrée « V_{ref} filtrée », est couplée à l'entrée de référence de tension du premier CNA 102.

[0107] Le bruit des références de tension, même choisies parmi les moins bruyantes du marché, plafonne autour de $180nV/\sqrt{Hz}$ pour une tension de 10V. Ce bruit est bien plus

important que celui d'un réseau R-2R d'un CNA, par exemple de l'ordre de $7,5\text{nV}/\sqrt{\text{Hz}}$. En considérant une référence de tension générant un bruit de $180\text{nV}/\sqrt{\text{Hz}}$, avec un objectif de $7,5\text{nV}/\sqrt{\text{Hz}}$ dès 1Hz, l'atténuation réalisée devra être de 24 (27,6 dB), et la fréquence de coupure pour un ordre 1 de 0,04 Hz (constante de temps de 4 secondes), ce qui est atteignable avec un élément résistif 118 de valeur $R = 10\text{ k}\Omega$ et un élément capacitif de valeur $C = 400\text{ }\mu\text{F}$.

[0108] Des circuits de filtrage 114 différents de celui décrit ci-dessus sont possibles selon les applications du dispositif 100, notamment si celles-ci requièrent des spécifications élevées sur la précision de conversion de la composante continue, en plus du haut niveau de RSB recherché. Par exemple, un filtrage à fréquence de coupure basse pour respecter l'atténuation du bruit à la fréquence désirée peut imposer un couple de valeurs R-C importantes. Le courant de fuite inhérent à l'élément capacitif 120 peut provoquer une légère chute de tension aux bornes de l'élément résistif 118 et modifier la composante continue du signal de sortie du dispositif 100. Dans ce cas, il peut être envisagé un montage avec une contre réaction en charge de maintenir la précision de la composante continue de la référence de tension, comme par exemple représenté sur la [Fig.3].

[0109] Dans le deuxième exemple de réalisation du circuit de filtrage 114 représenté sur la [Fig.3], l'entrée non-inverseuse de l'amplificateur opérationnel 122 est couplée à la sortie du circuit de génération de référence de tension 116. La sortie de l'amplificateur opérationnel 122 est couplée à l'entrée du circuit R-C formé par l'élément résistif 118 et l'élément capacitif 120. La sortie du circuit R-C est couplée à l'entrée de référence de tension du premier CNA 102. Le circuit de filtrage 114 comporte également un élément résistif de contre-réaction 124 couplé entre l'entrée inverseuse de l'amplificateur opérationnel 122 et l'entrée de référence de tension du premier CNA 102, et un élément capacitif de contre-réaction 126 couplé entre l'entrée inverseuse de l'amplificateur opérationnel 122 et la sortie de l'amplificateur opérationnel 122.

[0110] La minimisation du bruit du dispositif 100 passe également avantageusement par l'utilisation du circuit de suppression de glitch 110. De manière avantageuse, le circuit de suppression de glitch 110 peut comporter un dispositif de type échantillonneur – bloqueur (« sample and hold » en anglais). Un exemple de réalisation d'un tel circuit de suppression de glitch 110 est représenté schématiquement sur la [Fig.4]. Dans cet exemple de réalisation, le dispositif de type échantillonneur – bloqueur du circuit 110 comporte un interrupteur commandé 128 dont une première borne forme une entrée de données du circuit 110 couplée à la sortie de l'additionneur 108. Sur la [Fig.4], le signal délivré en sortie de l'additionneur 108 est appelé $V_{\text{out DAC}}$. Une entrée de commande de cet interrupteur 128 est couplée au circuit de pilotage numérique 112 qui commande le circuit 110 via l'envoi d'un signal de commande d'ouverture ou de

fermeture de l'interrupteur 128, appelé « Commande commutateur » sur la [Fig.4].

Une deuxième borne de l'interrupteur commandé 128 est couplée à une électrode d'un élément capacitif 130 du dispositif de type échantillonneur – bloqueur. La sortie du dispositif de type échantillonneur – bloqueur, formée par le nœud de connexion entre l'élément capacitif 130 et l'interrupteur commandé 128, est couplée à l'entrée non inverseuse d'un amplificateur opérationnel 132 monté en suiveur (entrée inverseuse couplée à sa sortie). La tension délivrée en sortie de l'amplificateur opérationnel 132 correspond au signal de sortie du circuit 110, c'est-à-dire le signal de sortie V_{out} du dispositif 100.

- [0111] Grâce au circuit de suppression de glitch 110, toutes les composantes du spectre généré par les glitches du premier CNA 102, y compris celles dites « basses fréquences » (et, dans une moindre mesure, du deuxième CNA 104) sont éliminées.
- [0112] Le principe de fonctionnement du circuit de suppression de glitch 110 précédemment décrit est expliqué ci-dessous, en lien avec la [Fig.5]. Sur cette figure, un glitch apparaît sur la tension V_{out_DAC} délivrée en sortie de l'additionneur 108 en raison d'un changement de valeur de la donnée numérique d'entrée « Data DAC » à convertir par le dispositif 100 (passage de la donnée « Data n » à la donnée « Data n+1 »). Une durée t_1 avant ce changement de valeur de « Data DAC », un ordre d'ouverture de l'interrupteur commandé 128 est envoyé par le circuit 112 et la valeur de V_{out_DAC} reste mémorisée dans l'élément capacitif 130. A l'instant du changement de consigne et pendant toute une durée t_2 , la valeur de la tension V_{out} délivrée en sortie du circuit 110 ne change pas et reste égale à la valeur mémorisée dans l'élément capacitif 130, indépendamment de la présence du glitch généré suite au changement de consigne, du fait que l'interrupteur commandé 128 soit toujours en position ouverte. Après la durée t_2 , le glitch ayant disparu, l'interrupteur commandé 128 est refermé et V_{out} prend la nouvelle valeur $V_{out\ n+1}$ de manière maîtrisée.
- [0113] Pour avoir un fonctionnement optimal du circuit de suppression de glitch 110, les durées t_1 et t_2 peuvent être choisies telles que lors de la durée t_1 soit légèrement supérieure au délai d'ouverture de l'interrupteur commandé 128, et que la durée t_2 soit légèrement supérieure à la durée maximale des glitches générés au sein du dispositif 100. Par exemple, les délais de commutation des interrupteurs analogiques étant de l'ordre de 100 ns, la durée t_1 peut être choisie égale à environ 200 ns et la durée t_2 peut être choisie égale à environ 1 μ s (la valeur de cette durée étant toutefois dépendante de la durée des glitches générés par les CNA utilisés dans le dispositif 100, et notamment le premier CNA 102).
- [0114] En outre, l'amplificateur opérationnel 132 est choisi tel qu'il présente avantageusement un bruit d'entrée inférieur au bruit du réseau R-2R du premier CNA 102 pour contribuer le moins possible au bruit final de sortie du dispositif 100. Par

exemple, il est possible de choisir un amplificateur opérationnel 132 dont le bruit d'entrée est de 2,8 nV/√Hz pour une fréquence supérieure à 50 Hz, avec un courant de polarisation maximal de 2 nA (dont l'effet maximal sur la tension aux bornes de l'élément capacité 130 pendant l'ouverture de l'interrupteur commandé 128 est équivalent à 0,02.q₁, c'est-à-dire est négligeable).

[0115] Dans le dispositif de type échantillonneur – bloqueur du circuit 110, la valeur C de l'élément capacitif 130 est de préférence maximisée dans la limite de la bande passante souhaitée par le système de conversion numérique-analogique car :

- l'absorption par l'élément capacitif 130 de la charge d'injection Q nécessaire pour ouvrir et fermer l'interrupteur commandé 128, exprimée en pC, a pour effet de modifier la tension aux bornes de l'élément capacitif 130 de la valeur $\Delta U = Q/C$. Ainsi plus C est grand, moins la tension à ses bornes est perturbée ;

- cela permet à l'élément capacitif 130 de mieux garder en mémoire la valeur de la tension « mémorisée », la tension du condensateur se chargeant ou se déchargeant en fonction du courant de polarisation de l'amplificateur opérationnel 132.

[0116] Dans l'exemple de réalisation précédemment décrit, le circuit de suppression de glitch 110 comporte son entrée de données couplée à la sortie de l'additionneur 108, et la sortie du circuit 110 forme la sortie du dispositif 100. En variante, il est possible que l'entrée de données du circuit de suppression de glitch 110 soit couplée à la sortie du premier CNA 102 et que la sortie du circuit 110 soit couplée à l'une des entrées de l'additionneur 108. Dans ce cas, la sortie de l'additionneur 108 forme la sortie du dispositif 100. Une telle variante est représentée schématiquement sur la [Fig.9].

[0117] La [Fig.6] décrite ci-dessous représente un exemple de réalisation de l'atténuateur 106 et de l'additionneur 108.

[0118] Dans cet exemple de réalisation, afin de limiter au maximum l'utilisation d'éléments actifs pouvant être des sources potentielles de détérioration du bruit, l'atténuation analogique, appelée « Att », réalisée sur la tension de sortie du deuxième CNA 104 est obtenue en utilisant une résistance d'injection, de valeur R_{inj} et formant l'atténuateur 106. Une première borne de la résistance d'injection 106 est couplée à la sortie du deuxième CNA 104. En outre, dans cet exemple de réalisation, l'additionneur 108 correspond à un couplage réalisé entre la sortie du premier CNA 102 et une deuxième borne de la résistance d'injection 106.

[0119] En considérant les résistances internes de sortie des CNA 102, 104, appelées respectivement R_{DAC_102} et R_{DAC_104} , la tension V_{out_DAC} obtenue en sortie de l'additionneur 108 s'exprime par la relation :

[0120] [Math.13]

$$V_{out_DAC} = \frac{1}{R_{DAC_102} + R_{DAC_104} + R_{inj}} \left[V_{DAC_104} (R_{DAC_104} + R_{inj}) + V_{DAC_102} (R_{DAC_102}) \right]$$

[0121] En considérant $R_{inj} \gg R_{DAC_{102}}$ et $R_{DAC_{104}}$, l'équation (13) peut se simplifier de la manière suivante :

[0122] [Math.14]

$$V_{out} \approx V_{DAC_{102}} + Att \cdot V_{DAC_{104}}$$

[0123] Avec « Att » correspondant au coefficient d'atténuation appliqué par l'atténuateur 106 sur la tension de sortie du deuxième CNA 104 et s'exprimant par la relation suivante :

[0124] [Math.15]

$$Att \approx \frac{R_{DAC_{102}}}{R_{inj}}$$

[0125] Dans le dispositif 100 précédemment décrit, grâce à l'abaissement du bruit de quantification devant celui généré par les défauts de linéarité différentiels obtenu par le système de conversion numérique – analogique formé par les premier et deuxième CNA 102, 104, l'atténuateur 106 et l'additionneur 108, au filtrage de la référence de tension par le circuit de filtrage 114 et à l'élimination des glitches par le circuit de suppression de glitches 110, le RSB total, appelé SNR_{total} , atteignable par le dispositif 100 n'est limité que par les deux RSB associés aux deux sources de bruit irréductibles que sont le réseau R-2R et les défauts de linéarité différentiels, et s'exprime par la relation suivante :

[0126] [Math.16]

$$SNR_{Total} = 10 \log \left(\frac{1}{10^{-SNR_{DNL}/10} + 10^{-SNR_{R-2R}/10}} \right)$$

[0127] A titre d'exemple, en choisissant un premier CNA 102 de résolution égale à 20 bits, exploité avec une excursion de sa tension de sortie maximale à $\pm 10V$ (qui correspond à l'application d'une référence de tension de 10 V sur le premier CNA 102) et avec une fréquence d'échantillonnage F_e égale à 100 kHz (fréquence permettant un fonctionnement correct du circuit de suppression de glitches 110), un $DNL_{crête}$ de l'ordre 0,3 q_L , un réseau R-2R d'impédance égale à 3,4 k Ω dont le bruit est de 7,5 nV/ $\sqrt{Hz}$, les valeurs des différents RSB obtenus sont : $SNR_{R-2R} = 182,5$ dB/ $\sqrt{Hz}$ et $SNR_{DNL} = 178,4$ dB/ $\sqrt{Hz}$. Le RSB total atteignable se situe alors à 177dB/ $\sqrt{Hz}$, soit un gain d'environ 15dB par rapport à l'état de l'art atteignable par une mise en œuvre conventionnelle des meilleurs convertisseurs numérique – analogique du marché.

[0128] Dans l'exemple de réalisation précédemment, la résolution N_2 du deuxième CNA 104 est d'au moins 4 bits pour rendre négligeable le bruit de quantification devant celui des défauts de linéarité différentiels. De manière avantageuse, il est possible de choisir une valeur de la résolution N_2 plus importante, par exemple égale à 8 bits dans l'exemple précédemment décrit, le dispositif 100 réalisant dans ce cas une conversion numérique – analogique de 28 bits au total.

[0129] Il est également possible de choisir les premier et deuxième CNA 102, 104 tels que la somme des résolutions N_1 et N_2 soit supérieure au nombre de bits du signal numérique à convertir par le dispositif 100. Plus particulièrement, la résolution N_2 du deuxième CNA 104 peut être telle que $N_2 > (N - N_1)$, et les $N_2 - (N - N_1)$ bits de poids fort du deuxième CNA 104 peuvent être configurés pour être mis à 0, c'est-à-dire tels qu'un signal nul est appliqué sur les entrées du deuxième CNA 104 correspondant aux $N_2 - (N - N_1)$ bits de poids fort du deuxième CNA 104.

[0130] Dans l'exemple de réalisation précédemment décrit, il est possible d'avoir $N_1 = 20$ bits et $N_2 = 16$ bits, avec toutefois le dispositif 100 réalisant une conversion d'un signal de 28 bits seulement. Dans ce cas, une partie des bits de poids fort (les 8 bits de poids fort dans l'exemple décrit ici) du deuxième CNA 104 sont laissés à 0. Cela permet au deuxième CNA 104 de contribuer à la fonction d'atténuation remplie par l'atténuateur 106, comme cela est expliqué ci-dessous.

[0131] En effet, la tension de sortie V_{out_DAC} obtenue par la somme du signal délivré par les premier et deuxième CNA 102, 104 s'exprime de la manière suivante :

[0132] [Math.17]

$$V_{OUT_DAC} = \frac{2V_{REF_102}}{2^{N_1} - 1} N_H - V_{REF_102} + \frac{V_{REF_104}}{2^{N_2}} N_L 2^{N_2 - L - p} Att$$

[0133] Avec :

[0134] V_{REF_102} correspondant à la valeur de la référence de tension appliquée en entrée du premier CNA 102 ;

[0135] V_{REF_104} correspondant à la valeur de la référence de tension appliquée en entrée du deuxième CNA 104, et qui est par exemple égale à 5 V dans l'exemple précédemment décrit ;

[0136] N_H correspondant à un nombre binaire positif compris entre 0 et $2^{N_1} - 1$ et appliqué en entrée du premier CNA 102 ;

[0137] N_L correspondant à un nombre binaire positif compris entre 0 et $2^{N_L} - 1$ et appliqué en entrée du deuxième CNA 104 ;

[0138] L correspondant au nombre de bits du deuxième CNA 104 utilisés pour la conversion, c'est-à-dire $N - N_1$ qui correspond au nombre de bits « utiles » de l'extension de bits);

[0139] p correspondant au nombre de bits mis à 0 sur les poids forts du mot du deuxième CNA 104, c'est-à-dire $N_2 - (N - N_1)$;

[0140] En considérant que $2^{N_1} - 1 \approx 2^{N_1}$ compte tenu de la forte valeur de N_1 , l'équation (17) peut s'écrire telle que :

[0141] [Math.18]

$$V_{OUT_DAC} \approx \frac{2V_{REF_102} 2^L}{2^{N_1 + L}} N_H - V_{REF_102} + \frac{V_{REF_104}}{2^{L + p}} N_L Att$$

[0142] En considérant que les premier et deuxième CNA 102, 104, l'atténuateur 106 et l'additionneur 108 forment un seul CNA de résolution (N_I+L) bits, la tension de sortie V_{OUT_DAC} s'exprime également par l'équation suivante :

[0143] [Math.19]

$$V_{OUT_DAC} = \frac{2V_{REF_102}}{2^{N_I+L}} (2^L N_H + N_L) - V_{REF_102}$$

[0144] La combinaison des équations (18) et (19) aboutit à la condition suivante :

[0145] [Math.20]

$$\frac{V_{REF_104}}{2^{L+p}} Att = \frac{2V_{REF_102}}{2^{N_I+L}}$$

[0146] La valeur de l'atténuation « Att » à mettre en œuvre est alors :

[0147] [Math.21]

$$Att = 2^p \frac{2V_{REF_102}}{V_{REF_104} 2^{N_I}}$$

[0148] Ainsi, avec les valeurs de $V_{REF_102} = 10V$, $V_{REF_104} = 5V$, $N_I = 20$ bits, si p est choisi égal à 0 (tension pleine échelle du deuxième CNA 104 égale à la référence de tension injectée dans celui-ci), il faudrait mettre en œuvre une atténuation analogique (correspondant au coefficient d'atténuation appliqué par l'atténuateur 106) extrêmement sévère d'une valeur de 262144, qui pourrait s'avérer difficile à mettre en œuvre avec l'architecture de sommation mise en œuvre dans le dispositif 100. Par contre, en choisissant par exemple un deuxième CNA 104 de résolution $N_2 = 16$ bits, dont seuls les 8 bits de poids faible viendront se sommer aux 20 bits du premier CNA 104 et en fixant à 0 les 8 bits de poids fort ($p=8$), le deuxième CNA 104 participe à la prise en charge de l'atténuation d'un facteur 256, et l'atténuation analogique qui reste à appliquer n'est alors plus que de 1024, valeur qui devient plus facile à mettre en œuvre. En considérant l'équation (15) précédemment décrite, avec un premier CNA 102 présentant une résistance de sortie R_{DAC_102} égale à 3,4 k Ω et un deuxième CNA 104 présentant une résistance de sortie R_{DAC_104} égale à 6,2 k Ω , un facteur d'atténuation Att égal à 1024 est obtenu en choisissant une résistance d'injection 106 telle que $R_{inj} = 3,482$ M Ω .

[0149] Dans l'exemple précédemment décrit, la valeur R_{inj} étant très supérieure à R_{DAC_102} , la bande passante du dispositif 100 est fixée par le produit $R_{DAC_102} \times C$, avec C correspondant à la valeur du condensateur 130 du circuit de suppression de glitches 110. Par exemple, avec $R_{DAC_102} = 3,4$ k Ω et pour une bande passante souhaitée de 10 kHz, la valeur C du condensateur 103 peut être choisie égale à 4,7 nF. En choisissant un interrupteur commandé 128 à faible charge d'injection, par exemple égale à 0,19 pC, la modification de la tension aux bornes du condensateur 130 peut être estimée à 40 μV ,

soit l'équivalent de deux fois la valeur de q_1 , soit une perturbation non négligeable en soi. Toutefois, cette perturbation est indépendante du mot numérique appliqué en entrée du dispositif 100 et est constante quelle que soit la tension de sortie, contrairement aux glitches générés par le premier CNA 102. Le spectre de perturbation généré est alors porté à la fréquence d'échantillonnage et à ses multiples harmoniques, c'est-à-dire hors de la bande passante du signal utile. Un filtrage passe bas situé en aval pourra, le cas échéant, les éliminer si celles-ci se s'avéraient gênantes pour l'application.

- [0150] Le dispositif 100 précédemment décrit est avantageusement utilisé de manière dynamique. En variante, lorsque le dispositif 100 est destiné à être utilisé de manière statique ou à une faible fréquence de fonctionnement, le dispositif 100 peut ne pas comporter le circuit de suppression de glitches 110.
- [0151] Le dispositif 100 est avantageusement utilisé au sein d'un capteur reposant sur l'utilisation d'un système bouclé et dont le traitement est effectué de manière numérique. Exemple de réalisation d'un tel capteur 1000 est représenté schématiquement sur la [Fig.7].
- [0152] Le capteur 1000 comporte un élément sensible 1002 recevant en entrée une grandeur physique à mesurer et une grandeur de contre réaction délivrée par le capteur 1000. Le signal d'erreur résultant délivré en sortie de l'élément sensible 1002 est appliqué en entrée d'un circuit 1004 de conversion analogique – numérique et de traitement. Celui-ci a en charge de conditionner le signal d'erreur pour le présenter en entrée du correcteur 1006. Le contenu de ce traitement est d'une complexité très variable car propre à la nature du signal d'erreur délivré par l'élément sensible (application de gains, de filtrages, opérations de démodulation, etc.). Le correcteur 1006, comprenant typiquement d'un intégrateur, délivre un signal de sortie du capteur 1000 qui correspond à une mesure numérique de la grandeur physique à mesurer. Ce signal est également utilisé pour générer la grandeur de contre réaction via le dispositif de conversion numérique – analogique 100 suivi de la chaîne de réinjection 1008 en charge de convertir la tension de sortie du dispositif 100 en une grandeur homogène à la grandeur physique à mesurer. Le signal de sortie de la chaîne de réaction 1008 est appliqué en entrée de l'élément sensible 1002.
- [0153] Dans un tel capteur 1000 où la mesure de la grandeur physique est prélevée sur la consigne du signal de contre réaction, la qualité de la mesure dépend directement de la qualité de cette chaîne de contre réaction. Le dispositif numérique – analogique 100 est alors un élément critique de ce type d'architecture puisque tout défaut ou bruit du dispositif 100 se retrouve sur la grandeur mesurée.
- [0154] Le capteur 1000 correspond par exemple à un capteur de mesure magnétique, tel qu'un magnétomètre vectoriel à pompage optique à hélium 4 dit « champ nul » ou

encore un magnétomètre de type fluxgate. La [Fig.8] représente schématiquement le capteur 1000 dans une telle configuration.

- [0155] Comme sur le schéma de la [Fig.7], le capteur 1000 représenté sur la [Fig.8] comporte l'élément sensible 1002 qui est ici configuré pour mesurer un champ magnétique. Le signal de mesure délivré en sortie de l'élément sensible 1002 est appliqué en entrée du circuit 1004 qui, dans la configuration de la [Fig.8], met en œuvre des fonctions de sonde, d'amplification de signal, de conversion analogique – numérique et de traitement. Un signal de sortie numérique délivré par le circuit 1004 est appliqué en entrée du correcteur 1006 qui correspond ici à un correcteur intégral pur (correcteur I) ou à effet proportionnel/intégral (correcteur PI). Ce correcteur 1006 délivre en sortie un signal de sortie du capteur 1000 qui correspond à une mesure numérique du champ magnétique à mesurer. Le capteur 1000 comporte également une boucle de rétroaction comprenant le dispositif 100 recevant en entrée le signal de sortie du capteur 1000. Le signal de sortie analogique du dispositif 100 est appliqué en entrée du dispositif 1010 en charge de convertir la consigne de tension en un courant. Ce courant est ensuite appliqué en entrée d'une bobine 1012 en charge de générer le champ magnétique de compensation appliqué en entrée de l'élément sensible 1002.
- [0156] Pour le capteur 1000 représenté sur la [Fig.7], le champ magnétique DC à mesurer s'étend typiquement sur une plage de $\pm 70\mu\text{T}$ pour la mesure du champ terrestre, tout en ayant un niveau de bruit capteur extrêmement faible qui peut atteindre $50\text{fT}/\sqrt{\text{Hz}}$, le tout avec une bande de mesure de quelques kilohertz. Dans ce cas, le besoin en terme de RSB imposé au signal de contre réaction (ici les champs magnétiques de compensation qui imposeront un champ nul au sein de l'élément sensible 1002 du capteur 1000) s'établit alors à $180\text{dB}/\sqrt{\text{Hz}}$. Le dispositif de conversion numérique – analogique 100 tel que décrit précédemment y trouve alors pleinement son intérêt et permet de répondre sensiblement au besoin de ces types de capteurs.
- [0157] Des détails de réalisation d'un tel capteur 1000 de mesure magnétique vectoriel à pompage optique à hélium 4 sont par exemple décrits dans la thèse de Matthieu Le Prado, « Conception, réalisation et application d'un magnétomètre atomique vectoriel », Université de Franche-Comté, 2014.

Revendications

[Revendication 1]

Dispositif (100) de conversion numérique – analogique, comportant au moins :

- un premier convertisseur numérique-analogique, CNA, (102) à réseau R-2R ;
 - un deuxième CNA (104) à réseau R-2R et dont une résolution N_2 est inférieure à une résolution N_1 du premier CNA (102) ;
 - un atténuateur (106) couplé électriquement à une sortie du deuxième CNA (104) et configuré pour délivrer en sortie une tension dont l'amplitude est comprise entre $0,9.q_1$ et $1,1.q_1$, avec q_1 correspondant au quantum du premier CNA (102), lorsqu'il reçoit en entrée une tension pleine échelle du deuxième CNA (104) ;
 - un additionneur (108) configuré pour additionner une tension de sortie du premier CNA (102) et la tension de sortie de l'atténuateur (106) ;
 - un circuit de pilotage numérique (112) configuré pour délivrer sur une entrée de données du premier CNA (102) N_1 bits de poids fort d'un signal numérique de N bits destiné à être converti analogiquement par le dispositif (100), et pour délivrer sur une entrée de données du deuxième CNA (104) $(N - N_1)$ autres bits du signal numérique de N bits, avec $N_2 \geq (N - N_1)$;
 - un circuit de génération de référence de tension (116) dont une sortie est couplée électriquement à une entrée d'un circuit de filtrage (114), une sortie du circuit de filtrage (114) étant couplée électriquement à une entrée de référence de tension du premier CNA (102) ;
- dans lequel le quantum q_{total} du dispositif (100) est choisi tel que la relation suivante soit vérifiée :

$$q_{total} < \frac{DNL_{crête}}{2\sqrt{3}} q_1$$

avec q_1 correspondant au quantum du premier CNA (102) et $DNL_{crête}$ correspondant à la valeur crête du bruit aléatoire ajouté sur chaque échantillon généré correspondant aux défauts différentiels de linéarité du premier CNA (102).

[Revendication 2]

Dispositif (100) selon la revendication 1, comportant en outre un circuit de suppression de glitch (110) comprenant, dans une première configuration, une entrée de données couplée électriquement à une sortie de l'additionneur (108), une entrée de commande couplée au circuit de pilotage numérique (112) et dont une sortie forme une sortie du dispositif (100), ou, dans une deuxième configuration, l'entrée de

données couplée électriquement à une sortie du premier CNA (102), l'entrée de commande couplée au circuit de pilotage numérique (112) et la sortie couplée à une des entrées de l'additionneur (108).

- [Revendication 3] Dispositif (100) selon la revendication 2, dans lequel le circuit de suppression de glitch (110) comporte un amplificateur opérationnel (132) monté en suiveur et un dispositif de type échantillonneur – bloqueur (128, 130) dont une entrée forme l'entrée de données du circuit de suppression de glitch (110) et dont une sortie est couplée à une entrée non inverseuse de l'amplificateur opérationnel (132) monté en suiveur, et dans lequel le circuit de pilotage numérique (112) est configuré pour délivrer, sur une entrée de commande d'un interrupteur commandé (128) du dispositif de type échantillonneur – bloqueur (128, 130) formant l'entrée de commande du circuit de suppression de glitch (110), un signal de commande d'ouverture ou de fermeture de l'interrupteur commandé (128).
- [Revendication 4] Dispositif (100) selon l'une des revendications précédentes, dans lequel le circuit de filtrage (114) est configuré pour mettre en œuvre un filtrage passe-bas d'une référence de tension destinée à être appliquée sur son entrée.
- [Revendication 5] Dispositif (100) selon la revendication 4, dans lequel le circuit de filtrage (114) comporte au moins un circuit R-C (118, 120) et un amplificateur opérationnel (122) monté en suiveur, configurés tels qu'une entrée du circuit R-C (118, 120) soit couplée électriquement à la sortie du circuit de génération de référence de tension (116), qu'une sortie du circuit R-C (118, 120) soit couplée à une entrée non inverseuse de l'amplificateur opérationnel (122) et qu'une sortie de l'amplificateur opérationnel (122) soit couplée à l'entrée de référence de tension du premier CNA (102).
- [Revendication 6] Dispositif (100) selon la revendication 4, dans lequel le circuit de filtrage (114) comporte au moins :
- un circuit R-C (118, 120) et un amplificateur opérationnel (122) monté en suiveur, configurés tels qu'une entrée non-inverseuse de l'amplificateur opérationnel (122) soit couplée électriquement à la sortie du circuit de génération de référence de tension (116), qu'une sortie de l'amplificateur opérationnel (122) soit couplée à une entrée du circuit R-C (118, 120) et qu'une sortie du circuit R-C (118, 120) soit couplée à l'entrée de référence de tension du premier CNA (102) ;
 - un élément résistif de contre-réaction (124) couplé entre l'entrée in-

verseuse de l'amplificateur opérationnel (122) et l'entrée de référence de tension du premier CNA (102) ;

- un élément capacitif de contre-réaction (126) couplé entre l'entrée inverseuse de l'amplificateur opérationnel (122) et la sortie de l'amplificateur opérationnel (122).

[Revendication 7] Dispositif (100) selon l'une des revendications précédentes, dans lequel $N_1 \geq 16$ et/ou dans lequel $N_2 \geq 4$.

[Revendication 8] Dispositif (100) selon l'une des revendications précédentes, dans lequel $N_2 > (N - N_1)$, et les $N_2 - (N - N_1)$ bits de poids fort du deuxième CNA sont configurés pour être mis à 0.

[Revendication 9] Capteur (1000) comprenant au moins :

- un élément sensible (1002) configuré pour mesurer une grandeur physique et délivrer en sortie un signal analogique représentatif de la grandeur physique mesurée ;
- un dispositif de conversion analogique – numérique et de traitement (1004) recevant en entrée le signal analogique représentatif de la grandeur physique mesurée ;
- un correcteur (1006) dont une entrée est couplée à une sortie du dispositif de conversion analogique – numérique et de traitement (1004) et une sortie sur laquelle un signal de mesure de la grandeur physique est destiné à être délivré ;
- un dispositif de conversion numérique – analogique (100) selon l'une des revendications précédentes, comprenant une entrée de données à convertir couplée à la sortie du correcteur (1006) ;
- une chaîne électronique de réinjection (1008, 1010, 1012) comprenant une entrée couplée à une sortie du dispositif de conversion numérique – analogique (100), et une sortie couplée à une entrée de l'élément sensible (1002) qui est configuré pour soustraire un signal de sortie de la chaîne électronique de réinjection à la grandeur physique destinée à être mesurée.

[Revendication 10] Capteur (1000) selon la revendication 9, dans lequel l'élément sensible (1002) est configuré pour mesurer un champ magnétique.

[Revendication 11] Capteur (1000) selon la revendication 10, configuré pour former un magnétomètre de type fluxgate ou un magnétomètre vectoriel à pompage optique.

[Fig. 1]

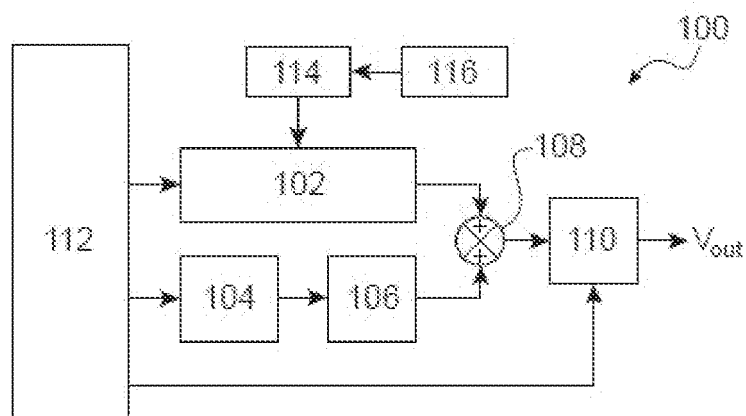


FIG.1

[Fig. 2]

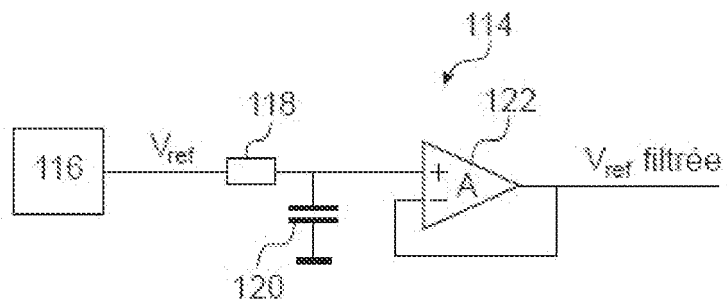


FIG.2

[Fig. 3]

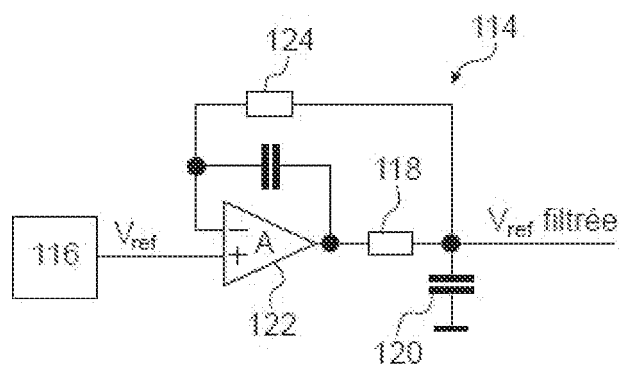


FIG.3

[Fig. 4]

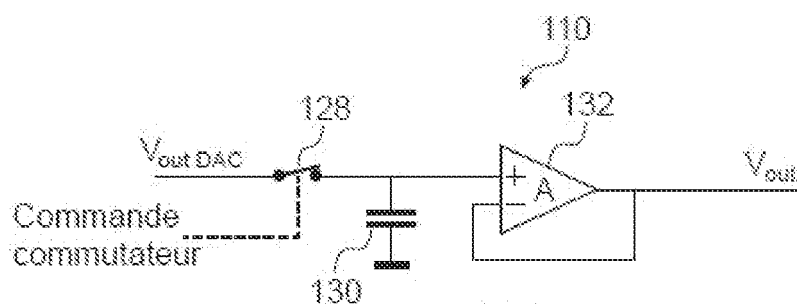


FIG.4

[Fig. 5]

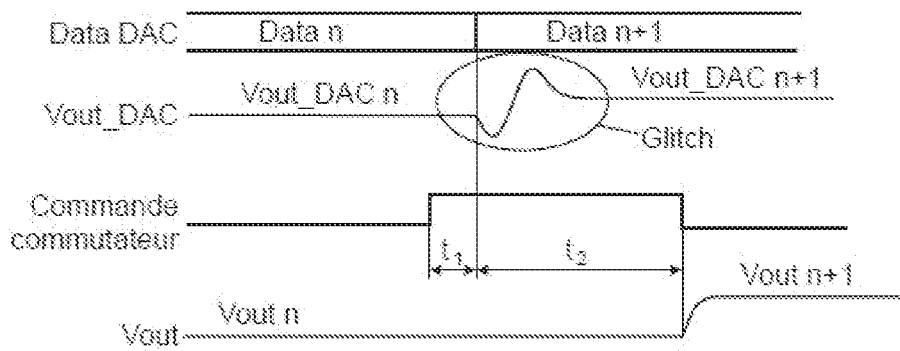


FIG.5

[Fig. 6]

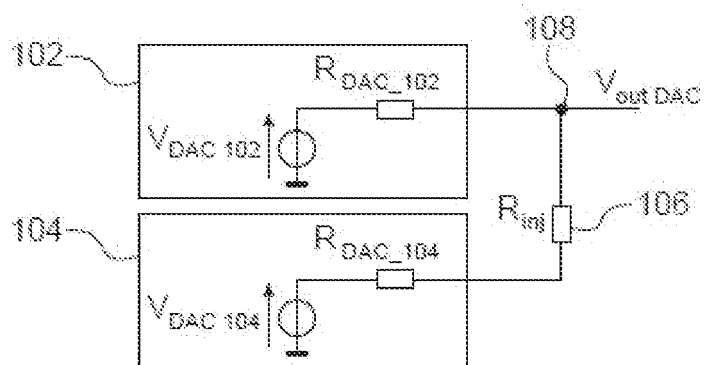


FIG.6

[Fig. 7]

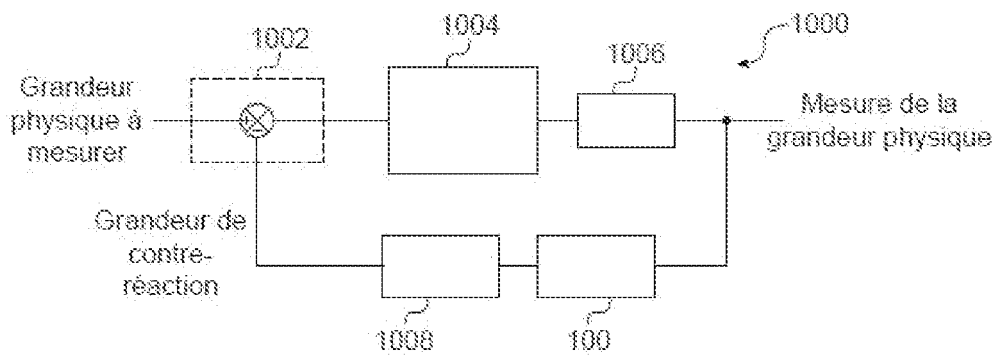


FIG.7

[Fig. 8]

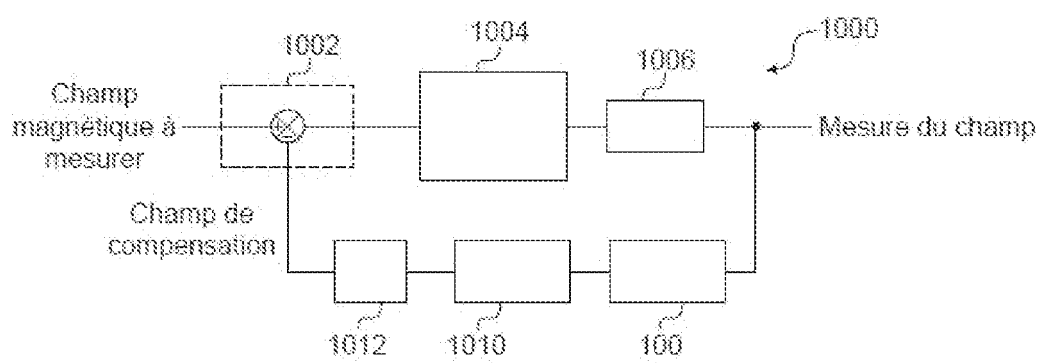


FIG.8

[Fig. 9]

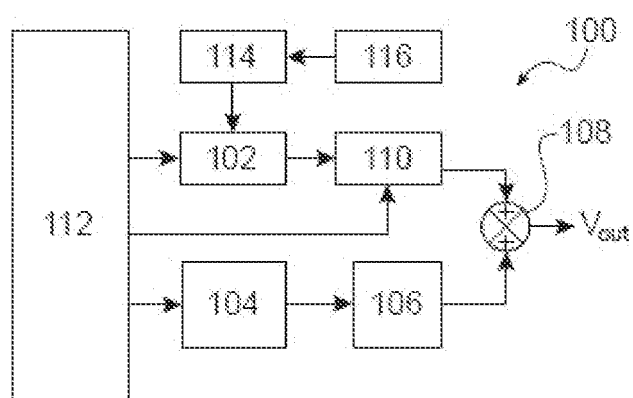


FIG.9

RAPPORT DE RECHERCHE

articles L.612-14, L.612-53 à 69 du code de la propriété intellectuelle

OBJET DU RAPPORT DE RECHERCHE

L'I.N.P.I. annexe à chaque brevet un "RAPPORT DE RECHERCHE" citant les éléments de l'état de la technique qui peuvent être pris en considération pour apprécier la brevetabilité de l'invention, au sens des articles L. 611-11 (nouveau) et L. 611-14 (activité inventive) du code de la propriété intellectuelle. Ce rapport porte sur les revendications du brevet qui définissent l'objet de l'invention et délimitent l'étendue de la protection.

Après délivrance, l'I.N.P.I. peut, à la requête de toute personne intéressée, formuler un "AVIS DOCUMENTAIRE" sur la base des documents cités dans ce rapport de recherche et de tout autre document que le requérant souhaite voir prendre en considération.

CONDITIONS D'ETABLISSEMENT DU PRESENT RAPPORT DE RECHERCHE

☒ Le demandeur a présenté des observations en réponse au rapport de recherche préliminaire.

☐ Le demandeur a maintenu les revendications.

☒ Le demandeur a modifié les revendications.

☐ Le demandeur a modifié la description pour en éliminer les éléments qui n'étaient plus en concordance avec les nouvelles revendications.

☐ Les tiers ont présenté des observations après publication du rapport de recherche préliminaire.

☐ Un rapport de recherche préliminaire complémentaire a été établi.

DOCUMENTS CITES DANS LE PRESENT RAPPORT DE RECHERCHE

La répartition des documents entre les rubriques 1, 2 et 3 tient compte, le cas échéant, des revendications déposées en dernier lieu et/ou des observations présentées.

☒ Les documents énumérés à la rubrique 1 ci-après sont susceptibles d'être pris en considération pour apprécier la brevetabilité de l'invention.

☒ Les documents énumérés à la rubrique 2 ci-après illustrent l'arrière-plan technologique général.

☐ Les documents énumérés à la rubrique 3 ci-après ont été cités en cours de procédure, mais leur pertinence dépend de la validité des priorités revendiquées.

☐ Aucun document n'a été cité en cours de procédure.

1. ELEMENTS DE L'ETAT DE LA TECHNIQUE SUSCEPTIBLES D'ETRE PRIS EN CONSIDERATION POUR APPRECIER LA BREVETABILITE DE L'INVENTION

US 4 410 879 A (GUMM LINLEY F [US] ET AL)
18 octobre 1983 (1983-10-18)

2. ELEMENTS DE L'ETAT DE LA TECHNIQUE ILLUSTRANT L'ARRIERE-PLAN TECHNOLOGIQUE GENERAL

Analog Devices: "Evaluation Board User
Guide Evaluation Board for a 20-Bit,
Serial Input, Voltage Output DAC",

,
1 août 2010 (2010-08-01), pages 1-16,
XP055864681,

Extrait de l'Internet:

URL: <https://www.analog.com/media/en/technical-documentation/user-guides/UG-185.pdf>

[extrait le 2021-11-23]

Maxim: "Deglitching Techniques for
High-Voltage R-2R DACs Deglitching
Techniques for High-Voltage R-2R DACs",

,
1 mai 2001 (2001-05-01), pages 1-7,
XP055864683,

Extrait de l'Internet:

URL: <https://pdfserv.maximintegrated.com/en/an/AN583.pdf>

[extrait le 2021-11-23]

Egan Maurice: "The 20-Bit DAC Is the
Easiest Part of a 1-ppm-Accurate Precision
Voltage Source",

,
1 avril 2010 (2010-04-01), pages 1-4,
XP055864279,

Extrait de l'Internet:

URL: <https://www.analog.com/media/en/analog-dialogue/volume-44/number-2/articles/20-bit-dac-and-accurate-precision-voltage-source.pdf>

[extrait le 2021-11-22]

SHAH ANSHUL: "Why Does Voltage Reference
Noise Matter?",

ANALOG DIALOGUE, [Online]

vol. 54, no. 2, 1 mars 2020 (2020-03-01),
pages 1-7, XP055864672,

Extrait de l'Internet:

URL: <https://www.analog.com/media/en/analog-dialogue/volume-54/number-1/why-does-voltage-reference-noise-matter.pdf>

[extrait le 2021-11-22]

3. ELEMENTS DE L'ETAT DE LA TECHNIQUE DONT LA PERTINENCE DEPEND DE LA VALIDITE DES PRIORITES

NEANT