

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6194869号
(P6194869)

(45) 発行日 平成29年9月13日(2017.9.13)

(24) 登録日 平成29年8月25日(2017.8.25)

(51) Int.Cl.

F 1

HO 1 L 29/41	(2006.01)	HO 1 L 29/44	S
HO 1 L 21/338	(2006.01)	HO 1 L 29/80	H
HO 1 L 29/812	(2006.01)	HO 1 L 29/50	M
HO 1 L 29/778	(2006.01)	HO 1 L 29/50	J
HO 1 L 29/417	(2006.01)	HO 1 L 29/80	F

請求項の数 12 (全 28 頁) 最終頁に続く

(21) 出願番号	特願2014-196498 (P2014-196498)
(22) 出願日	平成26年9月26日 (2014.9.26)
(65) 公開番号	特開2016-72265 (P2016-72265A)
(43) 公開日	平成28年5月9日 (2016.5.9)
審査請求日	平成28年10月21日 (2016.10.21)

(73) 特許権者	000241463 豊田合成株式会社 愛知県清須市春日長畑1番地
(74) 代理人	110000028 特許業務法人明成国際特許事務所
(72) 発明者	伊奈 務 愛知県清須市春日長畑1番地 豊田合成株式会社内
(72) 発明者	岡 徹 愛知県清須市春日長畑1番地 豊田合成株式会社内
審査官	正山 旭

最終頁に続く

(54) 【発明の名称】半導体装置およびその製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体装置であって、
半導体層と、
前記半導体層の一部にオーミック接触する第1の電極と、
前記半導体層の上から前記第1の電極の上にわたって形成され、前記第1の電極の外縁端より内側に開口部を有する絶縁膜と、
前記第1の電極とは異なる位置において、前記絶縁膜および前記半導体層の少なくとも一方の上に形成された第2の電極と、

前記第2の電極を構成する成分と同一の成分から成り、前記開口部を通じて前記第1の電極の上に形成されるとともに、前記第1の電極の上から前記絶縁膜上における前記第1の電極の前記外縁端より内側にわたって形成された第3の電極と
を備える半導体装置。

【請求項2】

請求項1に記載の半導体装置であって、
前記絶縁膜は、

前記半導体層の上から前記第1の電極の上にわたって形成された第1の絶縁層と、
前記第1の絶縁層の上に形成された第2の絶縁層と
を含む、半導体装置。

【請求項3】

10

20

請求項 1 に記載の半導体装置であって、
前記絶縁膜は、

前記半導体層の上に形成された第 1 の絶縁層と、

前記第 1 の絶縁層の上から前記第 1 の電極の上にわたって形成された第 2 の絶縁層と
を含む、半導体装置。

【請求項 4】

前記第 1 の絶縁層を構成する成分は、前記第 2 の絶縁層を構成する成分とは異なる、請
求項 2 または請求項 3 に記載の半導体装置。

【請求項 5】

請求項 1 から請求項 4 までのいずれか一項に記載の半導体装置であって、

10

前記第 1 の電極は、ソース電極であり、

前記第 2 の電極は、ゲート電極である、半導体装置。

【請求項 6】

請求項 1 から請求項 5 までのいずれか一項に記載の半導体装置であって、

前記半導体層は、

p 型半導体層と、

前記 p 型半導体層に隣接し、前記第 1 の電極が形成された表面を有する n 型半導体層
と

を含み、

前記 p 型半導体層の上に形成された第 4 の電極を更に備える半導体装置。

20

【請求項 7】

前記第 1 の電極は、前記第 4 の電極に接触する、請求項 6 に記載の半導体装置。

【請求項 8】

前記絶縁膜の前記開口部は、前記第 4 の電極の外縁端より内側に位置する、請求項 7 に
記載の半導体装置。

【請求項 9】

前記半導体層は、窒化ガリウム (GaN) から主に成る、請求項 1 から請求項 8 までの
いずれか一項に記載の半導体装置。

【請求項 10】

半導体装置の製造方法であって、

30

半導体層を形成し、

前記半導体層の一部にオーミック接触する第 1 の電極を形成し、

前記半導体層の上から前記第 1 の電極の上にわたって絶縁膜を形成し、

前記第 1 の電極の外縁端より内側において前記第 1 の電極を露出させる開口部を、前記
絶縁膜に形成し、

前記絶縁膜の上から前記第 1 の電極の上にわたって電極層を形成し、

ドライエッチングによって前記電極層を、前記第 1 の電極とは異なる位置において、前
記絶縁膜および前記半導体層の少なくとも一方の上に形成された第 2 の電極と、前記第 1
の電極の上から前記絶縁膜上における前記第 1 の電極の前記外縁端より内側にわたって形
成された第 3 の電極とに分断する、半導体装置の製造方法。

40

【請求項 11】

請求項 10 に記載の半導体装置の製造方法であって、

前記第 1 の電極を形成する前に、前記絶縁膜の一部として、前記半導体層の上に第 1 の
絶縁層を形成し、

前記半導体層を露出させる第 1 の開口部を前記第 1 の絶縁層に形成し、

前記第 1 の開口部から露出する前記半導体層の上に前記第 1 の電極を形成し、

前記第 1 の絶縁層の上から前記第 1 の電極の上にわたって、前記絶縁膜の一部として、
第 2 の絶縁層を形成し、

前記開口部として第 2 の開口部を前記第 2 の絶縁層に形成する、半導体装置の製造方法

。

50

【請求項 1 2】

前記第1の開口部を形成するマスクを、前記第1の電極を形成するマスクとして利用する、請求項11に記載の半導体装置の製造方法。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、半導体装置およびその製造方法に関する。

【背景技術】**【0002】**

半導体装置（半導体デバイス、半導体素子）を製造する技術として、オーミック性を有する電極（オーミック電極）を半導体層に形成する技術が知られている（例えば、特許文献1を参照）。一般的に、半導体層に形成されるオーミック電極には、半導体層に対する密着性を確保しつつ接触抵抗（コンタクト抵抗）を抑制することが要求される。

10

【先行技術文献】**【特許文献】****【0003】**

【特許文献1】特開平7-221103号公報

【発明の概要】**【発明が解決しようとする課題】****【0004】**

20

従来、オーミック電極を形成した後にドライエッチングを実施する場合、ドライエッチングによってオーミック電極が損傷するため、オーミック電極のコンタクト抵抗が増大するという課題があった。また、このような課題を解決するために、オーミック電極を保護する保護層をドライエッチングに先立って形成する場合、保護層を形成するために製造コストが増大するという課題の他、保護層を形成する領域（設計マージン）を確保するために半導体装置の素子寸法が大きくなるという課題があった。そのほか、半導体装置およびその製造方法においては、省資源化、使い勝手の向上、耐久性の向上などが望まれていた。

【課題を解決するための手段】**【0005】**

30

本発明は、上述の課題の少なくとも一部を解決するためになされたものであり、以下の形態として実現することが可能である。

【0006】

（1）本発明の一形態によれば、半導体装置が提供される。この半導体装置は、半導体層と；前記半導体層の一部にオーミック接触する第1の電極と；前記半導体層の上から前記第1の電極の上にわたって形成され、前記第1の電極の外縁端より内側に開口部を有する絶縁膜と；前記第1の電極とは異なる位置において、前記絶縁膜および前記半導体層の少なくとも一方の上に形成された第2の電極と；前記第2の電極を構成する成分と同一の成分から成り、前記開口部を通じて前記第1の電極の上に形成されるとともに、前記第1の電極の上から前記絶縁膜上における前記第1の電極の前記外縁端より内側にわたって形成された第3の電極とを備える。この形態によれば、絶縁膜の上から第1の電極の上にわたって形成した電極層をドライエッチングによって第2の電極と第3の電極とに分断する製法を適用できる。このような製法を適用することによって、絶縁膜および第3の電極によって第1の電極をドライエッチングから保護できるため、第1の電極のオーミック性を十分に確保できる。また、絶縁膜によって第1の電極の外縁端を覆うため、第3の電極で第1の電極を覆い尽くす場合と比較して、第2の電極を形成する設計マージンによる素子寸法の拡大を抑制できる。したがって、製造コストの抑制および素子の微細化を実現しながら、第1の電極のオーミック性を十分に確保できる。

40

【0007】

（2）上記形態の半導体装置において、前記絶縁膜は、前記半導体層の上から前記第1の

50

電極の上にわたって形成された第1の絶縁層と、前記第1の絶縁層の上に形成された第2の絶縁層とを含んでもよい。この形態によれば、第1の絶縁層の特性と第2の絶縁層の特性との組み合わせによって、絶縁膜に要求される特性（例えば、界面準位、リーク電流、誘電率など）を実現できる。

【0008】

(3) 上記形態の半導体装置において、前記絶縁膜は、前記半導体層の上に形成された第1の絶縁層と、前記第1の絶縁層の上から前記第1の電極の上にわたって形成された第2の絶縁層とを含んでもよい。この形態によれば、第1の絶縁層を形成した後に第1の電極を形成する製法を適用できる。このような製法を適用することによって、第1の電極を形成する処理による汚染から、半導体層の表面を第1の絶縁層によって保護できるため、半導体層と絶縁膜との間における界面準位密度の増加に伴う界面特性の悪化を抑制できる。10

【0009】

(4) 上記形態の半導体装置において、前記第1の絶縁層を構成する成分は、前記第2の絶縁層を構成する成分とは異なってもよい。この形態によれば、第1の絶縁層および第2の絶縁層の各成分に起因する特性の組み合わせによって、絶縁膜に要求される特性を実現できる。

【0010】

(5) 上記形態の半導体装置において、前記第1の電極は、ソース電極であり、前記第2の電極は、ゲート電極であってもよい。この形態によれば、トレンチMOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor)において、製造コストの抑制および素子寸法の抑制を実現しながら、ソース電極のオーミック性を十分に確保できる。20

【0011】

(6) 上記形態の半導体装置において、前記半導体層は、p型半導体層と；前記p型半導体層に隣接し、前記第1の電極が形成された表面を有するn型半導体層とを含み、前記p型半導体層の上に形成された第4の電極を更に備えてもよい。この形態によれば、第4の電極によってボディーダイオードを形成できる。

【0012】

(7) 上記形態の半導体装置において、前記第1の電極は、前記第4の電極に接触してもよい。この形態によれば、第4の電極を形成する設計マージンによる素子寸法の拡大を抑制できる。30

【0013】

(8) 上記形態の半導体装置において、前記絶縁膜の前記開口部は、前記第4の電極の外縁端より内側に位置してもよい。この形態によれば、絶縁膜に開口部を形成する処理から、第1の電極のうち半導体層に接触する部分を、絶縁膜によって保護できるため、第1の電極の接触抵抗をいっそう抑制できる。

【0014】

(9) 上記形態の半導体装置において、前記半導体層は、窒化ガリウム (GaN) から主に成ってもよい。この形態によれば、窒化ガリウム系の半導体装置において、製造コストの抑制および素子寸法の抑制を実現しながら、第1の電極のオーミック性を十分に確保できる。40

【0015】

(10) 本発明の一形態によれば、半導体装置の製造方法が提供される。この製造方法は、半導体層を形成し；前記半導体層の一部にオーミック接触する第1の電極を形成し；前記半導体層の上から前記第1の電極の上にわたって絶縁膜を形成し；前記第1の電極の外縁端より内側において前記第1の電極を露出させる開口部を、前記絶縁膜に形成し；前記絶縁膜の上から前記第1の電極の上にわたって電極層を形成し；ドライエッチングによって前記電極層を、前記第1の電極とは異なる位置において、前記絶縁膜および前記半導体層の少なくとも一方の上に形成された第2の電極と、前記第1の電極の上から前記絶縁膜上における前記第1の電極の前記外縁端より内側にわたって形成された第3の電極とに分断する。この形態によれば、絶縁膜および第3の電極によって第1の電極をドライエッチ50

ングから保護できるため、第1の電極のオーミック性を十分に確保できる。また、絶縁膜によって第1の電極の外縁端を覆うため、第3の電極で第1の電極を覆い尽くす場合と比較して、第2の電極を形成する設計マージンによる素子寸法の拡大を抑制できる。したがって、製造コストの抑制および素子の微細化を実現しながら、第1の電極のオーミック性を十分に確保できる。

【0016】

(11) 上記形態の製造方法において、前記第1の電極を形成する前に、前記絶縁膜の一部として、前記半導体層の上に第1の絶縁層を形成し；前記半導体層を露出させる第1の開口部を前記第1の絶縁層に形成し；前記第1の開口部から露出する前記半導体層の上に前記第1の電極を形成し、；前記第1の絶縁層の上から前記第1の電極の上にわたって、前記絶縁膜の一部として、第2の絶縁層を形成し；前記開口部として第2の開口部を前記第2の絶縁層に形成してもよい。この形態によれば、第1の電極を形成する処理による汚染から、半導体層の表面を第1の絶縁層によって保護できるため、半導体層と絶縁膜との間ににおける界面準位密度の増加に伴う界面特性の悪化を抑制できる。

10

【0017】

(12) 上記形態の製造方法において、前記第1の開口部を形成するマスクを、前記第1の電極を形成するマスクとして利用してもよい。この形態によれば、自己整合によって第1の電極を形成できるため、設計マージンによる素子寸法の拡大を抑制できる。また、自己整合によって、第1の電極を形成するマスクを別途作製する必要がないため、製造コストを抑制できる。

20

【発明の効果】

【0018】

本願発明によれば、絶縁膜および第3の電極によって第1の電極をドライエッティングから保護できるため、第1の電極のオーミック性を十分に確保できる。また、絶縁膜によって第1の電極の外縁端を覆うため、第3の電極で第1の電極を覆い尽くす場合と比較して、第2の電極を形成する設計マージンによる素子寸法の拡大を抑制できる。したがって、製造コストおよび素子寸法を抑制しながら、第1の電極のオーミック性を十分に確保できる。

【図面の簡単な説明】

【0019】

30

【図1】第1実施形態における半導体装置の構成を模式的に示す断面図である。

【図2】保護電極143を中心に半導体装置の構成を模式的に示す部分断面図である。

【図3】第1実施形態における半導体装置の製造方法を示す工程図である。

【図4】製造途中にある半導体装置の構成を模式的に示す断面図である。

【図5】製造途中にある半導体装置の構成を模式的に示す断面図である。

【図6】製造途中にある半導体装置の構成を模式的に示す断面図である。

【図7】製造途中にある半導体装置の構成を模式的に示す断面図である。

【図8】製造途中にある半導体装置の構成を模式的に示す断面図である。

【図9】製造途中にある半導体装置の構成を模式的に示す断面図である。

【図10】製造途中にある半導体装置の構成を模式的に示す断面図である。

40

【図11】第2実施形態における半導体装置の構成を模式的に示す断面図である。

【図12】第3実施形態における半導体装置の構成を模式的に示す断面図である。

【図13】第3実施形態における半導体装置の製造方法を示す工程図である。

【図14】製造途中にある半導体装置の構成を模式的に示す断面図である。

【図15】製造途中にある半導体装置の構成を模式的に示す断面図である。

【図16】製造途中にある半導体装置の構成を模式的に示す断面図である。

【図17】製造途中にある半導体装置の構成を模式的に示す断面図である。

【図18】製造途中にある半導体装置の構成を模式的に示す断面図である。

【図19】第4実施形態における半導体装置の構成を模式的に示す断面図である。

【図20】第4実施形態における半導体装置の製造方法を示す工程図である。

50

【図21】第5実施形態における半導体装置の構成を模式的に示す断面図である。

【図22】第6実施形態における半導体装置の構成を示す断面図である。

【図23】第7実施形態における半導体装置の構成を示す断面図である。

【図24】第7実施形態における半導体装置の製造方法を示す工程図である。

【図25】第8実施形態における半導体装置の構成を模式的に示す断面図である。

【図26】第9実施形態における半導体装置の構成を模式的に示す断面図である。

【発明を実施するための形態】

【0020】

A. 第1実施形態

A - 1. 半導体装置の構成

10

図1は、第1実施形態における半導体装置100の構成を模式的に示す断面図である。半導体装置100は、窒化ガリウム(GaN)を用いて形成されたGaN系の半導体装置である。本実施形態では、半導体装置100は、縦型トレンチMOSFET(Metal-Oxide-Semiconductor Field-Effect Transistor)である。本実施形態では、半導体装置100は、電力制御に用いられ、パワーデバイスとも呼ばれる。

【0021】

図1には、相互に直交するXYZ軸が図示されている。図1のXYZ軸のうち、X軸は、図1の紙面左から紙面右に向かう軸である。+X軸方向は、紙面右に向かう方向であり、-X軸方向は、紙面左に向かう方向である。図1のXYZ軸のうち、Y軸は、図1の紙面手前から紙面奥に向かう軸である。+Y軸方向は、紙面奥に向かう方向であり、-Y軸方向は、紙面手前にに向かう方向である。図1のXYZ軸のうち、Z軸は、図1の紙面下から紙面上に向かう軸である。+Z軸方向は、紙面上に向かう方向であり、-Z軸方向は、紙面下に向かう方向である。

20

【0022】

半導体装置100は、基板110と、半導体層112と、半導体層114と、半導体層116とを備える。半導体装置100は、これらの半導体層112, 114, 116に形成された構造として、トレンチ128を有する。半導体装置100は、更に、絶縁膜130と、ソース電極141と、ゲート電極142と、保護電極143と、ドレイン電極145とを備える。

30

【0023】

半導体装置100の基板110は、X軸およびY軸に沿って広がる板状を成す半導体である。本実施形態では、基板110は、窒化ガリウム(GaN)から主に成る。本明細書の説明において、「窒化ガリウム(GaN)から主に成る」とは、モル分率において窒化ガリウム(GaN)を90%以上含有することを意味する。本実施形態では、基板110は、ケイ素(Si)をドナー元素として含有するn型半導体である。

【0024】

半導体装置100の半導体層112は、基板110の+Z軸方向側に位置し、X軸およびY軸に沿って広がる第1の半導体層である。本実施形態では、半導体層112は、窒化ガリウム(GaN)から主に成る。本実施形態では、半導体層112は、ケイ素(Si)をドナー元素として含有するn型半導体である。本実施形態では、半導体層112に含まれるケイ素(Si)濃度の平均値は、約 $1.0 \times 10^{16} \text{ cm}^{-3}$ である。本実施形態では、半導体層112の厚さ(Z軸方向の長さ)は、約 $10 \mu\text{m}$ (マイクロメートル)である。本実施形態では、半導体層112は、有機金属気相成長法(MOCVD: Metal Organic Chemical Vapor Deposition)によって基板110の上に形成された層である。

40

【0025】

半導体装置100の半導体層114は、半導体層112の+Z軸方向側に位置し、X軸およびY軸に沿って広がる第2の半導体層である。本実施形態では、半導体層114は、窒化ガリウム(GaN)から主に成る。本実施形態では、半導体層114は、マグネシウム(Mg)をアクセプタ元素として含有するp型半導体である。本実施形態では、半導体層114に含まれるマグネシウム(Mg)濃度の平均値は、約 $1.0 \times 10^{18} \text{ cm}^{-3}$

50

である。本実施形態では、半導体層 114 の厚さ (Z 軸方向の長さ) は、約 1.0 μm である。本実施形態では、半導体層 114 は、MOCVD によって半導体層 112 の上に形成された層である。

【0026】

半導体装置 100 の半導体層 116 は、半導体層 114 の + Z 軸方向側に位置し、X 軸および Y 軸に沿って広がる第 3 の半導体層である。半導体層 116 は、トレンチ 128 に隣接する表面 117 を有する。本実施形態では、表面 117 は、+ Z 軸方向を向いた面である。本実施形態では、半導体層 116 は、窒化ガリウム (GaN) から主に成る。本実施形態では、半導体層 116 は、ケイ素 (Si) をドナー元素として含有する n 型半導体である。本実施形態では、半導体層 116 に含まれるケイ素 (Si) 濃度の平均値は、約 $3.0 \times 10^{18} \text{ cm}^{-3}$ である。本実施形態では、半導体層 116 の厚さ (Z 軸方向の長さ) は、約 0.3 μm である。本実施形態では、半導体層 116 は、MOCVD によって半導体層 114 の上に形成された層である。

【0027】

半導体装置 100 のトレンチ 128 は、半導体層 116 から半導体層 114 を貫通して半導体層 112 に至るまで、半導体層 112, 114, 116 の厚さ方向 (- Z 軸方向) に落ち込んだ溝部である。本実施形態では、トレンチ 128 は、半導体層 112, 114, 116 に対するドライエッティングによって形成された構造である。

【0028】

半導体装置 100 の絶縁膜 130 は、電気絶縁性を有する膜である。絶縁膜 130 は、トレンチ 128 から半導体層 116 の表面 117 を通じてソース電極 141 の上にわたって形成されている。絶縁膜 130 は、ソース電極 141 の外縁端 141e より内側に開口端 130p を有する。本実施形態では、絶縁膜 130 は、二酸化ケイ素 (SiO₂) から主に成る。本実施形態では、絶縁膜 130 は、原子層堆積法 (ALD: Atomic Layer Deposition) によって形成された膜である。

【0029】

半導体装置 100 のソース電極 141 は、半導体層 116 の表面 117 の一部にオーム接觸する第 1 の電極である。ソース電極 141 の外縁端 141e は、絶縁膜 130 に覆われている。本実施形態では、ソース電極 141 は、チタン (Ti) から成る層にアルミニウム (Al) から成る層を積層した後にアニール処理 (熱処理) した電極である。

【0030】

半導体装置 100 のゲート電極 142 は、絶縁膜 130 を介してトレンチ 128 に形成された第 2 の電極である。本実施形態では、ゲート電極 142 は、アルミニウム (Al) から主に成る。ゲート電極 142 に電圧が印加された場合、半導体層 114 に反転層が形成され、この反転層がチャネルとして機能することによって、ソース電極 141 とドレイン電極 145 との間に導通経路が形成される。

【0031】

半導体装置 100 のドレイン電極 145 は、基板 110 の - Z 軸方向側の表面に形成された電極である。ドレイン電極 145 は、基板 110 に対してオーム接觸する。本実施形態では、ドレイン電極 145 は、チタン (Ti) から成る層にアルミニウム (Al) から成る層を積層した後にアニール処理 (熱処理) した電極である。

【0032】

図 2 は、保護電極 143 を中心に半導体装置 100 の構成を模式的に示す部分断面図である。半導体装置 100 の保護電極 143 は、絶縁膜 130 の開口端 130p によって画定される開口部を通じてソース電極 141 の上に形成されるとともに、ソース電極 141 の上から絶縁膜 130 上におけるソース電極 141 の外縁端 141e より内側にわたって形成された第 3 の電極である。保護電極 143 の外縁端 143e は、絶縁膜 130 の開口端 130p と、ソース電極 141 の外縁端 141e との間に位置する。保護電極 143 は、ゲート電極 142 を構成する成分と同一の成分から成る。本実施形態では、保護電極 143 は、アルミニウム (Al) から主に成る。

10

20

30

40

50

【0033】

A-2. 半導体装置の製造方法

図3は、第1実施形態における半導体装置100の製造方法を示す工程図である。まず、製造者は、表面117およびトレンチ128を有する半導体層112, 114, 116を形成する(工程P110)。

【0034】

図4は、工程P110の製造途中にある半導体装置100aの構成を模式的に示す断面図である。本実施形態では、製造者は、MOCVDを用いて基板110の上に半導体層112, 114, 116を順に形成する。これによって、製造者は、基板110の上に半導体層112, 114, 116が順に形成された半導体装置100aを得る。半導体装置100aの半導体層116は、+Z軸方向を向いた表面である表面117を有する。

10

【0035】

図5は、工程P110の製造途中にある半導体装置100bの構成を模式的に示す断面図である。本実施形態では、製造者は、ドライエッチングによって半導体装置100aにトレンチ128を形成する。これによって、製造者は、トレンチ128が形成された半導体装置100bを得る。半導体装置100bは、表面117およびトレンチ128を有する半導体層112, 114, 116を備える。

【0036】

図3の説明に戻り、半導体層112, 114, 116にトレンチ128を形成した後(工程P110)、製造者は、半導体層116の表面117の内側にソース電極141を形成する(工程P130)。本実施形態では、製造者は、チタン(Ti)から成る層にアルミニウム(A1)から成る層を積層した後にアニール処理(熱処理)を行うことによって、ソース電極141を形成する。

20

【0037】

図6は、工程P130の製造途中にある半導体装置100cの構成を模式的に示す断面図である。本実施形態では、製造者は、半導体装置100bの表面117にソース電極141を形成する。これによって、製造者は、表面117にソース電極141が形成された半導体装置100cを得る。半導体装置100cにおいて、ソース電極141の外縁端141eは、表面117上に位置する。

【0038】

30

図3の説明に戻り、ソース電極141を形成した後(工程P130)、製造者は、トレンチ128から表面117を通じてソース電極141の上にわたって絶縁膜130を形成する(工程P140)。本実施形態では、製造者は、原子層堆積法(ALD)によって、二酸化ケイ素(SiO₂)から主に成る絶縁膜130を形成する。

【0039】

図7は、工程P140の製造途中にある半導体装置100dの構成を模式的に示す断面図である。本実施形態では、製造者は、半導体装置100cの+Z軸方向側における表面の全域にわたって、絶縁膜130を形成する。これによって、製造者は、+Z軸方向側における表面の全域にわたって絶縁膜130が形成された半導体装置100dを得る。

【0040】

40

図3の説明に戻り、絶縁膜130を形成した後(工程P140)、製造者は、ソース電極141の外縁端141eより内側においてソース電極141を露出させる開口部を、絶縁膜130に形成する(工程P150)。本実施形態では、製造者は、開口端130pによって画定される開口部を、ウェットエッチングによって絶縁膜130に形成する。

【0041】

図8は、工程P150の製造途中にある半導体装置100eの構成を模式的に示す断面図である。本実施形態では、製造者は、ウェットエッチングによって半導体装置100dの絶縁膜130の一部を除去することによって、ソース電極141の外縁端141eより内側においてソース電極141を絶縁膜130から露出させる。これによって、製造者は、絶縁膜130に開口部が形成された半導体装置100eを得る。半導体装置100eの

50

開口端 130p は、ソース電極 141 の外縁端 141e より内側に位置する。

【0042】

図9は、工程P160の製造途中にある半導体装置100fの構成を模式的に示す断面図である。絶縁膜130に開口部を形成した後(工程P150)、製造者は、トレンチ128における絶縁膜130の上から、表面117における絶縁膜130の上を通じて、絶縁膜130に開口部から露出するソース電極141の上にわたって、ゲート電極142および保護電極143の元となる電極層148を形成する(工程P160)。本実施形態では、製造者は、スパッタリング(sputtering)によって、アルミニウム(A1)から主に成る電極層148を、半導体装置100eの+Z軸方向側における表面の全域にわたって形成する。これによって、製造者は、+Z軸方向側における表面の全域にわたって電極層148が形成された半導体装置100fを得る。

【0043】

図3の説明に戻り、電極層148を形成した後(工程P160)、製造者は、ドライエッティングによって電極層148をゲート電極142と保護電極143とに分断する(工程P170)。本実施形態では、製造者は、開口端130pと外縁端141eとの間からトレンチ128の手前までにわたる電極層148の一部をドライエッティングによって除去することによって、電極層148のうちドライエッティングで残された部分としてゲート電極142および保護電極143を形成する。ゲート電極142は、ドライエッティングによって残される電極層148の部分のうち、トレンチ128の内側から外側にわたる部分である。保護電極143は、ドライエッティングによって残される電極層148の部分のうち、ソース電極141の上から絶縁膜130上におけるソース電極141の外縁端141eより内側にわたる部分である。このように、保護電極143をソース電極141の上に残すことによって、ソース電極141はドライエッティングから保護される。

【0044】

図10は、工程P170の製造途中にある半導体装置100gの構成を模式的に示す断面図である。本実施形態では、製造者は、ドライエッティングによって半導体装置100fにおける電極層148の一部を除去することによって、電極層148をゲート電極142と保護電極143とに分断する。これによって、製造者は、ゲート電極142および保護電極143が形成された半導体装置100gを得る。

【0045】

図3の説明に戻り、ゲート電極142および保護電極143を形成した後(工程P170)、製造者は、基板110の-Z軸方向側にドレイン電極145を形成する(工程P180)。本実施形態では、製造者は、チタン(Ti)から成る層にアルミニウム(A1)から成る層を積層した後にアニール処理(熱処理)を行うことによって、ドレイン電極145を形成する。これらの工程を経て、半導体装置100が完成する。

【0046】

A - 3 . 効果

以上説明した第1実施形態によれば、絶縁膜130および保護電極143によってソース電極141をドライエッティングから保護できるため、ソース電極141のオーミック性を十分に確保できる。また、絶縁膜130によってソース電極141の外縁端141eを覆うため、保護電極143によってソース電極141を覆い尽くす場合と比較して、ゲート電極142を形成する設計マージンによる素子寸法の拡大を抑制できる。したがって、製造コストの抑制および素子の微細化を実現しながら、ソース電極141のオーミック性を十分に確保できる。

【0047】

B . 第2実施形態

図11は、第2実施形態における半導体装置200の構成を模式的に示す断面図である。半導体装置200の絶縁膜230は、2層の絶縁層231, 232から成る多層構造を有する。第2実施形態における半導体装置200の構成は、多層構造を有する絶縁膜230を備える点を除き、第1実施形態の半導体装置100と同様である。他の実施形態では

10

20

30

40

50

、絶縁膜230は、3層以上の絶縁層から成る多層構造を有してもよい。

【0048】

絶縁膜230の絶縁層231は、トレンチ128から表面117を通じてソース電極141の上にわたって形成された第1の絶縁層である。絶縁膜230の絶縁層232は、絶縁層231の上に形成された第2の絶縁層である。本実施形態では、絶縁層232は、絶縁層231の全域にわたって形成されている。

【0049】

本実施形態では、絶縁層231を構成する成分は、絶縁層232を構成する成分とは異なる。本実施形態では、絶縁層231は、二酸化ケイ素(SiO₂)から主に成り、絶縁層232は、酸窒化ジルコニウム(ZrO_xNy(0.5 x 3, 0 y 2))から主に成る。他の実施形態では、絶縁層232を構成する成分は、絶縁層231を構成する成分と同じであってもよい。

10

【0050】

本実施形態では、絶縁層231を形成する手法は、絶縁層232を形成する手法とは異なる。本実施形態では、絶縁層231を形成する手法は、原子層堆積法(ALD)であり、絶縁層232を形成する手法は、電子サイクロトロン共鳴スパッタ法(ECR:Electron Cyclotron Resonance)である。

【0051】

以上説明した第2実施形態によれば、第1実施形態と同様に、製造コストの抑制および素子の微細化を実現しながら、ソース電極141のオーミック性を十分に確保できる。また、絶縁層231の特性と絶縁層232の特性との組み合わせによって、絶縁膜230に要求される特性(例えば、界面準位、リーク電流、誘電率など)を実現できる。

20

【0052】

C. 第3実施形態

C-1. 半導体装置の構成

図12は、第3実施形態における半導体装置300の構成を模式的に示す断面図である。第3実施形態における半導体装置300の構成は、多層構造を有する絶縁膜330を備える点を除き、第2実施形態の半導体装置200と同様である。半導体装置300の絶縁膜330は、2層の絶縁層331, 332から成る多層構造を有する。他の実施形態では、絶縁膜330は、3層以上の絶縁層から成る多層構造を有してもよい。

30

【0053】

絶縁膜330の絶縁層331は、トレンチ128から表面117におけるソース電極141の外縁端141eにわたって形成された第1の絶縁層である。絶縁膜330の絶縁層332は、絶縁層331の上からソース電極141の上にわたって形成された第2の絶縁層である。絶縁層332は、ソース電極141の外縁端141eより内側に位置する開口端130pを有する。

【0054】

本実施形態では、絶縁層331を構成する成分は、絶縁層332を構成する成分とは異なる。本実施形態では、絶縁層331は、二酸化ケイ素(SiO₂)から主に成り、絶縁層332は、酸窒化ジルコニウム(ZrO_xNy(0.5 x 3, 0 y 2))から主に成る。他の実施形態では、絶縁層332を構成する成分は、絶縁層331を構成する成分と同じであってもよい。

40

【0055】

本実施形態では、絶縁層331を形成する手法は、絶縁層332を形成する手法とは異なる。本実施形態では、絶縁層331を形成する手法は、原子層堆積法(ALD)であり、絶縁層332を形成する手法は、電子サイクロトロン共鳴スパッタ法(ECR)である。

【0056】

C-2. 半導体装置の製造方法

図13は、第3実施形態における半導体装置300の製造方法を示す工程図である。ま

50

ず、製造者は、第1実施形態と同様に、表面117およびトレンチ128を有する半導体層112, 114, 116を形成する(工程P310)。これによって、製造者は、トレンチ128が形成された半導体装置100bを得る(図5)。

【0057】

半導体層112, 114, 116にトレンチ128を形成した後(工程P310)、製造者は、トレンチ128から表面117にわたって絶縁層331を形成する(工程P322)。本実施形態では、製造者は、原子層堆積法(ALD)によって、二酸化ケイ素(SiO₂)から主に成る絶縁層331を形成する。

【0058】

図14は、工程P322の製造途中にある半導体装置300aの構成を模式的に示す断面図である。本実施形態では、製造者は、半導体装置100bの+Z軸方向側における表面の全域にわたって、絶縁層331を形成する。これによって、製造者は、+Z軸方向側における表面の全域にわたって絶縁層331が形成された半導体装置300aを得る。

10

【0059】

図13の説明に戻り、絶縁層331を形成した後(工程P322)、製造者は、開口端131pによって画定される開口部を絶縁層331に形成する(工程P324)。開口端131pで画定される開口部は、表面117を露出させる第1の開口部である。

【0060】

図15は、工程P324の製造途中にある半導体装置300bの構成を模式的に示す断面図である。本実施形態では、製造者は、フォトレジスト(Photoresist)によってマスク392を半導体装置300aの+Z軸方向側に形成する。マスク392は、開口端131pで画定される開口部を形成する位置に、開口端392pによって画定される開口部を有する。製造者は、マスク392を形成した後、ウェットエッチングによって半導体装置300aの絶縁層331の一部を除去することによって、表面117の一部を絶縁層331から露出させる。これによって、製造者は、開口端131pで画定される開口部が絶縁層331に形成された半導体装置300bを得る。本実施形態では、製造者は、開口端131pで画定される開口部を形成するマスク392を、ソース電極141を形成するマスクとして利用するため、半導体装置300bにマスク392を残した状態で後工程を実施する。

20

【0061】

30

図13の説明に戻り、絶縁層331に開口部を形成した後(工程P324)、製造者は、絶縁層331の開口部から露出する表面117の上に、ソース電極141を形成する(工程P330)。本実施形態では、製造者は、チタン(Ti)から成る層にアルミニウム(A1)から成る層を積層した後にアニール処理(熱処理)を行うことによって、ソース電極141を形成する。

【0062】

図16は、工程P330の製造途中にある半導体装置300cの構成を模式的に示す断面図である。本実施形態では、製造者は、マスク392が残された半導体装置300bに対して、蒸着によってチタン(Ti)およびアルミニウム(A1)を順に堆積させることによって、ソース電極141を形成する。これによって、製造者は、表面117にソース電極141が形成された半導体装置300cを得る。その後、製造者は、半導体装置300cからマスク392を除去することによって、マスク392に堆積した電極材料を除去する。

40

【0063】

図13の説明に戻り、ソース電極141を形成した後(工程P330)、製造者は、トレンチ128における絶縁層331の上から、表面117における絶縁層331の上を通じて、ソース電極141の上にわたって絶縁層332を形成する(工程P340)。本実施形態では、製造者は、電子サイクロトロン共鳴スパッタ法(ECR)によって、酸窒化ジルコニウム(ZrO_xNy(0.5 × 3, 0 × 2))から主に成る絶縁層332を形成する。

50

【0064】

図17は、工程P340の製造途中にある半導体装置300dの構成を模式的に示す断面図である。本実施形態では、製造者は、マスク392を除去した半導体装置300cの+Z軸方向側における表面の全域にわたって、絶縁層332を形成する。これによって、製造者は、+Z軸方向側における表面の全域にわたって絶縁層332が形成された半導体装置300dを得る。

【0065】

図13の説明に戻り、絶縁層332を形成した後（工程P340）、製造者は、開口端130pによって画定される開口部を絶縁層332に形成する（工程P350）。本実施形態では、開口端130pで画定される開口部は、ソース電極141の外縁端141eより内側においてソース電極141を露出させる第2の開口部である。

10

【0066】

図18は、工程P350の製造途中にある半導体装置300eの構成を模式的に示す断面図である。本実施形態では、製造者は、ウェットエッティングによって半導体装置300dの絶縁層332の一部を除去することによって、ソース電極141の外縁端141eより内側においてソース電極141を絶縁層332から露出させる。これによって、製造者は、開口端130pで画定される開口部が絶縁層332に形成された半導体装置300eを得る。開口端130pで画定される開口部は、ソース電極141の外縁端141eより内側においてソース電極141を露出させる。

【0067】

20

図13の説明に戻り、開口端130pを形成した後（工程P350）、製造者は、第1実施形態と同様に、電極層148を形成する工程P160からの工程を実施する。これらの工程を経て、半導体装置300が完成する。

【0068】

C - 3. 効果

以上説明した第3実施形態によれば、第1実施形態と同様に、製造コストの抑制および素子の微細化を実現しながら、ソース電極141のオーミック性を十分に確保できる。また、第2実施形態と同様に、絶縁層331の特性と絶縁層332の特性との組み合わせによって、絶縁膜330に要求される特性を実現できる。また、ソース電極141を形成する処理（工程P330）による汚染から、トレーナー128における半導体層114の表面を絶縁層331によって保護できるため、トレーナー128における半導体層114と絶縁膜330との間ににおける界面準位密度の増加に伴う界面特性の悪化を抑制できる。また、自己整合によってソース電極141を形成できるため、設計マージンによる素子寸法の拡大を抑制できる。また、自己整合によって、ソース電極141を形成するマスクを別途作製する必要がないため、製造コストを抑制できる。

30

【0069】

D. 第4実施形態

D - 1. 半導体装置の構成

図19は、第4実施形態における半導体装置400の構成を模式的に示す断面図である。第4実施形態における半導体装置400の構成は、ボディ電極444を形成するために各部の構造が異なる点を除き、第1実施形態の半導体装置100と同様である。半導体装置400は、半導体装置100と異なる構成として、リセス429と、ボディ電極444と、絶縁膜430と、ソース電極441と、保護電極443とを備える。

40

【0070】

半導体装置400のリセス429は、表面117から半導体層116を貫通して半導体層114にわたって窪んだ凹部である。本実施形態では、リセス429は、半導体層114, 116に対するドライエッティングによって形成された構造である。

【0071】

半導体装置400のボディ電極444は、リセス429に形成された第4の電極である。本実施形態では、ボディ電極444は、リセス429の内側から表面117にわたって

50

形成されている。ボディ電極 444 は、半導体層 116 に隣接する半導体層 114 にオーム接觸する。本実施形態では、ボディ電極 444 は、パラジウム (Pd) から成る層を積層した後にアニール処理 (熱処理) した電極である。

【0072】

半導体装置 400 のソース電極 441 は、ボディ電極 444 の外縁端 444e より外側に形成されている点を除き、第 1 実施形態のソース電極 141 と同様である。ソース電極 441 の外縁端 441e は、絶縁膜 430 に覆われている。

【0073】

半導体装置 400 の絶縁膜 430 は、第 1 実施形態の絶縁膜 130 と同様に形成された膜である。絶縁膜 430 は、トレンチ 128 から半導体層 116 の表面 117 を通じてソース電極 441 の上にわたって形成されている。絶縁膜 430 は、ソース電極 441 の外縁端 441e より内側に開口端 430p を有する。

【0074】

半導体装置 400 の保護電極 443 は、第 1 実施形態の保護電極 143 と同様に形成された第 3 の電極である。保護電極 443 は、絶縁膜 430 の開口端 430p で画定される開口部を通じてソース電極 441 の上に形成されるとともに、ソース電極 441 の上から絶縁膜 430 上におけるソース電極 441 の外縁端 441e より内側にわたって形成されている。

【0075】

D - 2 . 半導体装置の製造方法

図 20 は、第 4 実施形態における半導体装置 400 の製造方法を示す工程図である。まず、製造者は、MOCVD を用いて基板 110 の上に半導体層 112, 114, 116 を順に形成した後、ドライエッチングによってトレンチ 128 およびリセス 429 を形成する (工程 P410)。

【0076】

トレンチ 128 およびリセス 429 を形成した後 (工程 P410)、製造者は、リセス 429 にボディ電極 444 を形成する (工程 P432)。本実施形態では、製造者は、パラジウム (Pd) から成る層を積層した後にアニール処理 (熱処理) を行うことによって、ボディ電極 444 を形成する。

【0077】

ボディ電極 444 を形成した後 (工程 P432)、製造者は、半導体層 116 の表面 117 にソース電極 441 を形成する (工程 P434)。ソース電極 441 を形成する手法は、ボディ電極 444 の外側にソース電極 441 を形成する点を除き、第 1 実施形態と同様である。他の実施形態では、製造者は、ソース電極 441 を形成した後にボディ電極 444 を形成してもよい。

【0078】

ソース電極 441 を形成した後 (工程 P434)、製造者は、第 1 実施形態に準じて、絶縁膜を形成する工程 P140 からの工程を実施することによって、ゲート電極 142、保護電極 443 およびドレイン電極 145 を形成する。これらの工程を経て、半導体装置 400 が完成する。

【0079】

D - 3 . 効果

以上説明した第 4 実施形態によれば、第 1 実施形態と同様に、製造コストの抑制および素子の微細化を実現しながら、ソース電極 441 のオーム接觸性を十分に確保できる。また、ボディ電極 444 によってボディーダイオードを形成できる。

【0080】

E . 第 5 実施形態

図 21 は、第 5 実施形態における半導体装置 500 の構成を模式的に示す断面図である。第 5 実施形態における半導体装置 500 の構成は、ボディ電極 444 を形成するために各部の構造が異なる点を除き、第 1 実施形態の半導体装置 100 と同様である。半導体装

10

20

30

40

50

置 5 0 0 は、半導体装置 1 0 0 と異なる構成として、リセス 4 2 9 と、ボディ電極 4 4 4 と、絶縁膜 5 3 0 と、ソース電極 5 4 1 と、保護電極 5 4 3 とを備える。半導体装置 5 0 0 のリセス 4 2 9 およびボディ電極 4 4 4 は、第 4 実施形態と同様である。

【 0 0 8 1 】

半導体装置 5 0 0 のソース電極 5 4 1 は、半導体層 1 1 6 の表面 1 1 7 の上からボディ電極 4 4 4 の上にわたって形成されている点を除き、第 1 実施形態のソース電極 1 4 1 と同様である。ソース電極 5 4 1 の外縁端 5 4 1 e は、絶縁膜 5 3 0 に覆われている。

【 0 0 8 2 】

半導体装置 5 0 0 の絶縁膜 5 3 0 は、第 1 実施形態の絶縁膜 1 3 0 と同様に形成された膜である。絶縁膜 5 3 0 は、トレンチ 1 2 8 から半導体層 1 1 6 の表面 1 1 7 を通じてソース電極 5 4 1 の上にわたって形成されている。絶縁膜 5 3 0 は、ソース電極 5 4 1 の外縁端 5 4 1 e より内側に開口端 5 3 0 p を有する。絶縁膜 5 3 0 の開口端 5 3 0 p は、ボディ電極 4 4 4 の外縁端 4 4 4 e より外側に位置する。

【 0 0 8 3 】

半導体装置 5 0 0 の保護電極 5 4 3 は、第 1 実施形態の保護電極 1 4 3 と同様に形成された第 3 の電極である。保護電極 5 4 3 は、絶縁膜 5 3 0 の開口端 5 3 0 p で画定される開口部を通じてソース電極 5 4 1 の上に形成されるとともに、ソース電極 5 4 1 の上から絶縁膜 5 3 0 上におけるソース電極 5 4 1 の外縁端 5 4 1 e より内側にわたって形成されている。

【 0 0 8 4 】

以上説明した第 5 実施形態によれば、第 1 実施形態と同様に、製造コストの抑制および素子の微細化を実現しながら、ソース電極 5 4 1 のオーミック性を十分に確保できる。また、ソース電極 5 4 1 が表面 1 1 7 からボディ電極 4 4 4 の上にわたって形成されているため、ボディ電極 4 4 4 を形成する設計マージンによる素子寸法の拡大を抑制できる。また、ボディ電極 4 4 4 によってボディーダイオードを形成できる。

【 0 0 8 5 】

F . 第 6 実施形態

図 2 2 は、第 6 実施形態における半導体装置 6 0 0 の構成を示す断面図である。第 6 実施形態における半導体装置 6 0 0 の構成は、絶縁膜 6 3 0 を備える点を除き、第 5 実施形態の半導体装置 5 0 0 と同様である。半導体装置 6 0 0 の絶縁膜 6 3 0 は、ボディ電極 4 4 4 の外縁端 4 4 4 e より内側に開口端 6 3 0 p を有する点を除き、第 5 実施形態の絶縁膜 5 3 0 と同様である。

【 0 0 8 6 】

以上説明した第 6 実施形態によれば、第 1 実施形態と同様に、製造コストの抑制および素子の微細化を実現しながら、ソース電極 5 4 1 のオーミック性を十分に確保できる。また、ボディ電極 4 4 4 によってボディーダイオードを形成できる。また、ソース電極 5 4 1 が表面 1 1 7 からボディ電極 4 4 4 の上にわたって形成されているため、ボディ電極 4 4 4 を形成する設計マージンによる素子寸法の拡大を抑制できる。また、絶縁膜 6 3 0 の開口端 6 3 0 p がボディ電極 4 4 4 の外縁端 4 4 4 e より内側に位置することで、開口端 6 3 0 p で画定される開口部を絶縁膜 6 3 0 に形成する処理から、ソース電極 5 4 1 のうち表面 1 1 7 に接触する部分を、絶縁膜 6 3 0 によって保護できるため、ソース電極 5 4 1 の接触抵抗をいっそう抑制できる。

【 0 0 8 7 】

G . 第 7 実施形態

G - 1 . 半導体装置の構成

図 2 3 は、第 7 実施形態における半導体装置 7 0 0 の構成を示す断面図である。第 7 実施形態における半導体装置 7 0 0 の構成は、絶縁膜 7 3 0 を備える点を除き、第 5 実施形態の半導体装置 5 0 0 と同様である。半導体装置 7 0 0 の絶縁膜 7 3 0 は、2 層の絶縁層 7 3 1 , 7 3 2 から成る多層構造を有する。他の実施形態では、絶縁膜 7 3 0 は、3 層以上の絶縁層から成る多層構造を有してもよい。

10

20

30

40

50

【0088】

絶縁膜730の絶縁層731は、トレンチ128から表面117におけるソース電極541の外縁端541eにわたって形成された第1の絶縁層である。絶縁層731の開口端730pは、ボディ電極444の外縁端444eより内側に位置する。絶縁膜730の絶縁層732は、絶縁層731の上からソース電極541の上にわたって形成された第2の絶縁層である。絶縁層732は、ソース電極541の外縁端541eより内側に位置する開口端730pを有する。

【0089】

本実施形態では、絶縁層731を構成する成分は、絶縁層732を構成する成分とは異なる。本実施形態では、絶縁層731は、二酸化ケイ素(SiO₂)から主に成り、絶縁層732は、酸窒化ジルコニウム(ZrO_xNy(0.5 x 3, 0 y 2))から主に成る。他の実施形態では、絶縁層732を構成する成分は、絶縁層731を構成する成分と同じであってもよい。

10

【0090】

本実施形態では、絶縁層731を形成する手法は、絶縁層732を形成する手法とは異なる。本実施形態では、絶縁層731を形成する手法は、原子層堆積法(ALD)であり、絶縁層732を形成する手法は、電子サイクロトロン共鳴スパッタ法(ECR)である。

【0091】

G-2. 半導体装置の製造方法

20

図24は、第7実施形態における半導体装置700の製造方法を示す工程図である。まず、製造者は、MOCVDを用いて基板110の上に半導体層112, 114, 116を順に形成した後、ドライエッチングによってトレンチ128およびリセス429を形成する(工程P710)。

【0092】

トレンチ128およびリセス429を形成した後(工程P710)、製造者は、トレンチ128から表面117を通じてリセス429にわたって絶縁層731を形成する(工程P722)。本実施形態では、製造者は、原子層堆積法(ALD)によって、二酸化ケイ素(SiO₂)から主に成る絶縁層731を形成する。

30

【0093】

絶縁層731を形成した後(工程P722)、製造者は、表面117の一部およびリセス429を露出させる開口部を絶縁層731に形成する(工程P724)。本実施形態では、製造者は、リセス429を露出させる開口部を、ウェットエッチングによって絶縁層731に形成する。

【0094】

リセス429を露出させる開口部を形成した後(工程P724)、製造者は、開口部から露出する表面117の上にボディ電極444を形成する(工程P730)。本実施形態では、製造者は、パラジウム(Pd)から成る層を積層した後にアニール処理(熱処理)を行うことによって、ボディ電極444を形成する。

40

【0095】

ボディ電極444を形成した後(工程P730)、製造者は、第3実施形態に準じて、開口部を形成する工程P324からの工程を実施することによって、ソース電極541、絶縁層732、ゲート電極142、保護電極543およびドレイン電極145を形成する。これらの工程を経て、半導体装置700が完成する。

【0096】

G-3. 効果

以上説明した第7実施形態によれば、第1実施形態と同様に、製造コストの抑制および素子の微細化を実現しながら、ソース電極541のオーミック性を十分に確保できる。また、第2実施形態と同様に、絶縁層731の特性と絶縁層732の特性との組み合わせによって、絶縁膜730に要求される特性を実現できる。また、ソース電極541を形成す

50

る処理（工程 P 3 3 0）による汚染から、トレンチ 1 2 8 における半導体層 1 1 4 の表面を絶縁層 7 3 1 によって保護できるため、トレンチ 1 2 8 における半導体層 1 1 4 と絶縁膜 7 3 0 との間ににおける界面準位密度の増加に伴う界面特性の悪化を抑制できる。また、自己整合によってソース電極 5 4 1 を形成できるため、設計マージンによる素子寸法の拡大を抑制できる。また、自己整合によって、ソース電極 5 4 1 を形成するマスクを別途作製する必要がないため、製造コストを抑制できる。

【0097】

また、ボディ電極 4 4 4 によってボディーダイオードを形成できる。また、ソース電極 5 4 1 が表面 1 1 7 からボディ電極 4 4 4 の上にわたって形成されているため、ボディ電極 4 4 4 を形成する設計マージンによる素子寸法の拡大を抑制できる。また、絶縁膜 7 3 0 の開口端 7 3 0 p がボディ電極 4 4 4 の外縁端 4 4 4 e より内側に位置することで、開口端 7 3 0 p で画定される開口部を絶縁膜 7 3 0 に形成する処理から、ソース電極 5 4 1 のうち表面 1 1 7 に接触する部分を、絶縁膜 7 3 0 によって保護できるため、ソース電極 5 4 1 の接触抵抗をいっそう抑制できる。

【0098】

H. 第 8 実施形態

図 2 5 は、第 8 実施形態における半導体装置 8 0 0 の構成を模式的に示す断面図である。図 2 5 には、図 1 と同様に X Y Z 軸が図示されている。半導体装置 8 0 0 は、GaN 系の半導体装置である。本実施形態では、半導体装置 8 0 0 は、リセス構造を有する横型 MISFET (Metal-Insulator-Semiconductor Field-Effect Transistor) である。

【0099】

半導体装置 8 0 0 は、基板 8 1 0 と、半導体層 8 1 2 と、半導体層 8 1 4 と、半導体層 8 1 6 とを備える。半導体装置 8 0 0 は、これらの半導体層 8 1 2, 8 1 4, 8 1 6 に形成された構造として、リセス 8 2 8 を有する。半導体装置 8 0 0 は、更に、絶縁膜 8 3 0 と、ソース電極 8 4 1 と、ゲート電極 8 4 2 と、保護電極 8 4 3, 8 4 4 と、ドレイン電極 8 4 5 とを備える。

【0100】

半導体装置 8 0 0 の基板 8 1 0 は、X 軸および Y 軸に沿って広がる板状を成す半導体である。本実施形態では、基板 8 1 0 は、ケイ素 (Si) から主に成る。

【0101】

半導体装置 8 0 0 の半導体層 8 1 2 は、基板 8 1 0 の + Z 軸方向側に位置し、X 軸および Y 軸に沿って広がるバッファ層である。本実施形態では、半導体層 8 1 2 は、窒化アルミニウム (AlN) から主に成る比較的に薄いアンドープ層の上に、窒化ガリウム (GaN) から主に成る比較的に厚いアンドープ層を積層した多層構造を有する。本実施形態では、半導体層 8 1 2 は、MOCVD によって基板 8 1 0 の上に形成された層である。

【0102】

半導体装置 8 0 0 の半導体層 8 1 4 は、半導体層 8 1 2 の + Z 軸方向側に位置し、X 軸および Y 軸に沿って広がるキャリア走行層である。本実施形態では、半導体層 8 1 4 は、窒化ガリウム (GaN) から主に成るアンドープ層である。本実施形態では、半導体層 8 1 4 は、MOCVD によって半導体層 8 1 2 の上に形成された層である。

【0103】

半導体装置 8 0 0 の半導体層 8 1 6 は、半導体層 8 1 4 の + Z 軸方向側に位置し、X 軸および Y 軸に沿って広がる障壁層である。半導体層 8 1 6 は、リセス 8 2 8 に隣接する表面 8 1 7 を有する。本実施形態では、表面 8 1 7 は、+ Z 軸方向を向いた面である。本実施形態では、半導体層 8 1 6 は、窒化アルミニウムガリウム (Al_{0.25}Ga_{0.75}N) から主に成るアンドープ層である。半導体層 8 1 6 は、キャリア走行層である半導体層 8 1 4 より広い禁制帯幅を有し、半導体層 8 1 4 に対してキャリアを供給する。半導体層 8 1 4 と半導体層 8 1 6 とのヘテロ接合界面には、正の分極電荷の影響によって、半導体層 8 1 4 側に二次元ガスが発生する。本実施形態では、半導体層 8 1 6 は、MOCVD によって半導体層 8 1 4 の上に形成された層である。

10

20

30

40

50

【0104】

半導体層816の材質は、窒化アルミニウムガリウム(AlGaN)に限らず、窒化アルミニウムインジウム(AlInN)、窒化アルミニウムインジウムガリウム(AlGaN)など他の窒化物であってもよい。半導体層816は、アンドープ層に限らず、ドーピング層であってもよい。半導体層816は、単層に限らず、材質およびドーピング濃度の少なくとも一方が異なる複数の半導体層から成る半導体層であってもよく、例えば、GaN/AlGaN、InGaN/AlGaN、InGaN/AlGaN/AlNなどの多層構造を有してもよい。他の実施形態では、半導体層814および半導体層816の上に、他の障壁層および他のキャリア走行層から成る構造が形成されていてもよい。

【0105】

10

半導体装置800のリセス828は、半導体層816を貫通して半導体層814にわたって窪んだ凹部である。本実施形態では、リセス828は、半導体層814, 816に対するドライエッチングによって形成された構造である。リセス828の深さは、ゲート電極842にゲート電圧が印加されていない状態で、ソース電極841とゲート電極842との間の二次元電子ガスと、ゲート電極842とドレイン電極845との間の二次元電子ガスとが十分に分離されるように、設定されている。これによって、ゲート電極842にゲート電圧が印加されていない状態でソース電極841とドレイン電極845との間を流れる電流を抑制するノーマリーオフが実現される。

【0106】

20

半導体装置800の絶縁膜830は、電気絶縁性を有する膜である。絶縁膜830は、表面817およびリセス828からソース電極841およびドレイン電極845の上にわたって形成されている。絶縁膜830は、ソース電極841の外縁端841eより内側に開口端831pを有する。絶縁膜830は、ドレイン電極845の外縁端845eより内側に開口端835pを有する。本実施形態では、絶縁膜830は、二酸化ケイ素(SiO₂)から主に成る。本実施形態では、絶縁膜830は、第1実施形態の絶縁膜130と同様に形成された膜である。

【0107】

30

半導体装置800のソース電極841は、半導体層816の表面817の一部にオーミック接触する第1の電極である。ソース電極841の外縁端841eは、絶縁膜830に覆われている。本実施形態では、ソース電極841は、第1実施形態のソース電極141と同様に形成された電極である。

【0108】

半導体装置800のゲート電極842は、絶縁膜830を介して、リセス828からその周辺の表面817にわたって連続的に形成された第2の電極である。本実施形態では、ゲート電極842は、第1実施形態のゲート電極142と同様に形成された電極である。

【0109】

半導体装置800のドレイン電極845は、半導体層816の表面817のうちソース電極841からゲート電極842より離れた部分にオーミック接触する第1の電極である。ドレイン電極845の外縁端845eは、絶縁膜830に覆われている。本実施形態では、ドレイン電極845は、ソース電極841と同様に形成された電極である。

40

【0110】

半導体装置800の保護電極843は、絶縁膜830の開口端831pによって画定される開口部を通じてソース電極841の上に形成されるとともに、ソース電極841の上から絶縁膜830上におけるソース電極841の外縁端841eより内側にわたって形成された第3の電極である。保護電極843の外縁端843eは、絶縁膜830の開口端831pと、ソース電極841の外縁端841eとの間に位置する。保護電極843は、ゲート電極842を構成する成分と同一の成分から成る。保護電極843は、第1実施形態の保護電極143と同様に形成された電極である。

【0111】

半導体装置800の保護電極844は、絶縁膜830の開口端835pによって画定さ

50

れる開口部を通じてドレイン電極 845 の上に形成されるとともに、ドレイン電極 845 の上から絶縁膜 830 上におけるドレイン電極 845 の外縁端 845e より内側にわたって形成された第 3 の電極である。保護電極 844 の外縁端 844e は、絶縁膜 830 の開口端 835p と、ドレイン電極 845 の外縁端 845e との間に位置する。保護電極 844 は、ゲート電極 842 を構成する成分と同一の成分から成る。保護電極 844 は、保護電極 843 と同様に形成された電極である。

【0112】

以上説明した第 8 実施形態によれば、第 1 実施形態と同様に、絶縁膜 830 および保護電極 843 によってソース電極 841 をドライエッチングから保護できるため、ソース電極 841 のオーミック性を十分に確保できる。また、絶縁膜 830 および保護電極 844 によってドレイン電極 845 をドライエッチングから保護できるため、ドレイン電極 845 のオーミック性を十分に確保できる。また、絶縁膜 830 によってソース電極 841 の外縁端 841e およびドレイン電極 845 の外縁端 845e を覆うため、保護電極 843 によってソース電極 841 を覆い尽くすとともに保護電極 844 によってドレイン電極 845 を覆い尽くす場合と比較して、ゲート電極 842 を形成する設計マージンによる素子寸法の拡大を抑制できる。したがって、製造コストの抑制および素子の微細化を実現しながら、ソース電極 841 およびドレイン電極 845 のオーミック性を十分に確保できる。

【0113】

I. 第 9 実施形態

図 26 は、第 9 実施形態における半導体装置 900 の構成を模式的に示す断面図である。図 26 には、図 1 と同様に X Y Z 軸が図示されている。半導体装置 900 は、GaN 系の半導体装置である。本実施形態では、半導体装置 900 は、横型 H F E T (Heterostructure Field-Effect Transistor) である。

【0114】

半導体装置 900 は、半導体層 814, 816 にリセス 828 が形成されていない点、絶縁膜 830 とは異なる絶縁膜 930 が形成されている点、ゲート電極 842 とは異なるゲート電極 942 が形成されている点を除き、第 8 実施形態の半導体装置 800 と同様である。

【0115】

半導体装置 900 の絶縁膜 930 は、半導体層 816 の表面 817 からソース電極 841 およびドレイン電極 845 の上にわたって形成され、ソース電極 841 とドレイン電極 845 との間に開口端 932p によって画定される開口部を有する点を除き、第 8 実施形態の絶縁膜 830 と同様である。

【0116】

半導体装置 900 のゲート電極 942 は、絶縁膜 930 の開口端 932p によって画定される開口部を通じて半導体層 816 の上に形成されるとともに、半導体層 816 の上から絶縁膜 930 の上にわたって形成されている点を除き、第 8 実施形態のゲート電極 842 と同様である。

【0117】

以上説明した第 9 実施形態によれば、第 8 実施形態と同様に、製造コストの抑制および素子の微細化を実現しながら、ソース電極 841 およびドレイン電極 845 のオーミック性を十分に確保できる。

【0118】

J. 他の実施形態

本発明は、上述の実施形態や実施例、変形例に限られるものではなく、その趣旨を逸脱しない範囲において種々の構成で実現することができる。例えば、発明の概要の欄に記載した各形態中の技術的特徴に対応する実施形態、実施例、変形例中の技術的特徴は、上述の課題の一部または全部を解決するために、あるいは、上述の効果の一部または全部を達成するために、適宜、差し替えや、組み合わせを行うことが可能である。また、その技術的特徴が本明細書中に必須なものとして説明されていなければ、適宜、削除することが可

10

20

30

40

50

能である。

【0119】

本発明が適用される半導体装置は、上述の実施形態で説明した縦型トレンチMOSFET、横型MISFETおよび横型HFETに限られず、例えば、絶縁ゲートバイポーラトランジスタ（IGBT）などであってもよい。

【0120】

上述の実施形態において、基板の材質は、窒化ガリウム（GaN）に限らず、ケイ素（Si）、サファイア（Al₂O₃）および炭化ケイ素（SiC）などのいずれであってもよい。上述の実施形態において、各半導体層の材質は、窒化ガリウム（GaN）に限らず、ケイ素（Si）、炭化ケイ素（SiC）およびヒ化ガリウム（GaAs）などのいずれであってもよい。
10

【0121】

上述の実施形態において、n型半導体層に含まれるドナーは、ケイ素（Si）に限らず、ゲルマニウム（Ge）、酸素（O）などであってもよい。

【0122】

上述の実施形態において、p型半導体層に含まれるアクセプタは、マグネシウム（Mg）に限らず、亜鉛（Zn）、炭素（C）などであってもよい。

【0123】

上述の実施形態において、絶縁膜の材質は、電気絶縁性を有する材質であればよく、二酸化ケイ素（SiO₂）の他、窒化ケイ素（SiNx）、酸化アルミニウム（Al₂O₃）、窒化アルミニウム（AlN）、酸化ジルコニウム（ZrO₂）、酸化ハフニウム（HfO₂）、酸窒化ケイ素（SiON）、酸窒化アルミニウム（AlON）、酸窒化ジルコニウム（ZrON）、酸窒化ハフニウム（HfON）などの少なくとも1つであってもよい。絶縁膜は、単層であってもよいし、2層以上であってもよい。絶縁膜を形成する手法は、ALDに限らず、ECRスパッタおよびプラズマCVDなどの他の手法であってもよい。
20

【0124】

上述の実施形態において、各電極の材質は、上述の材質に限らず、他の材質であってもよい。

【0125】

上述の実施形態4～7において、ボディ電極444は、リセス429に形成された第4の電極であると記載しているが、例えば、半導体層114の一部に、半導体層116をイオン注入や拡散などによって形成し、リセス429を形成することなく、半導体層116に隣接する半導体層114の上にボディ電極444を形成してもよい。

【符号の説明】

【0126】

100, 100a～100g…半導体装置

110…基板

112…半導体層

114…半導体層（p型半導体層）

116…半導体層（n型半導体層）

117…表面

128…トレンチ

130…絶縁膜

130p…開口端

131p…開口端

141…ソース電極

141e…外縁端

142…ゲート電極

143…保護電極

30

40

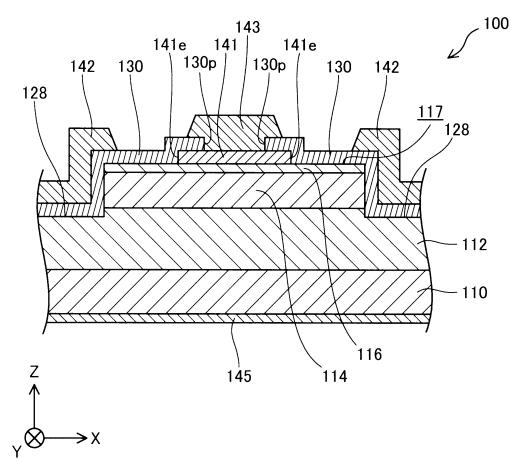
50

1 4 3 e ... 外縁端	
1 4 5 ... ドレイン電極	
1 4 8 ... 電極層	
2 0 0 ... 半導体装置	
2 3 0 ... 絶縁膜	
2 3 1 , 2 3 2 ... 絶縁層	
3 0 0 , 3 0 0 a ~ 3 0 0 e ... 半導体装置	
3 3 0 ... 絶縁膜	
3 3 1 , 3 3 2 ... 絶縁層	
3 9 2 ... マスク	10
3 9 2 p ... 開口端	
4 0 0 ... 半導体装置	
4 2 9 ... リセス	
4 3 0 ... 絶縁膜	
4 3 0 p ... 開口端	
4 4 1 ... ソース電極	
4 4 1 e ... 外縁端	
4 4 3 ... 保護電極	
4 4 4 ... ボディ電極	
4 4 4 e ... 外縁端	20
5 0 0 ... 半導体装置	
5 3 0 ... 絶縁膜	
5 3 0 p ... 開口端	
5 4 1 ... ソース電極	
5 4 1 e ... 外縁端	
5 4 3 ... 保護電極	
6 0 0 ... 半導体装置	
6 3 0 ... 絶縁膜	
6 3 0 p ... 開口端	
7 0 0 ... 半導体装置	30
7 3 0 ... 絶縁膜	
7 3 0 p ... 開口端	
7 3 1 , 7 3 2 ... 絶縁層	
8 0 0 ... 半導体装置	
8 1 0 ... 基板	
8 1 2 , 8 1 4 , 8 1 6 ... 半導体層	
8 1 7 ... 表面	
8 2 8 ... リセス	
8 3 0 ... 絶縁膜	
8 3 1 p , 8 3 5 p ... 開口端	40
8 4 1 ... ソース電極	
8 4 1 e ... 外縁端	
8 4 2 ... ゲート電極	
8 4 3 ... 保護電極	
8 4 3 e ... 外縁端	
8 4 4 ... 保護電極	
8 4 4 e ... 外縁端	
8 4 5 ... ドレイン電極	
8 4 5 e ... 外縁端	
9 0 0 ... 半導体装置	50

9 3 0 ... 絶縁膜
 9 3 2 p ... 開口端
 9 4 2 ... ゲート電極

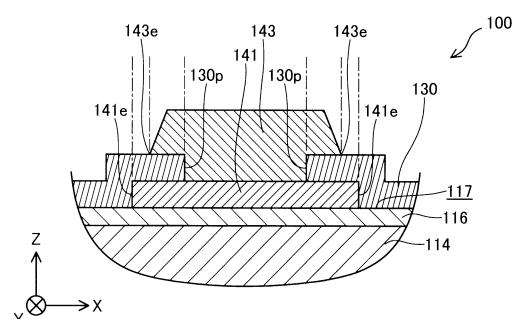
【図1】

図1

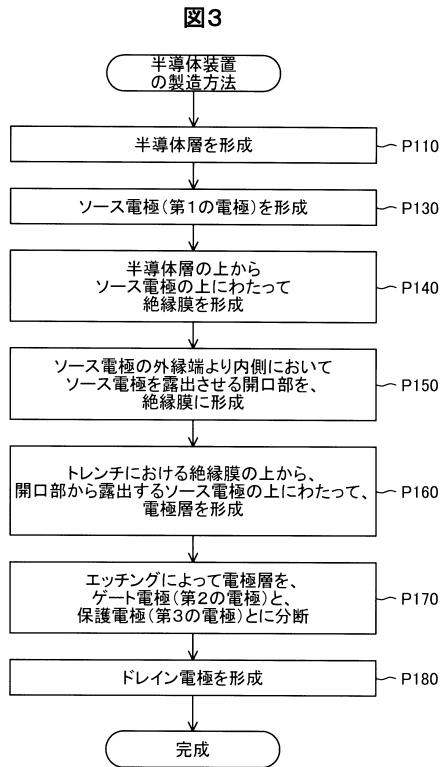


【図2】

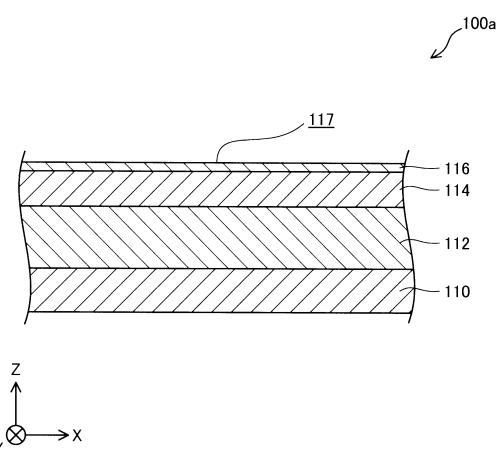
図2



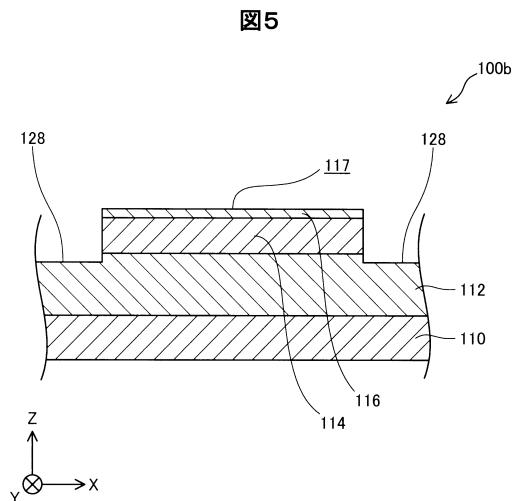
【図3】



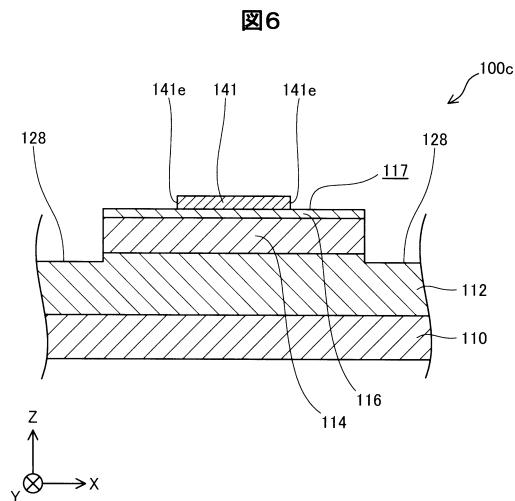
【図4】



【図5】

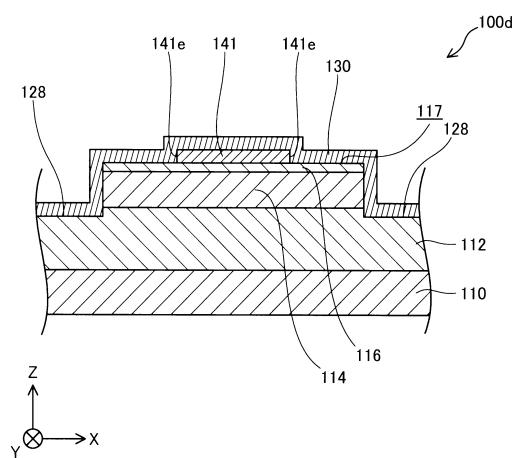


【図6】



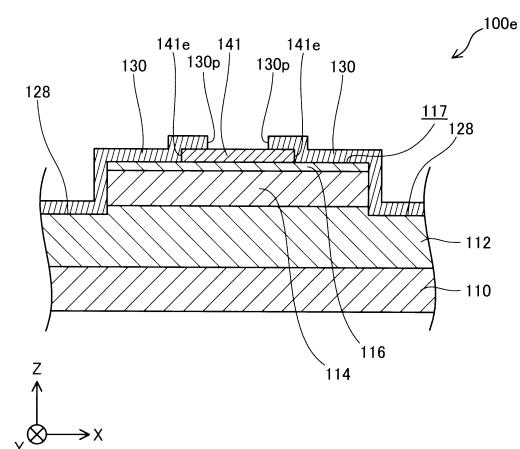
【図7】

図7



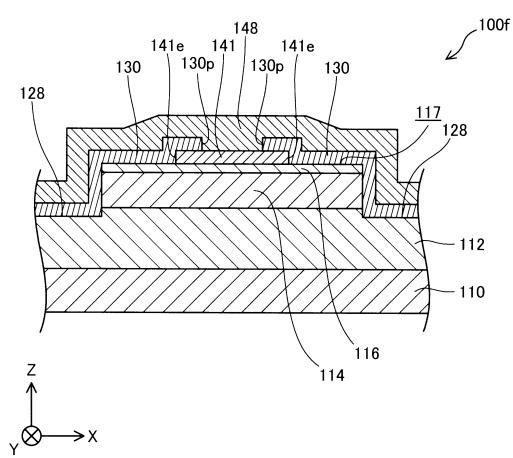
【図8】

図8



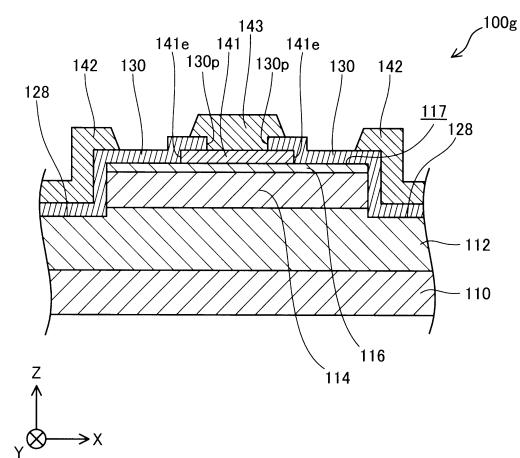
【図9】

図9

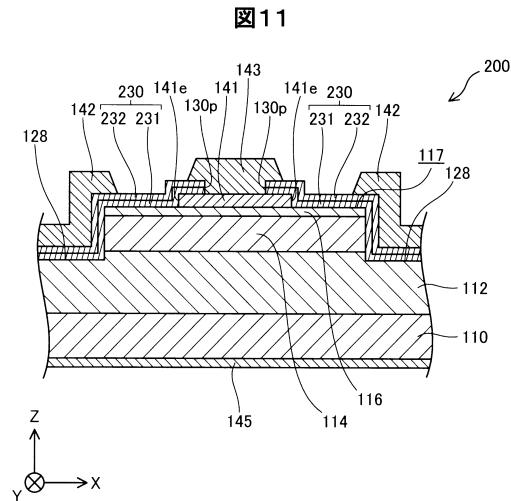


【図10】

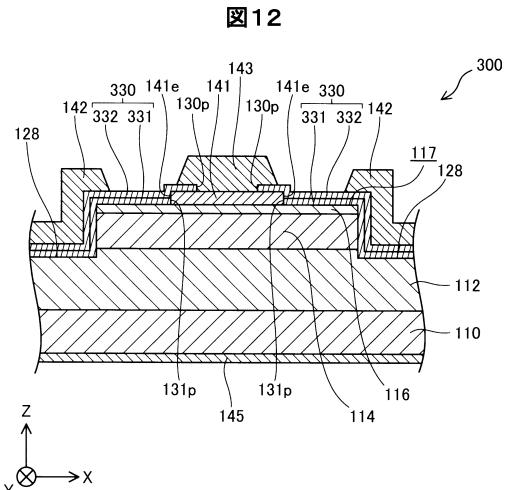
図10



【図11】

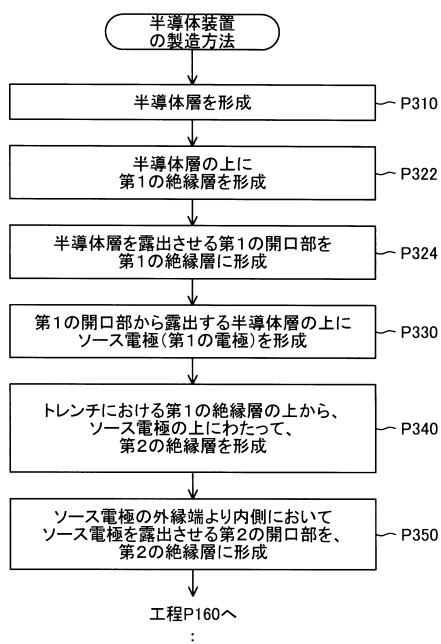


【図12】



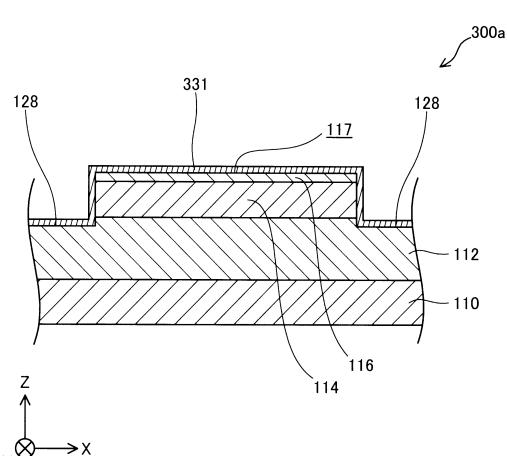
【図13】

図13



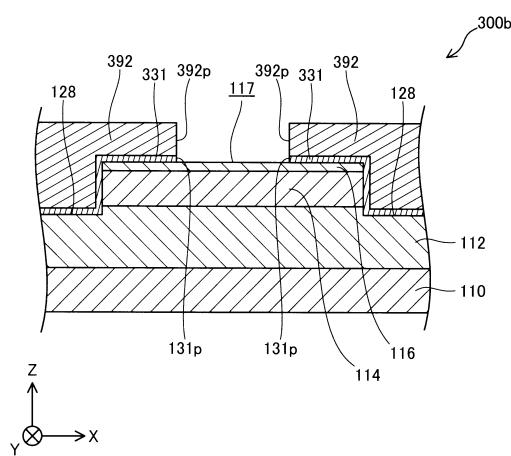
【図14】

図14



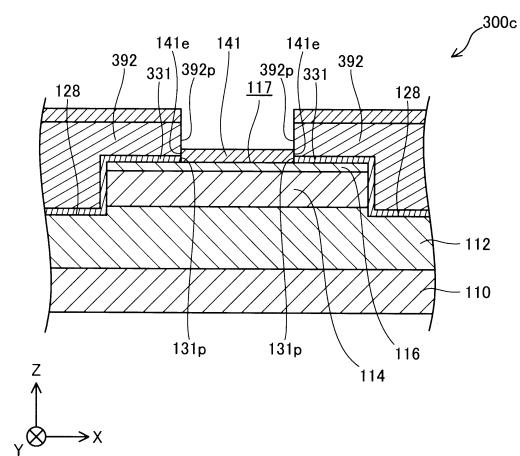
【図15】

図15



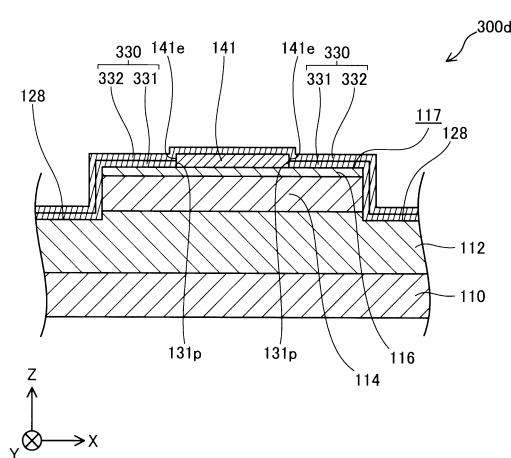
【図16】

図16



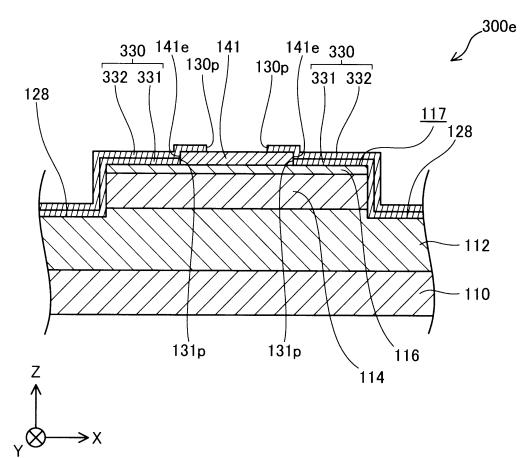
【図17】

図17



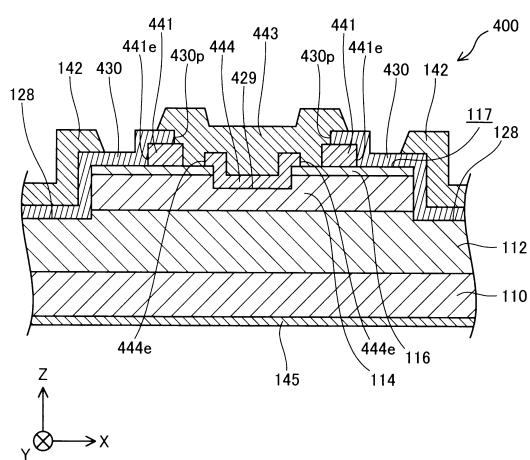
【図18】

図18



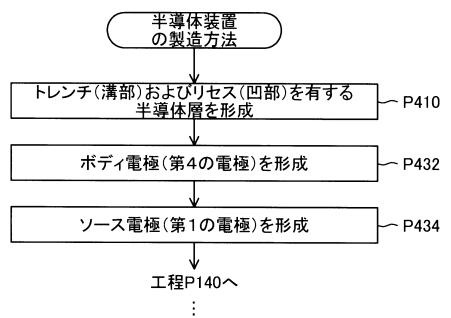
【図19】

図19



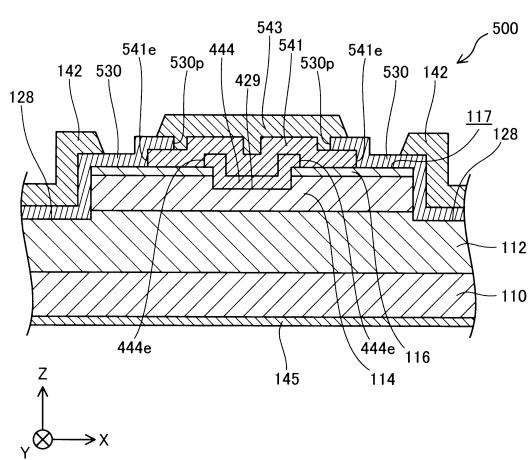
【図20】

図20



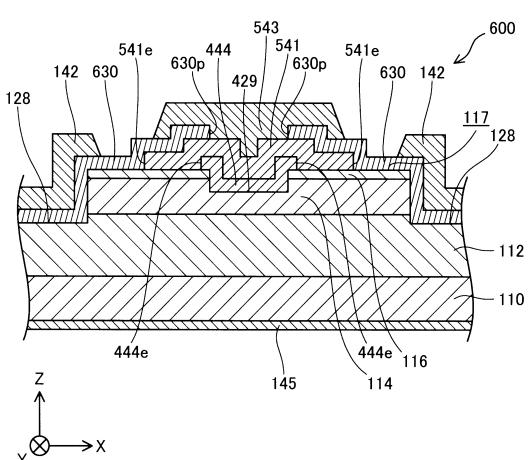
【図21】

図21



【図22】

図22



【図23】

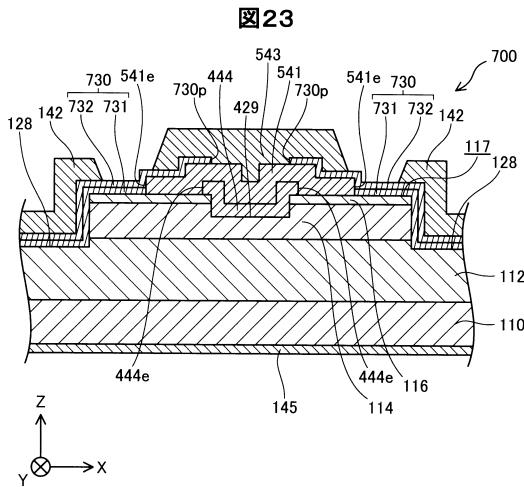
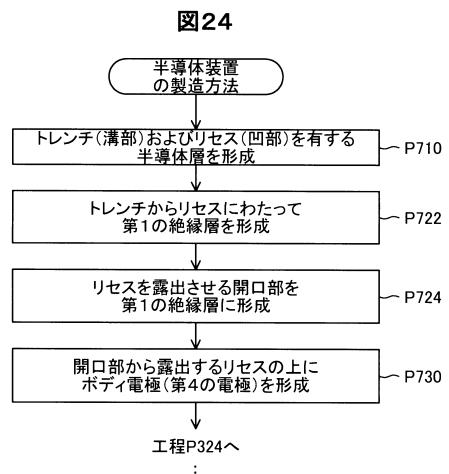


図23

【 図 2 4 】



24

【図25】

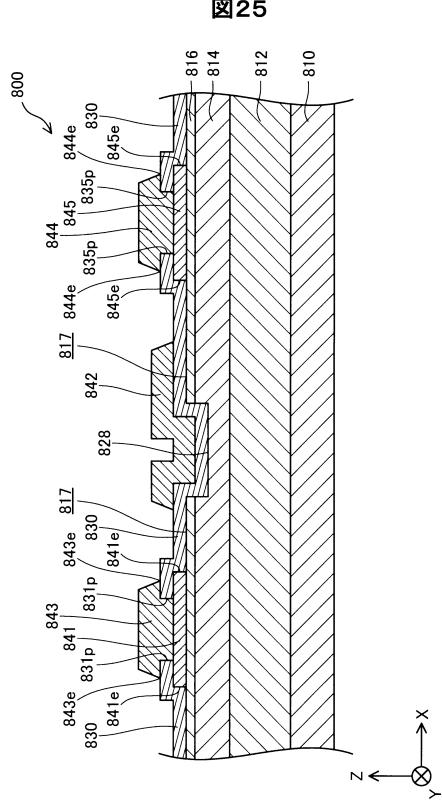


图25

【 図 2 6 】

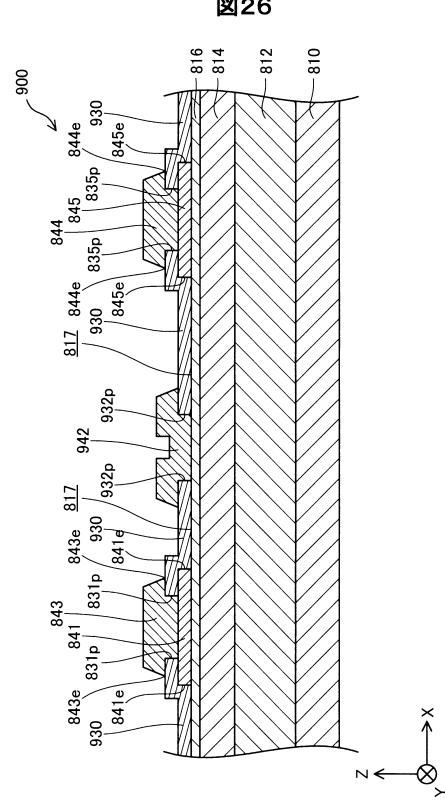


图 26

フロントページの続き

(51)Int.Cl.	F I
H 01 L 29/12 (2006.01)	H 01 L 29/78 6 5 2 T
H 01 L 29/78 (2006.01)	H 01 L 29/78 3 0 1 B
H 01 L 21/336 (2006.01)	H 01 L 29/78 6 5 3 C
	H 01 L 29/78 6 5 2 M
	H 01 L 29/78 6 5 2 K
	H 01 L 29/78 6 5 3 B
	H 01 L 29/78 6 5 8 F
	H 01 L 29/78 6 5 8 G

(56)参考文献 特開平06-120356 (JP, A)
特開平08-203928 (JP, A)
米国特許第05614762 (US, A)
米国特許出願公開第2015/0137135 (US, A1)
特開2014-120539 (JP, A)
米国特許出願公開第2014/0167147 (US, A1)
特開2008-306025 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H 01 L 29 / 41
H 01 L 21 / 336
H 01 L 21 / 338
H 01 L 29 / 12
H 01 L 29 / 417
H 01 L 29 / 778
H 01 L 29 / 78
H 01 L 29 / 812