(19)中华人民共和国国家知识产权局

(12)发明专利

(10)授权公告号 CN 101483178 B
(45)授权公告日 2011.08.03

(21)申请号 200910005484.8
(22)申请日 2003.09.03
(30)优先权数据
10/234344 2002.09.04 US
(62)分案原申请数据
03821092.4 2003.09.03
(73)专利权人 因芬尼昂技术股份公司
地址 德国慕尼黑
(72)发明人 D·沈
(74)专利代理机构 中国专利代理(香港)有限公司 72001
代理人 柯广华 王小衡
(51)Int.Cl.
H01L 27/115(2006.01)
H01L 21/027(2006.01)
H01L 21/31(2006.01)
审查员 马圆

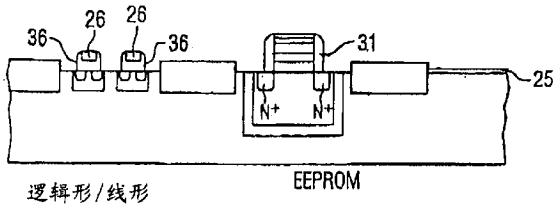
权利要求书 1 页 说明书 3 页 附图 3 页

(54)发明名称

快闪存储单元及造成分离侧壁氧化的方法

(57)摘要

本发明是一种快闪存储单元及造成分离侧壁氧化的方法。本发明揭露了一种可使集成电路具有紧密的逻辑电路及/或线性电路区域与紧密的存储区域的制程与产品。在一共同的基板上,一双重硬罩幕处理单独形成了逻辑电路及/或线性电路晶体管以及EEPROM存储晶体管的堆栈。藉由使用该处理,该等逻辑电路及/或线性电路晶体管与存储晶体管具有不同的侧壁绝缘层厚度。该等逻辑电路及/或线性电路晶体管具有相对薄的侧壁绝缘层,而其足以提供与邻近装置与导体之间的隔离。该存储晶体管具有较厚的侧壁绝缘层以避免储存于该存储装置中的电荷会对该存储晶体管的操作产生不利的影响。



CN 101483178 B

1. 一种具有逻辑电路及 / 或线性电路晶体管与存储装置的集成电路，所述集成电路包括：

逻辑电路及 / 或线性电路装置区域，其包括场效晶体管，各包括

自漏极所隔出的源极，

位于所述源极和所述漏极之间的沟道，

控制栅极，所述控制栅极包括位于所述沟道上的绝缘层与位于所述绝缘层上的栅极电极，以控制所述沟道中的电场，以及

逻辑电路及 / 或线性电路装置侧壁绝缘层，其位于所述栅极电极的侧边，以将所述栅极电极与邻近的晶体管隔离；

存储装置区域，所述存储装置区域包括电子可编程的存储装置，各包括

自漏极所隔出的源极，

位于所述源极和所述漏极之间的沟道，

位于所述沟道上的绝缘层和位于所述绝缘层上的第一电极，以控制所述沟道中的电场，

介电层，位于所述第一电极上，

第二电极，位于所述介电层上，用于将电压供应至存储晶体管以储存或移除电荷，以及

存储装置侧壁绝缘层，其位于所述第一与第二电极的侧边以减少所述电荷于基板中产生的电场，并将邻近的存储装置彼此隔离，其中所述存储装置侧壁绝缘层比所述逻辑电路及 / 或线性电路装置侧壁绝缘层更厚。

2. 根据权利要求 1 所述的集成电路，其中所述逻辑电路及 / 或线性电路侧壁绝缘层的厚度少于所述存储装置侧壁绝缘层的厚度的一半。

3. 根据权利要求 1 所述的集成电路，其中所述逻辑电路及 / 或线性电路侧壁绝缘层约为 6 纳米厚，而所述存储装置侧壁绝缘层约为 15 纳米厚。

4. 根据权利要求 1 所述的集成电路，其中所述存储装置是快闪电可擦可编程只读存储器晶体管且形成于所述基板的三重阱区域中。

5. 根据权利要求 1 所述的集成电路，其中所述电极是掺杂多晶硅。

快闪存储单元及造成分离侧壁氧化的方法

[0001] 本申请是申请号为 03821092.4、申请日为 2003 年 9 月 3 日、题为“快闪存储单元及造成分离侧壁氧化的方法”的中国发明专利申请的分案申请。

技术领域

[0002] 本案涉及快闪存储单元及造成分离侧壁氧化的方法。

背景技术

[0003] 一般而言，快闪存储单元是与逻辑电路或线性电路晶体管形成于相同的基板上；为具有一有效率的制造过程，作为该等快闪存储单元控制栅极的晶体管与该等逻辑电路及线性电路晶体管通常会共享相同的多晶硅掩膜，且亦共享相同的侧壁氧化处理与相同的栅极之反应离子蚀刻 (RIE)。虽然共享共同的步骤是有效率的，但却同时也出现一种或多种技术问题；由于特征尺寸变小，逻辑电路及 / 或线性电路晶体管便需要特别浅的源极与漏极之接合形成，以避免短沟道效应 (SCE)；为了实现上述之特别浅的源极与漏极之接合形成，便必须将制造该装置之热预算维持的非常低，因此，必须要在一低温条件中执行侧壁氧化处理、或是省略侧壁氧化处理程序。然而，快闪存储单元的栅极边缘需要特别磨圆，以减少因尖锐的栅极边缘所引起的高电场，进而能够将电荷保留在该栅极之堆栈中。栅极之磨圆藉由浮动栅极所捕捉的电荷周围电场之降低而减少了泄漏电流。

发明内容

[0004] 本发明利用一双重硬掩膜 (HM) 的方式，藉由逻辑电路与线性电路晶体管与快闪存储单元之侧壁氧化处理与温度的最佳化，来解决习知技术中所存在的问题。该逻辑电路与线性电路晶体管是藉由一硬掩膜而形成，而快闪存储晶体管是藉由另一硬掩膜所形成。一般的硬掩膜是由化学气相沉积 (CVD) 之 TEOS（正硅酸四乙酯）氧化物所形成，虽然附加的硬掩膜对整体制程添加了许多步骤，然而其亦可避免为隔离该快闪存储单元控制栅极与该逻辑电路与线性电路晶体管之多晶硅而使用一额外之深紫外线 (DUV) 掩膜的花费，后者似乎是仅用以增进已存在的习知技术处理之一替代方式。更具体而言，在蚀刻该快闪存储单元之后添加一第二 TEOS 硬掩膜，其系于移除第一 TEOS 硬掩膜与形成快闪侧壁氧化物之后执行。

[0005] 为了实行本发明，该基板被分为一含有电可擦可编程只读存储器 (EEPROM) 单元的区域以及含有线性电路或逻辑电路装置的其它区域，一三重阱则形成于该 EEPROM 区域中；接着形成该 EEPROM 晶体管之栅极堆栈，而此一步骤包含了形成一穿隧介电层、一穿隧多晶栅极层、一栅极间介电层与一控制栅极层。以一第一硬掩膜覆盖该基板，一般而言该第一硬掩膜是一 TEOS 层；对该 EEPROM 区域中的该 TEOS 层成形 (patterned) 并形成开口 (opened)，以形成该 EEPROM 晶体管之源极与漏极区域。接着，注入该等源极与漏极区域并移除该 TEOS 层，且适当氧化该等 EEPROM 晶体管之侧壁。然后，沉积一第二 TEOS 硬掩膜于该等线性电路与逻辑电路区域，并单独对此 TEOS 硬掩膜进行成形以暴露该等线性电路与

逻辑电路晶体管之源极与漏极区域；最后注入该等线性电路与逻辑电路晶体管，而该等线性电路与逻辑电路晶体管便以一习知的方式而完成。

[0006] 本发明让制造者能够最佳化快闪堆栈与逻辑电路及/或线性电路堆栈上的侧壁绝缘层之厚度，其能够制造的装置可在其快闪晶体管与在逻辑电路及/或线性电路晶体管上具有不同侧壁介电质厚度；且此一结构克服了习知结构中快闪晶体管与在逻辑电路及/或线性电路晶体管具有相同侧壁厚度之缺点。藉由本发明，该等逻辑电路及/或线性电路装置具有较薄的侧壁氧化物且因而能够更紧密的排列，以增加该基板中的逻辑电路及/或线性电路电路。此外，该存储装置具有较厚的侧壁绝缘层，以于该存储晶体管操作时保护储存于该栅极间介电层中的电荷。

附图说明

[0007] 图 1 至图 4.1 是沿着该 EEPROM 区域的字符线而表示在处理中的最初关键步骤；

[0008] 图 4.2 至图 8 是沿着该 EEPROM 区域的位线而表示在处理中的最终关键步骤。

[0009] 附图中部件符号的说明

[0010] 18 基板

[0011] 20 浅沟槽隔离区域

[0012] 21 浮动栅极氧化层

[0013] 22 多晶硅层

[0014] 23 光致抗蚀剂

[0015] 24 极间介电层

[0016] 25 氧化物层

[0017] 26 多晶硅层

[0018] 30 TEOS 层

[0019] 31

[0020] 32 TEOS 层

[0021] 36

[0022] 41 P 型阱

[0023] 42 N 型阱

[0024] 50 三重阱

[0025] 51 N 型阱

[0026] 52 P 型阱

[0027] P-SUB P 型基板

[0028] LOGIC/LINEAR 逻辑电路/线性电路

[0029] EEPROM 电可擦可编程只读存储器

具体实施方式

[0030] 请参见图 1，对一 P 型基板 18 适当成形 (patterned) 以形成浅沟槽隔离区域 20；该浅沟槽隔离区域 20 围绕各 EEPROM 晶体管与各对 CMOS 晶体管。熟习该项技艺之人士都可理解本发明亦可形成于一 N 型基板上，只要适当使用相反的掺杂物即可。如图 2 所示，以

一浮动栅极氧化层 21 覆盖该基板，并接着覆盖一多晶硅层 22；在沉积该等膜层之前，即先单独成形该基板的一适当部分（例如 A 部分），并对其注入以具有一三重阱 50，该三重阱 50 包含了一 N 型阱 51 与位于该 P 型基板 18 上、围住该 N 型阱 51 之一 P 型阱 52。伴随此一叙述的图式说明了在区域 B 中的一对逻辑电路 CMOS 晶体管，该等区域可包含除了该对逻辑电路 CMOS 晶体管以外的晶体管；熟习该项技艺之人士都可理解可在该等区域 B 中形成具有一传导类型的晶体管，而晶体管的类型可为逻辑电路或线性电路，其包括但不限于功率晶体管（例如 LDMOS 晶体管）。

[0031] 接着，以一光致抗蚀剂 23 对该等氧化物与多晶硅层进行成形以形成一浮动栅极堆栈；请参阅图 3，一氮氧化物栅极间介电层 24 系形成于该基板上，该氮氧化物栅极间介电层 24 藉由光致抗蚀剂 23 而进行适当成形，以形成如图 4 所示之 EEPROM 堆栈中该 ONO 介电质三层其中的两层；进行至此，自周边区域 B 对该氮氧化物栅极间介电层 24 与多晶硅层 11 进行细段处理 (stripped)，而其适于成形并注入以形成 P 型阱 41 与 N 型阱 42。

[0032] 接着，以一氧化物层 25 与后续之一第二多晶硅层 26 覆盖该基板 18，该氧化物层 25 形成了该等逻辑电路与线性电路装置的栅极氧化层，并形成了该 ONO 介电层 24 之上氧化层。该多晶硅层 26 是供该等 EEPROM 晶体管与该等逻辑电路与线性电路晶体管的控制栅极之用。

[0033] 一第一 TEOS 层 30 系沉积于该第二多晶硅层 26 之上，接着以光致抗蚀剂 23 适当成形该第一 TEOS 层 30，以形成该 EEPROM 之源极与漏极区域开口；对源极与漏极区域适当注入以形成该 EEPROM 之源极与漏极。然后，藉由一高选择性反应离子蚀刻方式来移除该第一 TEOS 层 30，并终止于多晶硅层 26 上；接着，该 EEPROM 栅极堆栈的侧壁系被氧化以提供一适用于快闪堆栈晶体管之侧壁氧化物。在温度为摄氏 850 至 950° 、时间为 30 分钟的炉中进行氧化，以在该栅极堆栈的多晶硅区域上成长厚度为 15 纳米 (nanometers) 的侧壁。然后，沉积一第二 TEOS 层 32 于该基板 18 上，以光致抗蚀剂 23 对该 TEOS 层 32 进行适当成形以形成栅极，并对其形成逻辑电路与线性电路晶体管之源极与漏极所需之开口。

[0034] 对该等逻辑电路及 / 或线性电路晶体管之源极与漏极加以适当注入，藉由反应离子蚀刻来移除该第二 TEOS 层 32，而外围的晶体管之栅极则会得到一较薄的侧壁氧化物。该侧壁氧化物的厚度约为 6 纳米，且是藉由一相对较短、较快速的热退火步骤所形成；该快速退火步骤是在温度约 700 至 900℃ 中约实施 10 至 20 秒，其活化了在该逻辑电路及 / 或线性电路晶体管中的掺杂，但并不会驱使它们远达该基板。这样的结果导致一逻辑电路及 / 或线性电路区域具有相对较紧密排列的晶体管。

[0035] 上述的处理使制造者能够制造一具有不同侧壁绝缘厚度之逻辑电路及 / 或线性电路与存储装置的单一集成电路。在逻辑电路及 / 或线性电路区域中，该等侧壁能够被最佳化为尽可能的薄，以于该逻辑电路及 / 或线性电路装置许可的区域中提供更多的晶体管；而在存储区域中，该等存储装置能够被最佳化为具有一足够厚的侧壁氧化物，以避免在该等存储晶体管操作时，储存于该栅极间介电层的电荷受到非预期的影响。

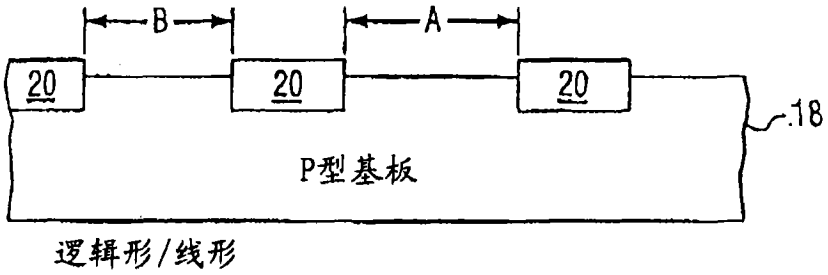

B
A
20
20
20
18
P型基板
逻辑形/线形

图 1

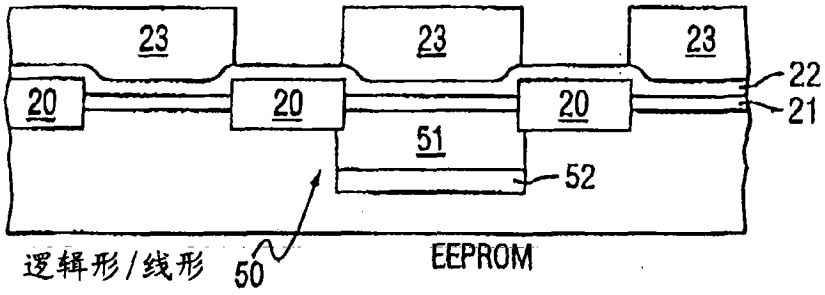

23
23
23
20
20
20
22
21
51
52
逻辑形/线形
50
EEPROM

图 2

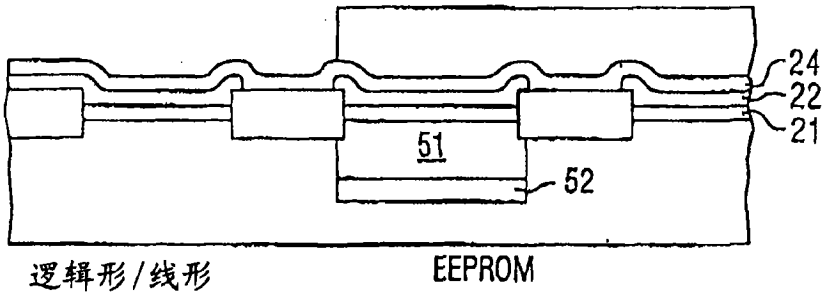

24
22
21
51
52
逻辑形/线形
EEPROM

图 3

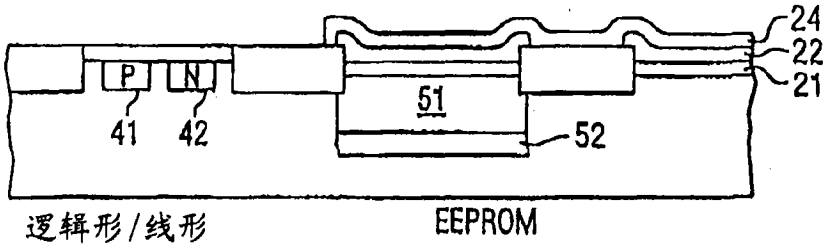

24
22
21
P
N
41
42
51
52
逻辑形/线形
EEPROM

图 4.1

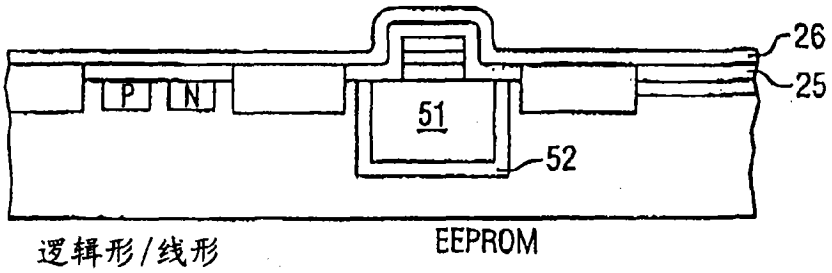

26
25
P
N
51
52
逻辑形/线形
EEPROM

图 4.2

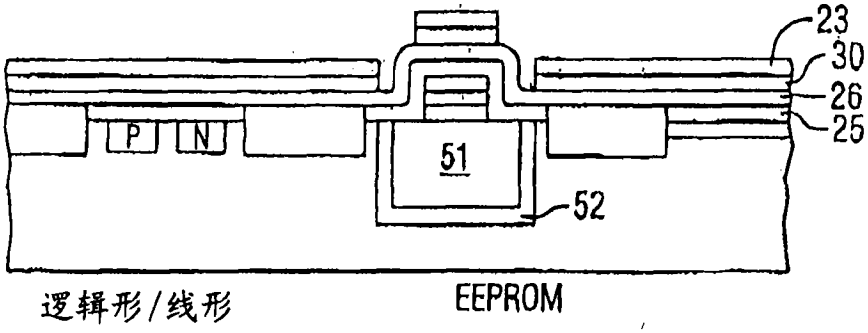

23
30
26
25
P
N
51
52
逻辑形/线形
EEPROM

图 5

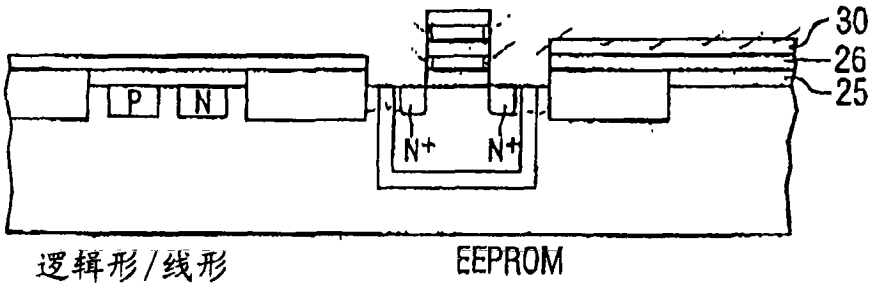

30
26
25
P
N
N+
N+
逻辑形/线形
EEPROM

图 6

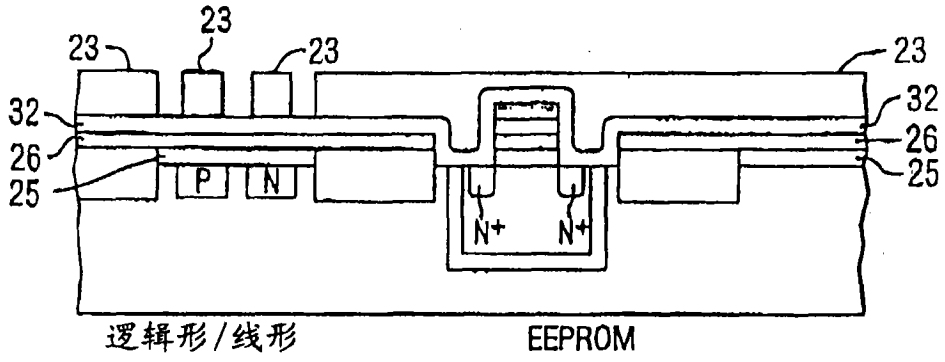

23
23
23
23
32
32
26
26
25
25
P
N
N+
N+
逻辑形/线形
EEPROM

图 7

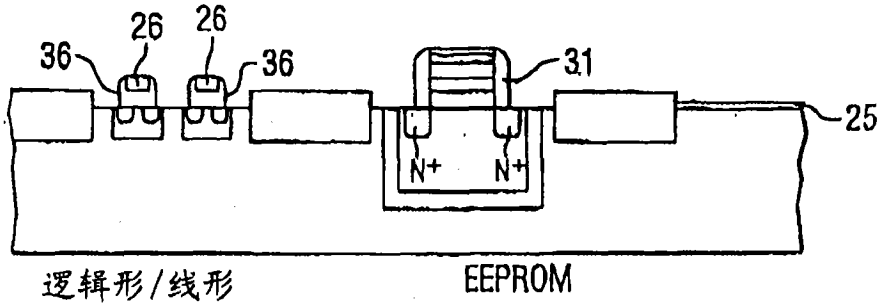

26
26
36
36
31
25
N+
N+
逻辑形/线形
EEPROM

图 8