

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5532803号  
(P5532803)

(45) 発行日 平成26年6月25日 (2014. 6. 25)

(24) 登録日 平成26年5月9日 (2014. 5. 9)

(51) Int. Cl.

F I

H O 1 L 29/786 (2006. 01)

H O 1 L 29/78 6 1 6 T

G O 2 F 1/1368 (2006. 01)

H O 1 L 29/78 6 1 7 K

G O 2 F 1/1368

請求項の数 7 (全 28 頁)

(21) 出願番号 特願2009-227013 (P2009-227013)  
 (22) 出願日 平成21年9月30日 (2009. 9. 30)  
 (65) 公開番号 特開2011-77283 (P2011-77283A)  
 (43) 公開日 平成23年4月14日 (2011. 4. 14)  
 審査請求日 平成24年9月21日 (2012. 9. 21)

(73) 特許権者 000002185  
 ソニー株式会社  
 東京都港区港南1丁目7番1号  
 (74) 代理人 100094053  
 弁理士 佐藤 隆久  
 (72) 発明者 菅野 道博  
 東京都港区港南1丁目7番1号 ソニー株  
 式会社内  
 (72) 発明者 河村 隆宏  
 東京都港区港南1丁目7番1号 ソニー株  
 式会社内  
 審査官 岩本 勉

最終頁に続く

(54) 【発明の名称】 半導体デバイスおよび表示装置

(57) 【特許請求の範囲】

【請求項 1】

少なくとも表面部が絶縁性である基板に積層された積層構造内に薄膜トランジスタが形成され、

前記薄膜トランジスタは、

ゲート電極と、

半導体膜と、

前記チャネル形成領域と前記ゲート電極との対向領域を含む層間に介在するゲート絶縁膜と、

前記半導体膜の前記チャネル形成領域を挟んで位置する一方と他方の半導体領域に接する2つのソース・ドレイン電極と、  
 を有し、

前記2つのソース・ドレイン電極の少なくとも一方が前記半導体膜と接する領域の輪郭部分が直線状に形成され、

前記ゲート電極が、直線状の前記輪郭部分の長さより短い幅で当該輪郭部分に重なることにより、前記輪郭部分の両端のエッジポイントの各々が、前記ゲート電極の外側に位置している、

半導体デバイス。

【請求項 2】

前記輪郭部分に対して、前記ゲート電極が単一の箇所で重なっている

10

20

請求項 1 に記載の半導体デバイス。

【請求項 3】

少なくとも表面部が絶縁性である基板に積層された積層構造内に薄膜トランジスタが形成され、

前記薄膜トランジスタは、

ゲート電極と、

半導体膜と、

前記チャネル形成領域と前記ゲート電極との対向領域を含む層間に介在するゲート絶縁膜と、

前記半導体膜の前記チャネル形成領域を挟んで位置する一方と他方の半導体領域に接する 2 つのソース・ドレイン電極と、

を有し、

前記 2 つのソース・ドレイン電極の少なくとも一方が前記半導体膜と単一の箇所で接する領域の輪郭部分と、これに重ねられる前記ゲート電極のエッジとは、その一方が直線状であり、他方が一方側に突き出して重なる凸部状であり、

前記輪郭部分の両端のエッジポイントの各々が、近接する前記ゲート電極の複数の辺から等距離をおいて、前記ゲート電極の外側に位置している、

半導体デバイス。

【請求項 4】

少なくとも表面部が絶縁性である基板に積層された積層構造内に薄膜トランジスタが形成され、

前記薄膜トランジスタは、

ゲート電極と、

半導体膜と、

前記チャネル形成領域と前記ゲート電極との対向領域を含む層間に介在するゲート絶縁膜と、

前記半導体膜の前記チャネル形成領域を挟んで位置する一方と他方の半導体領域に接する 2 つのソース・ドレイン電極と、

を有し、

前記ゲート電極は、前記 2 つのソース・ドレイン電極の離間方向と直交するチャネル幅方向のサイズが、ソース・ドレイン電極の前記輪郭部分の前記チャネル幅方向の長さより小さく、

前記 2 つのソース・ドレイン電極の少なくとも一方が前記半導体膜と単一の箇所で接する領域の輪郭部分において、その両端のエッジポイントの各々が、前記ゲート電極の外側に位置している、

半導体デバイス。

【請求項 5】

少なくとも表面部が絶縁性である基板に積層された積層構造内に第 1 および第 2 の薄膜トランジスタが形成され、

前記第 1 および第 2 の薄膜トランジスタの各々は、

ゲート電極と、

半導体膜と、

前記チャネル形成領域と前記ゲート電極との対向領域を含む層間に介在するゲート絶縁膜と、

前記半導体膜の前記チャネル形成領域を挟んで位置する一方と他方の半導体領域に接する 2 つのソース・ドレイン電極と、

を有し、

前記 2 つのソース・ドレイン電極の各々が、前記半導体膜と接する領域の輪郭部分を有し、

前記第 1 の薄膜トランジスタは、2 つのソース・ドレイン電極の一方において、その前

10

20

30

40

50

記輪郭部分の２つのエッジポイントがゲート電極の外側に位置しており、

前記第２の薄膜トランジスタは、２つのソース・ドレイン領域の双方において、その前記輪郭部分の２つのエッジポイントが、ゲート電極の外側に位置している、  
半導体デバイス。

【請求項６】

前記請求項１から請求項５の何れか一項に記載の半導体デバイスを、複数の画素回路の各々に有する、

表示装置。

【請求項７】

前記請求項５に記載の半導体デバイスを、複数の画素回路の各々に有し、

10

前記第１の薄膜トランジスタは、前記画素回路が駆動する発光素子の駆動トランジスタであり、

前記第２の薄膜トランジスタは、前記画素回路に表示信号を入力するときにスイッチ制御されるスイッチングトランジスタである、

表示装置。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、基板と絶縁された状態でその上に積層された半導体薄膜に対し、チャンネルの形成を制御するためのゲート電極や２つのソース・ドレイン電極を有する薄膜トランジスタを具備する半導体デバイスに関する。また、本発明は、薄膜トランジスタを画素回路素子として用いる表示装置に関する。

20

【背景技術】

【０００２】

薄膜トランジスタは、例えば表示装置の画素回路内の一素子として用いる場合、ゲートオフ時にソース・ドレイン間に流れる電流が大きいと表示画像に滅点や輝点を引き起こして、これが画素特性異常となる。このため、薄膜トランジスタに対してオフ電流を抑制することが求められる。その一方で、輝度を高くする観点からは、オン抵抗を低くして、必要なオン電流を確保することも重要である。したがって、薄膜トランジスタのオン電流とオフ電流の比（オン・オフ比）を向上させることが求められている。また、薄膜トランジスタは、電流制御の応答性が高い、つまり周波数特性が良いことも求められる。

30

【０００３】

これらの要求は、表示装置の画素回路素子以外でも、用いられる回路の特性によって一般的に求められる。

【０００４】

同一の半導体膜中にチャンネル形成領域と、その両側に２つのソース・ドレイン領域を有する、いわゆるプレーナ型のＴＦＴ構造が知られている（例えば、特許文献１，２参照）。

【０００５】

上記特許文献１では、プレーナ型の薄膜トランジスタにおいて、オン電流を低下させずにオフ電流を抑制する方法として、ゲートオーバーラップＬＤＤ構造が提案されている。この構造では、ゲート電極をＬＤＤ領域をオーバーラップする２層構造として、２層のゲート形成過程で自己整合的に低濃度のＬＤＤ領域を形成する。このとき自己整合的にＬＤＤ領域が形成できるため、ソース・ドレイン領域とＬＤＤ領域の合わせずれが無視でき、製造時の特性ばらつきを抑えることができる。

40

【０００６】

この構造では、２層目のゲート電極がＬＤＤ領域にオーバーラップしているため、オン動作時にＬＤＤ領域の導電率が向上してオン抵抗が小さくなる。このような構造は、ＧＯＬＤＤ（Gate Overlapped Lightly Doped Drain）構造と呼ばれる。

また、ＬＤＤ領域にオーバーラップする上層の第２ゲート電極を、チャンネル形成領域と

50

対向する下層の第1ゲート電極より高抵抗の導電材料を用いることで寄生容量を低減する。

【0007】

前記特許文献2では、LDD領域上部の絶縁膜を厚く形成してゲート電圧からの電界緩和を図っている。これに加えてドレイン領域の不純物濃度にも勾配を持たせている。

【0008】

一方、いわゆるスタガ型というTFE構造が知られている（例えば、特許文献3,4参照）。

このタイプのTFEは、チャンネルが形成される半導体薄膜とは別の層（薄膜）にソース・ドレイン不純物領域を形成する構造を採る。この場合、ゲート電極が、半導体薄膜より下層に配置されるボトムゲート・スタガ型（逆スタガ型）と、上層に配置されるトップゲート・スタガ型（スタガ型）の2種が存在する。

【0009】

上記特許文献3は、ボトムゲート型またはトップゲート型のスタガ構造において、オフ電流の低減のために、ソース・ドレイン領域の不純物層中の濃度をチャンネル側に向かって低濃度に形成している。

【0010】

また、上記特許文献4では、オフ電流と寄生容量を共に低減することを目的として、ゲート電極に平面視で凹凸の端面形状を形成し、その凹凸の端面に対してソース電極およびドレイン電極が部分的かつ離散的に重なるレイアウト形状を提案している。

【先行技術文献】

【特許文献】

【0011】

【特許文献1】特開2002-313808号公報

【特許文献2】特開2006-313776号公報

【特許文献3】特開2008-258345号公報

【特許文献4】特開平5-275698号公報

【発明の概要】

【発明が解決しようとする課題】

【0012】

上記特許文献1に記載されているように、リーク電流をLDD領域により低減する構造では、LDD領域のドレイン端電界緩和によりリーク電流をある程度低減できる。しかしながら、この構造では、電流経路に一律に形成されたLDD領域による直列抵抗部が電流経路の直列抵抗を増大させるため、それだけオン電流のロスが発生する。

【0013】

オン電流確保の観点から、LDD領域の濃度を高くする（低抵抗化する）と、チャンネルドレイン端の高電界領域でキャリア発生率が高くなりオフ電流が増大する。

このように、LDD領域による解決ではオフ電流の低減と、オン電流の確保にトレードオフが存在する。

【0014】

上記特許文献2や3では、絶縁膜構造が複雑で、あるいは不純物濃度勾配がばらつくなどの不利益がある。そのため、オフ電流の低減効果が十分に得られない。

【0015】

その一方で、寄生容量の低減も重要であり、上述した特許文献1～3は、ゲート電極をドレイン領域やソース領域にオーバーラップさせるが、そのオーバーラップ面積が広いと寄生容量が増大して高速動作を阻害する。

【0016】

上記特許文献4では、寄生容量低減とリーク電流低減のトレードオフを緩和するものである。より詳細に、上記特許文献4は、ボトムゲート・スタガ型において、ドレイン電極が半導体薄膜と接触する電極エッジに対してゲート電極の凸部を離散的に重ねるレイアウト

10

20

30

40

50

トを採用している。

【 0 0 1 7 】

しかしながら、この構造ではゲート幅方向（チャネル電流方向と直交する方向）で、ゲート電極の電界支配を受けるチャネル領域が半減するため、電流駆動能力が不足し、オン抵抗が大きい場合と同じように大きな電流を流せない。つまり、この構造では、寄生容量とリーク電流のトレードオフはある程度緩和できても、見かけ上のオン抵抗が大きくなるため実用に耐えない。

【 0 0 1 8 】

このように、特許文献 1 ～ 4 に記載の技術では、オン抵抗を犠牲にしないで寄生容量とリーク電流のトレードオフを解消または緩和することができない。このため、これらの既存の薄膜トランジスタを表示装置の画素回路素子として用いると、輝点や滅点を防止しながら画像の高速表示ができない。

【 0 0 1 9 】

本発明は、オン抵抗を犠牲にしないで寄生容量とリーク電流のトレードオフを解消または緩和することができる薄膜トランジスタを有する半導体デバイスを提供するものである。また、本発明は、かかる薄膜トランジスタを画素回路素子に用いた表示装置を提供するものである。

【課題を解決するための手段】

【 0 0 2 0 】

本発明の第 1 の観点に関わる半導体デバイスは、少なくとも表面部が絶縁性である基板に積層された積層構造内に薄膜トランジスタが形成され、前記薄膜トランジスタは、ゲート電極と、半導体膜と、前記チャネル形成領域と前記ゲート電極との対向領域を含む層間に介在するゲート絶縁膜と、前記半導体膜の前記チャネル形成領域を挟んで位置する一方と他方の半導体領域に接する 2 つのソース・ドレイン電極と、を有し、前記 2 つのソース・ドレイン電極の少なくとも一方が前記半導体膜と接する領域の輪郭部分が直線状に形成され、前記ゲート電極が、直線状の前記輪郭部分の長さより短い幅で当該輪郭部分に重なることにより、前記輪郭部分の両端のエッジポイントの各々が、前記ゲート電極の外側に位置している。

本発明の第 2 の観点に関わる半導体デバイスは、少なくとも表面部が絶縁性である基板に積層された積層構造内に薄膜トランジスタが形成され、前記薄膜トランジスタは、ゲート電極と、半導体膜と、前記チャネル形成領域と前記ゲート電極との対向領域を含む層間に介在するゲート絶縁膜と、前記半導体膜の前記チャネル形成領域を挟んで位置する一方と他方の半導体領域に接する 2 つのソース・ドレイン電極と、を有し、前記 2 つのソース・ドレイン電極の少なくとも一方が前記半導体膜と単一の箇所で接する領域の輪郭部分と、これに重ねられる前記ゲート電極のエッジとは、その一方が直線状であり、他方が一方側に突き出して重なる凸部状であり、前記輪郭部分の両端のエッジポイントの各々が、近接する前記ゲート電極の複数の辺から等距離をおいて、前記ゲート電極の外側に位置している。

本発明の第 3 の観点に関わる半導体デバイスは、少なくとも表面部が絶縁性である基板に積層された積層構造内に薄膜トランジスタが形成され、前記薄膜トランジスタは、ゲート電極と、半導体膜と、前記チャネル形成領域と前記ゲート電極との対向領域を含む層間に介在するゲート絶縁膜と、前記半導体膜の前記チャネル形成領域を挟んで位置する一方と他方の半導体領域に接する 2 つのソース・ドレイン電極と、を有し、前記ゲート電極は、前記 2 つのソース・ドレイン電極の離間方向と直交するチャネル幅方向のサイズが、ソース・ドレイン電極の前記輪郭部分の前記チャネル幅方向の長さより小さく、前記 2 つのソース・ドレイン電極の少なくとも一方が前記半導体膜と単一の箇所で接する領域の輪郭部分において、その両端のエッジポイントの各々が、前記ゲート電極の外側に位置している。

本発明の第 4 の観点に関わる半導体デバイスは、少なくとも表面部が絶縁性である基板に積層された積層構造内に第 1 および第 2 の薄膜トランジスタが形成され、前記第 1 およ

10

20

30

40

50

び第2の薄膜トランジスタの各々は、ゲート電極と、半導体膜と、前記チャネル形成領域と前記ゲート電極との対向領域を含む層間に介在するゲート絶縁膜と、前記半導体膜の前記チャネル形成領域を挟んで位置する一方と他方の半導体領域に接する2つのソース・ドレイン電極と、を有し、前記2つのソース・ドレイン電極の各々が、前記半導体膜と接する領域の輪郭部分を有し、前記第1の薄膜トランジスタは、2つのソース・ドレイン電極の一方において、その前記輪郭部分の2つのエッジポイントがゲート電極の外側に位置しており、前記第2の薄膜トランジスタは、2つのソース・ドレイン領域の双方において、その前記輪郭部分の2つのエッジポイントが、ゲート電極の外側に位置している。

【0021】

上記構成によれば、前記2つのソース・ドレイン電極の少なくとも一方がドレイン電極として機能する場合に、当該ドレインとなる電極は、前記半導体膜と接する領域の輪郭部分に電流が集中する。そのとき、輪郭部分に近い電極領域からは、その電流経路の抵抗が最も小さくなる輪郭部分の箇所を通してチャネル形成領域に電流が流れ込む。一方、その余の電極部分からの電流は、輪郭部分の両端、つまり2つのエッジポイントに集中する。なお、輪郭部分の長さ、このドレインとなるソース・ドレイン電極の幅（通常、チャネル幅方向の長さ）とが同一の場合でも、電極エッジは応力が集中しているため、電流が集中しやすい。いずれにしても、2つのエッジポイントには他の輪郭部分の領域より電流が集中しやすい。

【0022】

この現象は当該薄膜トランジスタがオン状態のときと同様に、オフ状態のときでも生じる。つまり、Nチャネル型を例にすると、オフ状態では、通常、ソースとドレインがバイアスされるが、ゲート電極はオン状態より低い0[V]または負電圧にバイアスされる。そのときソースとドレイン間のバイアスによって電流が流れようとする。しかし、ゲートバイアスでチャネルが強制的にオフされるため、その電流が阻止されるが、ドレイン電極や基板深部等を通る経路などのリークパスを通してオフ電流が流れる。その場合、オン電流と同様に、ドレインとなるソース・ドレイン電極の前記輪郭部分の両端（2つのエッジポイント）にオフ電流が集中する。この電流集中は、前記輪郭部分に対して電極面積が大きければ大きいほど強くなるし、あるいは、2つのエッジポイントが電極層のエッジの場合でも強くなる。

【0023】

本発明では、この2つのエッジポイントをゲート電極パターンの外側に、より望ましくは一定距離以上離して位置させたレイアウトパターンとなっている。

Nチャネル型の場合、一般に、オフ電流は、ドレイン端近傍のチャネル部の高電界領域でイオンインパクト化によって生じたキャリアのうち、電子がドレイン電極に流れ込み、ホールが基板深部等のパスを通して流れることで発生する。そして、この現象は、ゲート負バイアス、かつ、ドレイン正の高バイアス時において、ゲートとドレイン間の電圧が大きくなる動作領域でより顕著に現れる。

【0024】

一方、リーク電流にはトランジスタのチャネル幅に依存する成分と依存しない成分をもっている。チャネル幅に依存しない成分はチャネル幅を決めている半導体膜とドレイン電極が接するエッジに起因したリーク成分となっている。そして、上記の理由から、このチャネル幅に依存しない成分は、2つのエッジポイントを通るパスを流れる電流が支配的となる。そこで、本発明では、ゲート電極を、この2つのエッジポイントから遠ざける。このとき、インパクトイオン化が生じるキャリア発生箇所と、リーク電流が集中しやすい電極エッジ箇所との距離を少し離すだけで、オフ電流は桁違いに低減する。

【0025】

本発明に関わる表示装置は、上記第1～第4の観点に関わる半導体デバイスを、複数の画素回路の各々に有する。

【発明の効果】

【0026】

本発明によれば、オン抵抗を犠牲にしないで寄生容量とリーク電流のトレードオフを解消または緩和することができる薄膜トランジスタを有する半導体デバイスを提供することができる。また、本発明によれば、かかる薄膜トランジスタを画素回路素子に用いた表示装置を提供することができる。

【図面の簡単な説明】

【0027】

【図1】第1の実施形態に関わるTFTの主要部の平面図である。

【図2】図1のA-Aに沿った段面構造図である。

【図3】第1の実施形態に関わるTFT構造の製造途中の断面図である。

【図4】第2の実施形態に関わるTFTの主要部の平面図である。

10

【図5】図4のB-Bに沿った段面構造図である。

【図6】第3の実施形態に関わるTFTの主要部の平面図である。

【図7】図6のC-Cに沿った段面構造図である。

【図8】第4の実施形態に関わるTFTの簡略化した平面図と縦方向の略式構成図である。

。

【図9】第5および第6の実施形態に関わるTFTの簡略化した平面図と縦方向の略式構成図である。

【図10】第5および第6の実施形態に関わるTFTの製造途中の断面図である。

【図11】第7および第8の実施形態に関わるTFTの簡略化した平面図と縦方向の略式構成図である。

20

【図12】第9および第10の実施形態に関わるTFTの簡略化した平面図と縦方向の略式構成図である。

【図13】第11および第12の実施形態に関わるTFTの簡略化した平面図と縦方向の略式構成図である。

【図14】第13～第16の実施形態に関わるTFTの簡略化した平面図と縦方向の略式構成図である。

【図15】比較例に関わるTFTの平面図と、電界分布のシミュレーション結果を示す3Dグラフである。

【図16】比較例に関わるTFTのリーク特性のグラフである。

【図17】第17の実施形態に関わる有機ELディスプレイのブロック図である。

30

【図18】図17の有機ELディスプレイの画素回路図である。

【発明を実施するための形態】

【0028】

本発明の実施形態を、図面を参照して以下の順で説明する。

【0029】

1. 本発明が適用可能なTFT構造の類型：以下の実施形態の説明を簡略化するため、TFT構造の類型をまとめて示す。

2. 本発明が適用されたTFTのレイアウトパターンの種類：ドレイン電極エッジ（厳密には、後述する「ソース・ドレイン電極の輪郭部分」）に対するゲート電極パターンの重ね合わせ形状の種類をまとめて示す。

40

3. 第1の実施の形態：ボトムゲート・スタガ型のTFT構造において、ゲート電極が輪郭部分と重ならないタイプの実施形態である。

4. 第2の実施の形態：直線状の輪郭部分にゲート凸部を重ね合わせタイプの実施形態である。

5. 第3の実施の形態：ボトムゲート・スタガ型のTFT構造において、輪郭部分の凸部に対し直線状のゲートエッジを重ね合わせタイプの実施形態である。

6. 第4の実施の形態：ボトムゲート・スタガ型のTFT構造において、ゲート電極がその全幅で輪郭部分に重なるタイプの実施形態である。

7. 第5および第6の実施の形態：半導体チャネル保護膜が省略された実施形態であり、第5の実施形態は第1の実施形態と同タイプ、第6の実施形態は第4の実施形態と同タイ

50

ブである。

８．第７および第８の実施の形態：第５および第６の実施形態で、ソース・ドレイン電極と半導体膜の上下の位置関係を逆にした場合の実施形態である。

９．第９および第１０の実施の形態：第７および第８の実施形態をトップゲート型に変更した場合の実施形態である。

１０．第１１および第１２の実施の形態：プレーナ型の実施形態である。

１１．第１３～第１６の実施の形態：プレーナ型で半導体チャネル保護膜を有する場合の実施形態である。

１２．比較例とその改善点。

１３．第１７の実施の形態：有機ＥＬディスプレイの実施形態である。

10

#### 【００３０】

##### < １．ＴＦＴ構造の種類 >

本発明の実施形態に関わる薄膜トランジスタ（ＴＦＴ）は、少なくとも表面部が絶縁性である基板に積層された積層構造内に、ゲート電極、チャネルが形成される半導体薄膜、ゲート絶縁膜、および、２つのソース・ドレイン電極を積層させた構造を有する。

#### 【００３１】

半導体膜材料に多結晶シリコンを用いた薄膜トランジスタでは、比較的高温の熱処理が使えるため、イオン注入と不純物活性化が製造工程で用いられる。そのため、好適には、半導体膜中にチャネル形成領域と２つのソース・ドレイン領域を形成するいわゆるプレーナ型のＴＦＴ構造が使われる。２つのソース・ドレイン領域は、平面視でチャネル領域を挟む位置に逆導電型の不純物を比較的高濃度に導入された半導体膜の一部領域として形成される。

20

#### 【００３２】

プレーナ型のＴＦＴ構造は、半導体膜薄膜に対して、ゲート電極がトップ（反基板）側にくるかボトム（基板）側にくるかで、それぞれ「トップゲート型」と「ボトムゲート型」がある。本発明が実施可能なタイプは、半導体膜材料が多結晶シリコンであることを考慮すると「ボトムゲート・プレーナ型」が好適である。なお、この記載は、「トップゲート・プレーナ型」への本発明の適用を排除するものではない。

#### 【００３３】

一方、非晶質シリコンや微結晶Ｓｉでは低温で半導体膜を形成する必要があるため、チャネル形成領域とソース・ドレイン領域が異なった半導体膜に形成される、いわゆるスタガ型が好適に用いられる。また、ソース・ドレイン領域に対してゲート電極がボトム側にくるＴＦＴ構造を「ボトムゲート・スタガ型」、ソース・ドレイン領域に対してゲート電極がトップ側にくるＴＦＴ構造を「トップゲート・スタガ型」と呼ぶ。ボトムゲート・スタガ型のことを「逆スタガ型」と呼ぶこともある。

30

#### 【００３４】

##### < ２．レイアウトパターンの種類 >

本発明の適用に際しては、２つのソース・ドレイン電極の少なくとも一方が、チャネルが形成される半導体膜と接する領域に着目する。この領域はソース・ドレイン電極が当該半導体膜と面で接する場合の平面領域の場合と、側面で接する側面領域の場合がある。

40

そして、この領域において、ソース・ドレイン電極の「輪郭部分」を規定し、その両端部の点を、「エッジポイント」と呼ぶ。

#### 【００３５】

この前提の下、本発明の適用要件は、「２つのエッジポイントの各々が、平面視（即ち、レイアウトパターン）でゲート電極の外側に位置する」ことである。この要件の具体的な態様は後述するが、エッジポイントを両端とする上記輪郭部分に対してゲート電極がどのように重なるかに応じて、以下のレイアウトパターンの種類（場合）がある。

#### 【００３６】

ゲート電極と輪郭部分が重ならない場合（第１の場合）も本発明の適用範囲である。

これに対し、２つのエッジポイント間の輪郭部分に対して、ゲート電極が一箇所重な

50



る場合がある。その場合、さらに詳細には、ゲート電極の凸部が直線状の輪郭部分と重なる第2の場合と、逆に輪郭部分の凸部に対して直線状のゲート電極エッジが重なる第3の場合がある。また、ゲート幅そのものが輪郭部分の幅より小さく、ゲート電極は、その全幅で輪郭部分に重なる第4の場合がある。

#### 【0037】

なお、エッチングストッパとして機能する半導体チャネル保護膜の有無でも上記輪郭部分の規定の仕方が変わってくるが、その詳細は下記の実施形態で明らかにする。

#### 【0038】

### < 3. 第1の実施の形態 >

第1の実施形態は、ボトムゲート・スタガ型で、かつ、上記第1の場合、つまりゲート電極が上記輪郭部分と重ならない場合に関する。

#### 【0039】

図1は、TFT部の平面図である。また、図2は、図1のA-A線に沿った段面構造図である。

#### 【0040】

図2に図解するTFT部10Aにおいて、ガラス等からなる基板11に下地層（絶縁層の一種）を介して、所定のゲート金属層（GM）、例えばモリブデン（Mo）等の高融点金属からなるゲート電極13が形成されている。ゲート電極13は数十[nm]、例えば65[nm]程度の膜厚を有する。

ゲート電極13は、例えば表示画素回路内の他の素子と接続する内部配線を兼用する。そのため、例えば図1に示すように縦長の配線状に形成される。

#### 【0041】

図2に示すように、ゲート電極13は絶縁層12の表面部に埋め込まれるように形成することが望ましい。これは、絶縁層12とゲート電極13の表面が平坦化されるためである。この表面が平坦化されると、ゲート段差がないため、その部分で膜応力がかからないことから、上方の半導体膜や、その電極接触部の電界集中等が緩和できる。なお、そのような不都合がなければ、絶縁層12の表面に、ゲート電極膜（Mo等の膜）を成膜して加工するプロセスでゲート電極13を形成してもよい。

#### 【0042】

ゲート電極13およびその周囲の絶縁層12の表面を覆うように、ゲート絶縁膜14が形成され、その上に、アモルファスシリコン（ $a\text{-Si}$ ）または微結晶シリコン（ $\mu\text{-cSi}$ ）からなる半導体膜15が形成されている。

#### 【0043】

ゲート絶縁膜14は、単層の酸化シリコン膜でもよいが、多層膜としてもよい。多層膜の場合、下層の窒化シリコン（ $\text{SiN}$ ）膜とその上の酸化シリコン（ $\text{SiO}_2$ ）膜が好適である。膜厚については、 $\text{SiN}$ 膜を十数～数十[nm]、例えば20[nm]、 $\text{SiO}_2$ 膜を百数から数百[nm]、例えば290[nm]とする。

#### 【0044】

半導体膜15は、TFT部ごとに孤立したパターンを有し、図2の段面ではゲート絶縁膜14の上面全域に形成されている。半導体膜15は、微結晶シリコンからなる場合、十数[nm]、例えば15[nm]と非常に薄い膜である。

#### 【0045】

半導体膜15上に、図1に示す矩形パターンの比較的厚い絶縁膜からなる半導体チャネル保護膜16が形成されている。また、半導体チャネル保護膜16の望ましい端面は、図2のように緩やかなスロープを有する順テーパ形状に加工されている。そして、チャネル中央部に向かってチャネル方向（図の断面方向）の左右両側から、第1ソース・ドレイン（SD）電極18と、第2ソース・ドレイン（SD）19が、当該半導体チャネル保護膜16のスロープを乗り越えるように形成されている。

#### 【0046】

ここで第1SD電極18がドレイン電極、第2SD電極19がソース電極として機能す

10

20

30

40

50

る。この場合、いわゆる「ドレイン端」は、半導体膜 15 と第 1 S D 電極 18 との接触領域のチャンネル中央寄りのエッジを指す。この「接触領域」は、第 1 の実施形態の場合、図 1 に太い実線で示すように、チャンネル方向（いわゆるチャンネル長方向）と直交する、いわゆるチャンネル幅方向のラインとなる。図 1 において、半導体膜 15 と第 1 S D 電極 18 が接触する「接触領域」が斜線を付して示している。したがって、この太い実線で示すラインは、第 1 S D 電極 18 と半導体膜 15 が接する領域の輪郭部分に該当する。以下、接触領域のチャンネル中央寄りエッジを「輪郭部分 30」と呼ぶ。また、輪郭部分 30 の両端を「エッジポイント 31」と呼ぶ。

【0047】

なお、第 2 S D 電極 19 についても、図 1 に示すように、輪郭部分 30 とエッジポイント 31 が規定される。

【0048】

第 1 S D 電極 18 および第 2 S D 電極 19 は、本例では、それぞれ 4 層から形成される。つまり、下層から、ソース・ドレイン領域が形成される S D 半導体膜 17 A、下部電極膜 17 B、主配線膜 17 C および上部電極膜 17 D から、第 1 および第 2 S D 電極 18, 19 の各々が構成されている。

【0049】

S D 半導体膜 17 A は、例えば N 型不純物が高濃度に添加された半導体膜である。スタガ構造では、このようにソース・ドレイン領域の形成のための半導体膜をチャンネルが形成される半導体膜 15 と異なる膜として形成している。S D 半導体膜 17 A の膜厚は数十 [nm]、例えば 50 [nm] である。

【0050】

厚い主配線膜 17 C は、低抵抗配線材料、例えば Al から形成される。この場合に下地層との反応防止やフォトリソグラフィにおける反射防止のために、その上下に薄い高融点金属などの膜を介在させる。ここでは、主配線膜 17 C が数百から千百 [nm]、例えば 900 [nm] の Al 膜から形成し、下部電極膜 17 B を例えば 50 [nm] 程度の Ti 膜から形成している。また、上部電極膜 17 D を例えば 50 [nm] 程度の Mo 膜から形成している。

【0051】

半導体チャンネル保護膜 16 は、この第 1 および第 2 S D 電極 18, 19 を加工するときのエッチングから、チャンネル形成領域を保護している。第 1 および第 2 S D 電極 18, 19 は、その保護のための厚さを有するが、これは第 1 および第 2 S D 電極 18, 19 との総合的な応力バランスを保つためにも役立っている。

半導体チャンネル保護膜 16 で被覆された半導体膜 15 の領域がチャンネル形成領域となり、半導体チャンネル保護膜 16 のスロープ下端がドレイン端とソース端となる。図 2 は図 1 に示す A - A 線の断面を示すため、半導体チャンネル保護膜 16 のスロープ端付近がエッジポイント 31 となっている。

【0052】

本実施形態では、この 2 つのエッジポイント 31 が、平面視でゲート電極 13 の外側に位置するという特徴がある。

本実施形態では、そのために、特に電界が集中するドレイン側のエッジポイント 31（図 1, 図 2 の右側のエッジポイント 31）が、ゲート電極 13 から離れるようにオフセットゲート構造にしている。つまり、ゲート電極 13 は、その幅中心がチャンネル形成領域の中央からソース側にずれるようにオフセット配置されている。

【0053】

ここでエッジポイント 31 からゲート電極 13 の端部までの距離  $D_a$ （図 1）は、所定距離  $D_0$  以下とすることが望ましい。

【0054】

ところで、半導体チャンネル保護膜 16 と第 1 S D 電極 18 が輪郭同士で重なるエッジポイント 31 では、その下方の半導体膜 15 にかかる応力も大きく、そのことが非常に薄い

10

20

30

40

50

半導体膜 15 にとってリーク増大の一因となっている。つまり、例えば、第 2SD 電極 19 を 0[V] として、第 1SD 電極 18 に正の電圧を印加した場合、第 1SD 電極 18 の抵抗率が低いので、チャンネル形成領域に最も近い図 1 の輪郭部分 30 に電流が集中する。そのなかでもエッジポイント 31 は応力の関係で電界が集中しやすく、このエッジポイント 31 を通って多くの電流が流れる。

#### 【0055】

この現象は当該 T F T がオン状態のときと同様に、オフ状態のときでも生じる。つまり、N チャンネル型を例にすると、オフ状態では、通常、ソースとドレイン（第 1SD 電極 18 と第 2SD 電極 19）がバイアスされるが、ゲート電極 13 はオン状態より低い 0[V] または負電圧にバイアスされる。そのときソースとドレイン間のバイアスによって電流が流れようとする。しかし、ゲートバイアスでチャンネルが強制的にオフされるため、その電流が阻止されるが、ドレイン電極（第 1SD 電極 18）や基板深部等を通る経路などのリークパスを通してオフ電流が流れる。その場合、オン電流と同様に、ドレインとなるソース・ドレイン電極（第 1SD 電極 18）の輪郭部分 30 の両端（2つのエッジポイント 31）にオフ電流が集中する。この電流集中は、輪郭部分 30 に対して電極面積が大きければ大きいほど強くなるし、あるいは、2つのエッジポイントが電極層のエッジの場合（本実施形態の場合）でも強くなる。

#### 【0056】

本実施形態では、この 2つのエッジポイント 31 をゲート電極 13 の外側に、より望ましくは一定距離 D0 以上離して位置させたレイアウトパターンとなっている。

N チャンネル型の場合、一般に、オフ電流は、ドレイン端近傍のチャンネル部の高電界領域でイオンインパクト化によって生じたキャリアのうち、電子がドレイン電極（第 1SD 電極 18）に流れ込み、ホールが基板深部等のパスを通して流れることで発生する。そして、この現象は、ゲート負バイアス、かつ、ドレイン正の高バイアス時において、ゲートとドレイン間の電圧が大きくなる動作領域でより顕著に現れる。

#### 【0057】

一方、リーク電流には T F T のチャンネル幅に依存する成分と依存しない成分をもっている。チャンネル幅に依存しない成分はチャンネル幅を決めている半導体膜 15 とドレイン電極（第 1SD 電極 18）が接するエッジ（輪郭部分 30）に起因したリーク成分となっている。そして、上記の理由から、このチャンネル幅に依存しない成分は、2つのエッジポイント 31 を通って流れる電流が支配的となる。そこで、本実施形態では、ゲート電極 13 を、この 2つのエッジポイント 31 から遠ざける。このとき、インパクトイオン化が生じるキャリア発生箇所と、リーク電流が集中しやすい電極エッジ箇所との距離を少し離すだけで、オフ電流は桁違いに低減する。

#### 【0058】

具体的に、所定距離 D0 は、リソグラフィ技術におけるパターンの合わせずれを考慮して、最大の膜応力が、例えば第 1SD 電極 18 の中心部下方の半導体膜 15 と同程度とみなせる定常の膜応力近くにまで小さくなる範囲で、この距離を規定するとよい。

#### 【0059】

なお、オフセットゲート配置は、「2つのソース・ドレイン電極の少なくとも一方に対して、その外側に 2つのエッジポイントを位置させる」という要件を満たすための一手段に過ぎない。この点で、本実施形態における図示した構造およびレイアウトは、単なるオフセットゲート構造とは本質的に異なる。

また、第 1および第 2SD 電極 18, 19 で、ソースとドレインの役割が逆の場合は、図 1 のレイアウトはミラー対称配置となり、例えばオフセットゲート構造では、ゲート電極 13 が、その幅中央がチャンネル中央に対して第 1SD 電極 18 寄りにシフトさせたレイアウトをとることが可能である。

#### 【0060】

#### [製造方法]

図 3(A) ~ 図 3(E) に、上記構造をもつ T F T 部の製造途中の断面図を示す。図 3

10

20

30

40

50

では、主に、半導体チャネル保護膜の形成と、これに続く配線加工のプロセスまでを開示する。また、図3は、TFT部と、それに近接する他の部分（例えば容量素子や配線部）を示している。この配線加工のプロセスを特に、「エッチングストッパ型プロセス」という。

#### 【0061】

ボトムゲート型TFTとするために、まず、ガラス等からなる基板9の絶縁面の上に、ゲート金属（GM）を成膜して、これを加工する等の工程によってパターンニングされたゲート電極13を形成する（図3（A））。

このとき、近くの領域には、容量素子の電極あるいは配線の裏打ち層等となるゲート金属層13Aが同時形成される。

10

#### 【0062】

次の図3（B）の工程では、まず、ゲート電極13を覆う酸化シリコンもしくは窒化シリコンからなるゲート絶縁膜14が形成され、その上にトランジスタのチャネル形成領域となるアモルファスシリコンもしくは微結晶シリコンからなる半導体膜15を形成する。

その後、窒化シリコン等を厚く成膜し、これをパターンニングすることによって、半導体チャネル保護膜16をゲート電極13の上層に一部重ねて形成する。このとき、図1のオフセット構造とするには、ゲート電極13に対して、半導体チャネル保護膜16を一方向にずらして形成する。

#### 【0063】

図2にも示すSD半導体膜17Aと下部電極膜17Bを、それぞれの成膜方で重ねて形成し、これらの膜をパターンニングする。このときのエッチングでは、続けて、SD半導体膜17Aと下部電極膜17Bに保護された領域以外の半導体膜15を除去する。これにより、半導体膜15は半導体チャネル保護膜16もしくはSD半導体膜17Aの下に自己整合的に形成される。

20

#### 【0064】

図3（C）の工程では、表出したゲート絶縁膜14の上層膜（例えばSiO<sub>2</sub>膜14B）の上面に、所定の位置で開孔するレジスト（不図示）を形成して、SiO<sub>2</sub>膜14Bと、その下のSiN膜14Aをエッチングして、コンタクト孔14Cを開孔する。

#### 【0065】

図3（D）の工程では、第1および第2SD電極18, 19となる主配線膜17Cと上部電極膜17Dを成膜し、これらを順次エッチングして、所望のパターンを形成する。これにより、第1SD電極18および第2SD電極19が、チャネル形成領域の上方で分離して形成され、また、他の領域ではコンタクト孔14Cを通して下層のゲート金属層13Aに接続する配線20が形成される。

30

このときのエッチングでは、図3（C）の工程でパターンニングしたSD半導体膜17Aと下部電極膜17Bを、チャネル形成領域の上方でエッチオフしてもよいが、図1のように残してもよい。エッチング時のダメージが厚い半導体チャネル保護膜16で素子され、半導体膜15のチャネル形成領域が保護される。

#### 【0066】

< 4．第2の実施の形態 >

40

本実施形態は、ボトムゲート・スタガ型TFTで、半導体チャネル保護膜16を有し、かつ、直線状の輪郭部分30に対してゲート電極の凸部が一箇所で重なる（前記第2の）場合の実施形態である。

図4に平面図、図5に図4のB-B線の断面図を示す。

#### 【0067】

本実施形態が第1の実施形態（図1）と異なる点は、ソースとドレインのレイアウトがチャネル中心から左右に対象となっている点が第1に挙げられる。第2に、ゲート電極13がソース側とドレイン側のそれぞれに平面視で突出する凸部13Bを有している。そして、この凸部13Bが輪郭部分30に対して重なっている。このとき、凸部13Bとエッジポイント31との距離Dcは、前述した一定距離D0以上とすることが望ましい。また

50

、エッジポイント 31 は、ゲート電極 13 のストレート部分に対しても距離  $D_b$  を置いているが、この距離  $D_b$  も一定距離  $D_0$  以上が望ましい。

【0068】

本実施形態で、ゲート電極 13 に電界支配されるチャネル形成領域が、ゲート電極 13 から離れることでオフ電流が大幅に低減される点では、第 1 の実施形態と同様な効果を奏する。

【0069】

これに加えて、凸部 13B が最大限の幅で輪郭部分 30 と重なっているため、輪郭部分 30 の殆どの部分でチャネル形成領域が第 1 または第 2 SD 電極 18, 19 とほぼ直結する。そのため、単なるオフセット構造よりもソース抵抗またはドレイン抵抗が格段に小さくできる利益が得られる。

10

一方、第 1 の実施形態と比べると、ゲートとドレインまたはソース間のオーバーラップ容量（寄生容量）が増えるが、オン抵抗削減の効果が大きく、有用である。

【0070】

なお、特に寄生容量を大きくする領域は、図 4 の網掛けで示す部分である。この部分は、ゲート電極 13 の輪郭より内側であるため、ゲート電界と電氣的に直接結合する領域であり、しかも、半導体チャネル保護膜 16 の外側で、これに電極が乗り上げていない領域である。このため、この領域では、断面構造を想定すると、ゲート電極 13 が、薄いゲート絶縁膜 14 と半導体膜 15 を介して第 1 または第 2 SD 電極 18, 19 と直接、容量結合している。

20

【0071】

しかしながら、図 1 を見ると明らかなように、この領域は 4 つの小さい面積しか有しない。ゲート電極 13 とエッジポイント 31 の距離をリークが増大しない範囲で可能な限り小さくすると、つまり、この距離が上記所定距離  $D_0$  の場合に、この 4 つの領域の面積が最小となって寄生容量も小さくなる。

本実施形態では、オフリークと寄生容量を共に低減する意味で、エッジポイント 31 とゲート電極 13 の距離を上記所定距離  $D_0$  とすることが望ましい。

【0072】

また、本実施形態の TFT は、ソースとドレインの機能が電位関係で入れ替わる、例えばスイッチ素子として有用である。

30

なお、ドレインの機能が固定されている場合、ゲート電極の凸構造を第 1 SD 電極 18 側にのみ形成することも、本実施形態の範疇に属する。

【0073】

ところで、ソースまたはドレインの片側で輪郭部分 30 を横切る凸部 13B を複数設ける、あるいは波型にすると、本実施形態で得られる効果が激減する。つまり、エッジポイント 31 の長さのうち、凸部 13B が横切る部分が低抵抗領域となるため、矩形または波形の凸部 13B が複数あると、その離間部分だけ高抵抗のままであり、オン抵抗の低減が十分にできない。また、凸部 13B の離間部分では、図 4 の網掛け示す領域と同様にオーバーラップ容量が大きくなるので、寄生容量が増大する。したがって、この 2 重の意味で、輪郭部分 30 を複数の凸部が横切るレイアウト構造は望ましくない。

40

【0074】

これに対し、レイアウトは、輪郭部分 30 の両端のエッジポイント 31 のそれぞれから、前述したリーク低減のみに必要な最小の距離（所定距離  $D_0$  だけ離れた最大幅で、かつ単一の凸部 13B を設けることが、第 1 の実施形態では最も好ましい。

【0075】

図 4 において「 $D_b = D_c = D_0$ 」とすると、寄生容量を増加させる網掛け部の面積が最小となるので、さらに望ましい。なお、「 $D_b = D_c > D_0$ 」としても、寄生容量低減効果がある。

以上から、本実施形態で望ましい適用要件の第 2 は、「エッジポイント 31 の各々は、ゲート電極 13 の複数の辺に近接する場合、当該複数の辺から等距離をおいて離れている

50

」ことである。

【 0 0 7 6 】

< 5 . 第 3 の実施の形態 >

本実施形態は、ボトムゲート・スタガ型 T F T で、半導体チャネル保護膜 1 6 を有し、かつ、輪郭部分 3 0 の凹部に対して、ゲート電極の直線エッジが一箇所で重なる（前記第 3 の）場合の実施形態である。

図 6 に平面図、図 7 に図 6 の C - C 線の断面図を示す。

【 0 0 7 7 】

第 2 の実施形態（図 4）では、ゲート電極を凸状にして、これに直線状の輪郭部分 3 0 が重なるレイアウト形状を示すものであった。

10

これに対し、本第 3 の実施形態に関わる T F T 部 1 0 C は、凸部を輪郭部分 3 0 が有するようにして、直線状のゲート電極 1 3 のエッジに、この凸部が重なるレイアウト形状を示す。

【 0 0 7 8 】

より詳細に、図 6 において半導体チャネル保護膜 1 6 が、ドレインとソースの両側に凹部を有する。この半導体チャネル保護膜 1 6 のエッジは、図 7 に示すスロープ下端で第 1 または第 2 S D 電極 1 8 , 1 9 が半導体膜 1 5 と接触する輪郭部分 3 0 を規定する。このため、輪郭部分 3 0 は、チャネル中心側に突出する凸部 3 0 A を有し 4 回折れ曲がった図 6 に示す屈折ライン状となる。第 1 または第 2 S D 電極 1 8 , 1 9 のパターン外郭と、この屈折ライン（輪郭部分 3 0）が交わる 2 点が接触領域（斜めの斜線部分）と非接触領域

20

【 0 0 7 9 】

このレイアウトは、第 2 の実施形態と同様に、「ソース・ドレイン電極が半導体層と接触する領域の輪郭部分に対して、ゲート電極が単一の箇所で重なっている」態様の一例を構成する。

このため、T F T は、大きな凸部 3 0 A の幅全域でチャネル形成領域が第 1 または第 2 S D 電極 1 8 , 1 9 とほぼ接することになり、オン抵抗が低減されている。この効果は、第 2 の実施形態におけるゲート電極 1 3 の凸部 1 3 B の幅（図 4 の縦方向のサイズ）と、第 3 の実施形態における半導体チャネル保護膜 1 6 の凹部（輪郭部分 3 0 の凸部）の幅が同じなら、ほぼ同等に得られる。

30

【 0 0 8 0 】

一方、図 6 に示す網掛け部分は、ゲート電極 1 3 が薄い半導体膜 1 5 等を介して第 1 または第 2 S D 電極 1 8 , 1 9 と容量結合する部分である。この面積は、図 4 の場合より大きい傾向となりやすい。よって、第 3 の実施形態は、第 2 の実施形態より寄生容量が大きい傾向がある。

しかしながら、図 4 における距離 D b 等はリーク低減のための制限を受けて、あまり小さくはできない場合でも、図 6 に示す距離 D d はアライメントずれのみ考慮すれば良いから、より小さくできる。よって、寄生容量を第 2 の実施形態と第 3 の実施形態で同等レベルにまで抑えることは可能である。

【 0 0 8 1 】

40

なお、距離 D d を設計センターでゼロとすることも可能である。その場合、アライメントずれ量が大きいと、凸部 3 0 A がゲート電極 1 3 のエッジに近接するが重ならない場合も発生する。その場合でも、その近接離間長に応じてオン抵抗値が上がるが、その代わり寄生容量はきわめて小さくできる利点がある。

オン抵抗を多少犠牲にしても寄生容量を小さくしたい場合は、このようなレイアウト設計も可能である。

【 0 0 8 2 】

以上、ボトムゲート・スタガ型を例として、主にレイアウトパターンの相違に着目して 3 つの実施形態を説明したが、これを基本として、トップゲート・スタガ型やプレーナ型にも本発明が同様に適用可能である。

50

レイアウトの詳細については既に述べたので、以下、簡略化した平面図と断面でみた構成図を用いて、その他の例を説明する。

【 0 0 8 3 】

< 6 . 第 4 の実施の形態 >

図 8 ( A ) に簡略化した平面図、図 8 ( B ) に縦方向の略式構成図を示す。この略式構成図は、チャンネルが形成される半導体膜とソース・ドレイン電極のチャンネル長方向のおおよその重なり具合を示している。そして、そのエッジポイントに対してゲート電極が最短距離で近接する様子を、図 8 ( B ) には併せて示している。

【 0 0 8 4 】

第 4 の実施形態は、ボトムゲート・スタガ型 T F T で、半導体チャンネル保護膜 1 6 を有し、かつ、ゲート電極 1 3 が幅方向の全幅で輪郭部分 3 0 と重なる（前記第 4 の）場合に関する。

10

図 8 ( A ) に示すように、ゲート電極 1 3 はその幅が、輪郭部分 3 0 の長さより短く、ゲート電極 1 3 が全幅で輪郭部分 3 0 と重なっている。ゲート電極 1 3 は、半導体膜 1 5 より下層に配置され、エッジポイント 3 1 に対して距離 D e で近接している。この距離 D e は前記所定距離 D 0 以上が望ましく、これによりオフリークが大幅に低減される。

【 0 0 8 5 】

なお、ゲート電極 1 3 の面積が小さいが、ソースとゲート間の寄生容量を大きくしてもよいのであれば、ソース側にゲート電極 1 3 を延長して取出し配線としてもよい。

このレイアウトも、「ソース・ドレイン電極が半導体膜に接触する領域の輪郭部分に対して、ゲート電極が単一の箇所で重なっている」形態の一例である。

20

【 0 0 8 6 】

< 7 . 第 5 および第 6 の実施の形態 >

図 9 ( A ) に第 5 の実施形態に関わる簡略化した平面図、図 9 ( B ) に第 6 の実施形態に関わる簡略化した平面図を示す。図 9 ( C ) は、第 5 および第 6 の実施形態に共通な縦方向の略式構成図である。

【 0 0 8 7 】

第 5 および第 6 の実施形態は、ボトムゲート・スタガ型 T F T で、半導体チャンネル保護膜がない場合に関する。とくに第 5 の実施形態は、第 1 の実施形態と同様にゲート電極 1 3 が輪郭部分 3 0 と重ならない（第 1 の）場合に関する。また、第 6 の実施形態は、前記第 4 の実施形態と同様に、ゲート電極 1 3 が幅方向の全幅で輪郭部分 3 0 と重なる（前記第 4 の）場合に関する。

30

【 0 0 8 8 】

図 9 ( A ) および図 9 ( B ) に示すように、半導体チャンネル保護膜がないため、第 1 および第 2 S D 電極 1 8 , 1 9 が、半導体膜 1 5 に乗り上げて、一部で重なっている。したがって、輪郭部分 3 0 は、この重なり部分の S D 電極の輪郭 に相当し、2 回折り曲がった屈折ライン状になっている。

エッジポイント 3 1 は、この輪郭部分 3 0 の両端、つまり半導体膜 1 5 の外郭と第 1 または第 2 S D 電極 1 8 , 1 9 の外郭の交点に相当する。

【 0 0 8 9 】

40

第 5 の実施形態では、ゲート電極 1 3 は輪郭部分 3 0 に近接するが重なっていない。ただし近接するためオン抵抗の増大は極力抑制されている。ドレイン側の寄生容量が極めて小さいことも利点の一つとなる。何よりも、エッジポイント 3 1 がゲート電極 1 3 の外側に位置するためオフリークが極めて小さい。

【 0 0 9 0 】

第 6 の実施形態では、第 4 の実施形態と同様に、ゲート電極 1 3 の幅が、輪郭部分 3 0 の長さより短く、ゲート電極 1 3 が全幅で輪郭部分 3 0 と重なっている。

第 5 および第 6 の実施形態では、ゲート電極 1 3 とエッジポイント 3 1 の距離が、それぞれ D f と D g で示されている。これらの距離 D f と D g は、前記所定距離 D 0 以上が望ましく、これによりオフリークが大幅に低減される。

50

## 【0091】

第1～第4の実施形態で必要であった半導体チャネル保護膜が省略される製造プロセスを、次に例示する。

## 【0092】

## 〔製造方法〕

図10(A)～図10(E)に、第5および第6の実施形態に関わるTFE部の製造途中の断面図を示す。図10に示す配線加工のプロセスを特に、「バックチャネルエッチング型プロセス」という。

## 【0093】

ゲート電極13（およびゲートメタル層13A）の形成（図10(A））、その後のSiN膜14AとSiO<sub>2</sub>膜14Bの形成、および、半導体膜15の形成（図10(B））は、図3に示すエッチングストップパ型プロセスと同様である。

## 【0094】

図10(B)では、続いて、半導体チャネル保護膜を形成することなく、SD半導体膜17Aと下部電極膜17Bの成膜を行う。

そして、図10(C)で、成膜した膜を加工して図示のようにパターンニングする。

## 【0095】

その後、図3と同様にコンタクト孔14Cを形成し（図10(D））、第1SD電極18、第2SD電極19および配線20となる膜（主配線膜17Cと上部電極膜17D）を成膜し、フォトリソグラフィとエッチングにより電極間分離を行う。

このエッチングでは、望ましくは、SD半導体膜17Aが、その上層の膜のエッチングストップパとなる。但し、SD半導体膜17Aとその下地の半導体膜15はともに半導体材料からなり、選択比がとれない場合、SD半導体膜17Aは慎重にエッチングして半導体膜15が必要以上に薄膜化しないようにする。

## 【0096】

< 8．第7および第8の実施の形態 >

図11(A)に第7の実施形態に関わる簡略化した平面図、図11(B)に第8の実施形態に関わる簡略化した平面図を示す。図11(C)は、第7および第8の実施形態に共通な縦方向の略式構成図である。

## 【0097】

第7および第8の実施形態は、第5および第6の実施形態の変形であり、それらの実施形態で図10(E)のエッチングの際に半導体膜15にダメージが入るのを回避する構造を開示する。

そのため、第7および第8の実施形態では、先に（下層に）第1および第2SD電極18, 19を分離した状態で形成してから、その分離した部分を含む第1および第2SD電極18, 19に重ねて半導体膜15を形成する。つまり、図11では第1および第2SD電極18, 19と半導体膜15の上下の関係が、図9の場合と逆になっている。

## 【0098】

レイアウトパターンにおけるゲート電極13と輪郭部分30の関係は、第7の実施形態は第5の実施形態に対応し、第8の実施形態は第6の実施形態に対応する。

## 【0099】

第7および第8の実施形態では、第1および第2SD電極18, 19に薄い半導体膜15を重ねる関係上、第1および第2SD電極18, 19のエッジは順テーパー状とすることが望ましい。しかし、半導体膜15を成膜し、エッチング加工する際には、下地のSD電極にダメージが入っても、厚い導電層であるため不利益とならない。また、このとき既にSD電極の加工は終了しているため、SD電極加工の影響を半導体膜15が受けない。

## 【0100】

なお、この構成は、半導体膜15が多結晶シリコン等の膜であってもよいが、半導体膜15が有機半導体膜の場合に好適である。

## 【0101】



< 9 . 第 9 および第 10 の実施の形態 >

図 12 ( A ) に第 9 の実施形態に関わる簡略化した平面図、図 12 ( B ) に第 10 の実施形態に関わる簡略化した平面図を示す。図 12 ( C ) は、第 9 および第 10 の実施形態に共通な縦方向の略式構成図である。

【 0102 】

第 9 および第 10 の実施形態は、第 7 および第 8 の実施形態の変形であり、その変更点は、ゲート電極 13 を半導体膜 15 のさらに上層に配置したトップゲート型にしたことであり、その他の構成は、第 7 および第 8 の実施形態と共通する。

レイアウトパターンにおけるゲート電極 13 と輪郭部分 30 の関係は、第 9 の実施形態は第 7 の実施形態に対応し、第 10 の実施形態は第 8 の実施形態に対応する。

10

【 0103 】

< 10 . 第 11 および第 12 の実施の形態 >

図 13 ( A ) に第 11 の実施形態に関わる簡略化した平面図、図 13 ( B ) に第 12 の実施形態に関わる簡略化した平面図を示す。図 13 ( C ) は、第 11 および第 12 の実施形態に共通な縦方向の略式構成図である。

【 0104 】

第 11 および第 12 の実施形態は、ボトムゲート・プレーナ型で、半導体チャネル保護膜がなく、かつ、輪郭部分 30 が S D 電極の接触領域のエッジではない場合に関する。具体的に、半導体膜 15 内には、チャネル形成領域 ( C H ) 15 a と、その両側に形成され逆導電型の不純物を高濃度に含む 2 つのソース・ドレイン領域 ( S / D ) 15 b , 15 c を有する。この場合、2 つのソース・ドレイン領域 15 b , 15 c は、第 1 または第 2 S D 電極 18 , 19 の一部として機能する。よって、ソース・ドレイン領域とチャネルが形成される半導体膜とが接触する領域とは、チャネル形成領域 15 a と、ソース・ドレイン領域 15 b または 15 c とが接触する半導体膜 15 の内部面を指す。そして、その接触領域がそのまま「輪郭部分 30」に相当する。輪郭部分 30 の両端がエッジポイント 31 であることは他の実施形態と共通する。

20

【 0105 】

ゲート電極 13 は、このような半導体膜 15 の下方に配置されている。

レイアウトパターンにおけるゲート電極 13 と輪郭部分 30 の関係は、第 11 の実施形態は第 7 および第 9 実施形態に対応し、第 12 の実施形態は第 8 および第 10 の実施形態に対応する。

30

【 0106 】

< 11 . 第 13 ~ 第 16 の実施の形態 >

図 14 ( A ) に第 13 の実施形態に関わる簡略化した平面図、図 14 ( B ) に第 16 の実施形態に関わる簡略化した平面図を示す。また、図 14 ( D ) に第 14 の実施形態に関わる簡略化した平面の一部を示し、図 14 ( E ) に第 15 の実施形態に関わる簡略化した平面の一部を示す。図 14 ( C ) の縦方向の略式構成図は、第 13 ~ 第 16 の実施形態に共通する。

【 0107 】

第 13 ~ 第 16 の実施形態は、ボトムゲート・プレーナ型で、第 11 および第 12 の実施形態の変形を示すものである。

40

図 14 に示すように半導体チャネル保護膜 16 がチャネル形成領域 15 a を被覆して配置されている。この半導体チャネル保護膜 16 は、半導体膜 15 に高濃度の不純物を添加するときのマスク層として利用でき、第 13 ~ 第 16 の実施形態では、そのマスク層をそのまま半導体チャネル保護膜 16 として残すことができる。

【 0108 】

これらの実施形態では、そのマスク層のエッジ形状によって輪郭部分 30 の平面視の形状を決めることができる。例えば、第 14 の実施形態 ( 図 14 ( D ) ) で半導体チャネル保護膜 16 に凸部を有するパターンを形成し、そのパターンを反映してチャネル側に向かって凹状の輪郭部分 30 を形成できる。これとは逆に、第 15 の実施形態 ( 図 14 ( E )

50

）では、半導体チャネル保護膜 16 に凹部を有するパターンを形成し、そのパターンを反映してチャネル側に向かって凸状の輪郭部分 30 を形成できる。なお、第 16 の実施形態は、半導体チャネル保護膜 16 を単純な矩形とした場合である。

第 14 ～ 第 16 の実施形態では、ゲート電極 13 が、その全幅で輪郭部分 30 と重なり、第 13 の実施形態では、ゲート電極 13 が輪郭部分 30 と重ならない場合を示す。

#### 【 0 1 0 9 】

次に、本発明の効果をより明確とするための比較例を説明する。

#### 【 0 1 1 0 】

### < 1 2 . 比較例とその改善点 >

#### [ 比較例の構造 ]

図 15 ( A ) に、比較例のレイアウトパターンを示す。

この比較例では、半導体チャネル保護膜 16 が第 1 S D 電極 18 ( ドレイン電極 ) と交差するエッジで規定される輪郭部分 30 と、その両端の 2 つのエッジポイント 31 が、ゲート電極 13 に覆われている。

このことは、ソース側の第 2 S D 電極 19 でも同じである。

#### 【 0 1 1 1 】

この比較例の構造の場合、ドレイン近傍の最も高電界になる領域、つまり第 1 S D 電極 18 に覆われる半導体チャネル保護膜 16 の輪郭線で規定される輪郭部分 30 においてオフ電流が増大する。特に、エッジポイント 31 でのリークが T F T のドレインリークの支配的な要因となる。

#### 【 0 1 1 2 】

図 15 ( B ) は、このことを電界分布で裏付けるためのシミュレーション結果を示す 3 D グラフである。

図 15 ( B ) に示すように、最も電界が高い領域が第 1 S D 電極 18 のエッジ部の底面に集中しており、特にエッジポイント 31 で急激に電界が高くなっていることが分かる。また、輪郭部分 30 も電界が高いが、y 方向の輪郭部分 30 に沿ってエッジポイント 31 に近づくにつれて、ある箇所から電界が急激に高くなる。

#### 【 0 1 1 3 】

この結果から、エッジポイント 31 からチャネル形成領域 ( ゲート電極 13 で電界支配を受ける領域 ) を遠ざけることがリーク削減に有効なことが分かる。

また、y 方向で言えば、輪郭部分 30 の定常的な電界分布から急激に電界が高くなる箇所からエッジポイント 31 までの距離を、リーク削減のためにゲート電極 13 を離すべき最小の距離、すなわち所定距離 D 0 と見積もることができる。

#### 【 0 1 1 4 】

図 16 は、動作電圧をパラメータとしたオフフリーク電流の実測値を示すグラフである。

このグラフからは、動作電圧 ( ドレイン電圧  $V_{ds}$  ) を上げていくと、動作電流 ( オン電流 ) の増加の割合に比べて、オフフリーク電流の増加の割合が大きくなっている。これは、上記したエッジポイントなどの電界が集中しやすいウイークポイントの存在がオフフリーク電流の主原因となっていることを示唆するものである。

#### 【 0 1 1 5 】

上述した第 1 ～ 第 16 の実施形態では、この比較例に対し、その電界分布のシミュレーション結果に基づいてリーク改善を示すものであり、ゲート電極 13 をエッジポイント 31 から離して形成することでオフフリークを大幅に抑制することができる。そして、その離間距離は、マスク合わせずれに配慮して最低でも図 15 ( B ) から得られる所定距離 D 0 が得られるように設計するとよい。

#### 【 0 1 1 6 】

以上の第 1 ～ 第 16 の実施形態によれば、以下の利益が得られる。

#### 【 0 1 1 7 】

第 1 に、ドレイン側の半導体膜領域をゲート電極 13 が覆わない構造にすることで、電

10

20

30

40

50

界緩和が可能になり、オン電流の低下なしでゲートオフ（0[V]または負バイアス）時のリーク電流を減らすことができる。

【0118】

第2に、ゲートを覆わない領域をチャネルエッジ（エッジポイント31）に限定することにより、ソース・ドレイン対称なレイアウトにでき、ソース・ドレインをいれかえて使用する回路にも適用できる。なお、この利益は第1の実施形態等の非対象レイアウトでは得られない。

【0119】

第3に、ゲートを覆わない領域をチャネルエッジに限定することにより、ドレイン電極の加工ばらつき等によるトランジスタがオンしているときの電流能力ばらつきを抑えながら、リーク電流を減らすことができる。

10

【0120】

第4に、チャネルエッジ部分をゲート電極13が覆わない構造として、ゲートのレイアウトをチャネルエッジ部分だけ切りかきを入れる形状にすることで、チャネルエッジのフリンジ容量を低減でき、回路の寄生容量低減による高速動作が可能になる。

【0121】

< 13 . 第17の実施の形態 >

つぎに、上述した構造のTF Tを表示装置の画素回路素子として用いる場合の実施形態を、有機ELディスプレイを例として説明する。

フラットディスプレイの表示装置として有機ELディスプレイが注目されている。この装置は有機発光素子の発光現象を利用しているため、視野角が広く、消費電力が低いなどの優れた特徴がある。また、高い応答速度を有する利点がある。

20

【0122】

表示装置の駆動方式としてパッシブマトリクス方式に比べて高速な応答が可能なアクティブマトリクス方式が好ましい。

アクティブマトリクス方式を用いた有機ELディスプレイは、少なくとも有機材料を用いた発光素子、その発光素子を駆動する駆動素子、画素の明暗を制御するためのスイッチング素子が必要になり、駆動素子とスイッチング素子として、上述した第1～第16の薄膜トランジスタを用いる。このとき、スイッチング素子には例えば第1あるいは第2の実施形態などの対象レイアウトTF Tを用いる必要がある。駆動素子は、対称レイアウトTF Tでも非対象レイアウトTF Tのどちらでもよい。

30

以下、より詳細な表示装置構成と回路例を説明する。

【0123】

[ 表示装置および画素回路の構成例 ]

図17に、本発明の実施形態に関わる有機ELディスプレイの主要構成を示す。

図解する有機ELディスプレイ1は、複数の画素回路（PXL C）3がマトリクス状に配置されている画素アレイ2と、画素アレイ2を駆動する垂直駆動回路（Vスキャナ）4および水平駆動回路（Hセクタ：HSEL）5を含む。

Vスキャナ4は、画素回路3の構成により複数設けられている。ここではVスキャナ4が、水平画素ライン駆動回路（DSCN）41と、書き込み信号走査回路（WSCN）42とを含んで構成されている。なお、Vスキャナ4とHセクタ5の他に、これらにクロック信号を与える回路や制御回路（CPU等）など、不図示の回路も設けられている。

40

【0124】

図18の回路図に、有機発光ダイオードと、その制御のために画素ごとに設けられている画素回路とを示す。

図18に図解する画素回路3は、電気光学素子としての有機発光ダイオードOLED、NMOSTランジスタからなるサンプリング・トランジスタST、PMOSTランジスタからなる駆動トランジスタDT、および、補正部3Aを有する。

有機発光ダイオードOLEDのカソードが第2電源電圧VSS1に接続されている。

50

## 【0125】

駆動トランジスタDTは、有機発光ダイオードOLEDのアノードと第1電源電圧VDD1との間に接続されている。駆動トランジスタDTは、第1電源電圧VDD1と第2電源電圧VSS1との電位差に応じて流れる駆動電流量を制御する。

駆動トランジスタDTの特性、特に閾値電圧Vtは、有機発光ダイオードOLEDの駆動電流量に直接的に影響し、この閾値電圧Vtがばらつくと、有機発光ダイオードOLEDの発光輝度もばらつく。また、さらに発光輝度の均一性を上げるには、いわゆる移動度 $\mu$ と呼ばれているデバイス特性のパラッキも抑制する必要がある。補正部3Aは、これらのパラッキ補正のために設けられ、その構成は任意である。

10

## 【0126】

補正部3Aはサンプリング・トランジスタSTのソースとドレインの一方と、駆動トランジスタDTのゲートとの間に接続されている。ただし、図解する、この接続は一般的に示すもので、より正確には、有機発光ダイオードOLEDのアノードと駆動トランジスタDTのゲート間等に接続される素子（キャパシタやトランジスタ等）が、この補正部3Aに含まれる。

## 【0127】

サンプリング・トランジスタSTのソースとドレインのもう片方は、信号入力線SIGに接続されている。信号入力線SIGにデータ電圧Vsigが印加される。サンプリング・トランジスタSTは、このデータ電圧印加期間の適正なタイミングで、当該画素回路で表示すべきレベルのデータをサンプリングする。

20

また、サンプリング・トランジスタSTは、補正部3A内の、例えばオフセットレベル（初期レベル）を取り込むトランジスタと兼用されることがある。その場合、信号入力線SIGに、このオフセットレベルとデータ電圧Vsigを交互に印加する必要がある。

## 【0128】

このため、サンプリング・トランジスタSTは、補正部3A側のノードと信号入力線SIG側のノードにおいて、ソースとドレインの機能が頻繁に入れ替わる。

よって、サンプリング・トランジスタSTとして、前述した第1～第16の実施形態に関わるTF Tのうち、対称レイアウトTF Tを用いるとよい。

## 【0129】

30

アクティブマトリックス駆動では、サンプリング・トランジスタSTによるデータ書き込みおよび発光開始を、画素配列における各画素に対し配列順に行い、発光終了については、他の画素の駆動期間に重ねて任意に制御できる。そのためアクティブマトリックス駆動では、低電流駆動で高輝度が得られる。

## 【0130】

その発光制御に用いる駆動トランジスタDTは、ソースが有機発光ダイオードOLEDのアノードに接続され、ドレインが正電源に接続されるため、ソースとドレインの機能が入れ替わることは通常ない。そのため、駆動トランジスタDTとして、前述した第1～第16の実施形態に関わるTF Tのうち、対称レイアウトTF Tのほかに、非対称レイアウトTF Tを用いることも可能である。

40

なお、サンプリング・トランジスタSTをPMOSトランジスタ、駆動トランジスタDTをNMOSトランジスタとすることもできる。

## 【0131】

本実施の形態では、図16に示す駆動トランジスタDTやサンプリング・トランジスタSTに、第1～第16の実施形態で述べたTF Tを用いることで、以下の利益が得られる。

## 【0132】

上記構成のTF Tは、エッジポイントとゲート電極が離れており、そのため低いオフリーク電流、低いオン抵抗、および、低い寄生容量といった特性をバランスよく有する。そのため、ディスプレイ装置に用いられる薄膜トランジスタにおいて、ゲートオフ時にソー

50

スとドレイン電極間に流れるリーク電流増大に起因する画素の滅点や輝点の不良を有効に防止することができる。また、高い周波数に追従して動作できるため高い動画表示性能のディスプレイにも適用できる。さらに、オン抵抗が小さいため、より輝度が高い表示を可能とする。

【 0 1 3 3 】

また、オフリーク電流が抑制され、オン抵抗が小さいため電流ロスが小さいことから、表示装置の消費電力が低減する。

【 0 1 3 4 】

なお、有機ＥＬ素子（ＬＥＤの一種）以外のＬＥＤを発光素子として用いるＬＥＤ表示装置、あるいは、プラズマ表示装置等において、その画素回路素子に、上記実施形態のＴＦＴを用いることができる。また、表示装置以外でも、低リーク特性、低オン抵抗、低寄生容量を同時に満足させる用途であれば、上記第１～第１６の実施形態のＴＦＴを好適に応用できる。

【符号の説明】

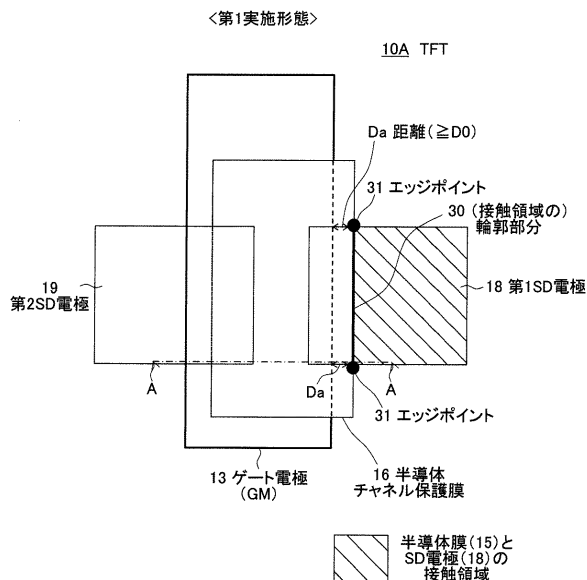
【 0 1 3 5 】

１…有機ＥＬディスプレイ、３…画素回路、１０Ａ、１０Ｂ、１０Ｃ…ＴＦＴ部、１３…ゲート電極、１５…半導体膜、１５ａ…チャネル形成領域、１５ｂ、１５ｃ…ソース・ドレイン領域、１６…半導体チャネル保護膜、１８…第１ＳＤ電極、１９…第２ＳＤ電極、３０…輪郭部分、３１…エッジポイント、ＤＴ…駆動トランジスタ、ＳＴ…サンプリング・トランジスタ

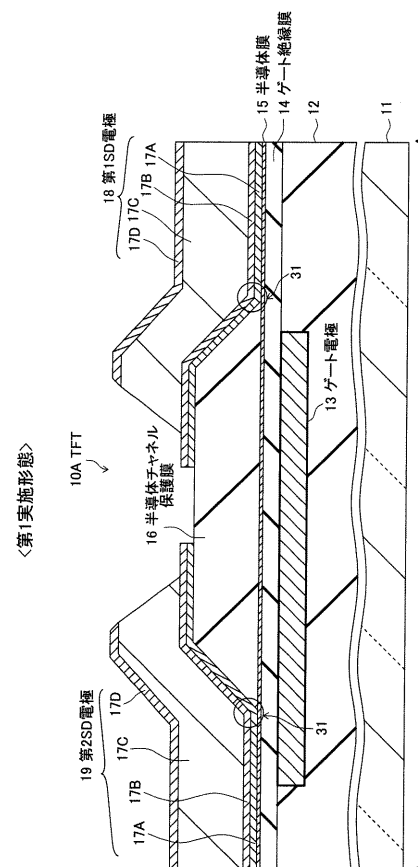
10

20

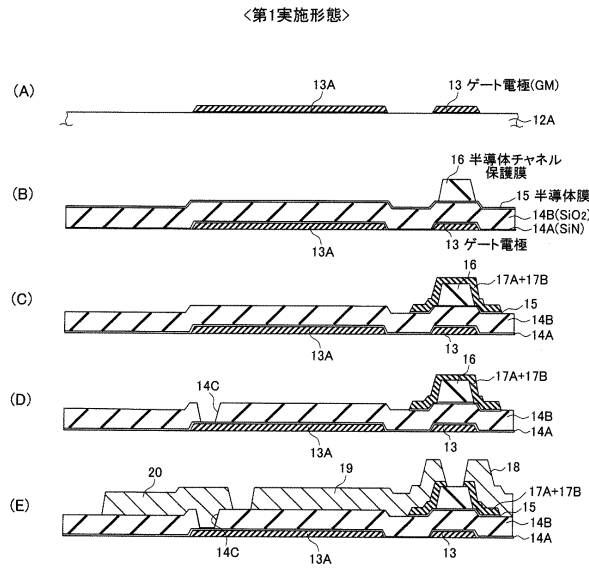
【圖 1】



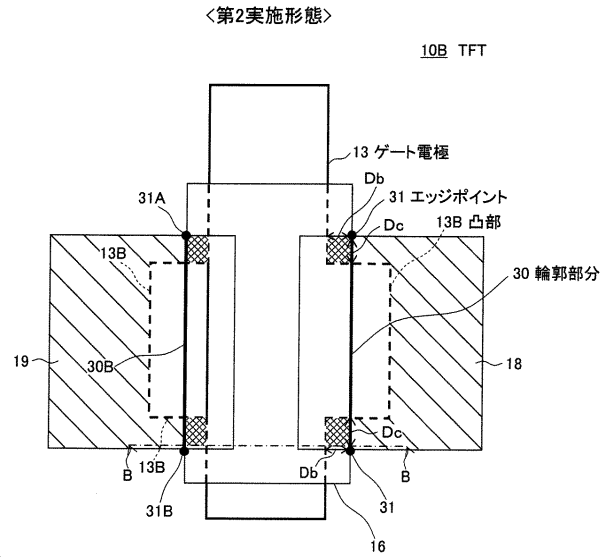
【圖 2】



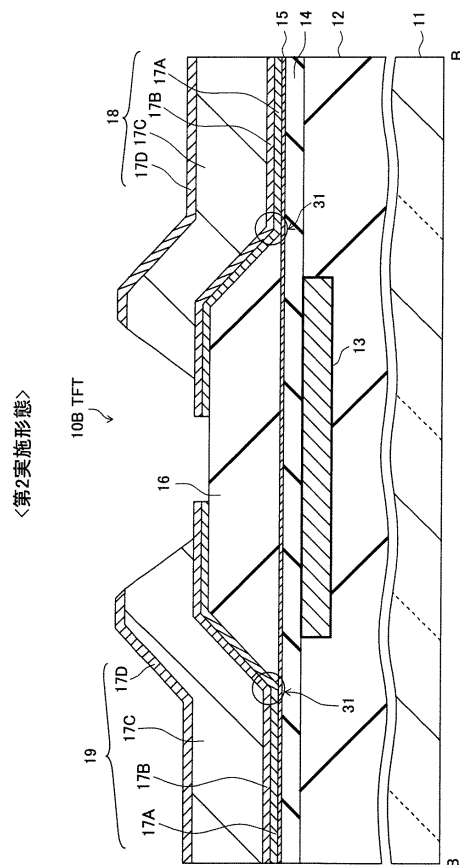
【図 3】



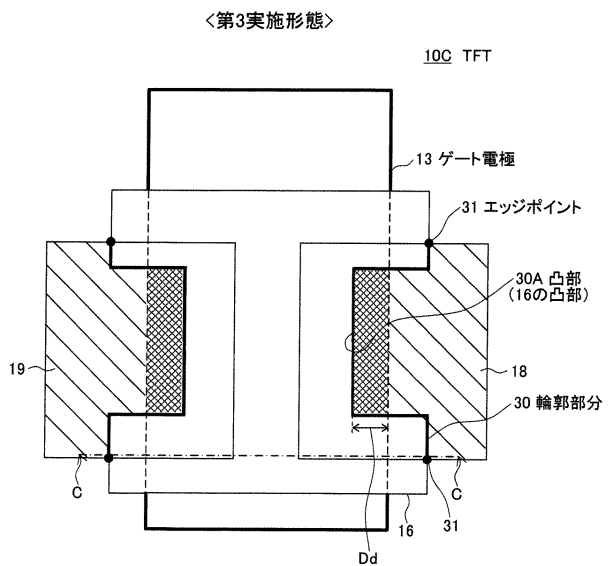
【図 4】



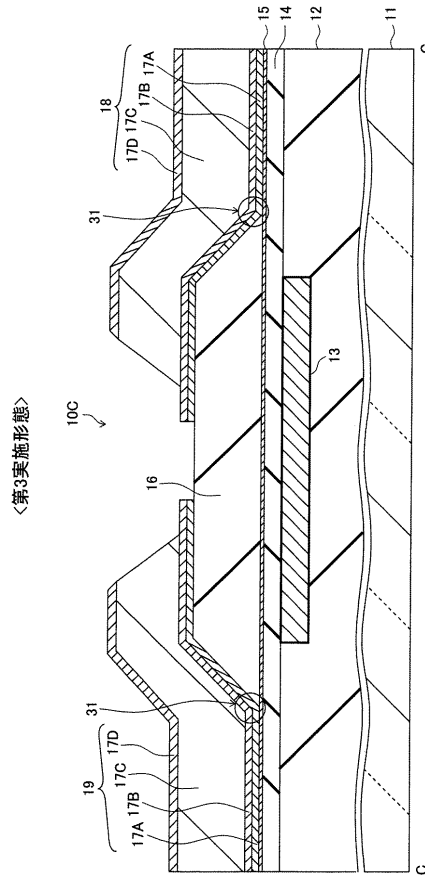
【図 5】



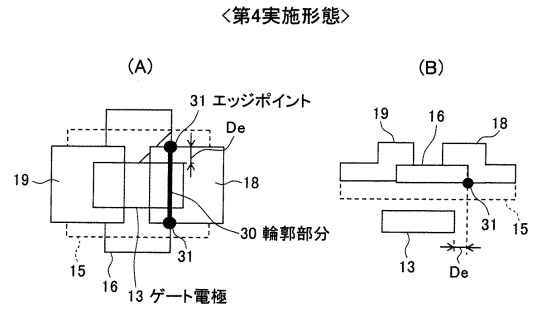
【図 6】



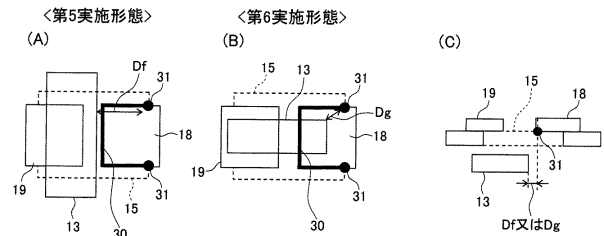
【図 7】



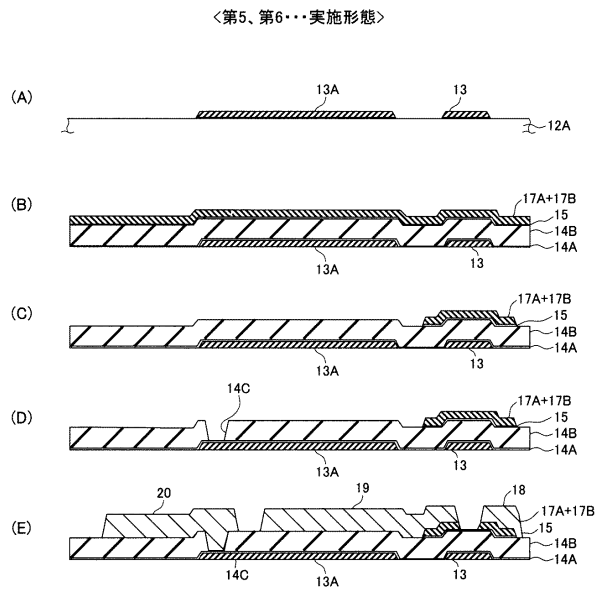
【図 8】



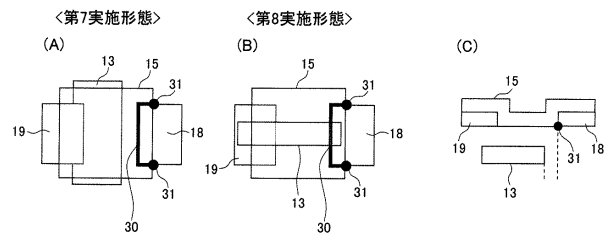
【図 9】



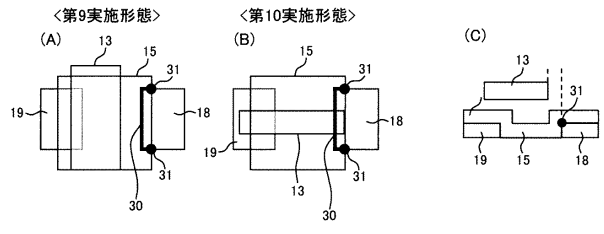
【図 10】



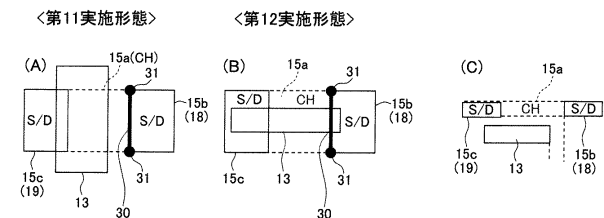
【図 11】



【図 12】



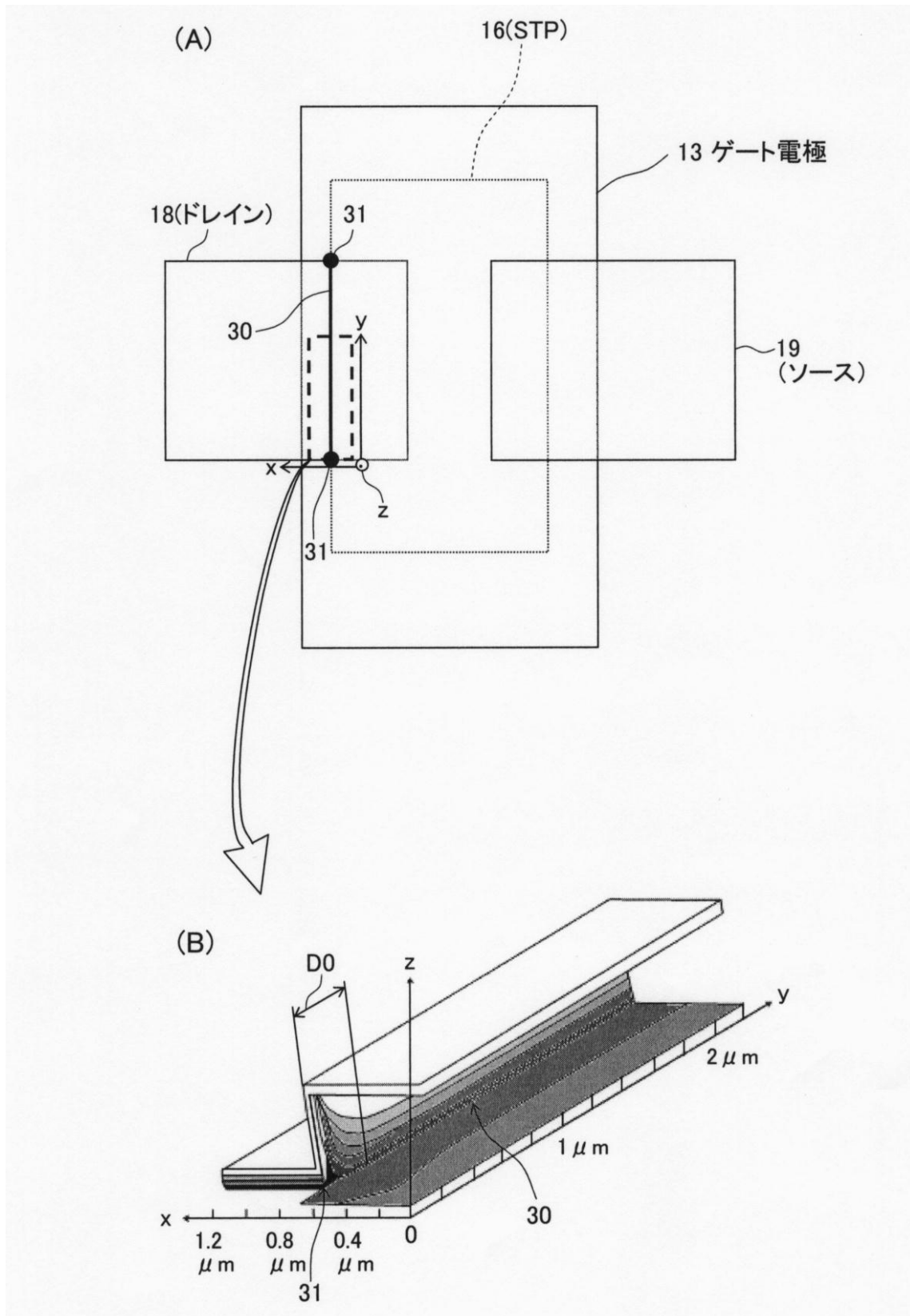
【図 13】



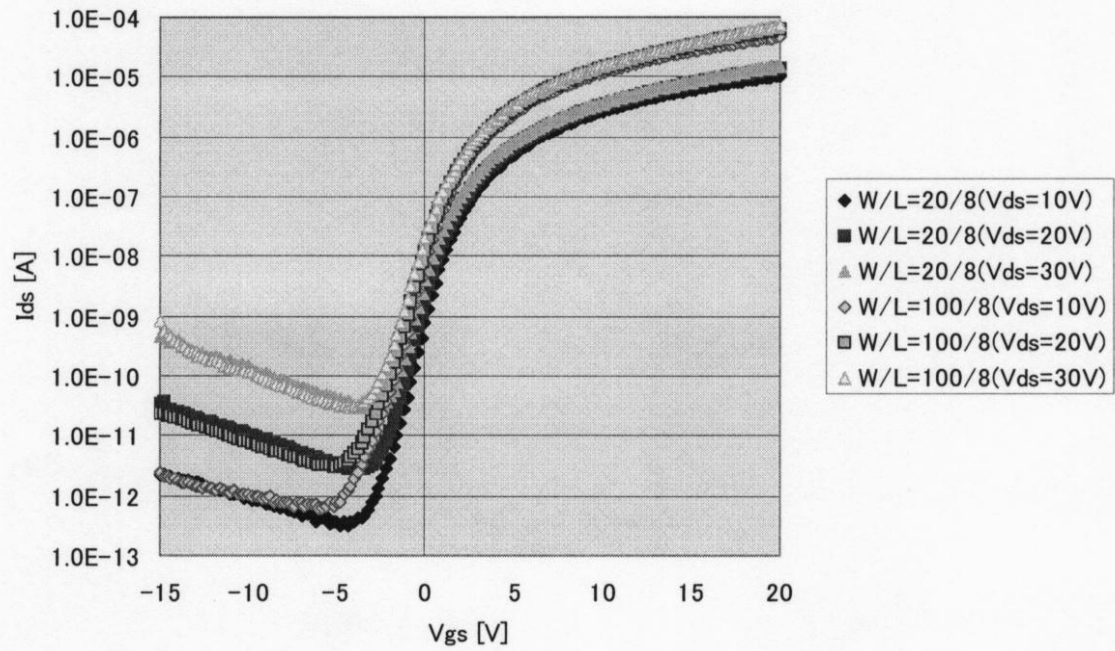




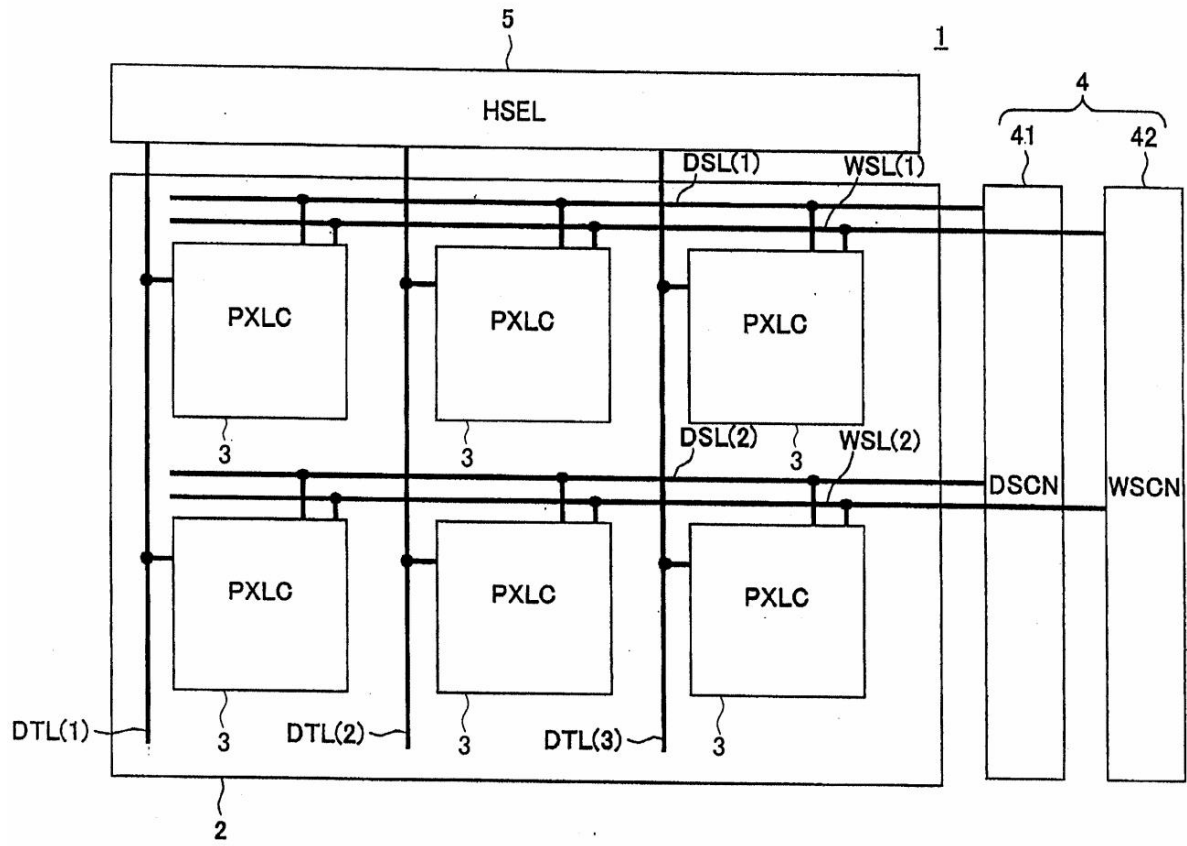
【図 15】



【図 16】



【図 17】



---

フロントページの続き

(56)参考文献 特開2008-205469(JP,A)  
特開平06-051343(JP,A)  
特開2008-288424(JP,A)  
特開2005-079560(JP,A)  
特開2001-242490(JP,A)

(58)調査した分野(Int.Cl., DB名)  
H01L 29/786  
H01L 21/336