

(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

|                                       |                                     |                                          |
|---------------------------------------|-------------------------------------|------------------------------------------|
| (51) Int. Cl.<br>G06F 13/00 (2006.01) | (45) 공고일자<br>(11) 등록번호<br>(24) 등록일자 | 2006년08월02일<br>10-0607392<br>2006년07월25일 |
|---------------------------------------|-------------------------------------|------------------------------------------|

|                                                             |                                                                                   |                                                     |                                                                    |
|-------------------------------------------------------------|-----------------------------------------------------------------------------------|-----------------------------------------------------|--------------------------------------------------------------------|
| (21) 출원번호<br>(22) 출원일자<br>번역문 제출일자<br>(86) 국제출원번호<br>국제출원일자 | 10-2000-7009408<br>2000년08월24일<br>2000년08월24일<br>PCT/US1999/003955<br>1999년02월24일 | (65) 공개번호<br>(43) 공개일자<br><br>(87) 국제공개번호<br>국제공개일자 | 10-2001-0086257<br>2001년09월10일<br><br>WO 1999/43002<br>1999년08월26일 |
|-------------------------------------------------------------|-----------------------------------------------------------------------------------|-----------------------------------------------------|--------------------------------------------------------------------|

(81) 지정국                   국내특허 : 중국, 독일, 영국, 일본, 대한민국, 싱가포르,

(30) 우선권주장           60/075,797                   1998년02월24일           미국(US)

(73) 특허권자           시게이트 테크놀로지 엘엘씨  
미국 캘리포니아 스코츠 밸리 디스크 드라이브 920(우:95066)

(72) 발명자               밀러, 마이클, 에이치.  
미국55346미네소타에 덴프레리파크뷰레인6850

웨스트비, 주디, 린  
미국55438미네소타블루밍턴더블유.111스트리트7906

(74) 대리인               남상선

심사관 : 이정호

(54) 다이내믹 반이중 방식의 루프 공정성을 보존하기 위한통신 시스템 및 방법

요약

본 발명은 루프 공정성을 보존하기 위한 방법 및 장치에 관한 것이다. 소정 실시예는 다이내믹 반이중 방식의 특징을 포함한다. 일 특징은 하나 이상의 포트를 구비한 제 1 채널을 포함하는 루프 공정성을 보존하기 위한 통신 채널 시스템 및 방법을 포함하며, 각각의 포트는 광섬유-채널 중재-루프 직렬 통신 채널에 부착되어 그것을 지지한다. 포트들 중 하나는 상기 포트가 부착된 채널의 제어권을 중재하며, 채널 루프의 제어에서 중재가 획득되면, 미리 결정된 양의 사용이 제 1 포트와 통신 채널 사이에서 발생하였는지의 여부에 적어도 부분적으로 기초하여 통신 채널의 제어권을 해제하도록 한다. 소정 실시예에 있어서, 미리 결정된 양의 사용은 제 1 미리 결정된 양의 데이터 전송을 포함한다. 소정 실시예에 있어서, 제 2 미리 결정된 양의 데이터보다 적은 양의 데이터가 전송되기 위해 남아 있는 경우 채널의 제어권 해제는 방지된다.

대표도

도 5

명세서

**기술분야**

본 발명은 일반적으로 대용량 기억장치 분야에 관한 것이다. 보다 구체적으로, 본 발명은 다이나믹 반이중 모드 데이터 전송의 루프 공정성을 유지하기 위한 향상된 광섬유-채널 중재-루프("FC-AL : Fibre-Channel Arbitrated-Loop) 장치 및 방법에 관한 것이다.

**배경기술**

소정 컴퓨터 시스템의 한 핵심 성분은 데이터를 저장하는 장치이다. 컴퓨터 시스템은 데이터가 저장될 수 있는 많은 상이한 장치를 가진다. 대량의 데이터를 컴퓨터 시스템 내에 저장하기 위한 공통적인 장소는 디스크 드라이브이다. 디스크 드라이브의 가장 기본적인 부분은 회전되는 디스크, 디스크 상의 다양한 위치로 트랜스듀서를 이동시키는 액츄에이터 및 디스크 상에 데이터를 기입 및 그로부터 데이터를 독출하는 데에 이용되는 회로이다. 디스크 드라이브는 또한 디스크 표면에 기입되고 그로부터 충분히 검색될 수 있도록 데이터를 인코딩하기 위한 회로를 포함한다. 마이크로프로세서는 요구하는 컴퓨터로 데이터를 전송하고 디스크에 저장하기 위하여 요구하는 컴퓨터로부터 데이터를 취득하는 것 이외에, 디스크 드라이브의 대부분의 동작을 제어한다.

디스크 드라이브와 컴퓨터 시스템의 나머들 사이에서 데이터를 이송하기 위한 인터페이스는 일반적으로 스카시(SCSI : Small Computer System Interface) 또는 광섬유-채널과 같은 버스 또는 채널이다. 이러한 인터페이스의 소정 특징은 상이한 제조업자로부터의 다양한 장치가 교체될 수 있고 모든 것들이 공통 인터페이스에 접속될 수 있도록 종종 표준화된다. 이같은 표준은 일반적으로 미국 표준 협회와 같은 기구의 소정의 표준 위원회에 의해 규정된다.

다양한 저장 장치 및 다양한 컴퓨터 사이에서 데이터를 교환하기 위한 표준 인터페이스 중 하나가 광섬유-채널이다. 소정 실시예에 있어서, 광섬유-채널 표준은 중재-루프(추가로 설명됨)를 포함한다. 소정 실시예에 있어서, 광섬유-채널 표준은 데이터 전송을 제어하기 위하여 스카시와 유사한 프로토콜을 지원한다.

광섬유-채널은 스카시 설계를 능가하는 상당한 장점을 보인다. 광섬유-채널은 일반적인 스카시 설계에 대한 초당 2 내지 20 메가바이트와 비교하여 상당히 높은 대역폭, 현재 약 초당 106메가바이트까지의 대역폭을 제공한다. 광섬유-채널은 일반적인 스카시 환경에서의 최대 7 또는 15개의 장치와 비교하여 (호스트를 포함하여) 126개의 장치까지 증가한 접속을 제공한다. 광섬유-채널은 하나의 커넥터를 사용하여 부착되며, 스위치를 요구하지 않는다. 동축의 전기 도전체를 사용하는 광섬유-채널은 30미터까지의 장치간의 거리에서 동작하며, 스카시 환경에 대한 25미터까지의 최대 전체 길이와 비교하여 전체 채널에 광섬유를 사용하면 10킬로미터까지의 거리로 동작한다.

스카시 환경에 있어서, 데이터 전송에서의 에러는 패리티를 사용하여 검출되는 반면에 광섬유-채널에서 에러는 수행 불일치 및 순환 중복코드 검사(CRC 검사) 정보를 사용하여 식별된다. 많은 정보는 본 발명에서 참조문으로 인용한 본 발명의 발명자, 웨스트비의 "다중 포트 디자인에서 CRC 발생기를 사용한 순환중복 검사"로 등록된 미국 특허 제 5,802,080호 및 "16B/20B 인코더"로 등록된 미국 특허 제 5,663,724호에서 찾아 볼 수 있다.

광섬유-채널 중재 루프(FC-AL)는 바이트-지향 DC-안정된 (0,4) 실행 길이 한정된 8B/10B 구획된 블록-전송 코드 체제를 사용하는 업계 표준 시스템이다. FC-AL은 106.25MHz의 클록 주파수로 동작한다. 8B/10B 인코더/디코더의 한 형태는 프래나켈 등의 "바이트-지향 DC 안정된 (0,4) 8B/10B 구획된 블록 전송 코드(Byte-Oriented DC Balanced (0,4) 8B/10B Partitioned Block Transmission Code)"의 1984년 12월 4일 특허 허여된 미국 특허 제 4,484,739호에 개시되었다.

광섬유-채널 중재 루프(FC-AL)는 각각 "노드"로 불리는 다수의 장치가 서로 접속되는 것을 허용한다. 노드는 광섬유 "토폴로지(아래에서 정의됨)"에 접속되는 것을 허용하는 인터페이스를 가지는 컴퓨터 시스템의 소정 장치(컴퓨터, 워크스테이션, 프린터, 디스크 드라이브, 스캐너 등)가 될 수 있다. 각각의 노드는 다른 노드로의 액세스를 제공하는 NL 포트("node loop port")로 불리는 적어도 하나의 포트를 가진다. 두 개 이상의 포트를 서로 접속하는 부품은 "토폴로지" 또는 "루프"로 집합적으로 불린다. 각각의 노드는 제공된 토폴로지 또는 루프 내의 다른 모든 노드와 통신한다.

포트는 데이터가 이것을 통해 다른 노드(외부)의 포트에 광섬유를 통과하여 이동하는 광섬유 노드에서의 접속이다. 일반적인 광섬유-채널 드라이브는 드라이브의 노드내에 패키징된 두 개의 포트를 가진다. 각각의 포트는 한 쌍의 "광섬유" 즉, 포트 정보를 이송하기 위한 광섬유 및 포트의 밖으로 정보를 이송하기 위한 광섬유를 포함한다. 각각의 "광섬유"는 직렬 데이터 접속이며, 실시예에서 각 광섬유는 동축 와이어(예를 들어 노드가 서로 근접하여 있는 경우에 사용되는 동축의 구리 도체)이며 다른 실시예에서 광섬유는 (예를 들어 노드가 상이한 캐비넷 또는 특히 상이한 건물내의 노드와 같이 적합한 거

리로 분리될 때) 자신의 경로중 적어도 일부에 대하여 광섬유로 구현된다. 각 포트에 접속된 광섬유 쌍(하나는 데이터를 포트 로 이송하고 다른 하나는 포트로부터 데이터를 이송한다)은 "링크"로 불리고, 각 토폴로지의 일부가 된다. 링크는 노드들 사이에서 정보 또는 "프레임"으로 패키징된 신호들을 전송한다. 각각의 링크는 여러 타입의 프레임(예를 들어 초기화, 데이터 및 제어 프레임)을 처리할 수 있다.

각각의 광섬유가 단지 한방향으로 데이터를 전송하기 때문에, 노드는 루프를 따라 서로 접속되며, 여기에서 노드는 그들이 전송할 데이터를 가질 때 루프의 제어권을 중재하여야 한다. "중재"는 어떠한 노드가 루프의 제어권을 가지는지를 결정하기 위하여 노드를 조정하는 처리이다. 광섬유-채널 중재-루프는 허브 또는 스위치를 사용하지 않고 노드내에 여러 노드를 부착한다. 노드 포트는 중재 동작을 사용하여 포인트 대 포인트의 데이터 전송 회로를 성립시킨다. FC-AL은 각각의 포트가 회로를 성립하기 위한 적어도 최소의 필수적인 기능을 포함하는 분산된 토폴로지이다. 중재된 루프 토폴로지는 두 개 내지 126개의 노드 포트 사이의 소정 개수의 노드를 접속시키기 위해 사용된다.

소정 실시예에 있어서, 각각의 노드는 리던던시를 제공하는 듀얼 포트(각각이 개별 루프에 접속된)를 포함하여, 하나의 루프가 실패할 경우 다른 하나가 루프 임무를 충족시킬 수 있다. 듀얼 포트는 또한 두 개의 호스트(예를 들어 두 개의 호스트 컴퓨터)가 단일 드라이브를 공유하는 것을 허용한다.

### 공정성의 배경기술

본 발명의 "공정성" 개념은 광섬유-채널 루프와 같은 공유된 리소스가 다수의 각 디스크 드라이브(100)와 같은 다수의 사용자들 중 각각에게 시기적절한 원칙으로 즉 부적절한 지연 없이 그리고 각각의 디스크 드라이브(100)가 전송하기를 요구하는 데이터의 양에 비례한 시간의 양 동안 사용될 수 있는 동작 모드이다. "불공정한 동작"은 아주 자주 또는 아주 긴 시간 주기 동안 하나의 사용자, 예를 들어 하나의 디스크 드라이브가 공유 리소스 예를 들어 광섬유 루프의 제어권을 가지는 동작 모드로서, 루프의 사용을 요구하는 다른 디스크 드라이브에게서 그것이 사용하는 루프의 사용을 빼앗게 된다.

"공정성"은 (우선순위에 기초하여) 각각의 포트가 루프로의 액세스를 취득하는 것을 허용하며, 그것이 원하는 정도의 많은 정보를 (시간 제한없이) 전송한다. 이어 모든 다른 포트가 자신의 액세스를 가질 때까지 취득(gain)을 중재하기를 기다려야 한다.

루프에 대한 프로토콜은 각각의 L\_포트(또한 루프 포트로 불림 : L\_포트는 일반적인 루프 포트 "NL\_포트" 또는 두 개의 루프를 서로 상호 접속시키는 데에 일반적으로 사용되는 광섬유 루프 포트 "FL\_포트"가 될 수 있음)가 루프로의 액세스를 연속적으로 중재하는 것을 허용한다. 우선순위는 중재된 루프 물리적 어드레스(AL-PA)에 기초하여 각각의 관여한 L\_포트에 할당된다. 다른 우선 순위화된 프로토콜을 사용하는 것과 같이, 이것은 낮은 우선순위의 L\_포트가 루프로의 액세스를 취득할 수 없는 상황을 야기할 수 있다. 액세스의 공정성 알고리즘은 모든 L\_포트에 중재하기 위한 기회가 주어진 액세스 윈도우를 셋업하고 루프로의 액세스를 얻는다. 모든 L\_포트가 루프를 액세스하기 위한 기회를 가지는 경우, 새로운 액세스 윈도우가 시작된다. L\_포트는 다시 중재되고 새로운 액세스 윈도우 내에서 루프로의 액세스를 균등하게 얻는다. 모든 L\_포트가 소정의 한 액세스 윈도우 내의 루프를 액세스하도록 요구되지는 않는다.

액세스 공정성 알고리즘을 사용하는 L\_포트가 중재되어 루프로의 액세스를 얻을 때, L\_포트는 적어도 하나의 아이들 (Idle)이 L\_포트에 의해 전송될 때까지 다시 중재하지 않는다. 중재를 얻은 제 1 L\_포트와 아이들 전송 사이의 시간은 액세스 윈도우가 된다. 특정 중재 초기 신호(즉 ARB(F(0)))는 액세스 윈도우의 이른 리셋을 방지하기 위해 사용된다. 액세스 공정성 알고리즘에 대한 상세한 설명은 광섬유-채널 FC-AL 내역(ANSI 표준: 광섬유-채널 FC-AL X3T11/Project 960D/Rev.4.5 및 광섬유-채널 FC-AL2 X3T11/Project 1133D/Rev.6.3)에 포함되어 있다.

액세스 공정성 알고리즘은, 단지 ANSI X3.230, FC-PH가 클래스 1 접속에 대한 시간을 제한하지 않는 것처럼, L\_포트가 중재를 얻어 루프를 제어하는 시간을 제한하지 않는다. 그러나, 액세스가 E\_D\_TOV보다 길게 거절된다면, 액세스 윈도우는 리셋되고 L\_포트는 중재를 시작한다. 모든 L\_포트가 공정성 알고리즘을 구현할지라도, FL\_포트나 NL\_포트가 전 시간 동안에 공정성 알고리즘을 사용하도록 요구되는 것은 아니다. 예를 들어 하나의 L\_포트가 다른 L\_포트보다 많은 루프 액세스를 요구한다면, 상기 L\_포트는 불공정한 것으로 선택된다.

모든 L\_포트에 루프로의 동등한 액세스를 제공하기 위하여, 각각의 L\_포트가 액세스 공정성 알고리즘을 사용한다는 것이 추천된다. L\_포트가 액세스 공정성 알고리즘을 사용할 때, 이것은 "공정한" L\_포트로 불린다.

공정한 L\_포트가 중재되어 루프로의 액세스를 얻고 다른 L\_포트가 중재된다는 것을 검출하지 않을 때, 상기 L\_포트는 무기한적으로 현재의 회로를 개방시킨 채로 유지하거나 상기 회로를 폐쇄시켜 루프상의 다른 L\_포트를 오픈시키기 위하여 (재중재 없이) 루프의 소유권을 유지한다.

공정한 L\_포트가 루프를 액세스하고 다른 L\_포트가 중재중임을 검출할 때, L\_포트는 가능한 가장 이른 시간에 루프를 폐쇄한다. L\_포트는 루프를 폐쇄하고 다른 L\_포트를 오픈하기에 앞서 다음 액세스 윈도우에서 다시 중재한다.

소정 루프의 구조는 소정의 L\_포트가 액세스 윈도우당 단지 한번보다 많은 루프로의 액세스를 가지도록 요구할 수도 있다. 이러한 L\_포트의 예는 이에 한정되지는 않지만 서브시스템 제어기 또는 파일 서버를 포함한다.

L\_포트는 액세스 공정성 알고리즘을 사용하지 않도록 초기화(또는 일시적으로 선택)될 수 있다. L\_포트가 공정성 알고리즘을 사용하지 않을 때, 이것은 "불공정한" L\_포트로 불린다. 액세스 공정성에 관여할 지의 여부를 결정하는 것은 구현에 대한 요구에 달려있다.

불공정한 L\_포트가 중재되고 루프로의 액세스를 얻어서 다른 L\_포트가 중재중임을 검출하지 않을 때, 상기 L\_포트는 현재의 회로를 무기한적으로 오픈시킨 채로 유지하거나 상기 회로를 폐쇄시키고 루프상의 다른 L\_포트를 오픈시키기 위하여 (재중재 없이) 루프의 소유권을 유지한다.

불공정한 L\_포트가 루프를 제어하여 다른 L\_포트가 중재중임을 검출할 때, 불공정한 L\_포트는 가능한 가장 이른 시간에 루프를 폐쇄시킬 수 있다. 불공정한 L\_포트는 루프의 소유권을 유지하고 (재중재 없이) 루프상의 다른 L\_포트를 오픈시킬 수 있다.

관여하는 FL\_포트는 자신의 AL\_PA에 기초하여 루프상에서 항상 가장 높은 우선순위의 L\_포트가 된다. FL\_포트는 자신의 트래픽의 대부분이 구성의 나머지를 따르기 때문에, 액세스 공정성 알고리즘의 사용에서 배제된다.

FL\_포트가 루프를 제어하여 다른 NL\_포트가 중재중임을 검출할 때, FL\_포트는 가능한 가장 이른 시간에 루프를 폐쇄시킬 수 있다. FL\_포트가 가장 높은 우선순위를 가지고 공정성으로부터 배제되기 때문에, 그것은 항상 중재를 얻을 수 있다. 따라서, 다른 NL\_포트와의 통신이 요구되는 경우, FL\_포트는 (재중재 없이) 루프로의 자신의 액세스를 유지하여 루프상의 다른 NL\_포트를 오픈시킨다.

따라서, 특히 다이내믹 반이중 특성을 포함하는 광섬유-채널 구현에 있어서 루프 공정성을 보존하기 위한 장치에 대한 요구가 존재하게 된다.

### 발명의 상세한 설명

루프 공정성을 보존하기 위한 방법 및 장치가 개시된다. 소정 실시예는 다이내믹 반이중 특성을 가진다. 본 발명의 일 특징은 하나 이상의 포트를 구비한 제 1 채널을 포함하는 루프 공정성을 유지하기 위한 통신 채널 시스템을 포함하며, 각각의 포트는 광섬유-채널 중재-루프 직렬 통신 채널을 지지하고 상기 채널에 부착된다. 포트중 하나는 포트가 부착된 채널에 대한 제어권을 중재하고 채널 루프의 제어에서 중재가 얻어지면, 공정성 보존 장치는 미리결정된 양의 사용이 제 1 포트와 통신 채널 사이에서 발생하였는지의 여부에 적어도 부분적으로 기초하여 통신 채널의 제어권이 해제되도록 한다.

본 발명의 다른 특징은 광섬유-채널 중재-루프 직렬 통신 채널의 제어권을 중재하는 단계; 및 미리결정된 양의 사용이 제 1 포트와 통신 채널 사이에서 발생하였는지의 여부에 적어도 부분적으로 기초하여 통신 채널의 제어를 해제하는 단계를 포함하는 통신 방법을 제공한다.

상기의 시스템 및 방법에 대한 소정 실시예에 있어서, 미리 결정된 양의 사용은 제 1 미리 결정된 양의 데이터 전송을 포함한다. 이같은 소정 실시예에 있어서, 제 2 미리 결정된 양의 데이터 보다 적은 양이 전송되기 위해 유지된다면, 채널 제어의 해제는 억제된다.

### 도면의 간단한 설명

도 1은 광섬유-채널 노드 인터페이스를 구비한 디스크 드라이브 장치(100)의 블록도이다.

도 2는 본 발명을 구현하는 정보-처리 시스템(1200)의 블록도이다.

도 3은 광섬유-채널 노드 인터페이스 칩(110)의 블록도이다.

도 4는 광섬유-채널 루프 포트 회로(20)의 블록도이다.

도 5는 광섬유-채널 루프 제어 회로(40)의 블록도이다.

### 실시예

바람직한 실시예에 대한 다음의 상세한 설명에 있어서, 본 발명이 구현된 특정 실시예를 설명하기 위해 도시된 첨부 도면을 참조한다. 다른 실시예가 사용될 수 있고, 구조적 변경이 본 발명의 범주를 벗어나지 않고 가능하다는 것이 이해될 것이다.

본 명세서에서 설명된 본 발명은 하드 디스크 드라이브, ZIP 드라이브, 플로피 디스크 드라이브, 광학적 디스크 드라이브, CDROM 드라이브 및 다른 소정 타입의 드라이브, (RAID(Redundant Array of Inexpnsive/independent Disk dirve) 구조와 같은) 드라이브 또는 다른 드라이브 시스템을 포함한 모든 타입의 디스크 드라이브에 대해 유용하며, 여기에서 데이터는 드라이브 및 다른 드라이브 또는 정보 처리 시스템 간에 통신된다. 소정 실시예에 있어서, 본 발명은 광섬유-채널 중재-루프상에 접속된 (다수의 광섬유-채널을 서로 접속시키는 데에 사용되는 것과 같은) 허브 및 스위치, 워크스테이션, 프린터 및 다른 장치 또는 정보 처리 시스템과 같은 비-디스크 드라이브에 대한 노드 인터페이스에 유용하다.

도 1은 광섬유-채널 노드 인터페이스를 구비한 디스크 드라이브 장치(100)에 대한 블록도를 도시한다. 많은 정보는 "루프 초기화 및 응답을 위한 방법 및 전용 프레임 버퍼"로 출원된 미국 특허 출원 번호 09/193,387호에서 찾아 볼 수 있다.

도 1 및 도 2를 참조하여, 광섬유-채널 루프 인터페이스 회로(1220)(노드 인터페이스(1220)로도 불리는)는 루프 초기화 및 응답을 위한 전용 송신 프레임 버퍼(73)를 포함한다. 일 실시예에 있어서, 각각의 노드 인터페이스(1220)는 두 개의 포트(116)(포트 A 및 포트 B로 도시됨)를 포함한다. ("루프 초기화"는 광섬유-채널 루프를 초기화하기 위하여 하나 이상의 규정된 비-데이터 프레임 시퀀스를 송신함으로써 (그리고 이러한 프레임에 대한 응답을 모니터링함으로써) 달성된다. "응답"은 명령 또는 다른 노드로부터의 질의에 대한 응답으로 전송된 비-데이터 프레임이다.) 광섬유-채널 중재-루프 통신 채널(1250)(루프(1250) 또는 광섬유-채널 루프(1250)로 불림)은 디스크 저장 장치(100)와 컴퓨터(1202)(다른 정보 처리 시스템) 또는 다른 정보 처리 장치 사이에서의 데이터를 전달하는 데에 사용될 수 있다. 일 실시예에 있어서, 광섬유-채널 루프(1250)는 직렬 통신 채널이며; 다른 실시예에 있어서, 두 개 이상의 병렬 라인(또는 광섬유)이 광섬유-채널 루프(1250)를 구현하는 데에 사용된다. 이같은 전용 송신 프레임 버퍼(73)를 구비하는 것은 듀얼 포트 노드(1220) 중 하나의 포트(116)가 초기화 또는 응답 프레임을 송신하는 것을 허용하는 동안 다른 포트가 데이터 프레임을 송신 또는 수신한다. 포트(116)는 직렬 라인이고, 하나의 라인(117)은 들어오는 데이터(inbound data)를 위한 것이고 다른 라인(118)은 나가는 데이터(outbound data)를 위한 것이며, 두 라인(117,118) 모두는 통신 채널 루프(1250)에 접속되어 그것의 일부를 형성한다. 전용 수신 버퍼(53, 53', 55)가 또한 2 포트 노드의 각 포트(116)에 제공된다. (프라이밍을 가지는 인용 부호의 각 블록(즉 53')은 프라이밍이 없는 해당 블록(즉 53)과 동일한 기능을 제공하지만 분리된 루프 포트 또는 통신 채널을 위해 사용된다는 것이 주지되어야 한다.) 프레임과 함께 광섬유-채널(1250)로부터 수신된 CRC 정보는 하나 이상의 프레임 버퍼(53,53',55) 중 하나에 저장되고, 이어 프레임 버퍼(53,53',55)내에 있는 동안 데이터의 무결성(integrity)을 보장하기 위하여 검사된다. 루프(1250)의 제어권을 중재하는 데에 소요된 전체적인 시간을 감소시키기 위해, 루프(1250)의 제어는 프로그램 가능한 양의 데이터가 전송에 대해 유효한 한 유지(즉, 루프 접속이 개방인 채로 유지)된다.

소정 실시예에 있어서, 디스크 드라이브(100)는 하나 이상의 디스크 플래터(134), 디스크 플래터당 하나 이상의 자기 기입/독출 트랜스듀서(150) 및 아암 액츄에이터 어셈블리(126)를 구비한 자기 저장 헤드 디스크 어셈블리(HDA)(114)를 포함한다. 트랜스듀서(또는 "헤드")와 HDA 인터페이스(113) 사이의 신호는 디스크플래터(134)로 데이터를 이송 및 그로부터 데이터를 이송한다. 따라서, 소정 실시예의 "디스크 드라이브"(즉 도 1의 디스크 드라이브(1256))는 HDA(114) 및 HDA 인터페이스(113)(예를 들어 일반적인 스카시 드라이브)를 포함하며, 하나 이상의 이같은 일반적인 디스크 드라이브(1256)는 도 1에 도시된 바와 같이, 루프 또는 광섬유-채널 토폴로지로의 접속을 위하여 외부 노드 인터페이스(1220)에 접속된다. 다른 실시예에 있어서, "디스크 드라이브"는 도 2의 디스크 드라이브(100)로 대표되며, 전체 디스크 드라이브(100)내에 디스크 드라이브(1256)와 통합된 노드 인터페이스(1220)를 포함한다. 일 실시예에 있어서, 데이터는 차례로 오프칩 버퍼(111)로부터 및 상기 버퍼로 전송된다. 본 발명은 전용 온-칩 버퍼(119)를 포함하며, 도시된 실시예에서 상기

온-칩 버퍼는 각 포트용의 수신-비-데이터-프레임 버퍼(53)(대안적으로 "내향 비-데이터-버퍼(53)"로 불림), 송신-프레임 버퍼(73) 및 CRC 검사기(569)와 함께 공유 데이터-프레임 버퍼(55)를 포함하며, 상기 송신 프레임 버퍼는 일 실시예에서 두 포트에 의해 동시에 사용될 수 있다(다른 실시예에서 단일의 버퍼가 한번에 하나의 포트에 의해 사용된다).

일 실시예에 있어서, 루프-포트 송수신 블록(115)(즉 115 및 115')은 포트 A 및 포트 B를 통해 그에 접속된 (도 2의) 광섬유-채널 루프(1250)로 데이터 이송을 직렬화 및 비직렬화하는 포트 송수신기를 포함한다. 소정 실시예에 있어서, 송수신기(115)는 외부 송수신기로 구현되고; 다른 실시예에 있어서, 이러한 송수신기는 블록(110)내에 온칩형으로 위치된다. 소정 실시예에 있어서, 우측의 인터페이스(도 1의 송수신기(115,115'))와 관련하여 우측)는 10비트 폭의 병렬 입-출력 신호가 되며; 다른 실시예에 있어서, 그들은 20비트 폭이 된다. 블록(110,111,112), 포트-A 송수신기(115) 및 포트-B 송수신기(115')는 광섬유 채널 노드 인터페이스(1220)를 형성한다. 일 실시예에서, 포트 송수신기(115, 115')는 단일 칩(110) 내에 통합된다. 다른 실시예에 있어서, 직렬화/비직렬화 기능을 포함하는 송수신기(115, 115')는 칩(110)으로부터 분리된 회로상에 구현된다.

다른 실시예에 있어서, 송수신기는 단지 직렬 루프(1250)와 칩(110) 사이의 인터페이스이며, 여기에서 10 비트폭 또는 20 비트 폭 데이터로의 직렬화/비직렬화는 칩상에서 일어난다.

도 2는 컴퓨터 시스템(1200)의 개략도이다. 유용하게, 본 발명은 컴퓨터 시스템(1200)에서의 사용에도 적합하다. 컴퓨터 시스템(1200)은 또한 전자 시스템 또는 정보 처리 시스템으로 불리며, 중앙 처리 유닛("CPU"), 메모리 및 시스템 버스를 포함한다. 컴퓨터 시스템(1200)은 중앙 처리 유닛(1204), 랜덤-액세스 메모리("RAM",1232) 및 중앙 처리 유닛(1204)와 랜덤 액세스 메모리(1232)를 통신적으로 결합시키기 위한 시스템 버스(1230)를 구비한 CPU 정보 처리 시스템(1202)을 포함한다. 상기 CPU 정보 처리 시스템(1202)은 광섬유-채널 노드 인터페이스(1220)를 포함한다. 하나 이상의 디스크 저장 정보 처리 시스템(100 내지 100') 각각은 하나 이상의 디스크 드라이브 장치(1256) 및 광섬유-채널 노드 인터페이스(1220)를 포함한다.

소정 실시예에 있어서, 다수의 디스크 드라이브(1256)는 하나의 노드 인터페이스(1220)에, 예를 들어 RAID 구조로 접속되어 장치(100')가 디스크 드라이브의 RAID 어레이가 된다. 또한 CPU 정보 처리 시스템(1202)은 내부 입/출력 버스(1210) 및 입/출력 장치(1210)에 부착될 수 있는 장치(1212,1214,1216)와 같은 직렬 주변 장치를 구동시키는 입/출력 인터페이스 회로(1209)를 포함한다. 주변 장치는 하드 디스크 드라이브, 자기-광학 드라이브, 플로피 디스크 드라이브, 모니터, 키보드 및 다른 이같은 주변 장치를 포함할 수 있다. 소정 타입의 디스크 드라이브 또는 다른 주변 장치는 본 명세서에서 설명된 광섬유-채널 방식 및 장치(특히 예를 들어 광섬유-채널 노드 인터페이스의 구현물)를 사용할 수 있다. 각각의 장치에 대하여, A 및 B포트가 소정의 주어진 루프(1250)로의 접속을 위하여 사용될 수 있다.

일 실시예의 시스템(1200)은 (중앙 처리 유닛(1204)와 동일한) 중앙 처리 유닛(1204'), (RAM(1232)와 동일한) RAM(1232') 및 중앙 처리 유닛(1204')와 RAM(1232')를 통신적으로 결합하기 위한 (시스템 버스(1230)와 동일한) 시스템 버스(1230')을 구비한 (시스템(1202)과 유사하거나 동일한) 제 2 CPU 정보 처리 시스템(1202')을 선택적으로 포함한다. CPU 정보 처리 시스템(1202')은 (노드 인터페이스(1220)와 동일한) 자신의 광섬유-채널 노드 인터페이스(1220')를 포함하지만 (루프(1250)와는 분리되어 독립적인) 제 2 광섬유-채널 루프(1250')를 통해 하나 이상의 디스크 시스템(100)에 접속된다(도시된 예에서 그것은 디스크 시스템(100)에 접속되었지만 다른 실시예에서는 모든 디스크 또는 디스크 시스템(100 내지 100')에 접속된다). 이러한 구조는 각 정보 처리 시스템(1202)에 대하여 분리된 광섬유-채널 루프를 사용하여 두 개의 CPU정보 처리 시스템(1202, 1202')이 하나 이상의 디스크 시스템(100)을 공유하는 것을 허용한다. 다른 실시예에서, 모든 장치(100 내지 100') 및 모든 CPU 정보 처리 시스템(1202 내지 1202')은 두 루프(1250, 1250')에 접속된다.

본 발명의 일 실시예를 이루는 광섬유-채널 규정은 다음의 ANSI 표준을 포함한다.

광섬유-채널 FC-PH X3T11/Project 755D/Rev.4.3

Physical & Signalling Interface

광섬유-채널 FC-AL X3T11/Project 960D/Rev.4.5

Arbitrated Loop

광섬유-채널 FC-AL2 X3T11/Project 1133D/Rev.6.3

삭제

Arbitrated Loop

광섬유 채널 FCP X3T10/Rev.012

스카시용 프로토콜 X3.2

69-199X

I. 다이나믹 반이중 방식의 루프 공정성 보존

본 발명의 일 실시예는 공정성 보존 장치(175) 및 다이나믹 반이중 방식의("DHD") 명령을 이용한 루프 공정성을 보존하기 위한 방법 및 DHD 명령을 사용하여 공정성을 제공하기 위한 방법을 제공한다.

광섬유-채널이 본질적으로 완전-이중 링크(프레임이 광섬유 쌍에서 동시에 양방향으로 이동한다)일 지라도, 소정의 루프 포트(L\_포트) 구현은 한 방향 데이터 이송을 지원할 수 있다. 포트가 완전 이중 동작을 할 수 있을 때조차, 루프 중재가 감소되는 상황이 존재한다.

다이나믹 반이중 방식(DHD)은 OPEN 상태의 포트에 의해 루프 상에서 송신되는 단순한 루프이며, 더 이상의 프레임이 전송되지 않게 하는 OPENED 상태의 포트를 나타낸다. DHD는;

1. 반이중 데이터 전송이 가능한 포트가 재중재 없이 반대 방향으로 프레임을 이송하는 것을 허용함.
2. OPEN 상태의 포트가 자신의 데이터 전송을 완료하였을 지라도 OPENED 상태의 포트가 모든 프레임을 전송하는 것을 허용함에 의해, 형성된 회로의 사용을 보다 효율적이게 하는 것을 허용한다.

OPEN 상태의 포트는 일반적으로 제 1 CLS를 송신하여 루프를 폐쇄시킨다. 완전 이중 회로가 존재할 때, OPENED 상태의 포트는 CLS를 수신하고 자신이 더 이상의 버퍼 대 버퍼 신용(BB\_Credit-R\_Rdy's)을 가지지 않을 때까지 프레임 송신을 계속할 수 있다. OPENED 포트가 더 이상 프레임을 송신하지 않는다면, 상기 포트는 CLS를 다시 OPEN 포트를 향하도록 하여야 한다.

CLS를 전송하는 것보다 폐쇄 선재(close initiative)를 전송하는 것이 이용가능한 적어도 두 가지 경우가 존재한다.

1. 소정 구현은 노드에서 동시적인 송신 및 수신 전송을 처리할 수 없다. 이러한 노드는 종종 OPEN 포트 동안 기다리는 프레임을 가지지만 그들의 반이중 설계로 인하여 존재하는 양방향 회로의 장점을 취할 수 없다.
2. 완전 이중 전송이 가능할 지라도, OPEN 포트가 CLS를 송신하면 OPENED 포트는 현재의 신용에 기초하여 프레임을 단지 송신할 수 있다. (예; A 포트는 새로운 명령을 수신하기 위하여 OPENED 되며, 2개의 R\_Rdy's를 수신하여 OPEN 포트에 대한 데이터를 독출한다. OPENED 포트는 그것이 폐쇄되기 이전에 단지 2 데이터 프레임을 송신한다.)

이러한 외부적인 재 중재 사이클을 피하기 위하여, DHD 초기 신호가 제공된다. CLS를 송신하는 대신에 OPEN L\_포트에 의해 DHD가 송신된다. DHD를 송신하는 것은 OPEN 포트가 R\_Rdy's 및 링크 제어 프레임(어떠한 데이터 프레임도 제외)을 계속하여 송신하는 것을 허용한다. OPENED 포트는 자신이 DHD를 수신하였고 폐쇄 선재를 유지하는 것을 기억하며, OPEN 포트에 전송할 더 이상의 데이터를 가지지 않을 때 CLS를 송신하도록 예측된다.

이러한 의미에서 "공정성"은 광섬유-채널 루프(1250)와 같이 공유 리소스가 부적절한 지연 없이 디스크 드라이브(100)와 같은 다수의 사용자 각각에 시기적절하게 그리고 각 디스크 드라이브(100)가 전송을 요구한 데이터의 양에 비례한 시간 동안 사용될 수 있는 동작 모드이다. "불공정한 동작"은 하나의 사용자 예를 들어 (발기자로서 동작하는) CPU 정보 처리 시스템(1202)의 한 포트가 다른 모든 사용자가 기회를 가지기를 기다리지 않고 공유 리소스의 제어권을 취하는 동작 모드이다. 불공정한 동작은 종종 제한된 환경(예를 들어 빠른 장치가 느린 장치보다 많은 기회를 취하는 것을 허용함)과 같은 소정의 경우에 바람직하며, 이는 그것이 예를 들어 CUP 정보 처리 시스템이 많은 개수의 느린 디스크 드라이브(100) 상에서의 동작을 시작하는 것을 허용하기 때문이다. 하나의 디스크 드라이브가 불공정하게 동작하는 것을 허용하는 것은 드라

이로부터의 데이터 전송이 그렇지 않은 것보다 빠르게 수행되는 것을 허용하지만, 다른 디스크 드라이브가 서비스되지 않고 다른 동작을 수행할 때까지 자유롭지 않게 되기 때문에 그리고 CPU 정보 처리 시스템(1202)이 오래 대기하여 (도 2 참조) 다른 디스크 드라이브(100)로부터의 데이터를 취할 수 없기 때문에 일반적으로 취약한 시스템 성능을 야기한다.

본 발명에서 개시된 것과 같은 광섬유-채널 중재-루프 설계에 있어서, 루프 포트(1220)는 루프(1250)로의 액세스를 중재하여야 한다. 우선순위 시스템은 어떠한 포트(1220)가 루프(1250)에 대한 제어권을 얻을 지를 결정하는 데 사용되고 "공정성" 체제는 포트가 제어권 획득에 굶주리지 않음을 보장하기 위해 사용된다. 목표 장치와 같이, 디스크 드라이브(100)는 대개 공정하게 동작하고, 루프(1250)로의 동등한 액세스를 각각의 드라이브(100)에 보장하는 낮은 우선순위가 주어진다. (CPU 정보 처리 시스템(1202)과 같은) 발기자(initiator)는 드라이브 대기행렬(드라이브 대기행렬은 대기하는 리스트이며, 각 디스크 드라이브(100)가 그것을 향하는 명령에 대하여 유지하는 현재의 동작이다)이 가득 차도록 유지하기 위해 불공정하게 동작할 수 있다. "발기자"는 다른 장치("목표 장치"로 불림)에 의해 수행되어질 입/출력("I/O") 처리를 요구하는 광섬유-채널 루프 상의 장치이다.

"완전 이중 방식"은 포트로부터 데이터가 수신되는 것과 매우 동일한 시간에 데이터가 상기 포트로부터 전송될 수 있는 동작 모드이다. "반이중 방식"은 포트로부터 데이터가 전송되거나 상기 포트에 수신되지만 단지 교호적이며 동시적이지 않은 동작 모드이다.

본 발명의 일 특징은 광섬유-채널 중재-루프 구조(FC-AL-2)에 추가된 "다이나믹 반이중 방식"으로 불리는 특징이다. (섹션 II, III, IV 및 V의 아래에서 설명된 설계와 같이) 포트가 완전 이중 방식의 동작이 가능할 때조차, DHD 특징을 제공함으로써 많은 루프 중재 사이클이 감소될 수 있는 상황이 존재한다. 예를 들어 OPEN 포트(OPEN 상태의 포트(116))가 CLS 초기 신호를 송신할 때, OPENED 포트는 단지 현재의 신용에 기초하여 프레임 송신할 수 있다. (예를 들어 노드 인터페이스(1220)의 A 포트(116))가 새로운 명령을 수신하기 위하여 OPENED 상태이면, 상기 포트는 두 개의 R\_Rdy's를 수신하고 OPEN포트에 대한 데이터를 독출한다. OPENED 포트는 그것이 단락되기 이전에 단지 두 개의 데이터 프레임을 전송할 수 있다.) 다이나믹 반이중 방식을 이용하여, OPEN포트는 DHD 초기 신호를 CLS 대신에 송신하고 R\_Rdy's를 계속하여 송신한다. 이것은 루프에 대한 중재를 할 필요없이 새로운 명령이 수신될 때 데이터를 독출하는 디스크 드라이브(100)가 전송을 완료하는 것을 허용한다. 이러한 DHD 특징은 중재 사이클을 감소시키지만 루프 공정성을 손상시킬 수도 있다.

예를 들어, 본 발명에 따른 (도 2의) 시스템(1200)에 있어서, 정보 처리 시스템(1202)은 디스크 드라이브(100)로 독출 동작 명령을 송신하고, (제어권을 포기하지 않고 루프(1250)의 제어권에 대한 재 중재 없이, 상당히 많은 데이터 프레임의 전송을 완료하기 위하여 연장된 시간 주기 동안 루프(1250)에 대한 제어권을 디스크 드라이브가 유지하는 것을 허용하는) DHD 초기 신호를 전송한다. 따라서, DHD 초기 신호를 수신한 디스크 드라이브는, 상기 디스크 드라이브가 이미 중재를 얻어 다음 공정성 윈도우를 대기할 지라도 재 중재 윈도우를 다시 사용할 것을 허용받는다. 루프의 공정성(모든 장치에 루프 리소스로서의 동등한 액세스를 갖도록 하는 능력)이 손상된다.

높은 우선순위 어드레스와 불공정한 동작을 가지는(즉 그들이 긴 시간 동안 자신의 차례를 기다릴 수 있을 지라도, 낮은 우선순위 어드레스를 가지는 다른 장치를 희생하여 루프의 제어권을 얻기 위하여 높은 우선순위 어드레스를 사용함으로써) (도 2의) 발기자 정보 처리 시스템(1202)은 중재를 얻어 새로운 명령(예를 들어 DHD 명령)을 드라이브(100)로 전송한다. 드라이브(100)는 그것이 발기자(1202)에 대하여 데이터를 독출하기 때문에 루프(1250)를 중재한다. 드라이브(100)가 DHD 명령을 수신할 때, 그것은 모든 자신의 데이터 프레임 및 동작을 완료시키는 응답을 전송할 것을 허용받는다. 새로운 명령을 사용하여 OPENED 되지 않은 다른 장치(예를 들어 드라이브(100))는 그들이 "공정하게" 중재를 얻을 때까지 기다려야 한다. 반면에, 명령을 완료한 드라이브(100)는 다음 명령을 위하여 데이터를 독출한다. 이전의 명령이 완료되기 때문에, 발기자(1202)는 상기 드라이브(100)에 자신의 대기 행렬이 채워져 유지되도록 새로운 명령을 송신한다. 새로운 명령은 드라이브가 다른 독출 전송을 완료하는 것을 허용한다. 시간을 통해, 소정의 드라이브는 루프(1250)로의 액세스를 "갈망하게"되어 DHD 수신을 이용하는 것보다 적은 명령을 완료할 수 있다.

본 발명의 향상된 공정성 보존 특징은 하나의 노드(116)가 루프(1250)의 제어권을 유지하도록 허용된 시간의 길이를 한정하여, 다른 노드(116)가 정당한 시간 양 이내에 기회를 가진다(따라서 갈망을 회피한다)는 것을 보장한다는 것이다. 일 실시예에 있어서, 한 노드(116)가 루프에 대한 제어를 유지하도록 허용된 시간 길이는 임의의 한 동작에서 전송된 프레임의 최대 개수를 조절함으로써 조절된다. 일 실시예에 있어서, 노드(116)가 자신의 데이터 전송의 완료에 매우 근접한다면, 그렇지 않은 경우에 허용된 최대 개수의 프레임을 초과할지라도 상기 전송을 완료하는 것이 허용된다.

본 발명에 따라, 다이나믹 반이중 방식을 이용할 때 루프 공정성을 보존하기 위하여, 수치적인 프레임 제한 특성은 노드 인터페이스(1220)에 추가된다. 일 실시예에 있어서, 전송이 완료 시점에 근접하지 않았다면 장치(예를 들어 디스크 드라이브(100))가 DHD 명령(또한 DHD "초기"신호로 불림)을 수신한 이후에, 얼마나 많은 독출 데이터 프레임(예를 들어 전송되



어질 데이터 프레임)이 전송되도록 허용되는지에 수치적인 상한이 존재한다. 소정 실시예에 있어서, 수치적 한계는 프로그램 가능하며, 매각인 단일의 로그-인 파라미터에 의해(일 실시예) 또는 모드 페이지 셋팅(다른 실시예)에 의해 설정되거나 마이크로프로세서를 통해 디폴트 값(다른 실시예)으로 설정된다. 이것은 발기자(1220)가 드라이브(100)가 사용되는 어플리케이션(즉 CPU 정보 처리 시스템(1202)에서 운영되는 소프트웨어)에 대해 수치적 한계 값을 프로그램 가능하게 동조시키는 것을 허용하거나, 드라이브가 적당한 값으로 설정하는 것을 허용한다.

일 실시예에 있어서, 본 발명은 도 1에 도시된 것과 같은 공정성-보존 장치(175)를 제공한다. 일 실시예에 있어서, 16비트 카운터(160)(dhd\_cnt\_out(15:0)로도 불림; 도 1 참조)는 DHD 가 수신될 때 init\_zero 신호(159)에 의해 제로가 되고 (증분기(161)를 사용하여) 전송된 각 프레임에 대하여 증가된다. 비교기(162)는 데이터 전송을 보류하기(루프(1250)를 폐쇄함) 위한 시점을 결정하기 위하여, DHD 카운터(160)가 한계 레지스터(163)(dhd\_max\_frms(15:0)로도 불림)에 저장된 수치적 한계 값에 도달할 때를 검사한다. 일 실시예에 있어서, suspend\_xfer 신호(164)는 다른 장치가 루프(1250)를 사용하는 것을 허용하기 위하여, 데이터 프레임 송신 동작의 보류 및 루프의 일시적인 폐쇄를 야기한다(즉 이러한 실시예는 아래에서 설명된 신호(169) 및 신호(170)를 무시하고, 한계에 도달하면 suspend\_xfer 신호(164)와 동일한 suspend\_xfer 신호(172)를 형성함으로써 송신을 보류한다). 다른 실시예에 있어서, 이러한 공정성 보존 장치(175)에 대한 enable\_DHD\_suspend 신호(170)는 또한 AND 게이트(171)의 입력으로 제공된다.(즉 이러한 실시예는 한계에 도달하면 아래에서 설명된 신호(169)를 무시하고 enable 신호(170)가 "온"일 경우에 전송을 보류하고 : enable 신호(170)가 "오프"일 경우 공정성 보존 특성은 디스에이블 된다)

다른 실시예에 있어서, 카운터(160)는 (DHD 명령이 수신될 때보다는) 데이터의 다른 전송 동안 활성화된다. 소정 실시예에 있어서, 카운터(160)는 상술한 설명에서 한계 레지스터(163)에 로드된 값으로 그것을 로딩함으로써 초기화되는 감분 카운터로 대체되고; 이러한 감분 카운터는 매 프레임이 전송될 때마다 감분되어 그것이 제로에 도달하면 신호(164)를 활성화시켜, 아래에서 설명되는 블록(160,161,162,163)에 동등한 기능을 제공한다.

소정 실시예에 있어서, 카운터(160)는 상술한 바와 같이 전송된 프레임의 수를 모니터링한다. 다른 실시예에 있어서, 카운터(160)는 바이트 또는 워드의 수를 모니터링하고 전송된 데이터의 양에 대한 다른 척도를 모니터링한다.

또 다른 실시예에 있어서, 카운터(160)는 전송 동안 경과한 시간의 길이를 모니터링하는 타이머로 대체되고 상기 타이머는 미리 결정된 길이의 시간이 경과하면 신호(164)를 활성화시킨다. 이것은 상술한 것과 유사한 기능을 제공하지만 전송된 데이터의 양에 기초한 것보다 시간의 길이에 기초하여 공정성을 제공한다. 이같은 실시예에 있어서, 미리 결정된 양의 데이터 보다 작은 전송되기 위한 데이터가 남아 있거나 또는 enable\_DHD\_suspend 신호(170)가 디스에이블되는 경우, AND 게이트(171)는 suspend\_xfer 신호를 억제시키는 데에 사용된다.

소정 실시예에 있어서, 카운터(165)는 상술한 바와 같이 전송된 프레임의 개수를 모니터링한다. 다른 실시예에 있어서, 카운터(160)는 바이트 또는 워드의 수를 모니터링하고 전송된 데이터의 양에 대한 다른 척도를 모니터링한다.

또다른 실시예에 있어서, 카운터(165)는 전송 동안 경과한 시간의 길이를 모니터링하는 타이머로 대체되고 상기 타이머는 미리 결정된 길이의 시간이 경과하면 신호(169)를 활성화시킨다. 이것은 상술한 것과 유사한 기능을 제공하지만 전송된 데이터의 양에 기초한 것보다 시간의 길이에 기초하여 공정성을 제공한다. 이같은 실시예에 있어서, 미리 결정된 양의 데이터 보다 작은 데이터가 전송되어지도록 남아 있거나 또는 enable\_DHD\_suspend 신호(170)가 디스에이블되는 경우, AND 게이트(171)는 suspend\_xfer 신호를 초기화시키는 데에 사용된다.

소정 실시예에 있어서, 전송 길이 카운터(165) 논리회로는 프레임 대신에 워드의 수를 사용한다.

상술한 설명이 특히 다이내믹 반이중 방식의 특성을 포함하는 실시예를 설명하는 반면에 DHD 특성에 무관한 본 발명의 공정성 보존 특성의 장치(175)가 제공되는 본 발명의 다른 실시예가 존재한다. 예를 들어 소정 실시예에 있어서, 공정성 보존 특성의 장치(175)가 제공되지만 DHD 특성은 제공되지 않는다. 다른 실시예에 있어서, 양자는 제공되지만 공정성 보존 특성은 DHD 명령이 수신될 때 그리고 소정의 다른 상황에서 이러한 상황에 공정성을 강화시키기 위해서 사용된다. 예를 들면 일 실시예에서, 정보 처리 시스템(1202)으로부터 디스크 드라이브(100)로의 기입 데이터의 전송이다.

일 실시예에서 전송 길이 카운터(165)(xfr\_cnt\_out(26:0)으로도 불림)가 제공된다. 전송 길이 카운터(165)는 남아 있는 전송될 워드수를 나타내는 논리 신호(166)에 의해 감분되며; 전송 길이 카운터(165) 및 감분기(166)는 서로 데이터-송신 프레임-길이 카운터(82)를 형성한다. 이러한 실시예는 전송 길이 카운터(165)내에 남아 있는 워드의 수와 최소 길이 레지스터(dhd\_cmp\_len(26:0)으로도 불림)(168)에 유지된 프로그램 가능한 값과 비교하여, 전송이 완료에 근접한 경우에 전송의 보류를 차단한다.(즉, 최소 길이 레지스터(168)내에 유지된 값보다 전송되어질 남은 워드수가 적은 경우, 전송이 "거

의 완료'된 것으로 정의된다) 일 실시예에 있어서, AND 게이트(171)는 신호(164)와 신호(169)의 논리합을 형성하여, 이어서 다른 장치가 루프(1250)를 사용하는 것을 허용하기 위하여(즉, 이러한 실시예는 아래에서 설명된 신호(170)를 무시하고, 한계에 도달하면 레지스터(168)내의 값보다 남은 워드가 적지 않은 경우에 전송을 보류한다) 데이터 프레임 전송 동작의 보류 및 일시적인 루프의 폐쇄를 야기하는 suspend\_xfer 신호(172)를 구동시킨다. 다른 실시예에 있어서, 공정성 보존 특징 장치(175)에 대한 enable\_DHD\_suspend 신호(170)도 역시 AND 게이트(171)에 입력으로 제공된다. 전송을 보류하기 위한 논리적 등식(게이트(171)의 출력은;

suspend\_xfer 신호(172) =(enable\_DHD\_suspend = '1'

AND(dhd\_cnt\_out(15:0) = dhd\_max\_frms(15:0))

AND(xfr\_cnt\_out(26:0) ≥ dhd\_cmpl\_len(26:0)))

과 같다.

따라서, 루프 중재 공정성을 유지하기 위하여, DHD 초기 신호가 수신되고 독출 데이터가 "개방" 포트(이 포트는 "OPENED" 상태이다)에 대해 이용가능한 경우, 이러한 포트는 데이터를 dhd\_max\_frms 카운트까지 전송하고 루프를 폐쇄시킨다. 전송이 종료에 근접하면(즉 dhd\_cmpl\_len내의 값보다 작음), 이러한 포트는 즉각적으로 폐쇄하기보다는 전송을 종료한다. 전송은 종료되어 중재를 다시 하기 위한 어떠한 요구도 존재하지 않는다. dhd\_max\_frms내의 값 및 dhd\_cmpl\_len은 이러한 특징을 보다 융통성 있게 하기 위하여 모드 페이지 초기화를 통해 또는 로그인 값을 통해 설정될 수 있다.

데이터 프레임이 전송될 때, 카운터(160)는 리셋(즉 제로 값으로 설정됨)되고 DHD 초기 신호가 수신되면 카운터는 각 데이터 프레임이 전송될 때에 1 씩 증가된다. 카운터(160)가 한계 레지스터(163)내에 유지된 최대 허용된 값에 도달할 때, 루프(1250)에 대한 다음의 시간 중재가 획득될 때까지 더 이상의 데이터 프레임은 전송되지 않는다.

"suspend\_xfer" 출력 신호(172)는, DHD가 수신되면 루프상에 close를 전달하기 위하여 포트 A 및 포트 B 개방 제어 회로(42)(도 5 참조; 아래에서 설명됨)로의 입력으로서 루프-제어 회로(40)에 의해 사용된다. 그렇지 않은 경우 DHD 모드는 매우 긴 전송이 루프의 공정성을 붕괴시키는 것을 허용하기 때문에 suspend\_xfer 신호(172)는 루프 공정성을 복원 또는 보존한다.

일 실시예에 있어서, suspend\_xfer 신호(172)는 또한 포트 개방 제어 상태 기계(42,42') 입력으로 제공되며, 포트 개방 제어 상태 기계(42,42')가 루프를 "폐쇄"시키게 하여(즉 다른 장치의 포트가 루프를 중재하는 것이 허용받도록 루프(1250)의 제어권을 해제시킨다), 포트가 루프(1250)의 제어권을 불공정하게 유지하는 것을 방지한다. 소정 실시예에 있어서, suspend\_xfer 신호(172)는 미리 결정된 양의 데이터가 전송되면 활성화된다. 다른 실시예에 있어서, suspend\_xfer 신호(172)는 미리 결정된 양의 시간이 경과되면 활성화된다. 이러한 타입의 실시예들 중 하나에 있어서, suspend\_xfer 신호(172)의 활성화는 미리 결정된 양의 데이터 보다 적은 양의 전송될 데이터가 남아 있는 경우에 방지된다. 상술한 타입의 실시예중 일부에 있어서, suspend\_xfer 신호(172)의 활성화는 enable\_DHD\_suspend 신호(170)가 디스에이블되는 경우에 방지된다.

## II. 루프 초기화 및 응답을 위한 전용 프레임 버퍼

본 발명의 일 실시예에 대하여, 프레임 버퍼는 두 포트가 동시에 활성화되는 것을 허용하기 위하여 3세대 ASIC 칩(광섬유-채널 인터페이스 칩(110))에 부가된다. 비-데이터 프레임을 수신하는 두 개의 버퍼(수신 비-데이터-프레임 버퍼(53,53')로도 불림)는 명령 및 FCP 프레임(광섬유-채널 프로토콜 프레임)이 노드의 두 포트에서 동시에 수신되는 것을 허용하기 위해 (그리고 또한 완전 이중 동작, 즉 포트의 하나의 광섬유상에서 수신하는 동안에 동일한 포트의 다른 광섬유상에서 전송하는 것을 허용하기 위해) 제공된다. 이것은 전송의 중지 또는 종료를 기다리지 않고 디스크 드라이브(100)(도 2 참조)가 동일 포트 및/또는 다른 포트 상에서의 데이터 전송 동안 하나의 포트 상에서 새로운 명령을 수신하는 것은 허용한다. 종래의 접근법보다 빠르게 명령을 취함으로써, 본 발명은 데이터 전송이 진행되는 동안에 명령이 저장되고 최적화되는 것을 허용하며, 이에 따라 시스템(1200)이 성능을 향상시킨다.

도 3은 광섬유-채널 노드-인터페이스 칩(110)의 블록도이다. 본 발명의 광섬유-채널 노드-인터페이스 논리 회로(110)는 중재 루프 논리 회로 및 프레이밍 논리 회로를 포함한 광섬유-채널 프로토콜에 책임이 있다. 일 실시예는 광섬유-채널 프로토콜("FCP") 표준에 의해 정의된 단지 스카시 상위-레벨 프로토콜을 사용하는 (상술한 FC-AL 내역 참조) 등급-3 스카

시 구현에 대해 최적화된다. 광섬유-채널 노드-인터페이스 논리 회로(110)는 듀얼 포트 및 완전 이중 동작을 지원할 뿐만 아니라 다양한 버퍼 대역폭을 지원하는 4개의 온-칩 프레임 버퍼(53,53',55,73)를 포함한다. 광섬유-채널 노드-인터페이스 논리 회로(110)는 또한 마이크로프로세서(112)에 인터페이스되어, 이것은 마이크로프로세서(112)가 광섬유-채널 노드-인터페이스 논리 회로(110)를 구현하고 광섬유-채널 노드-인터페이스 논리 회로(110)의 현재 조건에 관한 상태 정보를 독출하는 것을 허용한다.

광섬유-채널 노드-인터페이스 논리 회로(110)는 두 개의 루프 포트 회로(20)(포트 A를 위한 것과 포트 B를 위한 다른 것, 이들 각각의 포트는 루프 통신을 지원하기 위하여 데이터-인 인터페이스와 데이터-아웃 인터페이스를 가진다), 루프-제어 회로(40)(프레임 송신 회로(40)로도 불림), 수신-경로 논리 회로(50), 전송-제어 논리 회로(60), 단일 프레임 송신 회로(70), 전송 경로 멀티플렉서("mux")(79), 데이터 프레임 송신 경로 논리 회로(80) 및 마이크로프로세서 인터페이스(90)를 포함한다. 이러한 블록들은 수신 프레임 처리, 송신 데이터 프레임 생성, 단일 프레임 송신 생성, 전송 제어 및 프로세서 인터페이스와 같은 동작을 지원한다.

마이크로프로세서 인터페이스 회로(90)는 광섬유-채널 노드-인터페이스 논리 회로(110) 내의 레지스터와 카운터로의 액세스를 마이크로프로세서(112)에 제공한다. ("마이크로프로세서"가 설명될 때, 이같은 표현이 소정의 적합한 프로그램 가능한 논리 장치를 포함한다는 것이 이해될 것이다) 인터페이스 레지스터는 광섬유-채널 인터페이스에 응답하기에 앞서 외부 마이크로프로세서(112)에 의해 초기화된다. 출력 전송은 이러한 인터페이스를 통해 초기화되며, 수신된 전송의 상태는 이러한 인터페이스를 통해 사용가능하다.

도 3에 대한 입력 신호는 광섬유-채널(16)로부터 포트 A를 위한 루프 포트 회로(20)로의 데이터 입력을 전달하는 A\_IN(3021) 및 광섬유-채널(16)로부터 포트 B를 위한 루프 포트 회로(20)로의 데이터 입력을 전달하는 B\_IN(3022)를 포함한다. DATA FROM OFF-CHIP BUFFER(3051)은 오프-칩 버퍼(111)로부터의 데이터를 수신 경로논리 회로(50)로 이송한다. TO OFF-CHIP BUFFER(3052)는 수신 경로 논리 회로(50)로부터의 데이터를 오프-칩 버퍼(111)로 이송한다. BUFFER STATUS(3061)은 전송 제어 논리 회로(60)에 상태를 제공한다. MPU 인터페이스(90)로의 MPU ADDRESS(3091) 및 MPU DATA(3095)은 마이크로프로세서(112)로부터의 어드레스와 데이터를 각각 제공한다. MPU 인터페이스(90)로의 READ\_ENABLE(3092) 및 WRITE\_ENABLE(3093)은 마이크로프로세서(112)로부터의 인에이블 신호를 제공한다. MPU 신호(3097)는 마이크로프로세서(112)가 송신 프레임 버퍼(73)를 액세스하는 것을 허용한다. A\_OUT(3023)은 포트A를 위한 루프 포트 회로(20)로부터 광섬유-채널(16)로 데이터를 이송하고 B\_OUT(3024)는 포트B를 위한 루프 포트 회로(20)로부터 광섬유-채널(16)로 데이터를 이송한다.

도 4는 광섬유-채널 루프 포트 회로(20)에 대한 블록도이다. 본 발명의 일 실시예의 광섬유-채널 설계는 주변장치의 직접적인 부착을 위한 듀얼 포트의 광섬유 인터페이스를 지원하기 위하여, 두 개의 동일한 루프 포트 회로(20)를 포함한다. 일 실시예에 있어서, 광섬유-채널 루프 포트 회로(20)는 수신 레지스터(21), 8B/10B 디코더 논리 회로(22), 워드 동기 상태 기계(23), 수신 클록 손실 검출기(24), 동기 손실 타이머(25), 중재-루프 논리 회로(26) 및 8B/10B 엔코더(27)를 포함한다.

일 실시예에 있어서, 각각의 루프 포트 회로(20)는 10비트 데이터 인터페이스를 사용하여 외부 송수신기(115)(도 1 참조)와 인터페이스된다. 이같은 실시예에 있어서, 송수신기(115)는 직렬 데이터를 직렬화 및 비직렬화하여, 병렬 인터페이스(예를 들어 10비트 폭 또는 20비트 폭의 인터페이스)를 형성한다. 다른 실시예에 있어서, 이러한 송수신기(115)는 칩(110) 내에 통합된다. 병렬 데이터(광섬유-채널로부터의 입력)는 각 송수신기(115)의 수신기 부분으로부터의 수신 클록을 사용하여 캡처링되어, 병렬 8B/10B 디코더를 사용하여 디코딩하기 전에 20비트 폭의 포맷으로 변환된다. 16비트 데이터에(특정한 순서의 세트를 표현하기 위해 사용된) 두 개의 k-문자를 더한 것은 중재-루프 논리 회로(26)에 놓이기에 앞서 워드 정당성에 대하여 검사된다. 중재-루프 논리 회로(26)의 출력은 송신기 클록에 재동기화되어 수신-프레이밍 논리 회로로 전송되거나 엔코더(27)를 통해 루프(1250)상에서 재전송된다. 일 실시예에 있어서, 엔코더(27)는 각 동작 동안 하나의 8비트 문자를 하나의 10비트 문자로 변환하며; 다른 실시예에서 두 개 이상의 8비트 문자가 해당 개수의 10비트 문자로 각각의 동작 동안 변환된다.("16B/20B 엔코더"로 등록된 미국 특허 제 5,663,724호를 참조) 상기 중재-루프 논리 회로(26)는 루프 상태 기계, 정렬된 세트 디코더 및 탄성 삽입 및 제거 기능을 포함한다. 루프 포트 회로(20)는 광섬유-채널 중재 루프 ANSI 표준에 정의된 것과 같은 중재된 루프 프로토콜(즉 상술한 FC\_AL 및/또는 FC-AL2)을 구현한다.

일 실시예에 있어서, 광섬유-채널 데이터는 직렬로 전송되며, 10비트 병렬 데이터를 송수신기(115)에 의해 변환된다. 수신 레지스터(21)는 송수신기(115)로부터의 10비트 데이터(A\_IN(3021) 또는 B\_IN(3022))를 송수신기(115)의 수신기 부분에 의해 생성된 클록을 사용하여 캡처링한다. 데이터는 8B/10B 디코더(22)를 통해 전달되기 이전에 20 비트 폭(즉 두

개의 10비트 문자 폭)으로 즉각 변환된다. "8B/10B 디코더"로 불릴지라도, 일 실시예에서 각각의 동작 동안 디코더(22)는 10비트 문자를 하나의 8비트 문자로 변환하며; 다른 실시예에서 각각의 동작 동안 두 개 이상의 10비트 문자가 해당 개수의 8비트 문자로 변환된다.

8B/10B 디코더 논리 회로(22)는 수신 레지스터(21)에 의해 캡처된 인코딩된 데이터를 입력한다. 두 개의 10비트 문자는 병렬로 디코딩되어 두 개의 8비트 문자를 출력한다. 입력 문자에 있어서 수행 불일치가 검사되어 에러 상태가 워드 동기 상태 기계(23) 뿐만 아니라 중재-루프 논리 회로(26)로 전달된다. 음의 수행 불일치는 수행 불일치 에러를 따라 다음의 정렬된 세트상에 강요된다. 코딩 규칙에 대한 위반도 역시 검사되어 코드-위반 상태는 워드 동기 상태 기계(23)에 전달된다.

수신 클록 손실 디코더(24)는 송수신기(115)로부터의 수신 클록이 정지될 때를 검출한다. "수신 클록의 손실" 조건이 검출될 때, 워드 동기 상태 기계(23)는 리셋되고 데이터는 중재-루프 논리 회로(26)내의 FIFO(FIFO는 선입력 선출력 메모리로 일반적으로 버스 사이의 인터페이스 또는 상이한 속도를 가지는 처리에 사용된다)로 들어가는 것이 방지된다. CFW (current-fill-word)가 워드 동기가 재획득될 때까지 전송된다.

워드 동기 상태 기계(23)는 워드 동기화에 대해 입력 스트림을 모니터링한다. 워드 동기는 적절한 바이트 제어 문자 정렬을 사용하여 3개의 유효한 정렬된 세트가 검출될 때 달성되며, 어떠한 개재된 무효 문자도 검출되지 않는다. "워드 동기 손실"은 FC-PH(즉 FC-PH Physical & Signalling Interface X3T11/Project 755D/Rev.4.3) 표준마다 정의된다. 워드 동기 상태 기계가 달성될 때, 데이터는 중재-루프 논리 회로(26)내의 FIFO로 입력된다.

동기 손실 타이머(25)는 (3개의 유효한 정렬된 세트를 검출하는 것이 프레임 시간을 소요하기 때문에) 워드 동기 손실 조건이 하나의 최대 프레임 시간 이상 동안 제공될 때를 결정하기 위해 사용된다. 상기 타이머가 만료될 때, 마이크로프로세서(112)는 그것이 동작을 취할 수 있도록 LOSS-OF-SYNC 인터럽트 신호(4025)를 사용하여 인터럽트된다.

중재-루프 논리 회로(26)는 루프 탄성 FIFO, 루프 FIFO 제어 논리 회로, 정렬된 세트-디코딩 논리 회로, 루프 상태 기계 논리 회로, CFW 선택 논리 회로, 루프 출력 멀티플렉서 논리 회로, 및 잡다한 기능의 회로를 포함한다. 루프 탄성 FIFO는 입력 데이터를 송신 클록에 재동기화하기 위하여 요구된 버퍼링을 제공한다. 루프 FIFO 제어 논리 회로는 중재 루프 논리 회로(26)의 상태를 모니터링하여, 삽입 또는 제거 동작이 요구되는지의 여부를 결정한다. 정렬된 세트는 정렬된 세트 인식 논리 회로에 의해 디코딩된다. 이러한 정렬된 세트는 FC-PH 정의된 정렬된 세트(즉 FC-PH Physical & Signalling Interface X3T11/Project 755D/Rev.4.3)를 포함하며, 이것은 프레임 경계기호 및 중재-루프 정렬된 세트를 포함한다. CFW 선택 논리 회로는 루프 상태를 모니터링하고, 정렬된 세트를 디코딩하여 CFW를 결정한다. 중재 루프가 인에이블될 때, 하드웨어 상태 기계는 정렬된 세트 디코딩을 사용하여 FC-AL 표준(즉, 광섬유-채널 FC-AL1 중재 루프 표준 X3T11/Project 960D/Rev. 4.5, 또는 광섬유-채널 FC-AL2 중재 루프 표준 X3T11/Project 1133D/Rev. 6.3)에 설명된 루프 기능을 수행한다. 입력 LOOP A TRANSMIT CONTROL OUTPUT(6425) 및 LOOP B TRANSMIT CONTROL OUTPUT(6427)은 도 5의 논리 회로로부터 중재 루프 논리 회로(26)로의 입력을 제공한다. 출력 LOOP A STATES AND CONTROL(6422) 및 LOOP B STATES AND CONTROL(6427)은 각 루프의 출력을 제어하고 루프 제어 논리 회로로 상태를 제공하며, 이것은 차례로 루프-제어 회로(40)(도 5 참조)로의 요구를 생성한다. 출력 LOOP A DATA(4026) 및 LOOP B DATA(4027)은 각 국지적 포트에 데이터를 제공한다.

일 실시예에 있어서, 8B/10B 인코더 논리 회로(27)는 중재 루프 논리 회로(26)로부터 16비트 데이터 및 2k-문자(낮은 k는 항상 0이다)를 수용한다. 일 실시예에 있어서, 입력은 한번에 하나씩(도 1 참조) 송수신기(115)로 분리되어 출력되는 두 개의 10비트 문자로 인코딩되며, 상기 송수신기는 데이터를 직렬 스트림으로 변환한다. 일 실시예에 있어서, 양측의 10비트 문자(즉 20비트)는 데이터를 직렬 스트림으로 변환하는 송수신기(115)에 병렬로 전송된다. 송신 멀티플렉서(79)(도 3 참조)는 또한 현재 수행 불일치에 기초하여 인코더(27)가 정확한 타입의 EOF를 선택하는 것을 허용하기 위하여, EOF(end of frame) 경계기호가 전송되기 시작할 때를 나타내는 상태를 제공한다. 또한 포트가 송신(OPENED 상태에서)하고 있을 때 또는 중재 루프 논리 회로(26)가 초기 신호를 송신하고 있을 때, 수행 불일치는 각각의 비-EOF 초기 신호의 처음에 음(-)으로 강요된다. 출력 신호 A\_OUT(3023) 및 B\_OUT(3024)는 각각의 송수신기(115,115')로 데이터를 전송한다.

도 5는 루프-제어 회로(40)(프레임 송신("XMIT") 회로(40)로도 불림)에 대한 블록도이다. 루프-제어 회로(40)(도 3 및 도 5 참조)는 적절한 중재-루프 상태 기계로의 요구를 생성할 뿐만 아니라 프레임 또는 R\_Rdy's를 전송하기 시작하기 위한 신 프레임링 상태 기계(72,81)로의 요구를 생성하는 제어 논리 회로를 포함한다.

송신 데이터 시퀀서 논리 회로(41)는 전송이 마이크로프로세서(112)에 의해 요구될 때 활성화되는 논리 회로를 포함한다. 송신 데이터 시퀀서 논리 회로(41)는 입력 신호 TRANSMIT STATUS INPUT(6411)을 사용하여 전송을 모니터링하여 전송의 각 단계에 대하여 "enable"(즉 인에이블 신호 TRANSMIT CONTROL OUTPUT(6413))을 생성한다. 이것은 전송-준비 및 FCP 응답이 마이크로프로세서(112)의 개입없이 생성되는 것을 허용한다.

루프 포트 A/B 개방 제어 상태 기계(42(포트 A) 및 42'(포트 B))는 포트가 다른 L\_포트에 의해 개방되는 경우 또는 루프(1250)가 프레임을 전송하기 위하여 개방될 때를 처리한다. 이러한 논리 회로는 루프(1250)를 중재 및 폐쇄하기 위한 요구 및 R\_Rdy's와 다양한 종류의 프레임을 전송하기 위한 요구를 생성하며, 반이중 방식 또는 완전 이중 방식의 동작을 위해 구성될 수 있다.

다음의 조건은 중재에 대한 요구를 시작하기 위해 충족되어야 한다.

- xmit 포트 인에이블과 함께 프레임을 송신하기 위한 마이크로프로세서(112)로부터의 요구
- 송신 포트가 모니터링 상태에 있음
- 전송 길이 카운트가 제로가 아님
- 전송을 중지시키기 위한 마이크로프로세서(112)로부터 어떠한 요구도 없음
- (비-데이터 전송 또는 아직 송신되지 않은 전송-준비를 가진 데이터-기입 전송이 데이터 임계치에 만족되거나, 데이터-기입 송신이 데이터 임계치 및 데이터 프레임 버퍼 임계치에 만족됨)

포트가 반이중 방식의 모드에 대해 구성될 때, R\_Rdy's는 단지 개방된 상태일 때만 송신된다. 포트가 완전 이중 방식의 모드에 대해 구성될 때 R\_Rdy's는 개방된 상태 또는 개방 상태 중 하나에서 송신될 수 있다. R\_Rdy's가 전송되도록 하는 조건은 이용가능한 "버퍼 대 버퍼 신용(BB\_Credit)" 및 최대 BB\_Credit 미만의 현저한 R\_Rdy's를 포함한다.(버퍼 대 버퍼 신용 제어논리 회로(603)는 프레임이 송신되는 것을 허용하기 위하여 접속된 포트에 버퍼 신용을 발생시킨다. 이러한 신용은 R\_Rdy's를 전송함으로써 발생된다)

포트가 반이중 방식의 모드에 대해 구성될 때, 프레임은 개방 상태일 때만 송신된다. 포트가 완전 이중 모드에 대해 구성될 때, 포트가 프레임 수취자에 의해 완전 이중 방식의 모드로 개방되는 경우에 프레임은 OPENED 상태 또는 OPEN 상태로 송신될 수 있다.

프레임을 송신하기 위한 요구는 다음의 모든 조건이 만족할 때 생성된다.

- 데이터 프레임 버퍼(55)가 이용가능한 데이터를 가짐.
- 버퍼 대 버퍼 신용이 이용가능함(수신된 R\_Rdy's).
- 비-데이터 전송 또는 데이터-기입 전송 및 전송-길이 카운터(블록(609))가 제로가 아님.

루프(1250)가 폐쇄(통신 채널의 제어가 포트(116)에 의해 해제됨)되도록 하는 조건은 다음;

- OPENED 상태에 들어갈 때 어떠한 버퍼 대 버퍼 신용도 이용가능하지 않음
- 공정성에 대하여, 즉 전송될 수 있는 프레임 수에 대한 (도 1의 한계 레지스터(163)에 규정된) 미리 결정된 한계가 DHD 카운터(160)에 의해 도달되고(선택적으로) (최소 길이 레지스터(163)에 의해 규정된)최소 길이 이상의 전송되어질 프레임 개수가 남아 있고, (선택적으로) enable\_DHD\_suspend 신호(170)가 활성화됨
- 현저한 R\_Rdy's 가 존재하지 않고 OPENED 상태일 때 더 이상의 BB\_Credit가 이용가능하지 않음.
- 포트가 OPENED 상태에 있을 때 프로세서 비지 요구가 활성화됨.

- 전송이 완료됨.
- 데이터-독출 전송 동작 및 데이터가 이용가능하지 않음
- CLS 초기 신호가 수신되고 더 이상의 BB\_Credit 가 이용가능하지 않음, 및
- 마이크로프로세서 중지 요구가 미정이고 논리 상태가 프레임 내에 존재함을 포함한다.

도 5에 있어서, 루프 포트A/B 개방 초기 제어 상태 기계(46(포트A), 46'(포트B))는 루프가 개방 초기 상태일 경우를 처리한다. 이러한 논리 회로(46,46')는 프레임을 송신하기 위한 요구를 생성한다. 각 포트에 대하여 하나의 상태 기계(46, 46' 각각)가 존재한다. 이러한 상태 기계는 마이크로프로세서(112)가 그것을 요구할 때 프레임을 전송하기 위한 요구를 생성하고 EOF의 전송을 모니터링한다. 전송이 완료될 때, 전송-완료는 마이크로프로세서(112)를 위해 생성된다.

블록(40)으로의 입력은, PORT BB\_CREDIT AVAILABLE TO TRANSMIT R\_RDY(6017) 및 PORT CREDIT AVAILABLE TO TRANSMIT A FRAME(6020), LOOP A STATES AND CONTROL(6422) 및 LOOP B STATES AND CONTROL(6432)(도 4 참조) 및 DATA AVAILABLE(6019)를 포함한다. 블록(40)으로부터의 출력은 TRANSMIT CONTROL OUTPUT(6413), LOOP A TRANSMIT CONTROL OUTPUTS(6425) 및 LOOP B TRANSMIT CONTROL OUTPUTS(6427)을 포함한다.

### III. 수신 프레임용 전용 프레임 버퍼

듀얼-포트 광섬유-채널 중재-루프 설계(1200)에 있어서, 온-칩 프레임 버퍼(119)내의 버퍼는 들어오는 그리고 나가는 프레임을 관리하는 데에 사용된다. 수신 및 전송된 프레임은 일반적으로 낮은 전송 속도로 커다란 오프-칩 영역(예를 들어 오프 칩 버퍼(111))내에 저장된다. 오프칩 버퍼(111)가 단일 포트에 대하여 전체 전송 비율을 수용할 수 있을 때조차, 듀얼 포트 설계에 대하여 요구된 대역폭은 더욱 증가하여 추가의 비용을 부가한다. FC-AL ASIC(110)에서의 온-칩 프레임 버퍼(119)(도1)는 성능, 실리콘 부동산(real estate) 및 비용 사이의 균형을 깨트리기 위해 다양한 방식으로 구성된다. 본 명세서는 비-데이터 타입의 프레임을 각각의 포트상에서 동시에 수신하기 위한 전용 프레임 버퍼(53,53')(전체 온-칩 프레임 버퍼(119)의 구성 요소)의 사용뿐만 아니라, 대형 전용 데이터 프레임 버퍼(역시 전체 온-칩 프레임 버퍼(119)의 구성 요소)의 제공을 상세히 설명한다. 본 발명에 따른 듀얼 포트 설계에 있어서, 프레임은 두 포트(116)상에서 동시에 수신될 수 있다. 프레임은 그들이 수신된 이후에 일반적으로 대형 오프칩 메모리(11)로 이동 및 저장된다. 많은 정보는 "루프 초기화 및 응답을 위한 방법 및 전용 프레임 버퍼"로 출원된 미국 특허 출원 제 09/193,387호에서 알 수 있다.

### IV. 온-칩 메모리 내에서 데이터 무결성을 위한 광섬유-채널 CRC 사용

본 발명의 일 특성에 따라, 광섬유-채널 프레임을 일시적으로 저장하는 프레임 버퍼는 최대 광섬유-채널 인터페이스 데이터 전송 비율로 프레임이 수신되는 것을 허용한다. 프레임은 보다 잘 관리할 수 있는 느린 속도로 오프-칩 저장 장치로 전달될 수 있다. 패리티, CRC 또는 다른 리던던시 기능과 같은 다양한 메카니즘이 그들이 프레임 버퍼내에 저장되는 동안 데이터를 보호하기 위하여 선택적으로 사용된다.

일 실시예에 있어서, 데이터 무결성 검사는 수신된 광섬유-채널 CRC 코드를 프레임 버퍼를 통해 데이터와 함께 전달함(즉 CRC 는 프레임 버퍼에 프레임과 함께 저장되고 이후에 프레임과 함께 독출된다)으로써 강화되며, RAM을 더 넓게 하는 여분의 패리티 비트는 생략될 수 있다.

### V. 중재-루프 오버헤드를 감소시키기 위한 방법 및 장치

광섬유-채널 중재-루프 설계(1200)에 있어서, 루프 포트(116)의 노드 인터페이스(1220)는 루프(11250)로의 액세스를 중재하여야 한다. 우선 순위의 시스템은 어떠한 포트가 루프(1250)의 제어권을 획득하였는지를 결정하는 데에 사용되며, "공정성" 체제는 포트가 제어권 획득을 갈망하지 않는다는 것을 보장하는 데에 사용된다. 목표 장치로서, 디스크 드라이브(100)에는 일반적으로 CPU 정보 처리 시스템(1202) 보다 낮은 우선 순위가 주어지며, 결과적으로 드라이브(100)는 높은 우선순위의 장치가 그들의 액세스를 완료할 때까지 중재를 얻기 위하여 대기하여야 한다. 루프 포트(116)의 노드 인터페이스(1220)가 루프(1250)의 제어권을 얻을 때, 불필요한 중재 사이클을 회피하기 위하여 루프(1250)를 폐쇄시키기 이전에 가능한 많은 프레임을 전송한다. 그러나, 데이터가 더 이상 이용가능하지 않을 때, 루프 포트(116)의 노드 인터페이스(1220)는 다른 포트가 루프(1250)로 액세스하는 것을 허용하기 위하여 루프(1250)를 폐쇄한다. 이것은 소정의 다른 제어

기 구조에서 사용된 방법이다. 본 발명은 포트에 대한 데이터 이용가능성에 기초하여 루프(1250)의 폐쇄여부를 결정하기 위한 규칙을 변경함으로써 루프 성능을 강화시키기 위한 메카니즘을 제공하며, 따라서 이것은 전체 루프 오버헤드를 감소시킨다.

소정의 다른 제어기 구조에 있어서, EOF 경계기호가 전송될 때, 포트는 다른 프레임이 이용가능한지의 여부를 결정한다. 데이터가 더 이상 이용가능하지 않을 경우(예를 들어 모든 프레임이 전송에 대해 이용가능하지 않을 경우), 루프(1250)는 폐쇄된다. 데이터가 곧바로 이후에 다시 이용가능하게 될 수 있고, 포트는 전송을 계속하기 이전에 다시 중재하여야 하고 중재를 얻어야 한다. 전송의 마지막 프레임이 이용가능하게 되는 것으로 이러한 상황이 발생하면, 전송의 완료는 지연되며, 이것은 다음 명령이 행하여지기 이전에 지연을 야기한다. 본 발명은 포트에 대해 데이터가 곧바로 이용가능하게 되는 경우에 루프(1250)가 포트에 의해 개방 상태를 유지하도록 허용하는 제어기 구조 설계에 대한 메카니즘을 제공한다. 일 실시예에 있어서, 다음의 조건;

- 적어도 X-프레임이 이용가능한 오프-칩이며,

- 적어도 Y워드 데이터가 데이터 프레임 버퍼(55)내에서 이용가능함의 조건이 충족될 때(포트가 루프의 제어권을 보유한다는 것을 정당화하기 위하여) 포트에 대하여 이용가능하게 될 충분한 추가 데이터를 기대하고 루프(1250)는 개방 상태를 유지한다. 일 실시예에 있어서, 루프(1250)는 미리 결정된 양의 데이터가 이용가능한 경우에 개방 상태를 유지하지만(적어도 절반 프레임의 온-칩 및 적어도 한 프레임의 이용가능한 오프-칩), 전체 프레임이 이용가능한 온-칩일 때까지 프레임 전송은 시작하지 않는다.

본 발명의 목적은 루프(150)를 오픈 상태로 유지하여 데이터가 포트(116)에 대해 곧바로 이용가능하게 될 때 추가의 중재 사이클을 회피하는 것이다. 루프(150)는 연장된 시간 주기 동안 대기가 이루어지는 경우에 데이터가 이용가능하게 되는 것을 대기하는 동안에는 오픈 상태를 유지하지 않아야 한다. 이것은 루프(1250) 상의 다른 포트가 전송을 수행하는 것을 방지하기 때문이다.

## 결론

하나 이상의 포트(116)를 구비한 제 1 채널 노드(1220)를 포함하는 루프 공정성을 보전하기 위한 향상된 통신 채널 시스템이 상술되었다. 각각의 포트(116)는 광섬유-채널 중재-루프 직렬 통신 채널(1250)에 부착되고 그것을 지지한다. 포트 중 하나는 포트의 부착된 채널(1250)의 제어권을 중재하며, 채널 루프에 대한 제어권에 있어서 한번의 중재가 얻어지면, 공정성 보존 장치(175)는 제 1 포트와 통신 채널(1250) 사이에서 미리 결정된 양의 사용이 발생하였는지의 여부에 적어도 부분적으로 기초하여 통신채널의 제어권이 해제되게 한다.

소정 실시예에 있어서, 미리 결정된 양의 사용은 통신채널의 제어권이 미리 결정된 길이의 시간 동안 유지되는 것을 포함한다.

다른 실시예에 있어서, 미리 결정된 양의 사용은 제 1 미리 결정된 양의 데이터의 전송을 포함한다. 이같은 실시예에 있어서, 시스템(1200)은 전송된 데이터의 양을 모니터링하는 제 1 카운터(160)를 추가로 포함한다. 동작적으로 제 1 카운터(160)에 결합된 제 1 비교기(162)는 통신 채널의 제어권이 제 1 카운터에 의해 모니터링된 데이터의 양이 제 1 미리 결정된 데이터의 양에 도달하는지의 여부에 적어도 부분적으로 기초하여 해제되도록 한다. 일 실시예에 있어서, 제 1 미리 결정된 양의 데이터는 레지스터(163)에 유지된다.

소정 실시예에 있어서, 시스템(1200)은 전송되기 위해 남아 있는 데이터의 양을 모니터링하는 제 2 카운터(165)를 추가로 포함한다. 제 2 비교기(167)는 상기 제 2 카운터(165)와 동작적으로 결합되고, 제 2 카운터(165)에 의해 모니터링된 데이터의 양이 제 2 미리 결정된 데이터의 양 보다 적은지의 여부에 적어도 부분적으로 기초하여 통신 채널의 제어권 해제를 방지한다. 일 실시예에 있어서, 제 2 미리 결정된 양의 데이터는 레지스터(168)내에 유지된다.

소정 실시예에 있어서, 시스템(1200)은 다이내믹 반이중 방식을 추가로 지원하며, 여기에서 제 1 카운터(160) 및 제 1 비교기(162)는 제 1 포트에 의한 다이내믹 반이중 방식의 명령의 수신에 따라 초기화된다.

소정 실시예에 있어서, 제 1 미리 결정된 양의 데이터 및 제 2 미리 결정된 양의 데이터는 프로그램 가능한 양이다.

소정 실시예의 시스템(1200)은 제 1 채널 노드(1220)에 동적으로 결합된 자기 디스크 저장 드라이브(114)를 추가로 포함한다. 컴퓨터 시스템(1202)은 제 2 채널 노드(1220)를 포함하며, 제 2 채널 노드(1220)는 광섬유-채널 중재-루프 직렬 통신 채널을 통해 제 1 및 제 2 채널 노드 사이에서의 데이터 전송을 위하여 광섬유-채널 루프(1250) 내의 제 1 채널 노드에 동적으로 결합된다.

본 발명의 다른 특징은, (a)광섬유-채널 중재-루프 직렬 통신 채널의 루프에 대한 제어권을 중재하는 단계; 및 (b) 제 1 포트와 통신 채널 사이에서 미리 결정된 양의 사용이 발생하였는지의 여부에 적어도 부분적으로 기초하여 통신 채널의 제어권을 해제하는 단계를 포함하는 통신 방법을 제공한다.

일 실시예의 방법에서, 해제하는 단계(b)는 (b)(i) 통신 채널의 제어권이 미리 결정된 길이의 시간 동안 유지되었는지의 여부를 결정하는 단계; 및 (b)(ii) 상기 결정하는 단계(b)(i)에 기초하여 루프의 제어권을 해제하는 단계를 더 포함한다.

다른 실시예의 방법에서, 상기 해제하는 단계(b)는 (b)(iii) 제 1 미리 결정된 양의 데이터가 전송되었는지의 여부를 결정하는 단계; 및 (b)(iv) 상기 결정하는 단계(b)(i)에 기초하여 루프의 제어권을 해제하는 단계를 더 포함한다. 이같은 실시예에 있어서, 결정하는 단계(b)(iii)는, (b)(iii)(A) 제 1 값을 제공하기 위하여 전송된 프레임의 개수를 모니터링하는 단계; 및 (b)(iii)(B) 제 1 값을 제 1 미리 결정된 양의 데이터와 비교하는 단계를 더 포함한다.

다른 실시예의 방법에서, 해제하는 단계(b)는, (b)(v) 제 2 미리 결정된 양의 데이터가 전송되기 위해 남아 있는지의 여부를 결정하는 단계; 및 (b)(vi) 상기 결정하는 단계(b)(v)에 기초하여 루프의 제어권 해제를 방지하는 단계를 더 포함한다.

상술한 방법의 소정 실시예는, (c) 다이내믹 반이중 방식의 명령을 수신하는 단계; 및 (d) 다이내믹 반이중 방식의 명령의 수신에 따라 상기 결정하는 단계(b)(iii)를 초기화시키는 단계를 더 포함한다. 이러한 소정 실시예에서, 상기 초기화시키는 단계(d)는 (d)(i) 제 1 미리 결정된 양의 데이터와 제 2 미리 결정된 양의 데이터를 프로그램 가능하게 설정하는 단계를 더 포함한다.

본 발명의 또 다른 특징은 루프 공정성을 보존하는 광섬유-채널 노드 제어기 시스템을 제공한다. 이러한 시스템은 광섬유-채널 중재-루프 직렬 통신 채널(1250), 상기 광섬유-채널 중재-루프 직렬 통신 채널(1250)에 부착된 제 1 포트(116)를 구비한 제 1 채널 노드(1220)를 포함하는데, 제 1 포트는 상기 포트가 부착된 통신 채널의 제어권을 중재하며, 미리 결정된 양의 사용이 제 1 포트와 통신 채널 사이에서 발생하였는지의 여부에 적어도 부분적으로 기초하여 통신 채널 제어권이 해제되도록 하기 위한 상술한 공정성-보존 수단을 포함한다.

상술한 설명은 단지 설명을 위한 것이며 제한적이지는 않다는 것이 이해될 것이다. 본 발명의 다양한 실시예에 대한 여러 특징 및 장점이 상술한 설명에서 전개되었을지라도, 많은 다른 실시예 및 세부사항에 대한 수정이 기술 분야의 당업자에게는 명확하여질 것이다 따라서, 본 발명의 범주는 첨부된 청구항에 의해 결정된다.

## (57) 청구의 범위

### 청구항 1.

루프 공정성을 보존하기 위한 통신 채널 시스템으로서,

광섬유-채널 중재-루프 직렬 통신 채널에 부착하기 위한 제 1 포트를 구비한 제 1 채널 노드 - 상기 제 1 포트는 상기 포트가 부착된 통신 채널에 대한 제어권을 중재함 -;

상기 제 1 포트에 동작가능하게 결합된 공정성 보존 장치;

를 포함하며, 상기 제 1 포트는 상기 통신 채널의 루프에 대한 제어권을 중재하고 상기 제어권이 획득된 이후 상기 공정성 보존 장치는 미리 결정된 양의 사용이 상기 제 1 포트와 상기 통신 채널 사이에서 발생하였는지의 여부에 적어도 부분적으로 기초하여 상기 통신채널의 제어권이 해제되도록 하며, 상기 미리 결정된 양의 사용은 제 1 미리 결정된 양의 데이터를 전송하는 것을 포함하며,



상기 공정성 보존 장치는:

전송된 상기 데이터의 양을 모니터링하는 제 1 카운터;

상기 제 1 카운터에 의해 모니터링된 상기 데이터의 양이 상기 제 1 미리 결정된 데이터의 양에 도달하는지의 여부에 적어도 부분적으로 기초하여 상기 통신 채널의 제어권이 해제되게 하는 상기 제 1 카운터에 동작가능하게 연결된 제 1 비교기 회로;

전송될 잔여의 상기 데이터 양을 모니터링하는 제 2 카운터; 및

상기 제 2 카운터에 의해 모니터링된 데이터의 양이 제 2 미리 결정된 양의 데이터보다 적은지의 여부에 적어도 부분적으로 기초하여 상기 통신 채널의 제어권이 해제되는 것을 방지하는 상기 제 2 카운터에 동작가능하게 연결된 제 2 비교기 회로;

를 포함하는 통신 채널 시스템.

## 청구항 2.

삭제

## 청구항 3.

삭제

## 청구항 4.

삭제

## 청구항 5.

삭제

## 청구항 6.

삭제

## 청구항 7.

제 1 항에 있어서, 상기 제 1 채널 노드는 다이내믹 반이중 방식을 지원하고, 상기 제 1 카운터 및 상기 제 1 비교기 회로는 상기 제 1 포트에 의한 다이내믹 반이중 방식의 명령의 수신에 따라 초기화되는 것을 특징으로 하는 통신 채널 시스템.

## 청구항 8.

제 7 항에 있어서, 상기 제 1 미리 결정된 양의 데이터 및 상기 제 2 미리 결정된 양의 데이터는 프로그램 가능한 양인 것을 특징으로 하는 통신 채널 시스템.

## 청구항 9.

삭제

## 청구항 10.

제 1 항에 있어서,

광섬유-채널 중재-루프 직렬 통신 채널;

상기 제 1 채널 노드에 동적으로 결합된 자기 디스크 저장 드라이브; 및

제 2 채널 노드를 구비한 컴퓨터 시스템;

을 더 포함하며, 상기 제 2 채널 노드는 상기 광섬유-채널 중재-루프 직렬 통신 채널을 통해 제 1 및 제 2 채널 노드 사이에서의 데이터 전송을 위하여 광섬유-채널 루프 내의 상기 제 1 채널 노드에 동작가능하게 결합된 것을 특징으로 하는 통신 채널 시스템.

**청구항 11.**

통신 방법에 있어서,

(a) 광섬유-채널 중재-루프 직렬 통신 채널의 루프에 대한 제어권을 중재하는 단계; 및

(b) 제 1 포트와 통신 채널 사이에서 미리 결정된 양의 사용이 발생하였는지의 여부에 적어도 부분적으로 기초하여 상기 통신 채널의 제어권을 해제하는 단계를 포함하며, 상기 해제 단계(b)는,

(b)(i) 제 1 미리 결정된 양의 데이터가 전송되었는지를 결정하는 단계;

(b)(ii) 상기 결정 단계(b)(i)에 기초하여 상기 루프의 제어권을 해제하는 단계;

(b)(iii) 전송될 제 2 미리 결정된 양의 데이터가 잔여하는지를 결정하는 단계;

(b)(iv) 상기 결정 단계(b)(iii)에 기초하여 상기 루프의 제어권의 해제를 방지하는 단계;

를 포함하는 통신 방법.

**청구항 12.**

삭제

**청구항 13.**

삭제

**청구항 14.**

제 11 항에 있어서, 상기 결정 단계(b)(iii)는,

(b)(iii)(A) 제 1 값을 제공하기 위하여 전송된 프레임의 개수를 모니터링하는 단계; 및

(b)(iii)(B) 상기 제 1 값을 상기 제 1 미리 결정된 양의 데이터와 비교하는 단계;

를 더 포함하는 것을 특징으로 하는 통신 방법.

**청구항 15.**

삭제

**청구항 16.**

제 11 항에 있어서,

(c) 다이내믹 반이중 방식의 명령을 수신하는 단계; 및

(d) 상기 다이내믹 반이중 방식의 명령의 수신에 따라 상기 결정 단계(b)(iii)를 초기화시키는 단계;

를 더 포함하는 것을 특징으로 하는 통신 방법.

### 청구항 17.

제 16 항에 있어서, 상기 초기화 단계(d)는,

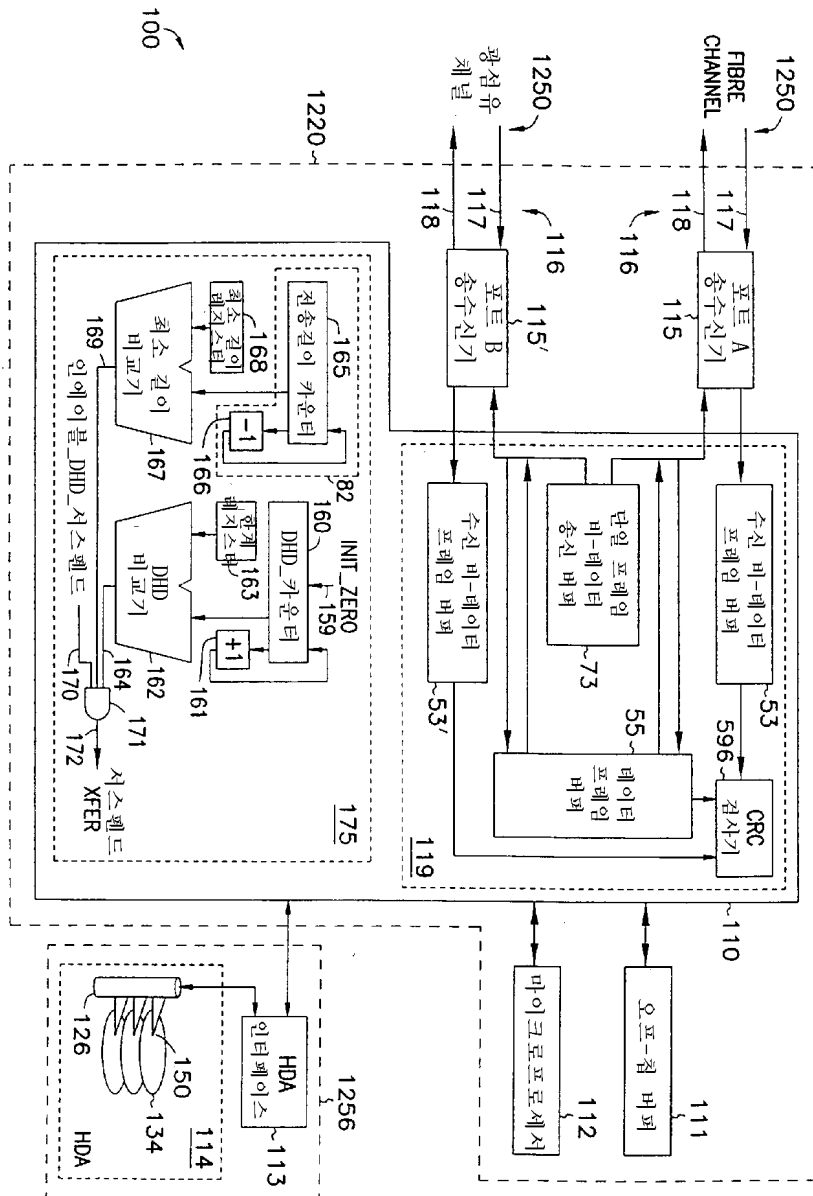
(d)(i) 상기 제 1 미리 결정된 양의 데이터와 상기 제 2 미리 결정된 양의 데이터를 프로그램 가능하게 설정하는 단계를 더 포함하는 것을 특징으로 하는 통신 방법.

### 청구항 18.

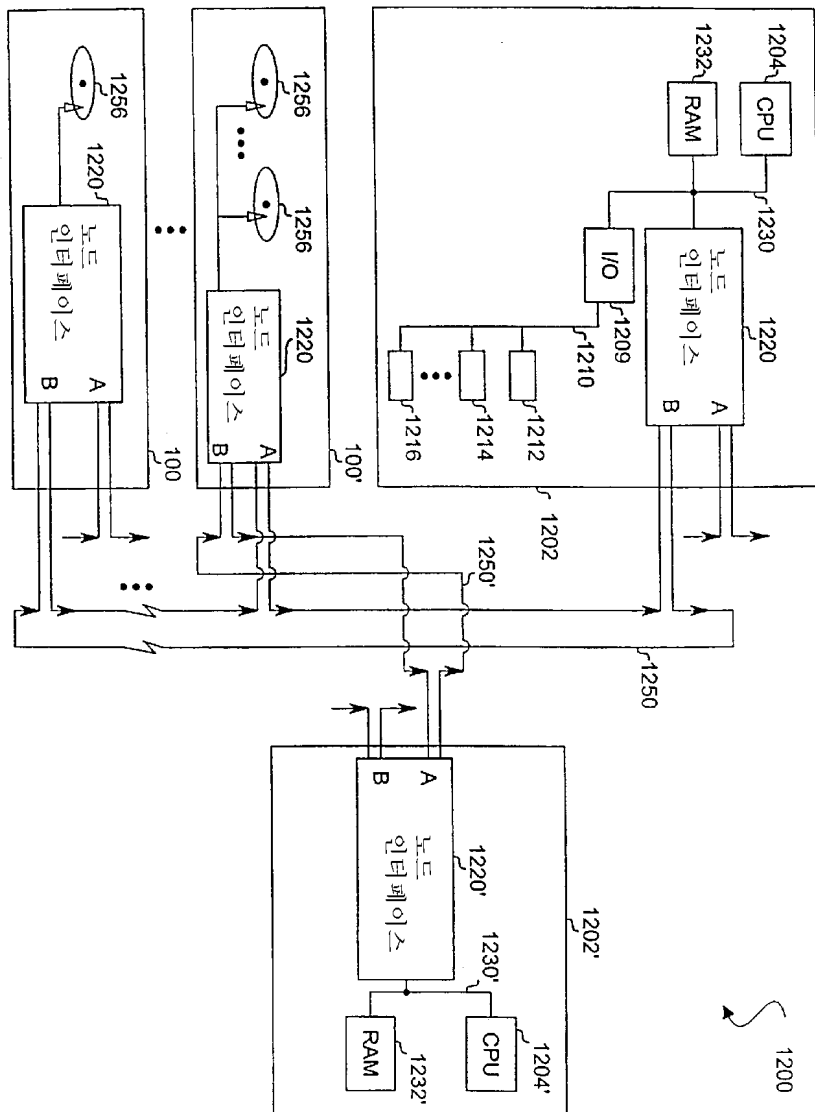
삭제

도면

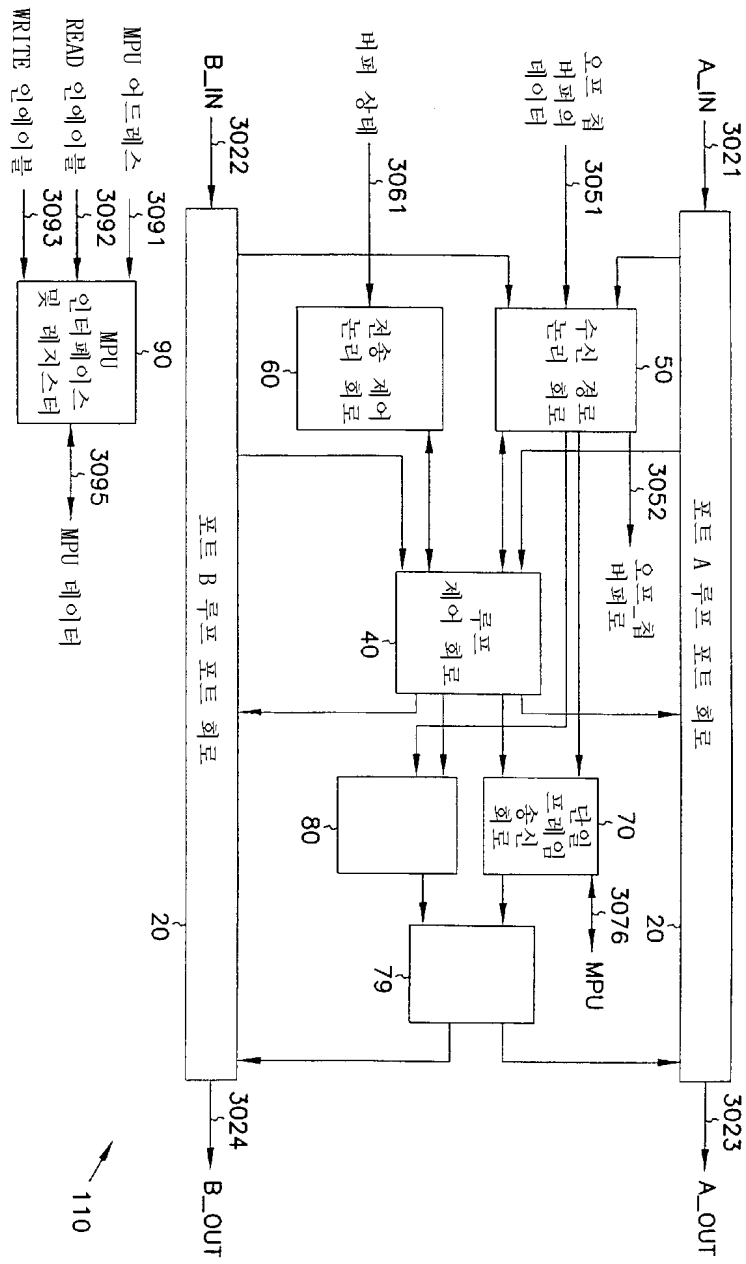
도면1



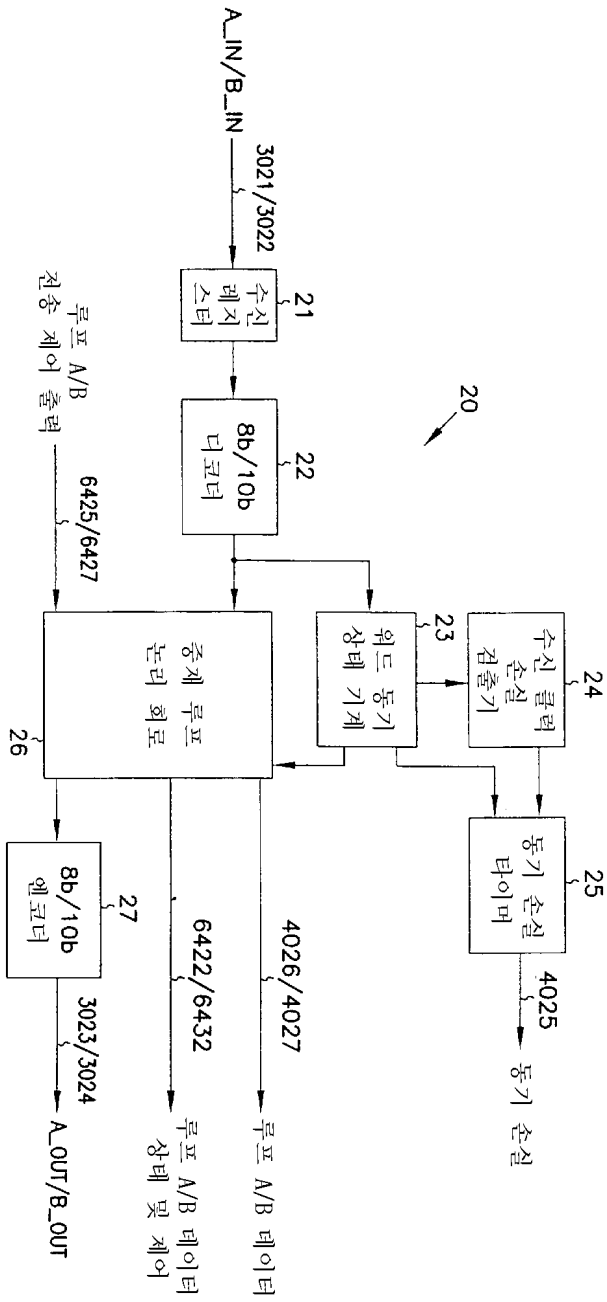
도면2



도면3



도면4



도면5

