



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년05월20일
(11) 등록번호 10-0830666
(24) 등록일자 2008년05월13일

(51) Int. Cl.

H01L 21/3205 (2006.01)

(21) 출원번호 10-2001-0074455
(22) 출원일자 2001년11월28일
심사청구일자 2006년11월28일
(65) 공개번호 10-2002-0042458
(43) 공개일자 2002년06월05일
(30) 우선권주장

JP-P-2000-00362462 2000년11월29일 일본(JP)

(56) 선행기술조사문헌
JP12269337 A
JP12174019 A

(73) 특허권자

가부시키가이샤 히타치세이사쿠쇼

일본국 도쿄도 치요다구 마루노우치 1초메 6반 6
고

(72) 발명자

오오시마타카유키

일본국 도쿄도 치요다구 마루노우치 1쵸메 5반지 1고신
마루비루가부시키가이샤 히타치 세이사쿠쇼지텍
소유 켄흔부나이

미야자키히로시

일본국 도쿄도 치요다구 마루노우치 1쵸메 5반지 1고신
마루비루가부시키가이샤 히타치 세이사쿠쇼지텍
소유 켄흔부나이

(뒷면에 계속)

(74) 대리인

이종일

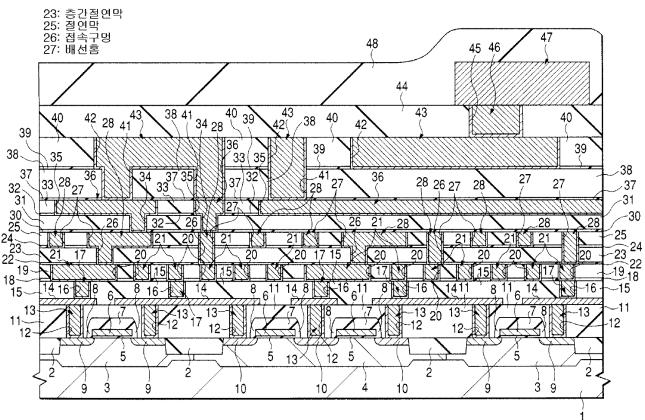
전체 청구항 수 : 총 21 항

심사관 : 김희주

(54) 반도체장치 및 그 제조방법

(57) 요약

본 발명은 반도체장치 및 그 제조방법에 관한 것으로서, 제 2 배선층의 배선(21)과 제 3 배선층의 배선(28)을 접속하기 위한 접속구멍(26)을 포위하는 층간절연막(23)을 배선홈(27)을 포위하는 절연막(25)을 구성하는 절연재료가 갖추는 영률과 비교하여, 상대적으로 작은 영률을 갖추는 절연재료로 구성하는 듀얼다이렉트 배선의 내열성 및 일렉트로 마이그레이션내성을 향상하는 것이 가능한 기술을 제공하는 것이다.

대표도

(72) 발명자

아오키히데오

일본국도쿄도치요다쿠마루노우치1쵸메5반지1고신마
루비루가부시키가이샤히타치세이샤쿠쇼지택키소유
켄흔부나이

오오모리카즈토시

일본국도쿄도치요다쿠마루노우치1쵸메5반지1고신마
루비루가부시키가이샤히타치세이샤쿠쇼지택키소유
켄흔부나이

특허청구의 범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

배선홈내에 형성된 배선과, 상기 배선과 그 하층배선을 접속하는 접속구멍내에 상기 배선과 일체로 형성된 접속부재를 구비하는 반도체장치에 있어서,

상기 접속구멍이 형성된 제 1 절연층의 영률(Young's modulus)이 60GPa이상이고,

상기 배선홈이 형성된 제 2 절연층의 영률(Young's modulus)이 60GPa이상인 것을 특징으로 하는 반도체 장치.

청구항 7

배선홈내에 형성된 배선과, 상기 배선과 그 하층배선을 접속하는 접속구멍내에 상기 배선과 일체로 형성된 접속부재를 구비하는 반도체장치에 있어서,

상기 접속구멍이 형성된 제 1 절연층은 SiOF로 구성되고,

상기 배선홈이 형성된 제 2 절연층은 SiO₂로 구성되는 것을 특징으로 하는 반도체 장치.

청구항 8

배선홈내에 형성된 배선과, 상기 배선과 그 하층배선을 접속하는 접속구멍내에 상기 배선과 일체로 형성된 접속부재를 구비하는 반도체장치에 있어서,

상기 접속구멍이 형성된 제 1 절연층은 SiOF로 구성되고,

상기 배선홈이 형성된 제 2 절연층은 SiO₂로 구성되고

상기 접속구멍의 구지름이 0.5μm이하인 것을 특징으로 하는 반도체 장치.

청구항 9

배선홈내에 형성된 배선과, 상기 배선과 그 하층배선을 접속하는 접속구멍내에 상기 배선과 일체로 형성된 접속부재를 구비하는 반도체장치에 있어서,

상기 접속구멍이 형성된 제 1 절연층은 SiOF로 구성되고,

상기 배선홈이 형성된 제 2 절연층은 SiO₂로 구성되고,

상기 제 1 절연층과 상기 제 2 절연층과의 사이에 SiN 또는 SiC로 이루어지는 상대적으로 막께가 얇은 스토퍼절연막이 형성되어 있는 것을 특징으로 하는 반도체 장치.

청구항 10

삭제

청구항 11

배선홈내에 형성된 배선과, 상기 배선과 그 하층배선을 접속하는 접속구멍내에 상기 배선과 일체로 형성된 접속부재를 구비하는 반도체장치에 있어서,

상기 접속구멍이 형성된 제 1 절연층은 SiOC계 재료, CF계 재료, HSQ계 재료, MSQ계 재료, BCB계 재료 또는 PAE계 재료로 구성되고,

상기 배선홈이 형성된 제 2 절연층은 SiOF 또는 SiO₂로 구성되는 것을 특징으로 하는 반도체장치.

청구항 12

배선홈내에 형성된 배선과, 상기 배선과 그 하층배선을 접속하는 접속구멍내에 상기 배선과 일체로 형성된 접속부재를 구비하는 반도체장치에 있어서,

상기 접속구멍이 형성된 제 1 절연층은 SiOC계 재료, CF계 재료, HSQ계 재료, MSQ계 재료, BCB계 재료 또는 PAE계 재료로 구성되고,

상기 배선홈이 형성된 제 2 절연층은 SiOF 또는 SiO₂로 구성되고,

상기 접속구멍의 구지름이 0.2μm이하인 것을 특징으로 하는 반도체장치.

청구항 13

배선홈내에 형성된 배선과, 상기 배선과 그 하층배선을 접속하는 접속구멍내에 상기 배선과 일체로 형성된 접속부재를 구비하는 반도체장치에 있어서,

상기 접속구멍이 형성된 제 1 절연층은 SiOC계 재료, CF계 재료, HSQ계 재료, MSQ계 재료, BCB계 재료 또는 PAE계 재료로 구성되고,

상기 배선홈이 형성된 제 2 절연층은 SiOF 또는 SiO₂로 구성되고,

상기 제 1 절연층과 상기 제 2 절연층의 사이에 SiN 또는 SiC로 이루어지는 상대적으로 막두께가 얇은 스토퍼 절연막이 형성되어 있는 것을 특징으로 하는 반도체장치.

청구항 14

삭제

청구항 15

배선홈내에 형성된 배선과, 상기 배선과 그 하층배선을 접속하는 접속구멍내에 상기 배선과 일체로 형성된 접속부재를 구비하는 반도체장치에 있어서,

상기 접속구멍이 형성된 제 1 절연층은 포러스(porous)HSQ계 재료로 구성되고,

상기 배선홈이 형성된 제 2 절연층은 SiOC계 재료, CF계 재료, HSQ계 재료, MSQ계 재료, BCB계 재료 또는 PAE계 재료, 혹은 SiO₂와 SiOC계 재료, CF계 재료, HSQ계 재료, MSQ계 재료, BCB계 재료 또는 PAE계 재료와의 적층으로 구성되는 것을 특징으로 하는 반도체장치.

청구항 16

배선홈내에 형성된 배선과, 상기 배선과 그 하층배선을 접속하는 접속구멍내에 상기 배선과 일체로 형성된 접속부재를 구비하는 반도체장치에 있어서,

상기 접속구멍이 형성된 제 1 절연층은 포러스(porous)HSQ계 재료로 구성되고,

상기 배선홈이 형성된 제 2 절연층은 SiOC계 재료, CF계 재료, HSQ계 재료, MSQ계 재료, BCB계 재료 또는 PAE계

재료, 혹은 SiO_2 와 SiOC 계 재료, CF 계 재료, HSQ 계 재료, MSQ 계 재료, BCB 계 재료 또는 PAE 계 재료와의 적층으로 구성되고,

상기 접속구멍의 구지름이 $0.13\mu\text{m}$ 이하인 것을 특징으로 하는 반도체장치.

청구항 17

배선홈내에 형성된 배선과, 상기 배선과 그 하층배선을 접속하는 접속구멍내에 상기 배선과 일체로 형성된 접속부재를 구비하는 반도체장치에 있어서,

상기 접속구멍이 형성된 제 1 절연층은 포러스(porous) HSQC 계 재료로 구성되고,

상기 배선홈이 형성된 제 2 절연층은 SiOC 계 재료, CF 계 재료, HSQ 계 재료, MSQ 계 재료, BCB 계 재료 또는 PAE 계 재료, 혹은 SiO_2 와 SiOC 계 재료, CF 계 재료, HSQ 계 재료, MSQ 계 재료, BCB 계 재료 또는 PAE 계 재료와의 적층으로 구성되고,

상기 제 1 절연층과 상기 제 2 절연층과의 사이에 SiO_2 로 이루어지는 상대적으로 막두께가 얇은 스토퍼절연막이 형성되어 있는 것을 특징으로 하는 반도체장치.

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

배선홈내에 형성된 배선과, 상기 배선과 그 하층배선을 접속하는 접속구멍내에 상기 배선과 일체로 형성된 접속부재를 갖추는 반도체장치의 제조방법에 있어서,

(a) 기판상에 영률(Young's modulus)이 60GPa 미만의 제 1 절연층, 및 영률이 60GPa이상의 제 2 절연층을 순차 형성하는 공정과,

(b) 상기 제 1 절연층의 소정의 영역에 상기 접속구멍을 형성하고, 상기 제 2 절연층의 소정의 영역에 상기 배선홈을 형성하는 공정과,

(c) 상기 접속구멍 및 상기 배선홈의 내부에 도전부재를 매입하는 공정을 갖추는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 24

배선홈내에 형성된 배선과, 상기 배선과 그 하층배선을 접속하는 접속구멍내에 상기 배선과 일체로 형성된 접속부재를 갖추는 반도체장치의 제조방법에 있어서,

(a) 기판상에 영률(Young's modulus)이 60GPa 미만의 제 1 절연층, 및 영률이 60GPa이상의 제 2 절연층을 순차 형성하는 공정과,

(b) 상기 제 1 절연층의 소정의 영역에 상기 접속구멍을 형성하고, 상기 제 2 절연층의 소정의 영역에 상기 배

선홈을 형성하는 공정과,

(c) 상기 접속구멍 및 상기 배선홈의 내부에 도전부재를 매입하는 공정을 갖추고,

상기 제 1 절연층 및 상기 제 2 절연층은 CVD법으로 형성되는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 25

배선홈내에 형성된 배선과, 상기 배선과 그 하층배선을 접속하는 접속구멍내에 상기 배선과 일체로 형성된 접속부재를 갖추는 반도체장치의 제조방법에 있어서,

(a) 기판상에 SiOF로 구성되는 제 1 절연층 및 SiO₂로 구성되는 제 2 절연층을 순차 형성하는 공정과,

(b) 상기 제 1 절연층의 소정의 영역에 상기 접속구멍을 형성하고, 상기 제 2 절연층의 소정의 영역에 상기 배선홈을 형성하는 공정과,

(c) 상기 접속구멍 및 상기 배선홈의 내부에 도전부재를 매입하는 공정을 갖추는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 26

배선홈내에 형성된 배선과, 상기 배선과 그 하층배선을 접속하는 접속구멍내에 상기 배선과 일체로 형성된 접속부재를 갖추는 반도체장치의 제조방법에 있어서,

(a) 기판상에 SiOF로 구성되는 제 1 절연층 및 SiO₂로 구성되는 제 2 절연층을 순차 형성하는 공정과,

(b) 상기 제 1 절연층의 소정의 영역에 상기 접속구멍을 형성하고, 상기 제 2 절연층의 소정의 영역에 상기 배선홈을 형성하는 공정과,

(c) 상기 접속구멍 및 상기 배선홈의 내부에 도전부재를 매입하는 공정을 갖추고,

상기 접속구멍의 구지름이 0.5μm이하인 것을 특징으로 하는 반도체장치의 제조방법.

청구항 27

배선홈내에 형성된 배선과, 상기 배선과 그 하층배선을 접속하는 접속구멍내에 상기 배선과 일체로 형성된 접속부재를 갖추는 반도체장치의 제조방법에 있어서,

(a) 기판상에 SiOF로 구성되는 제 1 절연층 및 SiO₂로 구성되는 제 2 절연층을 순차 형성하는 공정과,

(b) 상기 제 1 절연층의 소정의 영역에 상기 접속구멍을 형성하고, 상기 제 2 절연층의 소정의 영역에 상기 배선홈을 형성하는 공정과,

(c) 상기 접속구멍 및 상기 배선홈의 내부에 도전부재를 매입하는 공정을 갖추고,

상기 (a) 공정으로, 상기 제 1 절연층의 상층에 상대적으로 막두께가 얇은 SiN 또는 SiC로 이루어지는 스토퍼 절연막을 형성하고, 상기 (b)공정으로 상기 제 2 절연층 및 상기 스토퍼절연막의 소정의 영역에 상기 배선홈을 형성하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 28

삭제

청구항 29

삭제

청구항 30

배선홈내에 형성된 배선과, 상기 배선과 그 하층배선을 접속하는 접속구멍내에 상기 배선과 일체로 형성된 접속부재를 갖추는 반도체장치의 제조방법에 있어서,

(a) 기판상에 SiOC계 재료, CF계 재료, HSQ계 재료, MSQ계 재료, BCB계 재료 또는 PAE계 재료로 구성되는 제 1

절연층 및 SiOF 또는 SiO₂로 구성되는 제 2 절연층을 순차형성하는 공정과,

(b) 상기 제 1 절연층의 소정의 영역에 상기 접속구멍을 형성하고, 상기 제 2 절연층의 소정의 영역에 상기 배선홈을 형성하는 공정과,

(c) 상기 접속구멍 및 상기 배선홈의 내부에 도전부재를 매입하는 공정을 갖추는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 31

배선홈내에 형성된 배선과, 상기 배선과 그 하층배선을 접속하는 접속구멍내에 상기 배선과 일체로 형성된 접속부재를 갖추는 반도체장치의 제조방법에 있어서,

(a) 기판상에 SiOC계 재료, CF계 재료, HSQ계 재료, MSQ계 재료, BCB계 재료 또는 PAE계 재료로 구성되는 제 1 절연층 및 SiOF 또는 SiO₂로 구성되는 제 2 절연층을 순차형성하는 공정과,

(b) 상기 제 1 절연층의 소정의 영역에 상기 접속구멍을 형성하고, 상기 제 2 절연층의 소정의 영역에 상기 배선홈을 형성하는 공정과,

(c) 상기 접속구멍 및 상기 배선홈의 내부에 도전부재를 매입하는 공정을 갖추고,

상기 접속구멍의 구지름이 $0.2\mu\text{m}$ 이하인 것을 특징으로 하는 반도체장치의 제조방법.

청구항 32

배선홈내에 형성된 배선과, 상기 배선과 그 하층배선을 접속하는 접속구멍내에 상기 배선과 일체로 형성된 접속부재를 갖추는 반도체장치의 제조방법에 있어서,

(a) 기판상에 SiOC계 재료, CF계 재료, HSQ계 재료, MSQ계 재료, BCB계 재료 또는 PAE계 재료로 구성되는 제 1 절연층 및 SiOF 또는 SiO₂로 구성되는 제 2 절연층을 순차형성하는 공정과,

(b) 상기 제 1 절연층의 소정의 영역에 상기 접속구멍을 형성하고, 상기 제 2 절연층의 소정의 영역에 상기 배선홈을 형성하는 공정과,

(c) 상기 접속구멍 및 상기 배선홈의 내부에 도전부재를 매입하는 공정을 갖추고,

상기 (a) 공정으로, 상기 제 1 절연층의 상층에 상대적으로 막두께가 얇은 SiN 또는 SiC로 이루어지는 스토퍼 절연막을 형성하고, 상기 (b) 공정으로 상기 제 2 절연층 및 상기 스토퍼 절연막의 소정의 영역에 상기 배선홈을 형성하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 33

삭제

청구항 34

삭제

청구항 35

배선홈내에 형성된 배선과, 상기 배선과 그 하층배선을 접속하는 접속구멍내에 상기 배선과 일체로 형성된 접속부재를 갖추는 반도체장치의 제조방법에 있어서,

(a) 기판상에 포러스(porous)HSQC계 재료로 구성되는 제 1 절연층, SiOC계 재료, CF계 재료, HSQ계 재료, MSQ계 재료, BCB계 재료 또는 PAE계 재료, 혹은 SiO₂와 SiOC계 재료, CF계 재료, HSQ계 재료, MSQ계 재료, BCB계 재료 또는 PAE계 재료와의 적층으로 구성되는 제 2 절연층을 순차형성하는 공정과,

(b) 상기 제 1 절연층의 소정의 영역에 상기 접속구멍을 형성하고, 상기 제 2 절연층의 소정의 영역에 상기 배선홈을 형성하는 공정과,

(c) 상기 접속구멍 및 상기 배선홈의 내부에 도전부재를 매입하는 공정을 갖추는 것을 특징으로 하는 반도체장

치의 제조방법.

청구항 36

배선홈내에 형성된 배선과, 상기 배선과 그 하층배선을 접속하는 접속구멍내에 상기 배선과 일체로 형성된 접속부재를 갖추는 반도체장치의 제조방법에 있어서,

(a) 기판상에 포러스(porous)HSQC계 재료로 구성되는 제 1 절연층, SiOC계 재료, CF계 재료, HSQ계 재료, MSQ계 재료, BCB계 재료 또는 PAE계 재료, 혹은 SiO_2 와 SiOC계 재료, CF계 재료, HSQ계 재료, MSQ계 재료, BCB계 재료 또는 PAE계 재료와의 적층으로 구성되는 제 2 절연층을 순차형성하는 공정과,

(b) 상기 제 1 절연층의 소정의 영역에 상기 접속구멍을 형성하고, 상기 제 2 절연층의 소정의 영역에 상기 배선홈을 형성하는 공정과,

(c) 상기 접속구멍 및 상기 배선홈의 내부에 도전부재를 매입하는 공정을 갖추고,

상기 접속구멍의 구지름이 $0.13\mu\text{m}$ 이하인 것을 특징으로 하는 반도체장치의 제조방법.

청구항 37

배선홈내에 형성된 배선과, 상기 배선과 그 하층배선을 접속하는 접속구멍내에 상기 배선과 일체로 형성된 접속부재를 갖추는 반도체장치의 제조방법에 있어서,

(a) 기판상에 포러스(porous)HSQC계 재료로 구성되는 제 1 절연층, SiOC계 재료, CF계 재료, HSQ계 재료, MSQ계 재료, BCB계 재료 또는 PAE계 재료, 혹은 SiO_2 와 SiOC계 재료, CF계 재료, HSQ계 재료, MSQ계 재료, BCB계 재료 또는 PAE계 재료와의 적층으로 구성되는 제 2 절연층을 순차형성하는 공정과,

(b) 상기 제 1 절연층의 소정의 영역에 상기 접속구멍을 형성하고, 상기 제 2 절연층의 소정의 영역에 상기 배선홈을 형성하는 공정과,

(c) 상기 접속구멍 및 상기 배선홈의 내부에 도전부재를 매입하는 공정을 갖추고,

상기(a) 공정으로 상기 제 1 절연층의 상층에 상대적으로 막두께가 얇은 SiO_2 로 이루어지는 스토퍼절연막을 형성하고, 상기 (b)공정으로 상기 제 2 절연층 및 상기 스토퍼의 절연막의 소정의 영역에 상기 배선홈을 형성하는 것을 특징으로 하는 반도체장치의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<61> 본 발명은 반도체장치 및 그 제조기술에 관한 것이고, 특히, 듀얼다마신(dual-damascene)법을 이용하여 형성된 다층배선구조, 및 그와 같은 다층선 구조를 갖추는 반도체장치에 적용하기에 유효한 기술에 관한 것이다.

<62> 반도체장치의 고성능화 및 미세화에 따라서, 다층배선기술은 반도체장치 제조에 있어서 필요한 기술이 되고 있다. 반도체집적회로에 있어서의 배선층의 형성법으로서 절연막상에 알루미늄(Al)합금 또는 텅스텐(W)등의 고용접금속박막을 형성 한 후 리소그래피공정에 의해 배선용 박막상에 배선패턴과 동일형태의 레지스트패턴을 형성하고, 그것을 마스크로서 드라이에칭공정에 의해 배선패턴을 형성하는 방법이 알려져 있다. 그러나, 이 알루미늄합금등을 이용하는 방법으로는 배선의 미세화에 따라, 배선저항의 증대가 현저해지고, 상기에 따라서 배선지연이 증가되고 반도체장치의 성능이 저하하는 등의 문제가 있다. 특히, 고성능의 로직LSI(large scale integrated circuit)에 있어서는 그 성능저해 요인으로서 큰 문제가 발생하고 있다.

<63> 이로 인하여, 절연막에 형성한 홈상에 동(Cu)을 주도체층으로서 배선용 금속을 매입한 후, 홈외부의 여분의 금속을 CMP(chemical mechanical polishing)법을 이용하여 제거하는 것에 의해 홈내에 배선 패턴을 형성하는 방법, 이를바 대마신(damascene)법이 검토되고 있다. 그 중에서도 상층배선이 형성되는 배선홈 및 상층선과 하층배선을 접속하는 접속구멍을 각각 절연막에 형성 한 후, 상기 알루미늄합금등을 이용하는 방법에 비하여,

배서저항을 약 20%정도 감소시키는 것에 부가하여 대폭의 제조공정의 간략화, 저코스트화 및 QTAT(quick turn-and around time)화를 실현하는 것이 가능하다.

<64> 그런데, 상기 배선홈이 형성되는 절연막(이하, 단순히 배선층간막으로 약기) 및 상기 접속구멍이 형성되는 절연막(이하, 단순히 비어(via)층간막으로 약기)에는 각각 에칭스토퍼막 및 실리콘산화막(SiO_2)이 하층에서 순서로 퇴적된 적층구조가 제안되고 있다. 실리콘산화막은, 예를들면 TEOS(tetra ethyl ortho silicate ; $\text{Si}(\text{OC}_2\text{H}_5)_4$)가스와 오존(O_3)가스를 이용한 플라즈마CVD(chemical vapor deposition)법으로 성막되는 TEOS산화막으로 이루어진다. 또한, 절연막을 TEOS산화막으로 구성하는 경우는, 에칭스토퍼막으로서 통상 플라즈마CVD법으로 성막되는 실리콘질화막(SiN)이 이용된다.

<65> 그러나, 실리콘 산화막의 비유전률은 약 4정도, 실리콘 질화막의 비유전률은 약 7정도이기 때문에 디자인 률을 $0.13\mu\text{m}$ 으로 하는 세대이후에서는 배선용량의 증대에 기인하는 배선지연의 급증을 동배선의 도입만으로 억제되지 않는 것을 알수 있었다. 상기에서, 배선층간막을 구성하는 재료로서, 비유전률이 2 ~ 3정도의 저유전률재료의 채용이 검토되고 있다.

<66> 배선층간막을 저유전률막으로 구성하는 것에 의해 실리콘산화막으로 구성한 경우와 비교하여 배선용량을 저감하는 것이 가능해진다. 또한, 소망하는 배선저항을 구하기 위하여 필요한 상대적으로 두꺼운 배선을 형성하여도, 배선층간막이 저유전률막으로 구성되어 있으므로, 동층의 근접하는 배선간의 배선용량을 상대적으로 낮게 억제하는 것이 가능해진다.

<67> 또한, 저유전률재료로 이루어지는 층간절연막을 적용한 대머신배선의 형성방법으로서는, 몇개의 방법이 제안되어 있고, 예를들면 프레스 쟈널 발행[월간 세미컨덕터 월드](Semiconductor World)]1998년 11월호, P74 ~ P76에는 듀얼다머신배선에 다양한 저유전률재료를 채용한 경우의 에칭프로세스에 대해서 기술되어 있다.

<68> 또한, 진사년 일본국특개평8-316209호 공보에는 유기고분자계 절연막상에 산화실리콘계 절연막이 형성된 저유전률의 적층 절연막에 접속구멍을 개구할 시에 산화실리콘계 절연막을 패터닝 후, 이 산화실리콘계 절연막 패턴을 마스크에 하층의 유기고분자계 절연막을 ○계 가스로 플라즈마 에칭하는 방법이 개시되어 있다.

<69> 또한, 스즈키등의 일본국 특개평9-306988호 공보에는 하층배선을 덮는 제 1 절연막상에, 제 1 절연막보다 에칭 속도가 느린 제 2 절연막을 형성 한 후, 제 2 절연막에 개구부를 형성하고, 이어서, 제 2 절연막보다 에칭속도가 빠른 제 3 절연막을 형성한다. 그 후, 제 3 절연막에 개구부를 노출시키는 홈을 형성하고 또한, 개구부 아래의 제 1 절연막에 접속구를 형성하는 방법이 개시되어 있다.

<70> 그런데, 배선층간막을 저유전률막으로 구성하고, 비어층간막을 실리콘산화막으로 구성한 등의 듀얼다머신에 대해서 본 발명자가 검토한 바 이하와 같은 문제점이 있는 것을 알 수 있었다.

<71> 예를들면 실온 500°C 정도의 승온에 의해 접속구내의 접속부재인 동이 열팽창하면, 접속구를 확장하는 방향으로 응력이 발생한다. 그러나, 비어층간막을 구성하는 실리콘산화막을 열응력이 약 130MPa정도, 영률이 약 70GPa 정도로 각각 상대적으로 크고, 탄성변형하기 어려운 특성이 있다. 그로 인하여, 실리콘 산화막은 등의 응력에 강하게 반발하고, 결과로서, 실리콘산화막은 접속구내의 동을 압축하는 방향으로 응력을 발생한다.

<72> 등의 팽창에 의한 응력은 비어층간막인 실리콘산화막의 응력과 반발하기 때문에, 접속구내의 팽창한 등의 일부가 배선홈내의 배선부재인 동에 흡수된다. 하강온에 의해 체적수축이 일어나면, 접속구내를 충만하기 위한 동이 부족하여 접속구내에 보이드가 발생한다. 상기에 의해, 열 스트레스를 전한 접속구내의 접속부재의 저항이 상승하고, 또한, 일렉트로 마이그레이션(electro migration)에 의해 배선의 수명이 저하한다.

<73> 본 발명의 목적은 듀얼다머신배선의 내열성 및 일렉트로 마이그레이션내성을 향상하는 것이 가능한 기술을 제공하는 것이다.

<74> 본 발명의 상기 및 그 외의 목적과 신규특징은, 본 명세서의 기술 및 첨부도면에서 명확해질 것이다.

발명이 이루고자 하는 기술적 과제

<75> 본 원에 있어서, 개시되는 발명가운데 대표적인 것의 개요를 간단하게 설명하면 다음과 같다.

<76> (1) 본 발명의 반도체장치는, 배선홈내에 형성된 배선과, 상기 배선과 그 하층배선을 접속하는 접속구멍내에 배선과 일체로 형성된 접속부재를 구비하고, 접속구멍이 형성된 제 1 절연층의 영률(Young's modulus)이 배선홈이

형성된 제 2 절연층의 영률(Young's modulus)보다 상대적으로 작은 것이다.

<77> (2) 본 발명의 반도체장치의 제조방법은, 배선홈내에 형성된 배선과, 배선과 그 하층배선을 접속하는 접속구멍 내에 배선과 일체로 형성된 접속부재를 갖추는 반도체장치를 제조하는 경우, 기판상에 상대적으로 영률(Young's modulus)이 작은 제 1 절연층, 및 상대적으로 영률이 큰 제 2 절연층을 순차로 형성하는 공정과, 제 1 절연층의 소정의 영역에 상기 접속구멍을 형성하고, 제 2 절연층의 소정의 영역에 배선홈을 형성하는 공정과, 접속구멍 및 배선홈의 내부에 도전부재를 매입하는 공정을 구비하는 것이다.

<78> 상기 한 수단에 의하면, 배선이 매입된 배선홈을 상대적으로 영률이 큰 제 2 절연층으로 포위하고, 배선과 그 하층배선을 접속하는 접속구를 상대적으로 영률이 작은 제 1 절연층으로 포위하는 것에 의해, 승온에 있어서 접속구내에서 배선과 일체적으로 형성된 접속부재의 체적이 팽창하여도, 상기에 추종한 제 1 절연층의 탄성변형이 발생하고, 또한, 제 2 절연층이 배선의 체적팽창에 대해서 이것을 억제하는 기동을 하기 때문에 접속구내의 접속부재가 배선홈내의 배선부재로 흡수되는 것을 억제하는 것이 가능하다.

발명의 구성 및 작용

<79> 이하, 본 발명의 실시형태를 도면에 의거하여 상세하게 설명한다. 또한, 실시형태를 설명하기 위한 전도에 있어서, 동일기능을 갖추는 부재에는 동일부호를 부여하고, 그 반복설명은 생략한다.

<80> 또한, 본원에 있어서, 반도체장치라는 것은 특히, 단결정 실리콘기판상에 장치되는 것뿐 아니라, 특히, 상기한 요지가 명시되지 않는 경우를 제외하고, SOI(silicon on insulator)기판과 TFT(thin film transistor)액정제조용 기판등에 의한 다른 기판상에 장치되는 것을 포함하는 것으로 한다.

<81> 또한, 이하 실시형태에 있어서 요소의 수등(개수, 수치, 양, 범위등을 포함)으로 언급하는 경우, 특히 명시한 경우 및 원리적으로 명확하게 특정수로 한정되는 경우를 제외하고, 그 특정수에 한정되는 것은 아니고, 특정수 이상도 이하도 용이하다. 또한, 이하의 실시형태에 있어서, 그 구성요소(요소 스텝드를 포함)는 특히 명시한 경우 및 원리적으로 명확한 것이 필수인 경우를 제외하고, 반드시 필수의 것은 아닌 것은 물론이다.

<82> 동일하게, 이하의 실시형태에 있어서, 구성요소등의 형태, 위치관계등에 언급되는 경우는 특히 명시한 경우 및 원리적으로 명확하지 않는 경우를 제외하고, 실질적으로 그 형태등에 근사 또는 유사한 것을 포함하는 것으로 한다. 이 경우는 상기 수치 및 범위에 대해서도 동일하다.

<83> (실시형태 1)

<84> 도 1은 본 실시형태 1인 반도체장치를 나타내는 반도체기판의 요부단면도이다.

<85> 반도체기판(1)의 주요면상의 선택적인 영역인 소자분리영역(2)에 포위되어 p웰(3) 또는 n웰(4)이 형성되어 있다. 소자분리영역(2)에 의해 포위된 활성영역(p웰(3) 및 n웰(4))의 표면에는 게이트절연막(5)이 형성되고, 이 게이트절연막(5)의 위에는 다결정 실리콘으로 이루어지는 게이트전극(6)이 형성되어 있다. 게이트전극(6)은 반도체기판(1) 위에 다결정실리콘막 및 캡절연막(7)을 순차퇴적하고, 이것을 순차 에칭하여 형성된다. 또한, 게이트전극(6)의 측벽에는 사이드 월 스페이서(8)가 설치되어 있다.

<86> p웰(3)에는 게이트전극(6) 및 사이드 월 스페이서(8)에 대해서 자기정합적으로 형성된 n형 반도체영역(9)이 설치되어 있다. 이 n형 반도체영역(9)은 n채널 MISFET(metal insulator semiconductor field effect transistor)의 소스, 드레인을 구성한다. 동일하게, n웰(4)에는 게이트전극(6) 및 사이드 월 스페이서(8)에 대해서 자기정합적으로 형성된 p형 반도체영역(10)이 설치되어 있다. 이 p형 반도체영역(10)은 p채널 MISFET의 소스, 드레인을 구성한다.

<87> 또한, 본 실시형태(1)에 있어서의 반도체장치에서는, 반도체기판(1)에 예를들면 ASIC(application specific integrated circuit)등의 구성요소인 CMOS(complimentary metal oxide semiconductor)디바이스를 형성한 형태이지만 반도체기판(1)에 바이폴라 트랜지스터, 저항, 용량소자등의 각종 반도체장치를 형성한 형태를 채용하는 것이 가능하다.

<88> 또한, n채널 MISFET의 소스, 드레인 및 p채널 MISFET의 소스, 드레인을 상대적으로 저농도의 반도체영역과 상대적으로 고농도의 반도체영역으로 이루어지는 LDD(lightly doped drain)구조로서도 용이하다.

<89> 또한, n채널 MISFET 및 p채널 MISFET상은 제 1 충간절연막(11)으로 덮혀져 있다. n형 반도체영역(9) 또는 p형 반도체영역(10)상의 제 1 충간 절연막(11)의 필요부분에는 접속구(12)가 형성되어 있고, 접속구(12)내에는 예를들면 텅스텐막으로 이루어지는 플러그(13)가 매입되어 있다. 이 플러그(13)에 접속하여 예를들면 텅스텐막

으로 이루어지는 제 1 배선층의 배선(14)이 제 1 층간절연막(11)상에 형성되어 있다.

- <90> 제 1 배선층의 배선(14)의 상층에는, 제 2 층간 절연막(15)이 형성되어 있다. 제 2 층간절연막(15)은 예를들면 실리콘산화막으로 구성되고, 제 2 층간절연막(15)의 소정의 영역에 접속구(16)가 형성되어 있다. 접속구(16)내에는 예를들면 배리에 메탈층 및 주도전층인 동막으로 이루어지는 플러그(17)가 매입되어 있다. 배리어메탈층은 배선 및 접속부재의 주성분인 동의 확산을 방지하는 것과 함께, 동과 절연막과의 접착성을 향상시키는 기능을 갖추고, 예를들면 질화티탄(TiN), 탄탈(Ta), 질화탄탈(TaN)등이다.

- <91> 플러그(17)의 상층에는 스토퍼 절연막(18), 또한 배선형성용의 절연막(19)이 형성되어 있다. 스토퍼 절연막(18)은 절연막(19)로의 홈가공시에 애칭 스토퍼로 이루어지는 막이고, 절연막(19)에 대해서 애칭선택비를 갖추는 재료를 이용한다. 스토퍼 절연막(18)은 예를들면, 실리콘질화막, 절연막(19)은 예를들면 실리콘막이다. 스토퍼 절연막(18) 및 절연막(19)에는 상기 플러그(17)에 도달하는 배선홈(20)이 형성되어 있다. 배선홈(20)내에는 예를들면 배리어메탈층 및 주도전층인 동의 막으로 이루어지는 제 2 배선층의 배선(21)이 매입되어 있다. 배리어메탈층은 예를들면, 질화티탄, 탄탈, 질화탄탈등이다.

- <92> 제 2 배선층의 배선(21) 상층에는 캡절연막(22), 층간절연막(23), 배선형성용의 스토퍼 절연막(24), 배선형성용의 절연막(25)이 순차 형성되어 있다. 캡절연막(22) 및 층간절연막(23)에는 제 2 배선층의 배선(21)에 도달하는 접속구(26)가 형성되어 있고, 스토퍼 절연막(24) 및 절연막(25)에는 제 3 배선층이 매입되는 배선홈(27)이 형성되어 있다. 상기 접속구(26)의 구지름은 예를들면, 약 0.25㎛정도이다.

- <93> 캡절연막(22)은 층간절연막(23)에 대해서 애칭선택비를 갖추는 재료로 구성되고, 예를들면, 실리콘질환막으로 하는 것이 가능하다. 실리콘질화막의 비유전률은 약 7정도로 상대적으로 높기 때문에 배선용량을 저감하는 것을 고려하면, 실리콘질화막으로 이루어지는 캡절연막(22)의 막두께는 스토퍼기능을 도달하기에 충분한 막두께이면 가능한 한 얇은 것이 바람직하다. 이와 같은 요구에서, 캡절연막(22)의 막두께는 예를들면, 약 50nm정도로 하는 것이 가능하다.

- <94> 층간절연막(23)은 절연막(25)을 구성하는 재료의 영률보다 상대적으로 작은 영률을 갖추는 재료로 구성되고, 예를들면 영률이 약 50GPa정도의 불소(F)가 첨가된 실리콘산화(SiOF)막으로 하는 것이 가능하다. 층간절연막(24)의 막두께는 예를들면 약 500nm정도로 하는 것이 가능하다.

- <95> 스토퍼 절연막(24)은 절연막(25) 또는 층간절연막(23) 혹은 상기 양자에 대해 애칭선택비를 갖추는 재료로 구성되고, 예를들면, 실리콘질화막으로 하는 것이 가능하다. 상기 캡절연막과 동일하게, 실리콘질화막의 비유전률은 약 7정도로 상대적으로 높기때문에, 배선용량을 저감하는 것을 고려하면 실리콘질화막으로 이루어지는 스토퍼 절연막(24)의 막두께는 스토퍼기능을 도달하기에 충분한 막두께이면 가능한 한 얇은 것이 바람직하다. 이와 같은 요구에서, 스토퍼 절연막(24)의 막두께는 예를들면 약 25nm정도로 하는 것이 가능하다.

- <96> 절연막(25)은 예를들면, 영률이 약 70GPa정도의 실리콘산화막으로 하는 것이 가능하다. 스토퍼 절연막(24)과 절연막(25)에는 제 3 배선층이 매입되는 배선홈(27)이 형성되기 때문에, 그 합계 막두께는 예를들면 약 200nm정도로 하는 것이 가능하다.

- <97> 접속구(26) 및 배선홈(27)의 내부에는 제 3 배선층의 배선(28)이 형성되어 있고 이 배선(28)과 제 2 배선층의 배선(21)을 접속하는 접속구(26)의 내부에 매입된 접속부재는, 배선(28)과 일체로 형성되어 있다. 즉, 제 3 배선층의 배선(28)은 유얼대머신법을 이용하여 형성되어 있다. 배선부재 및 접속부재는 예를들면, 배리어메탈층(29) 및 주도전층인 동막으로 이루어지고, 배리어메탈층은 예를들면, 질화티탄, 탄탈, 질화탄탈등이다.

- <98> 상기에서, 제 2 배선층의 배선(21)과 제 3 배선층의 배선(28)을 접속하기 위하여 접속구(26)를 포위하는 층간 절연막(23)은 영률이 약 50GPa정도의 SiOF막으로 이루어지고, 제 3 배선층의 배선(28)이 매입된 배선홈(27)을 포위하는 절연막(25)은 영률이 약 70GPa정도의 실리콘산화막으로 이루어지고, 절연막(25)의 영률과 비교하여 약 20GPa정도 작은 영률을 갖추는 절연재료로 층간절연막(23)은 구성된다. 상기에 의해, 예를들면 실온에서 500℃정도의 승온에 있어서 동의 체적이 팽창하여도, 상기에 추종하여 층간절연막(23)이 탄성변형하고, 한편으로 절연막(25)이 동의 체적팽창을 억제하는 기동을 하기 때문에, 접속구(26)의 내부의 동이 배선홈(27) 내부의 동으로 흡수되는 것을 억제하는 것이 가능하다.

- <99> 또한, 층간절연막(23)을 구성하는 SiOF막은 비유전률이 약 3.6정도와, 실리콘산화막의 비유전률(약4.3정도)과 비교하여 작기 때문에, 층간절연막(23) 및 절연막(25)의 쌍방으로 실리콘산화막을 이용하는 구조보다 배선용량을 저감하는 것이 가능하다.

<100> 제 3 배선층의 배선(28)의 상층에는 캡절연막(30), 충간절연막(31), 배선형성용의 스토퍼절연막(32), 배선형성용의 절연막(33)이 순차로 형성되어 있다. 이들 절연막(30 ~ 33)에 대해서는, 각각 상기 스토퍼절연막(22), 충간절연막(23), 배선형성용 스토퍼절연막(24), 배선형성용의 절연막(25)과 동일하고, 충간절연막(31)은 예를들면 막두께 약 500nm정도의 SiOF막, 절연막(33)은 예를들면 막두께 약 200nm정도의 실리콘산화막으로 구성된다. 또한, 캡절연막(30) 및 충간절연막(31)에 접속구(34), 스토퍼절연막(32) 및 절연막(33)에 배선홈(35)이 형성되어 있다. 상기 접속구(34)의 구지름은 예를들면 약 0.25 μm 정도이다. 또한, 접속부재와 일체로 형성된 제 4 배선층의 배선(36)이 형성되어 있다. 제 4 배선층의 배선(36)은 제 3 배선층의 배선(28)과 동일하게 예를들면 매리어메탈층 및 주도전층인 동의 막으로 이루어진다.

<101> 예를들면 실온에서 500°C정도의 승온에 있어서는 동의 체적이 팽창하여도 상기에 추종하여, 충간절연막(31)이 탄성변형하고, 한편으로 절연막(33)이 동의 체적팽창을 억제하는 기동에 의해 접속구(34) 내부의 동이 배선홈(35)의 내부의 동으로 흡수되는 것을 억제하는 것이 가능하다. 또한, 충간절연막(31) 및 절연막(33)의 쌍방으로 실리콘산화막을 이용하는 구조보다 배선용량을 저감하는 것이 가능하다.

<102> 제 4 배선층의 배선(36)의 상층에는 캡절연막(37), 충간절연막(38), 배선형성용의 스토퍼절연막(39), 배선형성용의 절연막(40)이 순차로 형성되어 있다. 이들 절연막(37 ~ 40)에 대해서는, 각각 상기 스토퍼절연막(22), 충간절연막(23), 배선형성용 스토퍼절연막(24), 배선형성용의 절연막(25)과 동일하고, 충간절연막(38)은 예를들면 막두께 약 500nm정도의 SiOF막, 절연막(33)은 예를들면 막두께 약 200nm정도의 실리콘산화막으로 구성된다. 또한, 캡절연막(37) 및 충간절연막(38)에 접속구(41), 스토퍼절연막(39) 및 절연막(40)에 배선홈(42)이 형성되어 있다. 상기 접속구(41)의 구지름은 예를들면 약 0.5 μm 정도이다. 또한, 접속부재와 일체로 형성된 제 5 배선층의 배선(43)이 형성되어 있다. 제 5 배선층의 배선(43)은 제 3 배선층의 배선(28)과 동일하게 예를들면 매리어메탈층 및 주도전층인 동의 막으로 이루어진다.

<103> 예를들면 실온에서 500°C정도의 승온에 있어서는 동의 체적이 팽창하여도 상기에 추종하여, 충간절연막(38)이 탄성변형하고, 한편으로 절연막(40)이 동의 체적팽창을 억제하는 기동에 의해 접속구(41) 내부의 동이 배선홈(42)의 내부의 동으로 흡수되는 것을 억제하는 것이 가능하다. 또한, 충간절연막(38) 및 절연막(40)의 쌍방으로 실리콘산화막을 이용하는 구조보다 배선용량을 저감하는 것이 가능하다.

<104> 제 5 배선층의 배선(43)의 상층에는 절연막(44)이 형성되고, 절연막(44)의 필요부분에는 접속구(45)가 개구하고 있다. 이 접속구(45)의 구지름은 예를들면 약 0.75 μm 정도이다. 접속구(45)내에는 예를들면, 텅스텐막으로 이루어지는 플러그(46)가 매입되어 있고, 이 플러그(46)를 매개하여 절연막(44)상에 제 6 배선층의 배선(47)이 제 5 배선층의 배선(43)에 접속되어 있다. 또한, 패시베이션막(48)에서 반도체기판(1)의 전면이 덮혀져 있다.

표 1

세대		비교예	제 1 세대		
배선층간막 (영률 : Y2)		SiO ₂ (70GPa)	SiO ₂ (70GPa)		
비어 충간막 (영률 : Y1)		SiO ₂ (70GPa)	SiOF(50GPa)		
스토퍼 절연막		SiN	SiN	SiC	무
접속구의 구지름 : R		0.25 μm		0.25 μm	
지표	R/Y1	306		5.0	
	Y2-Y1	0		20	
배선용량		4.7	4.5	4.2	4.0

<106> 표 1에 본 실시형태 1에 있어서의 듀얼다머신 구조의 각각의 절연막재료 및 평가치표등을 총합한다. 또한, 도 2에 본 실시형태 1을 적용한 듀얼다머신배선의 주요부 평면도의 일례를 나타내고, 도 3 ~ 도 7에 상기 도 2의 A-A'선에 있어서의 반도체기판의 주요부단면도를 이용한 듀얼다머신 배선의 제조방법의 일례를 나타낸다. 본 실시형태 1에서는 제 1 세대로서 상하 배선층을 연결하는 접속구의 구지름이 약 0.5 μm 이하의 듀얼다머신배선에 적용되는 각각의 절연재료를 나타내고 있고, 배선층간막은 영률이 60GPa이상의 절연재료, 비어충간막은 영률이 60GPa미만의 절연재료로서, 모두 CVD법으로 형성되는 절연재료로 구성된다. 표 1 및 도 3 ~ 도 7에서는 배선 충간막을 영률이 약 70GPa정도의 실리콘산화막, 비어충간막을 영률이 약 50GPa정도의 SiOF막으로 한 듀얼다머

신 배선(상기 도 1에 나타난 반도체장치에서는 제 3배선층 ~ 제 5 배선층)을 나타내고 있다.

<107> 또한, 이 평가지표등을 총합한 시점에서, 접속구의 구지름이 $0.25\mu m$ 의 듀얼다머신배선을 이용하였지만, $0.25\mu m$ 이외의 구지름의 접속구를 가지는 듀얼다머신배선에도 적용가능한 것은 물론이다.

<108> 표 1에 있어서의 지표 ; R/Y1은 접속구의 구지름(R)을 비어층간막의 영률(Y1)로 나눈 값이다. 그 역수의 Y1/R은 접속구를 포위하는 비어층간막이 접속구를 압착하는 압력에 반응하고 있고, Y1/R이 작은 만큼, 즉 R/Y1이 큰만큼, 배선의 쇠화를 억제하는 것이 가능하다. 지표 ; Y2 - Y1은 배선층간막의 영률(Y2)과 비어층간막의 영률(Y1)과의 차이다. Y2 - Y1는 배선층간막과 비어층간막과의 배선에 대한 압력차에 대응하고 있고, 이 값이 큰만큼 배선쇠화를 억제하는 것이 가능하다. 즉, 지표 ; R/Y1 및 Y2 - Y1은 모두 큰 만큼 듀얼다머신배선의 쇠화를 억제할 수 있다. 또한, 비교예로서 배선층간막을 실리콘산화막, 비어층간막을 실리콘산화막으로 구성한 듀얼다머신구조를 표 1로 들수 있다.

<109> 표 1에 나타나는 바와 같이, 비어층간막을 SiOF막으로 구성하는 것에 의해, 지표 R/Y1은 비교예의 3.6에서 5.0으로 증가하고, 지표 ; Y2 - Y1은 비교예의 0에서 20으로 증가한다. 상기에 의해, 제 1 세대의 듀얼다머신구조에 있어서, 비교예보다 듀얼다머신 배선의 쇠화를 억제가능한 것을 알수 있다. 또한, 배선용량을 비교예의 4.7에서 4.5로 저감하는 것이 가능하다.

<110> 다음으로 도 3 ~ 도 7에 나타난 반도체기판의 주요부 단면도를 이용하여 듀얼다머신배선의 제조방법에 대해서 설명한다.

<111> 우선, 도 3에 나타나는 바와 같이, 하층배선의 상층에 캡절연막을 구성하는 실리콘질화막, 층간절연막을 구성하는 영률이 약 50GPa정도 SiOF막, 배선형성용의 스토퍼절연막을 구성하는 실리콘질화막, 배선형성용의 절연막을 구성하는 영률이 약 70GPa정도의 실리콘산화막을 순차형성한다, 캡절연막 및 층간절연막에는 후 공정에서 접속구가 형성되고 스토퍼절연막 및 절연막에는 후 공정에서 배선이 형성된다.

<112> 캡절연막을 구성하는 실리콘질화막은, 예를들면 플라즈마 CVD법에 의해 형성되고, 비유전률은 약 7정도이다. 그 막두께는, 예를들면 약 50nm정도로 하는 것이 가능하다. 배선용량을 저감하는 것을 고려하면, 상대적으로 비유전률이 높은 실리콘질화막의 막두께는 스토퍼기능을 도달하기에 충분한 막두께이면 가능한 한 얇은 것이 바람직하다.

<113> 층간절연막을 구성하는 SiOF막은 예를들면 CVD법에 의해 형성되고, 비유전률은 약 3.6 정도 영률은 약 50GPa정도이다. 그 막두께는, 예를들면 약 500nm정도로 하는 것이 가능하다.

<114> 스토퍼절연막을 구성하는 실리콘질화막은, 예를들면 플라즈마CVD법에 의해 형성되고, 비유전률은 약 7정도이다. 그 막두께는, 예를들면 25nm정도로 하는 것이 가능하다. 배선용량을 저감하는 것을 고려하면, 상대적으로 비유전률이 높은 실리콘 질화막의 막두께는 스토퍼기능을 도달하기에 충분한 막두께이면 가능한 한 얇은 것이 바람직하다.

<115> 절연막을 구성하는 실리콘산화막은 예를들면 CVD법에 의해 형성되고, 비유전률은 약 4.3정도, 영률은 약 70GPa정도이다. 그 막두께는 예를들면 200nm정도로 하는 것이 가능하다. 스토퍼절연막(실리콘 질화막)과 절연막(실리콘 산화막)에는 상층배선이 매입되는 배선홈이 형성되기 때문에 그 합계 막두께는 상층배선에 필요한 설계막두께로 결정된다.

<116> 다음으로 캡절연막(실리콘질화막) 및 층간절연막(SiOF막)에 접속구를 스토퍼절연막(실리콘질화막) 및 절연막(실리콘산화막)에 배선홈을 형성한다. 듀얼다머신법에 의한 접속구 및 배선홈의 형성방법으로서, 예를들면 이하의 방법을 예시하는 것이 가능하다.

<117> 우선, 도 4에 나타나는 바와 같이 층간절연막(SiOF막)에 접속구를 형성한다. 형성되는 접속구의 구지름은, 예를들면 약 $0.25\mu m$ 정도이다. 이 접속구의 형성은 구페턴에 패터닝된 포토레지스트막(PR1)을 절연막(실리콘산화막)상에 형성하고, 이 포토레지스트막(PR1)을 마스크로서 예를들면, 드라이에칭법에 의해 절연막(실리콘산화막), 스토퍼절연막(실리콘질화막) 및 층간절연막(SiOF막)을 순차로 에칭한다. 이 때, 캡절연막(실리콘질화막)은 에칭스토�퍼층으로서 기능한다. 이들의 절연재료는 CVD법으로 성막된 무기절연막이기 때문에 종래의 드라이에칭법의 연장선상의 프로세스기술을 적용하는 것이 가능하다.

<118> 다음으로, 포토레지스트막(PR1)을 제거한 후, 도 5에 나타나는 바와 같이, 접속구의 형성과 동일하게, 홈페턴에 패터ning된 포토레지스트막(PR2)을 절연막(실리콘산화막)상에 형성하고, 이 포토레지스트막(PR2)을 마스크로서 예를들면 드라이에칭법에 의해 절연막(실리콘산화막)을 에칭한다. 이때, 스토퍼절연막(실리콘 질화막)은

에칭스토퍼층으로서 기능한다. 그 후, 노출하고 있는 스토퍼절연막(실리콘질화막)을 에칭제거한다.

<119> 다음으로, 접속구 및 배선홈의 내부에 배리어메탈층 및 주도전층인 동막으로 이루어지는 상층배선을 형성한다. 이 상층배선과 하층배선을 접속하는 접속부재는 상층배선과 일체로 형성된다. 상층배선의 형성방법으로서, 예를들면 이하의 방법을 예시하는 것이 가능하다.

<120> 우선, 포토레지스트막(PR 2)을 제거한다. 그 후, 도 6에 나타나는 바와 같이, 접속구의 바닥부에 노출하고 있는 캡절연막(실리콘 질화막)을 에칭제거하고, 다음으로 배리어메탈층(BL)을 형성한다. 배리어메탈층(BL)은 예를들면 질화티탄, 탄탈, 질화탄탈등이다. 다음으로, 배리어메탈층(BL)상에 씨드층(seed layer)(미도시)을 형성한다. 씨드층은 동의 도금층을 형성하기 위한 종(씨드)이 되는 층이고, 동으로 구성된다. 씨드층의 형성에는 예를들면 CVD법 또는 스퍼터법이 이용된다.

<121> 다음으로 동의 도금층(ML)을 형성한다. 도금법은 전해도금, 무전해도금의 어느 하나의 방법을 이용하여도 용이하다. 도금층(ML)의 막두께는 기판평면상에서 약 600nm정도가 된다. 상기에 의해 접속구 및 배선홈을 동시에 매입한다. 또한, 도금법에 의한 동막(도금층(ML))의 형성과는 달리 스퍼터법에 의해 동막을 형성하여도 용이하다. 이 경우, 상기 씨드층은 불필요하다. 스퍼터법에 의해 동막을 형성하는 경우에는, 접속구 및 배선홈에 동이 매입되도록 열처리를 실시하여 동을 가열시키는 것이 가능하다.

<122> 다음으로, 도 7에 나타나는 바와 같이, CMP법을 이용하여 도금층(ML) 및 씨드층을 연마한다. 또한, 연마를 연속하고, 절연막(실리콘 산화막)상의 배리어메탈층(BL)도 제거한다. 상기에 의해 배선홈의 영역이외의 배리어메탈층(BL) 및 동막(도금층(ML) 및 씨드층)이 제외되어, 접속부재와 일체로 형성된 상층배선이 형성된다.

<123> 도 8에 본 실시형태 1에 있어서의 듀얼다머신배선의 제 1 변형예를 나타낸다. 스토퍼절연막은 배선층간막(실리콘산화막) 또는 비어층간막(SiOF막) 혹은 이들 양자에 대해서, 에칭선택비를 가지는 재료로 구성되고, 상기 도 1 및 도 7에 나타난 듀얼다머신배선에서는 실리콘질화막이 예시되었다. 그러나, 실리콘질화막의 비유전률은 약 7정도로 상대적으로 높기 때문에 배선용량을 저감하는 것을 고려하면, 비유전률이 상대적으로 낮고, 또한, 스토퍼기능을 가지는 절연막이 바람직하다. 도 8에는 배선층간막을 실리콘산화막, 비어층간막을 SiOF막으로 하고 비유전률이 약 4정도의 SiC막을 스토퍼절연막에 이용한 듀얼다머신 구조를 나타낸다. 스토퍼절연막을 SiC막으로 구성하는 것에 의해, 스토퍼절연막을 실리콘질화막으로 구성한 경우보다 배선용량을 4. 5에서 4. 2로 저감하는 것이 가능하다.

<124> 또한, 도 9에 본 실시형태 1에 있어서의 듀얼다머신배선의 제 2 변형예를 나타낸다. 상기에서는, 스토퍼절연막을 이용하지 않고 배선용량을 저감한 듀얼다머신배선이 나타나고 있다. 스토퍼절연막을 이용하지 않는 것에 의해, 실리콘질화막으로 이루어지는 스토퍼절연막을 이용한 경우보다 배선용량을 4.5에서 4.0으로 저감하는 것이 가능하다.

<125> 다음으로, 상기 도 1에 나타난 본 실시형태 1의 반도체장치의 제조방법의 일례를 도 10 ~ 도 20에 나타난 반도체장치기판의 주요부단면도를 이용하여 공정순으로 설명한다.

<126> 우선, 도 10에 나타나는 바와 같이, 예를들면 p-형의 단결정 실리콘으로 이루어지는 반도체기판(1)을 용의하고, 반도체기판(1)의 주요면에 소자분리영역(2)을 형성한다. 소자분리영역(2)은 예를들면 이하와 같이 하여 형성할 수 있다. 우선, 반도체기판(1)의 주요면상에 실리콘산화막 및 실리콘질화막을 순차로 형성하고, 이 실리콘질화막을 패터닝된 포토레지스트막을 이용하여 에칭하고, 이 에칭된 실리콘질화막을 마스크로서 반도체기판(1)에 얇은 홈을 형성한다. 상기 후, 홈을 매입하는 절연막, 예를들면 실리콘산화막을 퇴적하고, CMP법 등을 이용하여 얇은홈 이외의 영역의 실리콘산화막을 제거하고, 또한 웨트 에칭법등에 의해 실리콘질화막을 제거한다. 상기에 의해 소자분리영역(2)이 형성된다.

<127> 다음으로, 패터닝된 포토레지스트막을 마스크로서 불순물을 이온주입하고, p웰(3) 및 n웰(4)을 형성한다. p웰(3)에는 p형의 도전형을 나타내는 불순물 예를들면 붕소(B)를 이온주입하고, n웰(4)에는 n형의 도전형을 나타내는 불순물 예를들면 인(P)을 이온주입한다. 이 후, 각 웰영역에 MISFET의 한계치를 제어하기 위한 불순물을 이온주입하여도 용이하다.

<128> 다음으로 게이트 절연막(5)이 되는 실리콘산화막, 게이트전극(6)이 되는 다결정 실리콘 막 및 캡절연막(7)이 되는 실리콘산화막을 순차로 퇴적하여 적층막을 형성하고, 포토리소 그래피에 의해 패터닝된 포토레지스트막을 마스크로서 상기 퇴적막을 에칭한다. 상기에 의해, 게이트절연막(5), 게이트전극(6) 및 캡절연막(7)을 형성한다. 게이트절연막은 예를들면 열 CVD법에 의해 형성하는 것이 가능하고, 게이트전극(6)은 CVD법에 의해 형성하는 것이 가능하다. 게이트전극(6)의 저항치를 저감하기 위하여 n형 또는 p형의 불순물을 MISFET의 채널형에

따라서 도핑하여도 용이하다. 즉, n채널 MISFET의 게이트전극에는 n형 불순물을 p채널 MISFET의 게이트전극에는 p형 불순물을 도핑하여도 용이하다. 이 경우 이온주입법을 이용하는 것이 가능하다. 또한, 게이트전극(6)의 상부에 WSi_x , $MoSi_x$, $TiSi_x$, $TaSi_x$ 등의 고용접금속실리사이드막을 적층하여도 용이하고, 질화티탄, 질화텅스텐(WN) 등의 배리어메탈층을 매개하여 텅스텐등의 금속층을 형성하여도 용이하다. 상기에 의해 게이트전극(6)의 씨트저항치를 저감하고, MISFET의 동작속도를 향상할 수 있다. 캡절연막(7)은 예를들면 CVD법에 의해 퇴적하는 것이 가능하다.

<129> 다음으로 반도체기판(1)상에 예를들면 CVD법으로 실리콘산화막을 퇴적한 후 이 실리콘산화막을 이방성 에칭하는 것에 의해 게이트전극(6)의 측벽에 사이드월 스페이서(8)를 형성한다. 상기후, 포토레지스트막을 마스크로서 p웰(3)에 n형 불순물(예를들면 인, 비소(As))을 이온주입하고, p웰(3)상의 게이트전극(6)의 양측에 n형 반도체영역(9)을 형성한다. n형 반도체영역(9)은 게이트전극(6) 및 사이드월스페이서(8)에 대해서 자기정합적으로 형성된다. 또한, n형 반도체영역(9)은 n채널 MISFET의 소스, 드레인영역으로서 기능한다. 동일하게, 포토레지스트막을 마스크로서, n웰(4)에 p형 불순물(예를들면 불소화붕소(BF_2))을 이온주입하고, n웰(4)상의 게이트전극(6)의 양측에 p형 반도체영역(10)을 형성한다. p형 반도체영역(10)은 게이트전극(6) 및 사이드월 스페이서(8)에 대해서 자기정합적으로 형성되고, p채널 MISFET의 소스, 드레인영역으로서 기능한다.

<130> 또한, 사이드월 스페이서(8)의 형성전에 저농도의 불순물 반도체영역을 형성하고, 사이드 월 스페이서(8)의 형성 후에 고농도의 불순물 반도체영역을 형성하여 이른바, LDD구조로 하여도 용이하다.

<131> 다음으로 도 11에 나타나는 바와 같이, 반도체기판(1)상에 스퍼터법 또는 CVD법으로 실리콘산화막을 퇴적한 후, 그 실리콘산화막을 예를들면 CMP법으로 연마하는 것에 의해, 표면이 평탄화 된 제 1 층간질연막(11)을 형성한다. 제 1 층간질연막(11)은 실리콘질화막, SOG(spin on glass)막, BPSG(boron phosphor silicate glass)막, PSG(phosphor silicate glass)막등의 적층막으로 형성하여도 용이하다.

<132> 다음으로, 포토리소그래피기술을 이용하여 제 1 층간질연막(11)에 접속구(12)를 형성한다. 이 접속구(12)는 n형 반도체영역(9) 또는 반도체영역(10)상등의 필요부분에 형성한다.

<133> 다음으로 접속구(12)내에 플러그(13)를 예를들면 이하와 같이하여 형성한다. 우선, 접속구(12)의 내부를 포함하는 반도체기판(1)의 전면에 질화티탄막을, 예를들면 CVD법으로 형성하고, 또한, 접속구(12)를 매입하는 텅스텐막을 예를들면 CVD법으로 형성한다. 상기 후, 접속구(12) 이외의 영역의 질화티탄막 및 텅스텐막을 예를들면, CMP법에 의해 제거하여 플러그(13)를 형성한다. 또한, 질화티탄막의 형성전에, 예를들면 티탄(Ti)막을 퇴적하고, 열처리를 실행하여 접속구(12)의 바닥부에 있어서의 반도체기판(n형 반도체영역(9) 또는 p형의 반도체영역(10))을 실리사이드화하여도 용이하다. 이와 같은 실리사이드층을 형성하는 것에 의해 접속구(12) 바닥부에서 컨택저항을 저감할 수 있다.

<134> 다음으로 반도체기판(1)의 전면에 예를들면, 텅스텐막을 형성하고, 이 텅스텐막을 패터닝하여, 제 1 배선층의 배선(14)을 형성한다. 텅스텐막은 CVD법 또는 스퍼터법에 의해 형성할 수 있다.

<135> 다음으로 도 12에 나타나는 바와 같이, 배선(14)을 덮는 절연막 예를들면 실리콘산화막을 형성 한 후, 그 절연막을 예를들면 CMP법으로 연마하는 것에 의해, 표면이 평탄화 된 제 2층간 절연막(15)을 형성한다. 다음으로, 포토리소그래피기술을 이용하여 제 2 층간 절연막(15)의 소정의 영역에 접속구멍(16)을 형성한다.

<136> 다음으로, 접속구멍(16)내에 플러그(17)를 예를들면, 이하와 같이 하여 형성한다. 우선, 접속구멍(16)의 내부를 포함하는 반도체기판(1)의 전면에 배리어메탈층을 형성하고, 또한 접속구멍(16)을 매입하는 동막을 형성한다. 배리어메탈층은 예를들면 질화티탄, 탄탈, 질화탄탈등이고, 예를들면 CVD법으로 형성한다. 동막은 주도전층으로서 기능하고, 예를들면 도금법으로 형성할 수 있다. 도금법에 의한 동막의 형성전에 예를들면 CVD법 또는 스퍼터법에 의해 씨드층으로서 얇은 동막을 형성할 수 있다. 그 후, 접속구멍(16)이외의 영역의 동막 및 배리어메탈층을 예를들면 CMP법에 의해 제거하여 플러그(17)를 형성한다.

<137> 다음으로, 도 13에 나타나는 바와 같이 제 2 층간 절연막(15) 및 플러그(17)상에 스토퍼절연막(18)을 형성하고, 또한 배선형성용의 절연막(19)을 형성한다. 스토퍼절연막(18)은 절연막(19)으로의 흡가공시에 에칭스토퍼로 이루어지는 막이고 절연막(19)에 대해서 에칭선택비를 갖추는 재료를 이용한다. 스토퍼절연막(18)은 예를들면 실리콘질화막으로 하고, 절연막(19)은 예를들면 실리콘산화막으로 한다. 또한, 스토퍼절연막(18)과 절연막(19)에는 다음에 설명하는 제 2 층배선이 형성된다. 이로 인하여, 그 합계막두께는 제 2 배선층에 필요한 설계막두께로 결정된다. 또한, 배선용량을 저감하는 것을 고려하면, 상대적으로 비유전률이 높은 실리콘질

화막으로 이루어지는 스토퍼절연막(18)의 막두께는 스토퍼기능을 도달하기에 충분한 막두께이면 가능한 얇은 것이 바람직하다. 다음으로, 포토리소그래피기술을 이용하여 스토퍼절연막(18) 및 절연막(19)의 소정의 영역에 배선홈(20)을 형성한다.

<138> 다음으로 배선홈(20)의 내부에 제 2 배선층의 배선(21)을 형성한다. 배선(21)은 배리어메탈층 및 주도전층인 동막으로 이루어지고, 배리어메탈층은 예를들면 질화티탄, 탄탈, 질화탄탈등이다. 배선(21)의 형성은 예를들면 이하와 같이 하여 실행한다. 우선, 배선홈(20)의 내부를 포함하는 반도체기판(1)의 전면 배리어메탈층을 형성하고, 또한, 배선홈(20)을 매입하는 동막을 형성한다. 배리어메탈층의 형성에는 예를들면 CVD법을, 동막의 형성에는 예를들면 도금법을 이용한다. 도금법에 의한 동막의 형성전에 예를들면 CVD법 또는 스퍼터법에 의한 동의 씨드층을 형성할 수 있다. 그 후, 배선홈(20)이외의 영역의 동막 및 배리어메탈층을 예를들면 CMP법에 의해 제거하여 배선(21)을 형성한다.

<139> 다음으로 듀얼다머신법에 의해 제 3 배선층을 형성한다. 우선, 도 14에 나타나는 바와 같이 절연막(19) 및 제 2 배선층의 배선(21)상에 캡절연막(22), 충간절연막(23), 배선형성용의 스토퍼절연막(24), 배선형성용의 절연막(25)을 순차로 형성한다.

<140> 캡절연막(22) 및 충간절연막(23)에는 다음에 설명하는 바와 같이 접속구멍(26)이 형성된다. 캡절연막(22)은 충간절연막(23)에 대해서 에칭선택비를 갖추는 재료로 구성되고, 예를들면 실리콘질화막으로 하는 것이 가능하다. 실리콘질화막은 예를들면 플라즈마CVD법에 의해 형성되고, 비유전률은 약 7정도이다. 캡절연막(22)의 막두께는 예를들면 약 50nm정도로 하는 것이 가능하다.

<141> 충간절연막(23)은 상기 기술한 바와 같이 절연막(25)을 구성하는 재료의 영률보다 약 20GPa정도 작은 영률을 갖추는 재료로 구성된다. 충간절연막(23)은 예를들면 영률이 약 50GPa정도의 SiOF막으로 이루어지고, 그 막두께는 예를들면 약 500nm정도로 하는 것이 가능하다. SiOF막은 예를들면 CVD법에 의해 형성된다.

<142> 스토퍼절연막(24) 및 절연막(25)에는 다음에 설명하는 바와 같이 배선홈(27)이 형성된다. 스토퍼절연막(24)은 절연막(25)(후 기술하는 접속구멍의 형성방법인 제 2 방법으로는 절연막(25) 및 충간절연막(23))에 대해서 에칭선택비를 갖추는 재료로 구성되고, 예를들면 실리콘질화막으로 하는 것이 가능하다. 실리콘질화막은 예를들면 플라즈마 CVD법에 의해 형성되고, 비유전률은 약 7정도이다. 스토퍼절연막(24)의 막두께는 예를들면 약 25nm정도로 하는 것이 가능하다.

<143> 절연막(25)은 예를들면 영률이 약 70GPa정도의 실리콘산화막으로 이루어지고 그 막두께는 약 200nm정도로 하는 것이 가능하다. 상기 실리콘 산화막은 예를들면 원료가스로서 TEOS가스와 오존가스를 이용한 플라즈마 CVD법으로 형성된 TEOS산화막으로 구성되고, 비유전률은 약 4.3정도이다. 또한, 스토퍼절연막(24)과 절연막(25)에는 다음에 설명하는 제 3 배선층이 매입되는 배선홈이 형성된다. 이로 인하여, 그 합계막두께는 제 3 배선층에 필요한 설계막두께로 결정된다.

<144> 다음으로 도 15에 나타나는 바와 같이, 캡절연막(22) 및 충간절연막(23)에 접속구멍(26)을 스토퍼절연막(24) 및 절연막(25)에 배선홈(27)을 형성한다. 듀얼다머신법에 의한 접속구멍(26) 및 배선홈(27)은 예를들면 이하와 같이 하여 형성된다.

<145> 우선, 배선(21)상에 형성된 캡절연막(22) 및 충간절연막(23)에 배선(21)에 도달하는 깊은 접속구멍(26)을 형성한다. 이 접속구멍(26)의 형성은 구멍패턴에 패터닝된 포토레지스트막을 절연막(25)상에 형성하고, 이 포토레지스트막을 마스크로서 예를들면, 드라이에칭법에 의해 절연막(25), 스토퍼절연막(24), 충간절연막(23) 및 캡절연막(22)을 순차로 에칭한다. 형성되는 접속구멍(26)의 구지름은 예를들면 약 0.25 μm 정도이다.

<146> 다음으로 레지스트등에서 이 접속구멍(26)을 매입하고, 그 후 절연막(25) 및 스토퍼절연막(24)에 배선홈(27)을 형성한다. 배선홈(27)의 형성은 접속구멍(26)의 형성과 동일하게 홈패턴에 패터닝된 포토레지스트막을 절연막(25)상에 형성하고, 이 포토레지스트막을 마스크로서 예를들면 드라이에칭법에 의해 절연막(25) 및 스토퍼절연막(24)을 순차로 에칭한다.

<147> 다음으로, 접속구멍(26) 및 배선홈(27)의 내부에 제 3 배선층의 배선(28)을 형성한다. 배선(28)은 배리어메탈층 및 주도전층인 동막으로 이루어지고, 이 배선(28)과 하층배선인 배선(21)을 접속하는 접속부재는 배선(28)과 일체로 형성된다. 배선(28)의 형성방법은 예를들면 이하와 같이 하여 실행한다.

<148> 우선, 도 16에 나타나는 바와 같이, 접속구멍(26) 및 배선홈(27)의 내부를 포함하는 반도체기판(1)의 전면에 배리어메탈층(29)을 형성한다. 배리어메탈층(29)은 예를들면, 질화티탄, 탄탈, 질화탄탈등이다. 다음으로 배

리어메탈층(29)상에 동의 씨드층(미도시)을, 예를들면 CVD법 또는 스퍼터법에 의해 형성한 후, 동의 도금층(28a)을 형성한다. 도금법은 전해도금, 무전해도금의 어느 하나의 방법을 이용하여도 용이하다. 도금층(28a)의 막두께는 기판평면상에서 약 600nm정도로 한다. 상기에 의해 접속구멍(26) 및 배선홈(27)을 동시에 매입한다. 또한, 본 실시형태 1에서는 도금에 의해 동막(도금층(28a))의 형성을 나타냈지만, 스퍼터법에 의해 형성하여도 용이하다. 이 경우, 상기 씨드층은 필요하지 않다. 스퍼터법에 의해 동막을 형성하는 경우에는 접속구멍(26) 및 배선홈(27)에 동이 매입되도록 열처리를 실시하여 동을 가열시키는 것이 가능하다.

<149> 다음으로 도 17에 나타나는 바와 같이 CMP법을 이용하여 도금층(28a) 및 씨드층을 연마한다. 동은 연마속도가 큼으로 우선 먼저 동의 부분이 제거된다. 또한, 연마를 연속하고, 절연막(25)상의 배리어메탈층(29)도 제거된다. 상기에 의해 배선홈(27) 이외의 영역의 동막(도금층(28a) 및 씨드층) 및 배리어메탈층(29)이 제거되어 접속부재와 일체로 형성된 배선(28)이 형성된다.

<150> 다음으로 도 18에 나타나는 바와 같이 절연막(25) 및 배선(28)상에 캡절연막(30), 충간절연막(31), 배선형성용의 스토퍼절연막(32), 배선형성용의 절연막(33)을 순차로 형성한다. 상기의 절연막(30 ~ 33)에 대해서는 각각 상기 스토퍼절연막(22), 충간절연막(23), 배선형성용의 스토퍼절연막(24), 배선형성용의 절연막(25)과 동일하고, 충간절연막(31)은 예를들면, 막두께 약 500nm정도의 SiOF막, 절연막(33)은 예를들면 막두께 약 200nm정도의 실리콘산화막으로 구성된다. 또한, 캡절연막(30) 및 충간절연막(31)에 접속구멍(34)을 스토퍼절연막(32) 및 절연막(33)에 배선홈(35)을 상기 제 3 배선층의 경우와 동일하게 형성된다. 상기 접속구멍(34)의 구지름은 예를들면 약 0.25μm정도이다. 또한, 제 3 배선층의 배선(28)과 동일하게 접속부재와 일체로 형성된 제 4 배선층의 배선(36)을 형성한다.

<151> 다음으로 도 19에 나타나는 바와 같이 절연막(33) 및 배선(36)상에 캡절연막(37), 충간절연막(38), 배선형성용의 스토퍼절연막(39), 배선형성용의 절연막(40)을 순차로 형성한다. 상기의 절연막(37 ~ 40)에 대해서는 각각 상기 스토퍼절연막(22), 충간절연막(23), 배선형성용의 스토퍼절연막(24), 배선형성용의 절연막(25)과 동일하고, 충간절연막(38)은 예를들면, 막두께 약 500nm정도의 SiOF막, 절연막(33)은 예를들면 막두께 약 200nm정도의 실리콘산화막으로 구성된다. 또한, 캡절연막(37) 및 충간절연막(38)에 접속구멍(41)을 스토퍼절연막(39) 및 절연막(40)에 배선홈(42)을 상기 제 3 배선층의 경우와 동일하게 형성된다. 상기 접속구멍(41)의 구지름은 예를들면 약 0.5μm정도이다. 또한, 제 3 배선층의 배선(28)과 동일하게 접속부재와 일체로 형성된 제 5 배선층의 배선(43)을 형성한다.

<152> 다음으로 도 20에 나타나는 바와 같이 절연막(40) 및 배선(43)상에 절연막(44)을 형성한 후 배선(43)에 도달하는 접속구멍(45)을 절연막(44)에 형성한다. 접속구멍(45)의 구지름은 예를들면 0.75μm정도이다. 다음으로, 접속구멍(45)의 내부를 포함하는 반도체기판(1)의 전면에 질화티탄막을 예를들면 CVD법에 의해 형성하고, 다음으로 접속구멍(45)을 매입하는 텅스텐막을 예를들면 CVD법에 의해 형성한다. 다음으로 접속구멍(45)이외의 영역에 질화티탄막 및 텅스텐막을 예를들면 CMP법에 의해 제거하여 플러그(46)를 형성한다.

<153> 다음으로, 반도체기판(1)의 전면에, 예를들면 알루미늄막을 형성하고, 이 알루미늄막을 포토리소그래피기술에 의해 패터닝하여, 최상층배선인 제 6 배선층의 배선(47)을 형성한다. 그 후, 패시베이션막(48)으로 반도체기판(1)의 전면을 덮는 것에 의해, 상기 도 1에 나타난 반도체장치가 대략 완성된다.

<154> 또한, 본 실시형태 1에서는, 제 6 배선층으로 이루어지는 다층배선을 갖추는 반도체장치에 적용하였지만, 배선층수에 관계없이, 듀얼다머신으로 형성되는 임의의 배선층에 적용하는 것은 가능하다.

<155> 이와 같이, 본 실시형태 1에 의하면 배선홈을 포위하는 배선층간막을 영률이 60GPa이상의 CVD법으로 형성되는 절연재료, 예를들면 실리콘산화막으로 구성하고, 접속구멍을 포위하는 비어층간막을 영률이 약 60GPa 미만의 CVD법으로 형성되는 절연재료, 예를들면 SiOF막으로 구성한다. 상기에 의해, 실온에서 500°C정도의 승온에 있어서, 접속구멍내에서 동의 체적이 팽창하여도, 여기에 추종한 비어층간막의 탄성변형이 발생하고, 또한 배선층간막이 동의 체적팽창을 억제하는 기동을 하기 때문에 접속구멍의 내부의 동이 배선홈의 내부의 동으로 흡수되는 것을 억제하는 것이 가능하다.

<156> 또한, 비어층간막을 구성하는 SiOF막은 비유전률이 약 3.6정도와 실리콘산화막의 비유전률과 비교하여 작기 때문에 비어층간막에 실리콘산화막을 이용하기 보다 배선용량을 저감하는 것이 가능하다.

<157> 또한, 배선층간막 및 비어층간막은 CVD법으로 성막된 무기절연재료로 구성되기 때문에 접속구멍 및 배선홈의 가공공정에 있어서, 종래의 드라이에칭법의 연장선상의 프로세스기술을 적용하는 것이 가능하다.

<158> (실시형태 2)

표 2

<159>

세대	제 2 세대		
배선층간막 (영률 : Y2)	SiOF(50GPa)		
비어 층간막 (영률 : Y1)	SiLK(10GPa)		
스托퍼 절연막	SiN	SiC	무
접속구의 구지 름 : R	0.18 μm		
지표	R/Y1	18.0	
	Y2-Y1	40	
배선용량	3.9	3.7	3.5

<160>

표 2에 본 실시형태 2에 있어서의 듀얼다머신구조의 각각의 절연막 재료 및 평가지표등을 상기 표 1과 동일하게 총합한다. 또한, 도 21에 본 실시형태 2를 적용한 듀얼다머신배선의 주요부단면도의 일례를 나타낸다. 본 실시형태 2에서는 제 2 세대로서 상하배선층을 연결하는 접속구멍의 구지름이 약 0.2 μm 이하의 듀얼다머신배선에 적용되는 각각의 절연재료를 나타내고 있고, 배선층간막은 영률이 30GPa이상의 절연재료로서 CVD법으로 형성되는 절연재료로 구성되고, 비어층간막은 영률이 30GPa미만의 절연재료로서 CVD법 또는 도포법으로 형성되는 절연재료로 구성된다.

<161>

표 2 및 도 21에는 배선층간막을 영률이 약 50GPa정도, 비유전률이 약 3.6정도의 SiOF막, 비어층간막을 영률이 약 10GPa정도, 비유전률이 약 2.7 ~ 2.8정도의 PAE(poly aryleneether)계재료, 예를들면 SiLK막으로 한 듀얼다머신배선을 예시하고 있다. SiOF막은 예를들면 CVD법으로 형성되고, SiLK막은 예를들면 도포법으로 형성된다. 스토퍼절연막 및 캡절연막에는 SiOF막 및 SiLK막에 대해서 스토퍼기능을 갖추는 실리콘질화막이 이용된다.

<162>

또한, 평가지표등을 총합하는 시점에서, 접속구멍의 구지름이 0.18 μm 의 듀얼다머신 배선을 이용하였지만, 0.18 μm 이외의 구지름의 접속구멍을 갖추는 듀얼다머신배선에도 적용할 수 있는 것은 물론이다.

<163>

또한, 배선층간막에는 SiOF막을 대신하여 실리콘산화막을 이용하는 것이 가능하다. 또한, 비어층간막에는 SiLK막을 대신하여, 다른 PAE계 재료(예를들면 FLARE막), BCB(benzocyclobutene)계 재료, HSQ(hydrogen silsesquioxane), MSQ(methyl silsesquioxane)계 재료등의 도포법으로 형성되는 저유전률막 혹은 SiOC계 재료, CF계 재료등의 CVD법으로 형성되는 저유전률막을 이용하는 것이 가능하다.

<164>

표 2에 나타나는 바와 같이 배선층간막을 SiOF막으로 구성하고, 비어층간막을 SiLK막으로 구성하는 것에 의해, 지표 : R/Y1은 18.0, 지표 : Y2 - Y1은 40으로 이루어진다. 따라서, 접속구멍의 구지름이 0.18 μm 의 듀얼다머신 구조에 있어서, 듀얼다머신배선의 쇠화를 억제 가능하다. 또한, 비유전률이 약 3.6정도의 SiOF막을 배선층간막에 이용하고, 비유전률이 약 2.7 ~ 2.8정도의 SiLK막을 비어층간막에 이용하는 것에 의해, 배선용량을 상기 실시형태 1에 나타낸 제 1 세대의 4. 5에서 3.9로 저감하는 것이 가능하다.

<165>

도 22에, 본 실시형태 2에 있어서의 듀얼다머신배선의 제 1 변형예를 나타낸다. 스토퍼절연막은 배선층간막(SiOF막) 또는 비어층간막(SiLK막), 혹은 상기 양자에 대해서 예칭선택비를 갖추는 재료로 구성되고, 상기 도 21에 나타낸 듀얼다머신배선에서는 실리콘질화막이 예시되었다. 그러나, 실리콘질화막의 비유전률은 약 7정도와 상대적으로 높기 때문에, 배선용량을 저감하는 것을 고려하면, 스토퍼기능을 갖추는 저유전률이 바람직하다. 도 22에는, 비유전률이 약 4정도의 SiC막을 스토퍼절연막에 이용한 듀얼다머신 구조를 나타낸다. 스토퍼절연막을 SiC막으로 구성하는 것에 의해, 스토퍼절연막을 실리콘질화막으로 구성한 경우보다 배선용량을 3.9에서 3.7로 저감하는 것이 가능하다.

<166>

또한, 도 23에 본 실시형태 2에 있어서의 듀얼다머신배선의 제 2 변형예를 나타낸다. 상기에서는, 스토퍼절연막을 이용하지 않고 배선용량을 저감한 듀얼다머신배선이 나타나고 있다. 스토퍼절연막을 이용하지 않는 것에 의해, 실리콘질화막으로 이루어지는 스토퍼절연막을 이용한 경우보다 배선용량을 3.9에서 3.5로 저감할 수 있다.

<167>

이와 같이, 본 실시형태 2에 의하면, 배선홈을 포위하는 배선층간막을 영률이 30GPa이상의 CVD법으로 형성되는

절연재료, 예를들면 SiOF막으로 구성하고, 접속구멍을 포위하는 비어층간막을 영률이 30GPa미만의 CVD법 또는 도포법으로 형성되는 절연재료, 예를들면 SiLK막으로 구성한다. 상기에 의해, 약 $0.18\mu\text{m}$ 정도의 구지름을 갖추는 접속구멍에 있어서도, 동의 체적팽창에 추종한 비어층간막의 탄성변형이 발생하기 쉬워지고, 접속구멍의 내부의 동이 배선홈의 내부의 동으로 흡수되는 것을 억제할 수 있다.

<168> 또한, 배선층간막을 구성하는 SiOF막의 비유전률은 약 3.6정도, 비어층간막을 구성하는 SiLK막의 비유전률은 약 2.7 ~ 2.8정도이기 때문에 상기 실시형태 1보다 또한, 배선용량을 저감하는 것이 가능하다.

<169> (실시형태 3)

표 3

세대	제 2 세대	
배선층간막 (영률 : Y2)	SiLK(10GPa)	
비어 층간막 (영률 : Y1)	Nanoglass(2GPa)	
스토퍼 절연막	SiC	무
접속구의 구지 름 : R	$0.12\mu\text{m}$	
지표	R/Y1	60.0
	Y2-Y1	8
배선용량	3.4	3.2

<171> 표 3에 본 실시형태 3에 있어서의 듀얼다머신구조의 각각의 절연막 재료 및 평가지표등을 상기 표 1과 동일하게 총합한다. 또한, 도 24에 본 실시형태 3을 적용한 듀얼다머신배선의 주요부단면도의 일례를 나타낸다. 본 실시형태 3에서는 제 3 세대로서 상하배선층을 연결하는 접속구멍의 구지름이 약 $0.13\mu\text{m}$ 이하의 듀얼다머신배선에 적용되는 각각의 절연재료를 나타내고 있고, 배선층간막은 영률이 60GPa이상의 절연재료로서, CVD법 또는 도포법으로서 형성되는 절연재료로 구성되고, 비어층간막은 영률이 60GPa미만의 절연재료로서 도포법으로 형성되는 절연재료로 구성된다.

<172> 표 3 및 도 24에는 배선층간막을 영률이 약 10GPa정도, 비유전률이 약 2.7 ~ 2.8정도의 PAE(poly aryleneether)계재료, 예를들면 SiLK, 비어층간막을 영률이 약 2 정도, 비율전률이 약 2.2정도의 포러스(porous) HSG계재료, 예를들면 Nanoglass막으로 한막으로 한 듀얼다머신배선을 예시하고 있다. SiLK막 및 Nanoglass막은 예를들면 도포법으로 형성된다. 스토퍼절연막 및 캡절연막에는 SiLK막 및 Nanoglass막에 대해서 스토퍼기능을 갖추는 실리콘산화막이 이용된다.

<173> 또한, 평가지표등을 총합하는 시점에서, 접속구멍의 구지름이 $0.12\mu\text{m}$ 의 듀얼다머신 배선을 이용하였지만, $0.12\mu\text{m}$ 이외의 구지름의 접속구멍을 갖추는 듀얼다머신배선에도 적용할 수 있는 것은 물론이다. 또한, 배선층간막을 SiLK막만으로 구성하였지만, 실리콘산화막과 SiLK막과의 적층막으로 구성하여도 용이하다.

<174> 또한, 배선층간막에는 SiLK막을 대신하여, 다른 PAE계 재료(예를들면 FLARE막), BCB계 재료, HSQ, MSQ계 재료 등의 도포법으로 형성되는 저유전률막 혹은 SiOC계 재료, CF계 재료등의 CVD법으로 형성되는 저유전률막을 이용하는 것이 가능하다.

<175> 표 3에 나타나는 바와 같이 배선층간막을 SiLK막으로 구성하고, 비어층간막은 Nanoglass막으로 구성하는 것에 의해, 지표 : R/Y1은 60.0, 지표 : Y2 - Y1은 8로 이루어진다. 따라서, 접속구멍의 구지름이 $0.12\mu\text{m}$ 의 듀얼다머신 구조에 있어서, 듀얼다머신배선의 쇠풍화를 억제 가능하다. 또한, 비유전률이 약 2.7 ~ 2.8정도의 SiLK막을 배선층간막에 이용하고, 비유전률이 2.2정도의 Nanoglass막을 비어층간막에 이용하여 비유전률이 4.3정도의 실리콘산화막을 스토퍼절연막 및 캡절연막에 이용하는 것에 의해, 배선용량을 상기 실시형태 2에 나타낸 제 2 세대의 3. 9에서 3.4로 저감하는 것이 가능하다.

<176> 또한, 도 25에, 본 실시형태 3에 있어서의 듀얼다머신배선의 변형예를 나타낸다. 스토퍼절연막은 배선층간막(SiLK막) 또는 비어층간막(Nanoglassa막), 혹은 상기 양자에 대해서 에칭선택비를 갖추는 재료로 구성되고, 상기 도 24에 나타낸 배선에서는 실리콘질화막이 예시되었다. 여기에서는, 스토퍼절연막을 이용하지 않고 배선용량을 저감한 듀얼다머신배선이 나타나고 있다. 스토퍼절연막을 이용하지 않는 것에 의해, 실리콘

산화막으로 이루어지는 스토퍼 절연막을 이용한 경우보다 배선용량을 3.4에서 3.2로 저감하는 것이 가능하다.

표 4

	재질	영률(GPa)	비유전률
충간막	SiO ₂	70	4.3
	SiOF	50	3.6
	PAE계 재료 (SiLK, FLARE) BCB계 재료 HSG계 재료	~10	2.7 ~ 2.8
	포러스HSQ계 재료 (Nanoglass)	2	2.2
	스토퍼 절연막	-	7
스토퍼 절연막	SiN	-	5

<178> 표 4에 배선충간막 또는 비어충간막에 이용되는 각종 절연막의 영률 및 비유전률을 총합한다.

<179> 이와 같이 본 실시형태 3에 의하면, 배선홈을 포위하는 배선충간막을 영률이 6GPa이상의 CVD법 또는 도포법으로 형성되는 절연재료, 예를들면 SiLK막으로 구성하고, 접속구멍을 포위하는 비어충간막을 영률이 6GPa미만의 도포법으로 형성되는 절연재료, 예를들면 Nanoglass막으로 구성한다. 상기에 의해, 약 0.12μm정도의 구지름을 갖추는 접속구멍에 있어서도, 동의 체적팽창에 추종한 비어충간막의 탄성변형이 발생하기 쉬워지고, 접속구멍의 내부의 동이 배선홈의 내부의 동으로 흡수되는 것을 억제하는 것이 가능하다.

<180> 또한, 배선충간막을 구성하는 SiLK막의 비유전률은 약 2.7 ~ 2.8정도, 비어충간막을 구성하는 Nanoglass막의 비유전률은 약 2정도이기 때문에 상기 실시형태 2보다 또한, 배선용량을 저감하는 것이 가능 하다.

<181> (실시형태 4)

<182> 도 26은 본 실시형태 4인 반도체장치를 나타내는 반도체기판의 주요부 단면도이다. 제 1 배선층을 싱글 다며 신배선으로 구성하고, 제 2 배선층에서 제 5 배선층을 듀얼다머신 배선으로 구성한 다층 배선구조의 일례를 나타낸다. 제 3 배선층에서 제 6 배선층은 상기 실시형태 1과 동일하다.

<183> n채널 MISFET의 n형 반도체영역(9) 및 p채널 MISFET의 p형 반도체영역(10)상의 제 1 충간 절연막(11)의 필요부분에 형성된 접속구멍(49)내에는, 예를들면 텅스텐막으로 이루어지는 플러그(50)가 매입되어 있다. 플러그(50)의 상층에는 스토퍼 절연막(51), 또한 배선형성용의 절연막(52)이 형성되어 있다. 스토퍼 절연막(51)은 절연막(52)으로의 홈가공시에 에칭스토퍼가 되는 막이고, 절연막(52)에 대해서 에칭선택비를 갖추는 재료를 이용한다. 스토퍼 절연막(51)은 예를들면 실리콘질화막이다. 스토퍼 절연막(51) 및 절연막(52)에는 상기 플러그(50)에 도달하는 배선홈(53)이 형성되어 있다. 배선홈(53)내에는 예를들면 텅스텐으로 이루어지는 제 1 배선층의 배선(54)이 매입되어 있다.

<184> 제 1 배선층의 배선(54)의 상층에는 캡절연막(55), 충간절연막(56), 배선형성용의 스토퍼 절연막(57), 배선형성용의 절연막(58)이 순차로 형성되어 있다. 이들의 절연막(55 ~ 59)에 대해서는, 각각 상기 실시형태 1의 스토퍼 절연막(22), 충간절연막(23), 배선형성용의 스토퍼 절연막(24), 배선형성용의 절연막(25)과 동일하고, 충간절연막(56)은 예를들면 막두께 약 500nm정도의 SiOF막이고, 절연막(58)은 예를들면 막두께 약 200nm정도의 실리콘산화막으로 구성된다. 또한, 캡절연막(55) 및 충간절연막(56)에 접속구멍(59)이 형성되고, 스토퍼 절연막(57) 및 절연막(58)에 배선홈(60)이 형성되어 있다. 상기 접속구멍(59)의 구지름은 예를들면 0.25μm정도이다. 또한, 접속부재와 일체로 형성된 제 2 배선층의 배선(61)이 형성되어 있다.

<185> 이와 같이 본 실시형태 4에 의하면, 제 2 배선층에서 제 5 배선층을 본 발명의 듀얼다머신배선으로 구성하는 것에 의해, 상기 실시형태 1보다 배선용량을 저감하는 것이 가능하다.

<186> 이상, 본 발명자에 의해 이루어진 발명을 발명의 실시형태에 의거하여 구체적으로 설명하였지만, 본 발명은 상기 실시형태에 한정되는 것은 아니고, 그 요지를 일탈하지 않는 범위에서 다양하게 변경이 가능 한 것은 물론이다.

<187> 예를들면, 상기 실시형태에서는 접속구멍의 구지름이 약 0.25 ~ 0.5μm정도의 듀얼다머신구조에서는 예를들면

배선층간막에 실리콘산화막, 비어층간막에 SiOF막을 적용하고, 접속구멍의 구지름이 약 $0.18\mu\text{m}$ 정도의 듀얼다머 신구조에서는, 예를들면 배선층간막에 SiOF막, 비어층간막에 SiLK막을 적용하고, 접속구멍의 구지름이 약 $0.12\mu\text{m}$ 정도의 듀얼다머신구조에서는 예를들면, 배선층간막에 SiLK막, 비어층간막에 Nanoglass막을 예시하였지만, 배선층간재료와 비어층간재료와의 조합은 여기에 한정되는 것은 아니고, 각각의 세대에 있어서의 열처리와 에칭등의 프로세스 또는 배선용량등을 고려하고, 배선층간재료 및 비어층간재료를 다양하게 선택하는 것은 가능하다.

발명의 효과

<188> 본원에 있어서, 개시되는 발명가운데 대표적인 것에 의해 구해지는 효과를 간단하게 설명하면 이하와 같다.

<189> 본 발명에 의하면 열 스트레스에 의해 듀얼다머신배선의 접속구멍내부에 있어서 접속부재의 팽창, 수축이 발생하여도, 여기에 추종하여 비어층간막이 탄선변형하기 쉬워지므로, 접속구멍내부에서의 보이드의 생성을 방지하는 것이 가능 하다. 상기에 의해, 접속구멍내부에서 저항의 상승이 억제되어, 듀얼다머신 배선의 내열성 및 일렉트로마이그레이션 내성을 향상하는 것이 가능하다. 또한, 저유전률 재료를 비어층간막 또는 배선층간막에 이용하는 것으로, 배선용량을 저감하는 것이 가능하다. 상기에 의해, 배선지연을 회피하는 것이 가능 하다.

<190> 따라서, 본 발명에 의하면, 미세배선에 적합하여 배선구조 또는 배선구조의 제조방법을 제공하는 것이 가능 하다.

도면의 간단한 설명

<1> 도 1 은 본 발명의 실시형태 1인 반도체장치를 나타내는 반도체기판의 주요부 단면도이다.

<2> 도 2 는 본 발명의 실시형태 1인 듀얼다머신배선의 주요부 평면도의 일례이다.

<3> 도 3 은 본 발명의 실시형태 1인 듀얼다머신 배선의 제조방법의 일례를 공정순으로 나타낸 반도체기판의 주요부 단면도이다.

<4> 도 4 는 본 발명의 실시형태 1인 듀얼다머신 배선의 제조방법의 일례를 공정순으로 나타낸 반도체기판의 주요부 단면도이다.

<5> 도 5 는 본 발명의 실시형태 1인 듀얼다머신 배선의 제조방법의 일례를 공정순으로 나타낸 반도체기판의 주요부 단면도이다.

<6> 도 6 은 본 발명의 실시형태 1인 듀얼다머신 배선의 제조방법의 일례를 공정순으로 나타낸 반도체기판의 주요부 단면도이다.

<7> 도 7 은 본 발명의 실시형태 1인 듀얼다머신 배선의 제조방법의 일례를 공정순으로 나타낸 반도체기판의 주요부 단면도이다.

<8> 도 8 은 본 발명의 실시형태 1인 듀얼다머신배선의 제 1 변형예를 나타내는 반도체기판의 주요부단면도이다.

<9> 도 9 는 본 발명의 실시형태 1인 듀얼다머신배선의 제 2 변형예를 나타내는 반도체기판의 주요부단면도이다.

<10> 도 10 은 본 발명의 실시형태 1인 반도체장치의 제조방법의 일례를 공정순으로 나타내는 반도체기판의 주요부 단면도이다.

<11> 도 11 은 본 발명의 실시형태 1인 반도체장치의 제조방법의 일례를 공정순으로 나타내는 반도체기판의 주요부 단면도이다.

<12> 도 12 는 본 발명의 실시형태 1인 반도체장치의 제조방법의 일례를 공정순으로 나타내는 반도체기판의 주요부 단면도이다.

<13> 도 13 은 본 발명의 실시형태 1인 반도체장치의 제조방법의 일례를 공정순으로 나타내는 반도체기판의 주요부 단면도이다.

<14> 도 14 는 본 발명의 실시형태 1인 반도체장치의 제조방법의 일례를 공정순으로 나타내는 반도체기판의 주요부 단면도이다.

<15> 도 15 는 본 발명의 실시형태 1인 반도체장치의 제조방법의 일례를 공정순으로 나타내는 반도체기판의 주요부

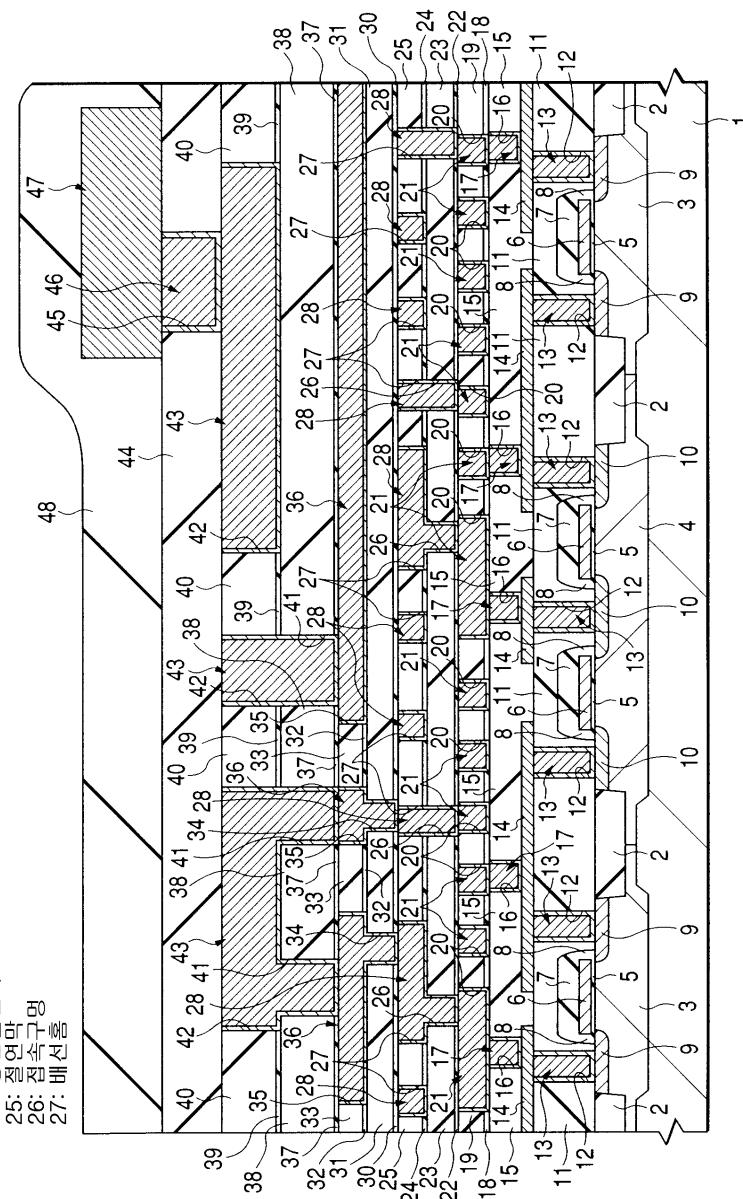
단면도이다.

- <16> 도 16 은 본 발명의 실시형태 1인 반도체장치의 제조방법의 일례를 공정순으로 나타내는 반도체기판의 주요부 단면도이다.
- <17> 도 17 은 본 발명의 실시형태 1인 반도체장치의 제조방법의 일례를 공정순으로 나타내는 반도체기판의 주요부 단면도이다.
- <18> 도 18 은 본 발명의 실시형태 1인 반도체장치의 제조방법의 일례를 공정순으로 나타내는 반도체기판의 주요부 단면도이다.
- <19> 도 19 는 본 발명의 실시형태 1인 반도체장치의 제조방법의 일례를 공정순으로 나타내는 반도체기판의 주요부 단면도이다.
- <20> 도 20 은 본 발명의 실시형태 1인 반도체장치의 제조방법의 일례를 공정순으로 나타내는 반도체기판의 주요부 단면도이다.
- <21> 도 21 은 본 발명의 실시형태 2인 듀얼다이렉트배선을 나타내는 반도체기판의 주요부단면도이다.
- <22> 도 22 는 본 발명의 실시형태 2인 듀얼다이렉트배선의 제 1 변형예를 나타내는 반도체기판의 주요부단면도이다.
- <23> 도 23 은 본 발명의 실시형태 2인 듀얼다이렉트배선의 제 2 변형예를 나타내는 반도체기판의 주요부단면도이다.
- <24> 도 24 는 본 발명의 실시형태 3인 듀얼다이렉트배선을 나타내는 반도체기판의 주요부단면도이다.
- <25> 도 25 는 본 발명의 실시형태 3인 듀얼다이렉트배선의 변형예를 나타내는 반도체기판의 주요부단면도이다.
- <26> 도 26 은 본 발명의 실시형태 4인 반도체기판을 나타내는 반도체기판의 주요부단면도이다.
- <27> <주요부위를 나타내는 도면부호의 설명>
- | | |
|-----------------------|------------------|
| <28> 1 : 반도체 기판 | 2 : 소자분리영역 |
| <29> 3 : p 웨 | 4 : n 웨 |
| <30> 5 : 게이트절연막 | 6 : 게이트전극 |
| <31> 7 : 캡절연막 | 8 : 사이드월 스페이서 |
| <32> 9 : n형 반도체영역 | 10 : p형 반도체영역 |
| <33> 11 : 제 1 충간 절연막 | 12 : 접속구멍 |
| <34> 13 : 플러그 | 14 : 배선(제 1 배선층) |
| <35> 15 : 제 2 충간 절연막 | 16 : 접속구멍 |
| <36> 17 : 플러그 | 18 : 스토퍼절연막 |
| <37> 19 : 절연막 | 20 : 배선홈 |
| <38> 21 : 배선(제 2배선층) | 22 : 캡절연막 |
| <39> 23 : 충간절연막 | 24 : 스토퍼절연막 |
| <40> 25 : 절연막 | 26 : 접속구멍 |
| <41> 27 : 배선홈 | 28 : 배선(제 3 배선) |
| <42> 28a : 도금층 | 29 : 배리어메탈층 |
| <43> 30 : 캡절연막 | 31 : 충간절연막 |
| <44> 32 : 스토퍼절연막 | 33 : 절연막 |
| <45> 34 : 접속구멍 | 35 : 배선홈 |
| <46> 36 : 배선(제 4 배선층) | 37 : 캡절연막 |

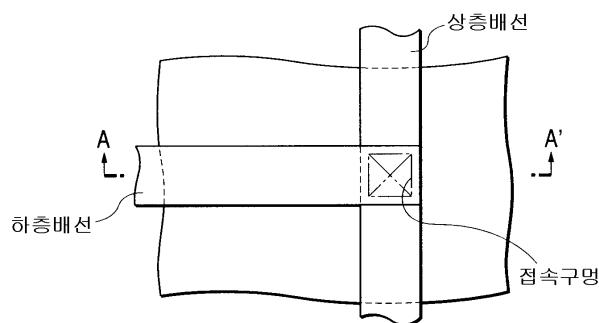
<47>	38 : 층간절연막	39 : 스토퍼절연막
<48>	40 : 절연막	41 : 접속구멍
<49>	42 : 배선홈	43 : 배선(제 5 배선층)
<50>	44 : 절연막	45 : 접속구멍
<51>	46 : 플리그	47 : 배선(제 6 배선층)
<52>	48 : 패시베이션막	49 : 접속구멍
<53>	50 : 플리그	51 : 스토퍼절연막
<54>	52 : 절연막	53 : 배선홈
<55>	54 : 배선(제 1 배선층)	55 : 캡절연막
<56>	56 : 층간절연막	57 : 스토퍼절연막
<57>	58 : 절연막	59 : 접속구멍
<58>	60 : 배선홈	61 : 배선홈
<59>	PR 1 : 포토레지스트막	PR 2 : 포토레지스트막
<60>	BL : 배리어메탈층	ML : 도금층

도면

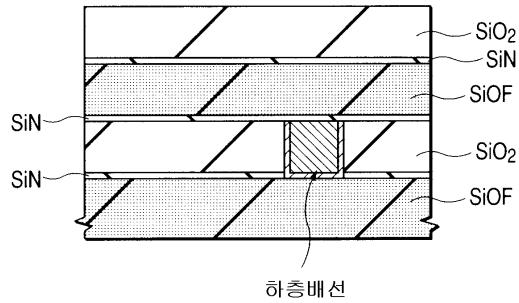
도면1



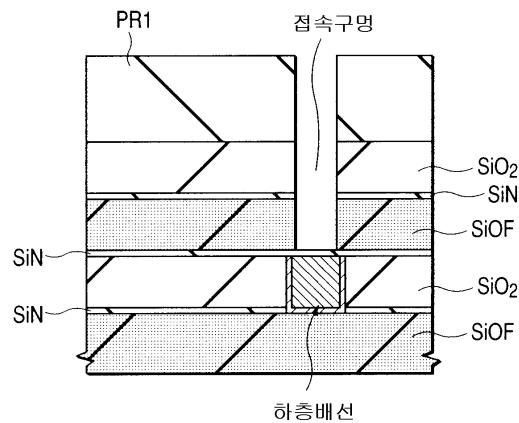
도면2



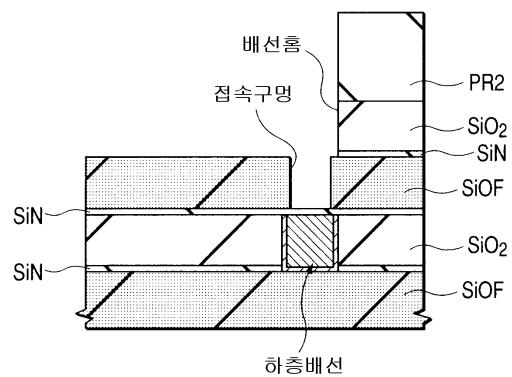
도면3



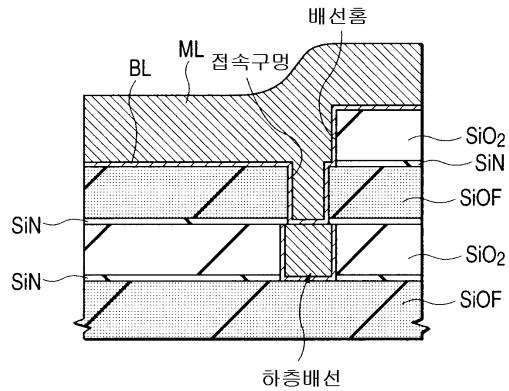
도면4



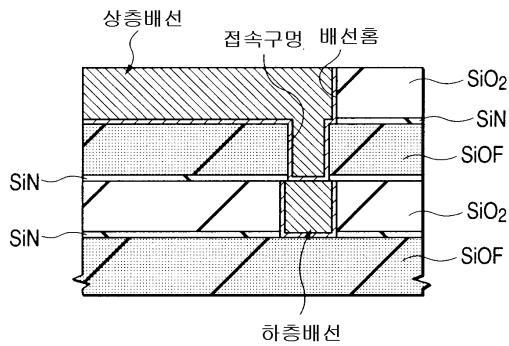
도면5



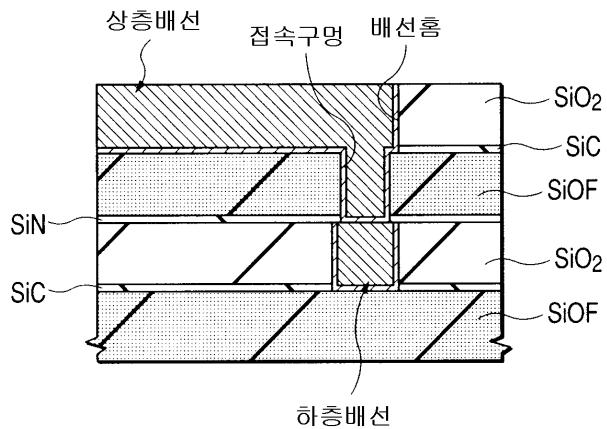
도면6



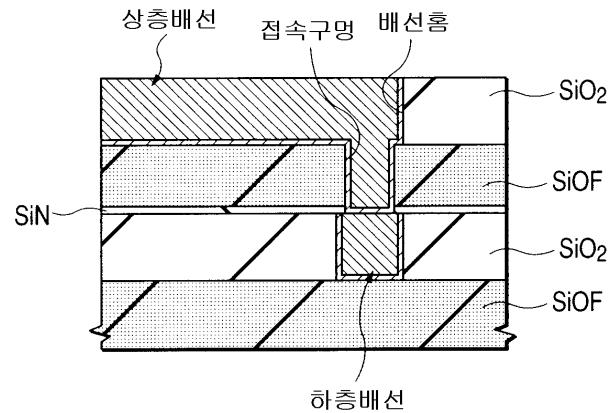
도면7



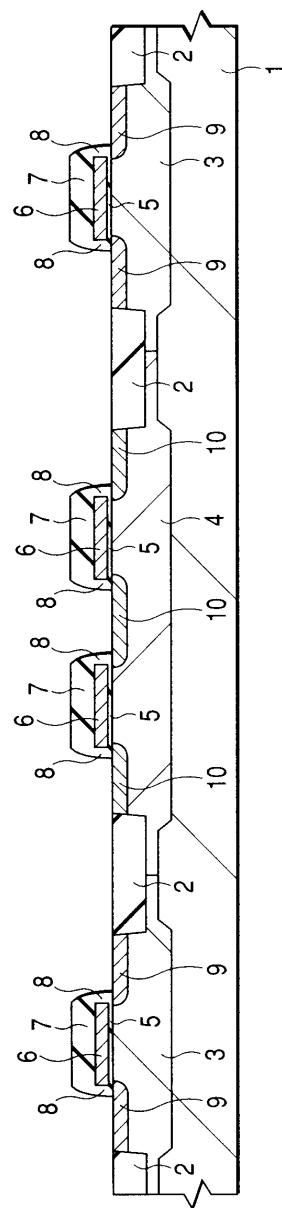
도면8



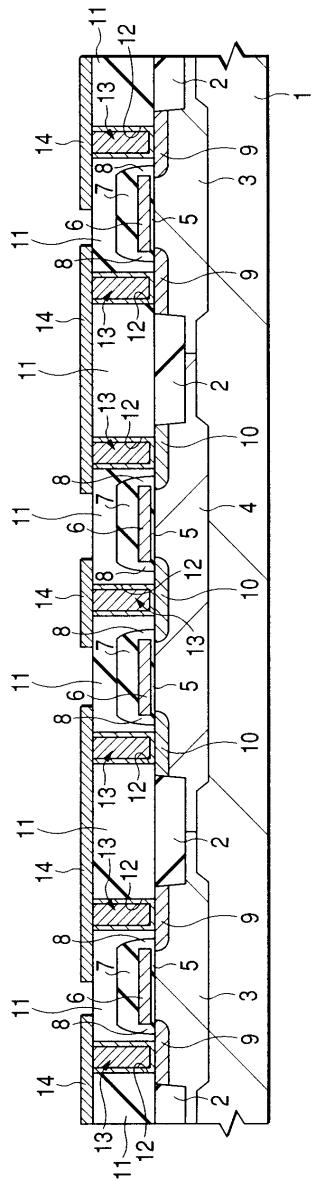
도면9



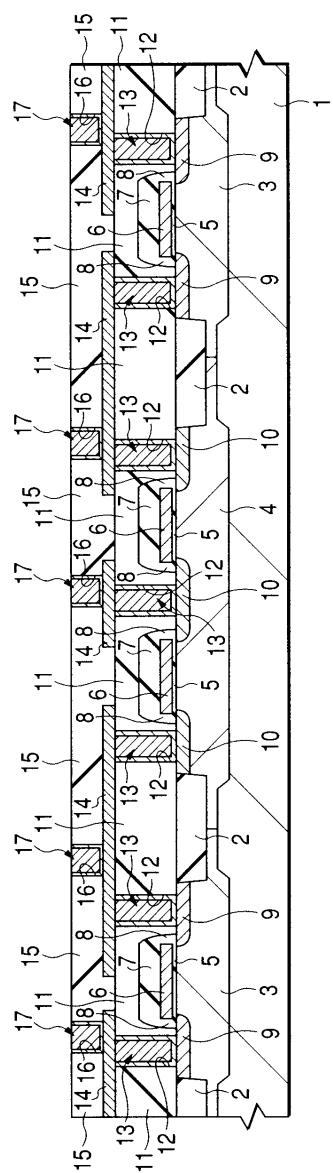
도면10



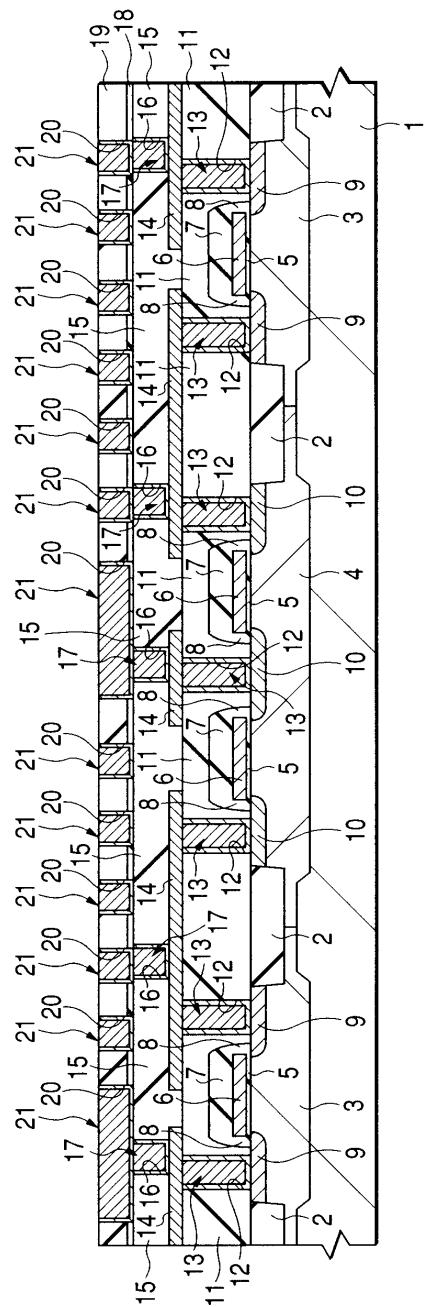
도면11



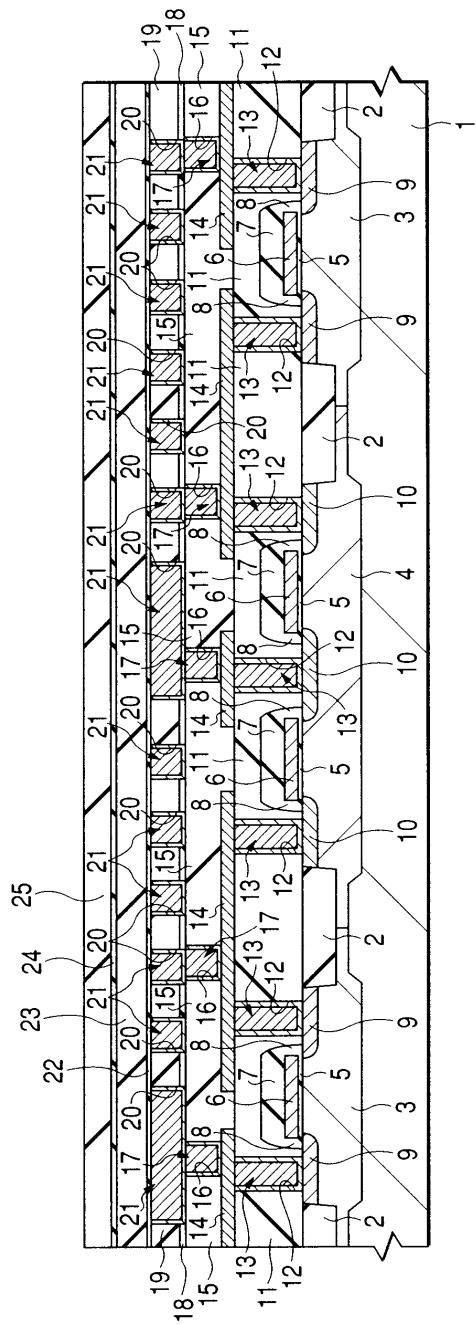
도면12



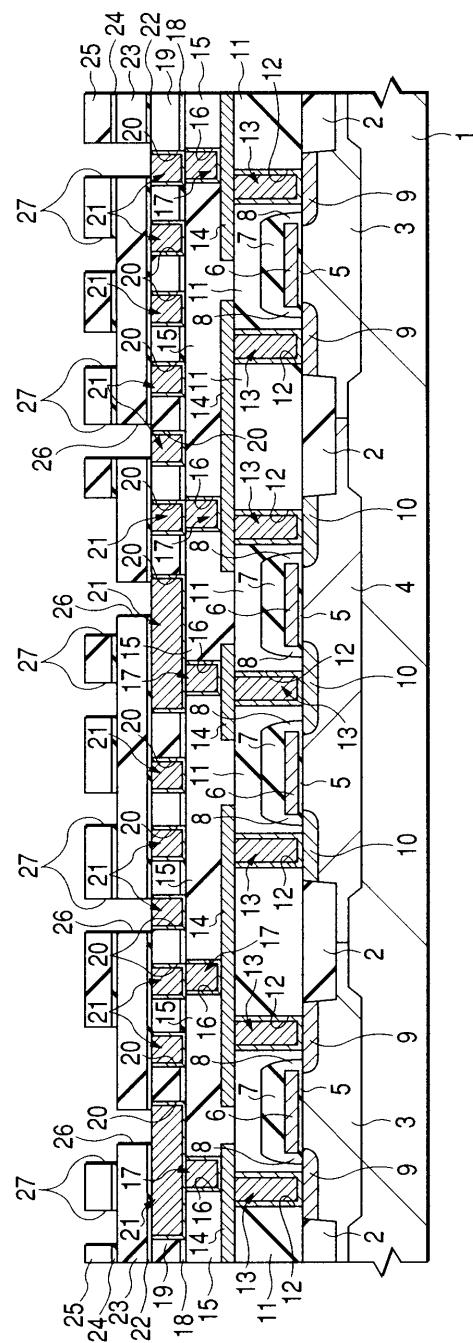
도면13



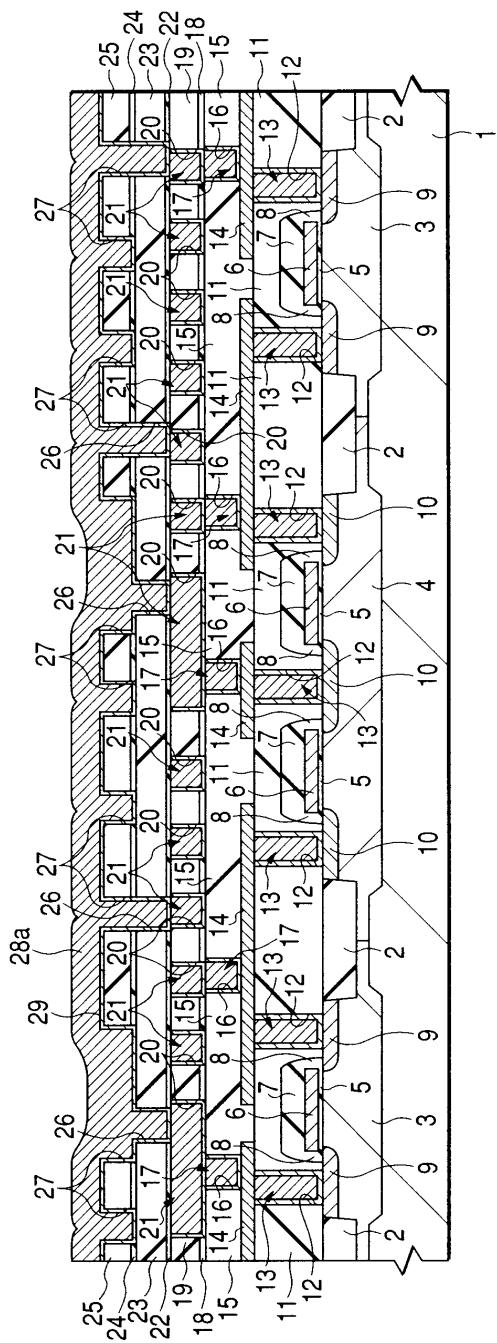
도면14



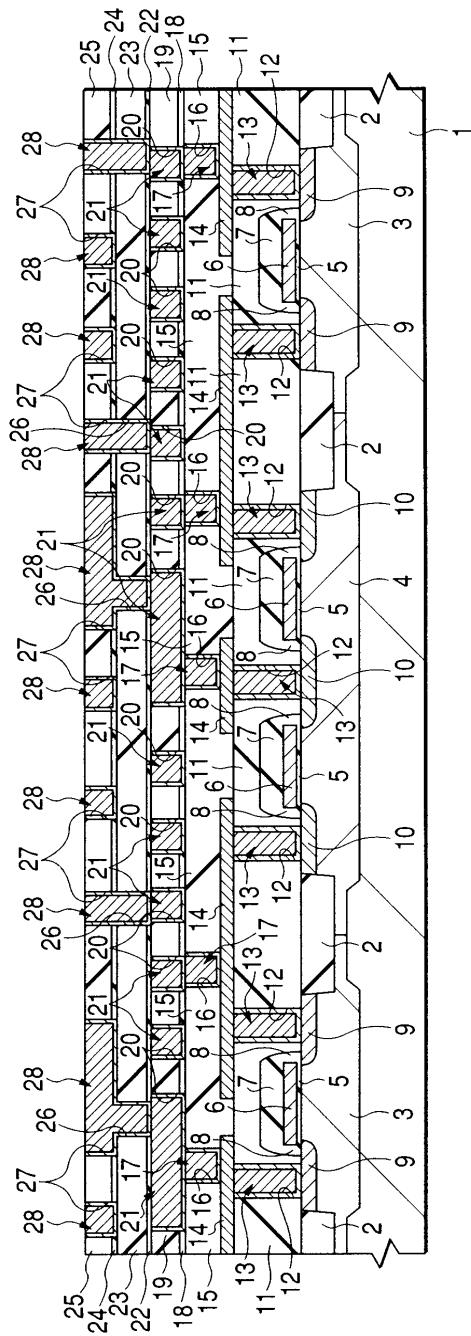
도면15



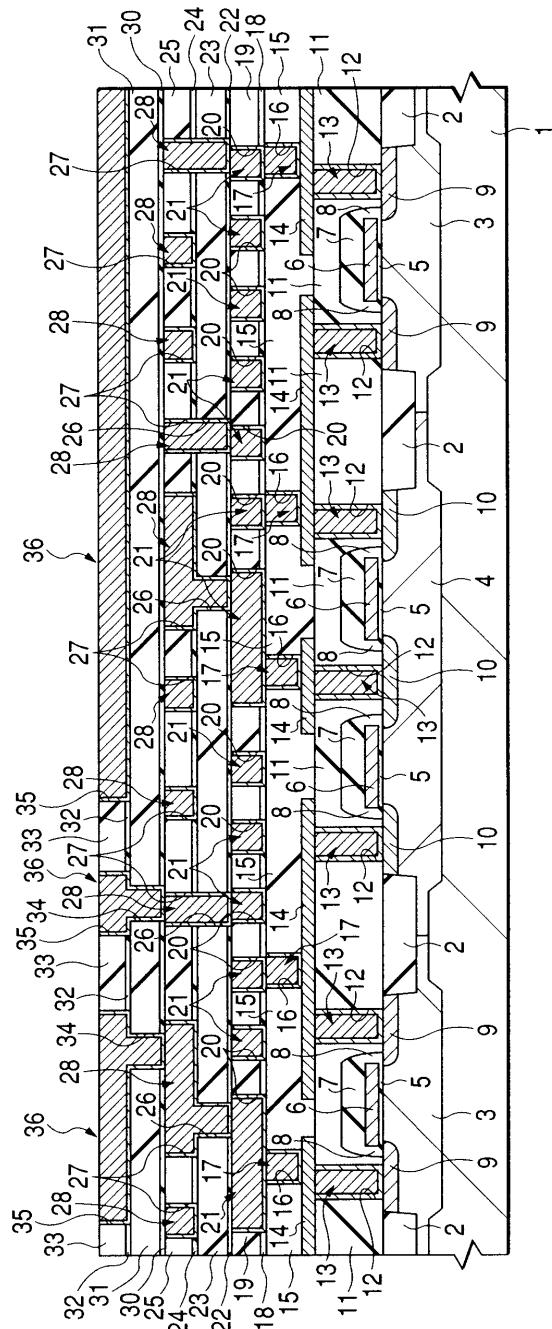
도면16



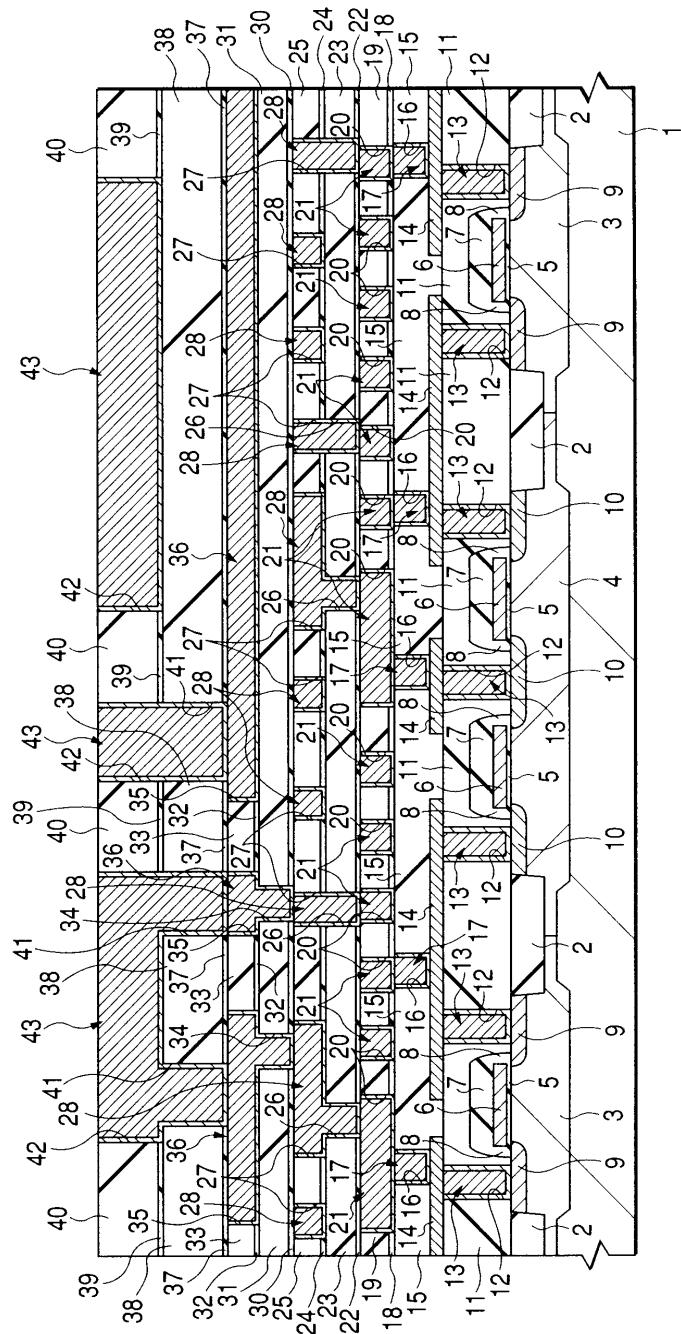
도면17



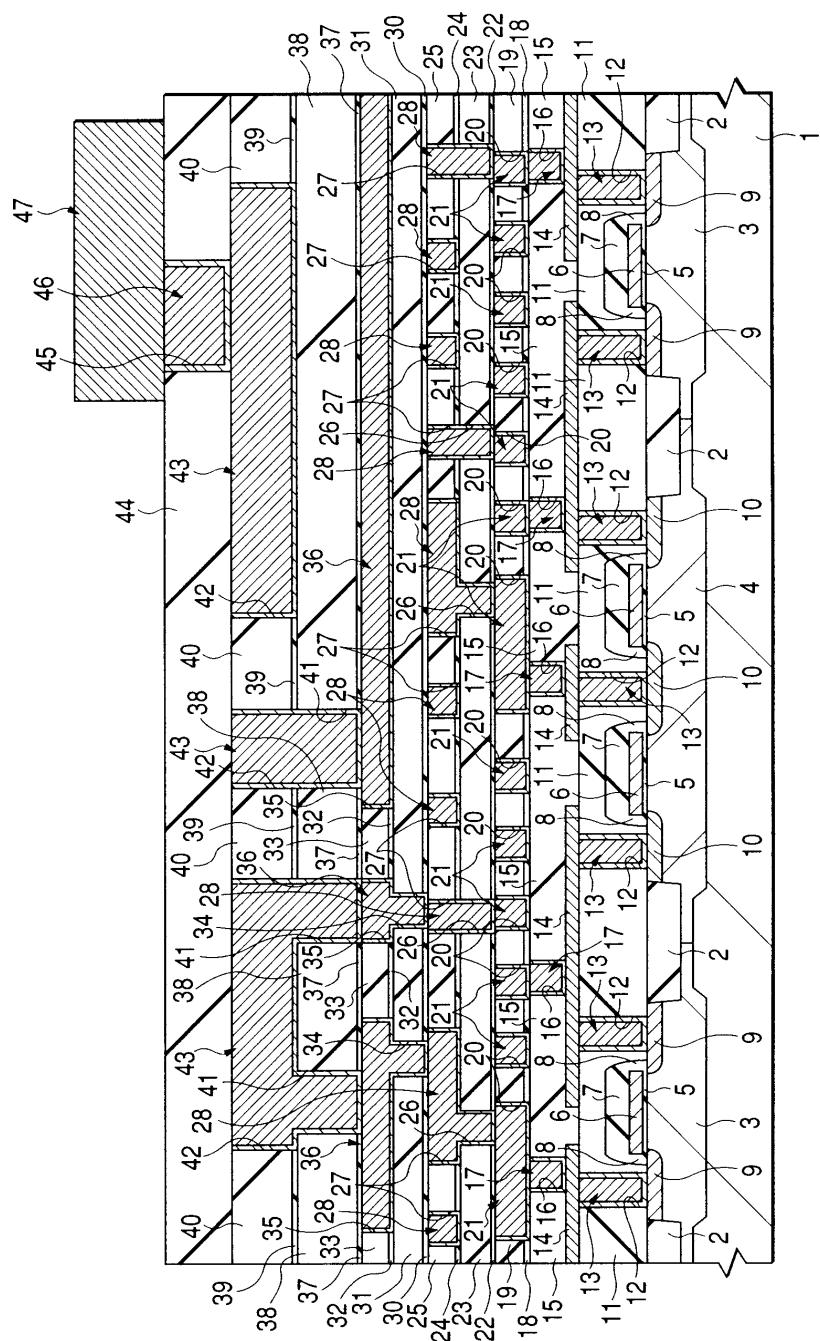
도면18



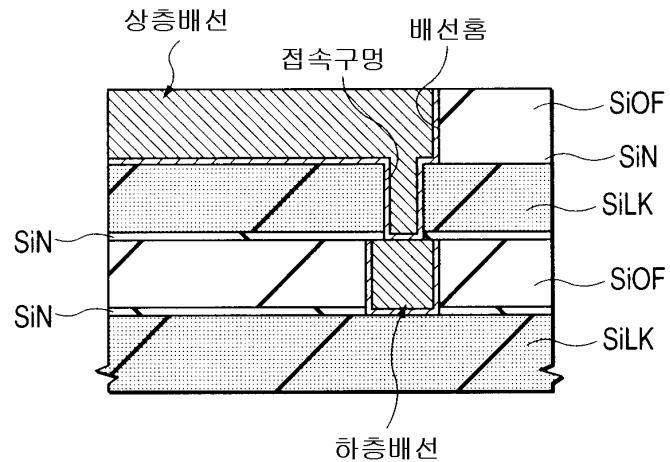
도면19



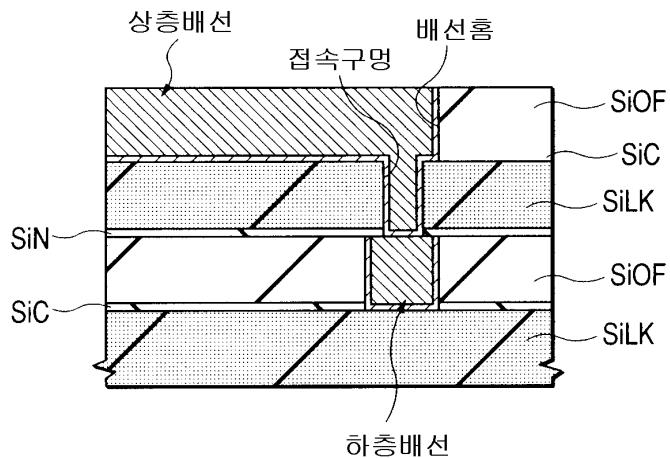
도면20



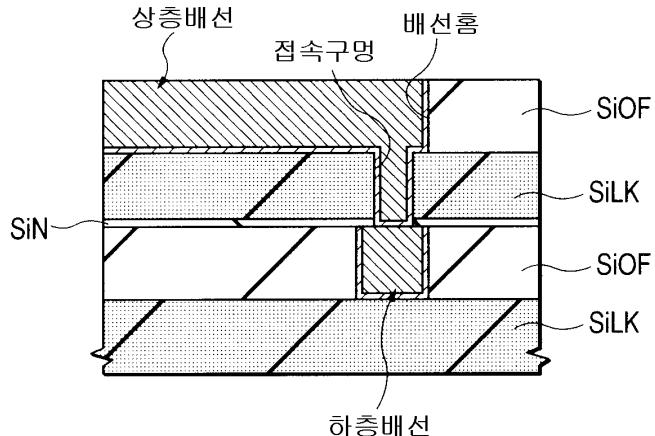
도면21



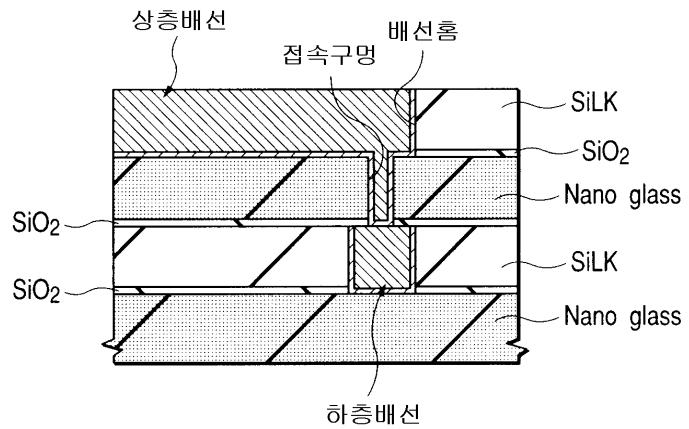
도면22



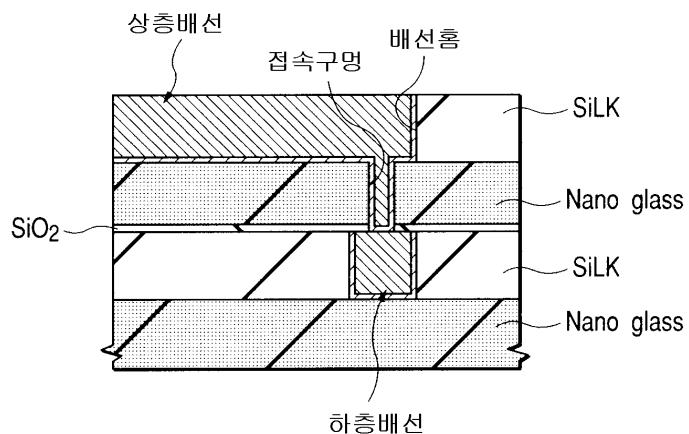
도면23



도면24



도면25



도면26

