

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5655705号
(P5655705)

(45) 発行日 平成27年1月21日 (2015. 1. 21)

(24) 登録日 平成26年12月5日 (2014. 12. 5)

(51) Int. Cl.

F I

HO 1 L 21/336 (2006. 01)
 HO 1 L 29/78 (2006. 01)
 HO 1 L 21/66 (2006. 01)
 HO 1 L 29/06 (2006. 01)

HO 1 L 29/78 6 5 8 L
 HO 1 L 29/78 6 5 2 K
 HO 1 L 29/78 6 5 2 N
 HO 1 L 29/78 6 5 2 Q
 HO 1 L 21/66 E

請求項の数 4 (全 13 頁) 最終頁に続く

(21) 出願番号 特願2011-115652 (P2011-115652)
 (22) 出願日 平成23年5月24日 (2011. 5. 24)
 (65) 公開番号 特開2012-244102 (P2012-244102A)
 (43) 公開日 平成24年12月10日 (2012. 12. 10)
 審査請求日 平成25年12月23日 (2013. 12. 23)

(73) 特許権者 000002130
 住友電気工業株式会社
 大阪府大阪市中央区北浜四丁目5番33号
 (74) 代理人 100088155
 弁理士 長谷川 芳樹
 (74) 代理人 100113435
 弁理士 黒木 義樹
 (74) 代理人 100108257
 弁理士 近藤 伊知良
 (72) 発明者 澤田 研一
 大阪府大阪市此花区島屋一丁目1番3号
 住友電気工業株式会社大阪製作所内

審査官 平野 崇

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

F E T 構造を有する複数の単位セルを含む半導体装置において、
 各前記単位セルの前記 F E T 構造が有するゲート電極に電氣的に接続されるゲート電極配線と、

前記ゲート電極配線に電氣的に接続されており各前記ゲート電極を外部接続するためのゲート電極パッドと、

前記ゲート電極配線に電氣的に接続されており検査用プローブが接触されるプローブ用電極パッドと、

セル部と、

前記セル部を取り囲んでいると共に、前記セル部を電氣的に保護する外周部と、
 を備え、

前記セル部は、複数の前記単位セルが並列に配置されて構成されており、

前記プローブ用電極パッドは、前記セル部の外縁部上に設けられていると共に、前記セル部から前記外周部に向けて張り出している、
 半導体装置。

【請求項 2】

前記ゲート電極配線は、前記セル部の外縁部に沿って配置されている、
 請求項 1 に記載の半導体装置。

【請求項 3】

前記セル部の平面視形状は略四角形状であり、

前記プローブ用電極パッドは、前記セル部の４つの角部のうちの少なくとも一つの角部に設けられている、

請求項１又は２に記載の半導体装置。

【請求項４】

複数の前記プローブ用電極パッドを備える、請求項１～３の何れか一項記載の半導体装置。

【発明の詳細な説明】

【技術分野】

10

【０００１】

本発明は半導体装置に関する。

【背景技術】

【０００２】

半導体装置として、ＦＥＴ構造（例えば、ＭＯＳＦＥＴ構造）を有する複数の単位セルが並列されたセル部を含む半導体装置が知られている（特許文献１及び非特許文献１参照）。このような半導体装置では、各ゲート電極に導通したゲート電極パッドが設けられており、ゲート電極パッドを外部接続することによって、各単位セルのＦＥＴ構造に含まれるゲート電極を外部接続している。

【先行技術文献】

20

【特許文献】

【０００３】

【特許文献１】特開２００６－１００３１７号公報

【非特許文献】

【０００４】

【非特許文献１】稲葉保著「パワーＭＯＳＦＥＴ活用の基礎と実際」ＣＱ出版、２０１２年２月１日、第２２頁

【発明の概要】

【発明が解決しようとする課題】

【０００５】

30

半導体装置が製造された際には半導体装置の検査が行われる。その検査では、検査用のプローブは、通常、ゲート電極パッドに接触させていた。この場合、検査用のプローブをゲート電極パッドに接触させることによって、本来、外部接続のために使用されるべきゲート電極パッドに余分なストレスが付加されていた。

【０００６】

そこで、本発明は、検査時におけるゲート電極パッドへのストレスを低減し得る半導体装置を提供することを目的とする。

【課題を解決するための手段】

【０００７】

本発明の一側面に係る半導体装置は、ＦＥＴ構造を有する複数の単位セルを含む。この半導体装置は、各単位セルのＦＥＴ構造が有するゲート電極に電氣的に接続されるゲート電極配線と、ゲート電極配線に電氣的に接続されており各ゲート電極を外部接続するためのゲート電極パッドと、ゲート電極配線に電氣的に接続されており検査用プローブが接触されるプローブ用電極パッドと、を備える。

40

【０００８】

この形態では、プローブ用電極パッドが、ゲート電極配線を介して各単位セルのゲート電極及びゲート電極パッドに接続されている。よって、ゲート電極パッドの代わりに検査用プローブを接触させることによって、半導体装置を検査し得る。そのため、半導体装置の検査において、ゲート電極パッドへのストレスを低減し得る。

【０００９】

50

一実施形態に係る半導体装置は、セル部と、セル部を取り囲んでいると共に、セル部を電氣的に保護する外周部とを備え得る。この形態において、セル部は、複数の単位セルが並列に配置されて構成され得る。また、プローブ用電極パッドは、セル部の外縁部上に設けられていると共に、セル部から外周部に向けて張り出し得る。

【0010】

セル部は、F F E T構造を有する複数の単位セルが並列に配置されて構成されているため、半導体装置において動作領域として機能する。上記形態では、プローブ用電極パッドをゲート電極パッドと別に備えても、動作領域であるセル部の面積（又は大きさ）を確保することが可能である。

【0011】

10

一実施形態では、セル部の平面視形状は略四角形状であり得る。この形態では、ゲート電極配線がセル部の外縁部に沿って配置され得る。また、プローブ用電極パッドは、セル部の外縁部を構成する4つの角部のうちの少なくとも一つの角部の位置に設けられ得る。

【0012】

セル部の平面視形状が略四角形状であり、セル部の外縁部に沿ってゲート電極配線が配置されている形態では、セル部の角部には電界が集中しやすい。この場合、セル部を取り囲んでいる外周部の幅はより大きくなる傾向にある。よって、セル部の角部にプローブ用電極パッドを配置した形態では、外周部の領域を有効に活用できると共に、プローブ用電極パッドの大きさをより大きくできる。

20

【0013】

更に、一実施形態において、プローブ用電極パッドの表面の面積は、検査用プローブの断面であって検査用プローブの軸に直交する断面の面積より大きい。

【0014】

この形態では、検査用プローブをプローブ用電極パッドに接触させる際、検査用プローブが、半導体装置におけるプローブ用電極パッド以外の領域に接触しにくい。その結果、プローブ用電極パッドを利用して半導体装置をより正確に検査し得る。

【0015】

一実施形態において、半導体装置は、複数のプローブ用電極パッドを備え得る。この場合、ゲート電極パッドを利用せずに、複数のプローブ用電極パッドに複数の検査用プローブを接触させながら、例えば四端子法を用いて半導体装置を検査し得る。

30

【発明の効果】

【0016】

本発明によれば、検査時におけるゲート電極パッドへのストレスを低減し得る半導体装置を提供し得る。

【図面の簡単な説明】

【0017】

【図1】本発明の一実施形態に係る半導体装置の平面図である。

【図2】図1に示した半導体装置の表面に設けられるパッシベーション膜を除いた場合の平面図である。

40

【図3】図1に示したI I I a - I I I a線、I I I b - I I I b線及びI I I c - I I I c線に沿った端面構造を示す図面である。

【図4】図1に示したV I - V I線に沿った端面構造を示す図面である。

【図5】図1に示した半導体装置の製造工程の一例を順次示す図面である。

【図6】図5に示した工程の後工程を順次示す図面である。

【発明を実施するための形態】

【0018】

以下、図面を参照して本発明の実施形態について説明する。図面の説明において、同一要素には同一符号を付し、重複する説明を省略する。図面の寸法比率は、説明のものと必ずしも一致していない。

50

【 0 0 1 9 】

図 1 は、本発明の一実施形態に係る半導体装置の平面図である。図 2 は、図 1 に示した半導体装置の表面側に設けられるパッシベーション膜を除いた場合の半導体装置の平面図である。図 3 (a)、図 3 (b) 及び図 3 (c) は、それぞれ図 1 の I I I a — I I I a 線、 I I I b — I I I b 線及び I I I c - I I I c 線に沿った端面図である。

【 0 0 2 0 】

図 1 ~ 図 3 を利用して半導体装置 1 0 の概略構成について説明する。説明のために、図 1 及び図 2 に示すように、半導体装置 1 0 の厚さ方向（後述する半導体基板 3 4 の主面 3 4 a の法線方向）に略直交する 2 つの方向を x 軸方向及び y 軸方向と称す。

【 0 0 2 1 】

半導体装置 1 0 は、化合物半導体を利用した M O S F E T (Metal-Oxide-Semiconductor Field-Effect Transistor) である。半導体装置 1 0 に採用される化合物半導体の例は、S i C 及び G a N といったワイドバンドギャップ半導体、G a A s を含む。半導体装置 1 0 は平面視形状（半導体装置 1 0 の厚さ方向から見た形状）の例は、図 1 に示されているような略四角形状である。略四角形状の例は、正方形及び長方形を含む。半導体装置 1 0 の平面視形状が略正方形である場合において、半導体装置 1 0 の一辺の長さの例は 5 m m 以下である。

【 0 0 2 2 】

半導体装置 1 0 は、複数の単位セル 1 2（図 3 (a) 参照）が並列に配置されて構成されるセル部 1 4 を備えた半導体チップである。半導体装置 1 0 は、セル部 1 4 を取り囲んでおりセル部 1 4 を電氣的に保護する外周部 1 6（図 2 参照）を備え得る。本実施形態では、外周部 1 6 を備えた半導体装置 1 0 が説明される。

【 0 0 2 3 】

セル部 1 4 の平面視形状は、半導体装置 1 0 の平面視形状と同様の形状であり得る。本実施形態では、図 2 に例示したように、セル部 1 4 の平面視形状は略正方形として説明される。セル部 1 4 の一辺の長さの例は 2 0 μ m 以下である。

【 0 0 2 4 】

各単位セル 1 2 は縦型の M O S F E T 構造を有する。図 3 (a) に示すように、隣接する単位セル 1 2 は物理的に連続して並列配置されている。この形態では、セル部 1 4 はチャネル領域に主電流が流れる活性部である。一実施形態において、セル部 1 4 は、平面視形状が角状の複数の単位セル 1 2 がアレイ状に並列接続されて構成され得る。他の実施形態において、単位セル 1 2 は、一方向に延在したストライプ形状を有し得る。この場合には、セル部 1 4 は、各単位セル 1 2 が単位セル 1 2 の延在方向に直交する方向に複数の単位セル 1 2 が並列接続された構成とし得る。

【 0 0 2 5 】

単位セル 1 2 は、ゲート電極 1 8 を基準にして区画されている。半導体装置 1 0 では、複数の単位セル 1 2 間において、ソース電極 2 0 及びドレイン電極 2 2 が共有されている。具体的には、半導体装置 1 0 の表面側及び裏面側にそれぞれ設けられたソース電極 2 0 及びドレイン電極 2 2 の一部が各単位セル 1 2 におけるソース電極及びドレイン電極として機能する。ただし、単位セル 1 2 毎に、ソース電極 2 0 及びドレイン電極 2 2 がそれぞれ設けられてもよい。

【 0 0 2 6 】

セル部 1 4 の表面には、ゲート電極配線 2 4 がセル部 1 4 の外縁部 1 4 a（図 2 において一点鎖線で示される縁部）に沿って設けられている。よって、ゲート電極配線 2 4 は、環状に配置されている。本実施形態ではセル部 1 4 の平面視形状は略正方形であるため、ゲート電極配線 2 4 の平面視形状も略正方形である。半導体装置 1 0 が有するゲート電極配線 2 4 は、各単位セル 1 2 のゲート電極 1 8 に電氣的に接続されている。ゲート電極配線 2 4 は、いわゆるゲートランナーである。ゲート電極配線 2 4 の一部には、第 1 のパッド用電極 2 6（図 2、図 3 (c) 参照）が物理的に接続されている。ゲート電極配線 2 4 及び第 1 のパッド用電極 2 6 はいずれも導電性を有することから、ゲート電極配線 2 4 及

10

20

30

40

50

び第1のパッド用電極26は電氣的にも接続されている。

【0027】

セル部14及び外周部16の表面上には、ソース電極20及ゲート電極配線24を覆う保護膜としてのパッシベーション膜28(図1、図3(a)~図3(c)参照)が形成されている。このパッシベーション膜28によりセル部14及び外周部16の表面が保護される。半導体装置10では、第1のパッド用電極26及びソース電極20上のパッシベーション膜28に開口部28a及び開口部28bがそれぞれ形成されている。開口部28aによって露出した第1のパッド用電極26の領域がゲート電極パッド30として機能する。同様に、ソース電極20のうち開口部28bによって露出された領域がソース電極パッド32として機能する。

10

【0028】

図3(a)~図3(c)を利用して、半導体装置10の構成について更に詳細に説明する。まず、セル部14及び外周部16に共通の構成について説明する。

【0029】

半導体装置10は、n型(第1導電型)の半導体基板34を有する。半導体基板34の材料の例は化合物半導体である。化合物半導体の例は、前述したSiC及びGaNといったワイドバンドギャップ半導体並びにGaAsを含む。半導体基板34の厚さの例は400 μm である。半導体基板34の主面34aと反対側の面34b(以下、裏面と称す)には、ドレイン電極22が設けられている。ドレイン電極22の例はNi膜といった金属膜である。半導体基板34の主面34a上には、下地半導体層としてn型のドリフト層36が設けられている。ドリフト層36の材料の例は半導体基板34の材料と同じとし得る。ドリフト層36内のn型ドーパントの濃度の例は約 $5 \times 10^{16} \text{ cm}^{-3}$ である。ドリフト層36の厚さの例は約10 μm である。

20

【0030】

次に、半導体基板34上のセル部14及び外周部16それぞれの構成について説明する。まず、セル部14について、図3(a)を主に利用してソース電極20の下側の構成を中心にして説明する。セル部14の外縁部14a近傍の構成については後述する。

【0031】

ドリフト層36の表層部には、pボディ領域としての複数のp型(第2導電型)半導体領域38が互いに離間して形成されている。p型半導体領域38の材料は半導体基板34の材料と同じとし得る。p型半導体領域38のp型ドーパントの濃度の例は約 $5 \times 10^{17} \text{ cm}^{-3}$ である。p型半導体領域38の厚さ(又は深さ)の例は約1.0 μm である。単位セル12の平面視形状が角状である場合には、p型半導体領域38はドリフト層36の表層部に島状に形成され得る。一方、単位セル12が一方向に延在している場合には、p型半導体領域38も一方向に延在し得る。

30

【0032】

p型半導体領域38には、2つのn型のソース領域40が離間して形成されている。ソース領域40内のn型のドーパントの濃度の例は約 $1 \times 10^{19} \text{ cm}^{-3}$ である。ソース領域40の厚み(又は深さ)の例は約0.3 μm である。

【0033】

ドリフト層36の表面において隣接するp型半導体領域38, 38の間の領域上には、ゲート絶縁膜42及びゲート電極18が積層されている。ゲート絶縁膜42及びゲート電極18は、p型半導体領域38内のソース領域40と共にMOS構造を形成するように隣接するp型半導体領域38, 38の間の領域上に配置されている。本実施形態では、ゲート絶縁膜42及びゲート電極18は、単位セル12毎に設けられ得る。ゲート絶縁膜42の例はシリコン酸化膜である。ゲート絶縁膜42の厚さの例は約50 μm である。ゲート電極18の例はAl膜といった金属膜である。

40

【0034】

ゲート絶縁膜42及びゲート電極18からなる隆起部は、層間絶縁膜44によって被覆されている。層間絶縁膜44の例はシリコン酸化膜である。層間絶縁膜44上には、ソー

50

ス電極 20 が設けられている。ソース電極 20 の例は Ni 膜といった金属膜である。ソース電極 20 の厚さの例は約 0.1 μm である。ソース領域 40 とソース電極 20 とが電氣的に接触するように層間絶縁膜 44 には、層間絶縁膜 44 の厚さ方向に貫通するコンタクトホールといったコンタクト領域 44a が形成されている。

【0035】

上記構成では、単位セル 12 は、縦型 MOSFET 構造であって二重拡散型 MOSFET 構造を有する。具体的には、単位セル 12 は、ゲート電極 18 を基準としてみた場合、半導体基板 34、裏面 34b に設けられたドレイン電極 22、主面 34a 上に設けられたドリフト層 36、ドリフト層 36 の表層部に形成されており互いに離間した p 型半導体領域 38、各 p 型半導体領域 38 内に形成されたソース領域 40、ソース領域 40 と MOS 構造を形成するゲート絶縁膜 42 及びゲート電極 18、並びに、ソース領域 40 と電氣的に接続されゲート電極 18 と絶縁されたソース電極 20 とを含む。

10

【0036】

次に、図 3 (b) 及び図 3 (c) を主に利用して、ゲート電極配線 24 が形成されるセル部 14 の外縁部 14a の構成について説明する。

【0037】

セル部 14 の外縁部 14a に沿って p ボディ領域としての p 型半導体領域 38 がドリフト層 36 の表層部に形成されている。以下、説明の便宜のため、外縁部 14a に沿って形成される p 型半導体領域 38 を p 型半導体領域 46 とも称す。一実施形態において、p 型半導体領域 46 は、半導体装置 10 の耐圧特性を得るために、セル部 14 から外周部 16 側に向けてセル部 14 から外側に張り出している。p 型半導体領域 46 のセル部 14 中心側の端部には、単位セル 12 の一部を構成するソース領域 40 と、後述する絶縁膜 50 及びゲート配線部材 52 と共に MOS 構造を構成するソース領域 40 とが互いに離間して形成されている。

20

【0038】

p 型半導体領域 46 上には層間絶縁膜 48 によって被覆された絶縁膜 50 が設けられている。絶縁膜 50 及び層間絶縁膜 48 の材料及び厚さは、それぞれゲート絶縁膜 42 及び層間絶縁膜 44 の場合と同じとし得る。層間絶縁膜 48 のセル部 14 の中心側の端部上には、ソース電極 20 の一部が被さっている。層間絶縁膜 48 には、p 型半導体領域 46 内のソース領域 40 とソース電極 20 とを電氣的に接続するために、層間絶縁膜 48 を貫通するコンタクト領域 48a が形成されている。

30

【0039】

層間絶縁膜 48 内には、セル部 14 の外縁部 14a に沿って設けられた導電性のゲート配線部材 52 が埋設されている。ゲート配線部材 52 の厚さ及び材料は、ゲート電極 18 の場合と同様とし得る。ゲート配線部材 52 は、各ゲート電極 18 と電氣的に接続されている。ゲート配線部材 52 と各ゲート電極 18 との電氣的な接続の例について説明する。外縁部 14a に沿って配置されたゲート配線部材 52 を主たるゲート配線部材 (又は基幹ゲート配線部材) とする。この際、主たるゲート配線部材 52 から従たるゲート配線部材を導出して、この従たるゲート配線部材を各ゲート電極 18 と物理的に接続されるようにセル部 14 内に張り巡らせる。これにより、ゲート配線部材 52 と各ゲート電極 18 とが電氣的に接続され得る。この場合、従たるゲート配線部材は、ソース電極 20 及びソース領域 40 とは絶縁されるように絶縁膜などによって被覆又は埋設されていればよい。或いは、単位セル 12 が一方向に延在している形態では、ゲート電極 18 の両端を直接ゲート配線部材 52 に物理的に接続してもよい。

40

【0040】

ゲート配線部材 52 の延びている方向、すなわち、外縁部 14a に沿って層間絶縁膜 48 上にゲート電極配線 24 が設けられている。層間絶縁膜 48 には、ゲート電極配線 24 上に層間絶縁膜 48 を貫通するコンタクト領域 48b が形成されている。コンタクト領域 48b を介してゲート電極配線 24 は、ゲート配線部材 52 と電氣的に接続される。その結果、ゲート電極配線 24 は、各単位セル 12 のゲート電極 18 と電氣的に接続される。

50

ゲート電極配線 24 の例はソース電極 20 の例と同じとし得る。

【0041】

ゲート電極配線 24 の一部、例えば、図 1 に示すように、略四角形状に配設されたゲート電極配線 24 のうち y 軸方向に延在している領域の一部には、図 3 (c) に示すように、第 1 のパッド用電極 26 が設けられている。ゲート電極配線 24 の一部をセル部 14 の中心側に向けて幅広に形成することによって第 1 のパッド用電極 26 を形成し得る。第 1 のパッド用電極 26 の下側においては、p 型半導体領域 46 及びゲート配線部材 52 もセル部 14 の中心側に張り出している。

【0042】

図 3 (b) 及び図 3 (c) を更に利用して、外周部 16 の構成について説明する。外周部 16 では、ドリフト層 36 上に、絶縁膜 50 及び層間絶縁膜 48 が順に積層されている。ここでは、外周部 16 は、絶縁膜 50 及び層間絶縁膜 48 を含んでいるとしたが、外周部 16 は、ドリフト層 36 を備えていればよい。セル部 14 と共通のドリフト層 36 を備えることで、逆バイアス時の空乏層がより広がりやすく、耐圧特性を得ることができる。この場合、外周部 16 は、耐圧特性を確保するための外周耐圧部として機能する。

【0043】

外周部 16 のセル部 14 側の領域には、前述したように、p 型半導体領域 46 が張り出され得る。このように張り出された p 型半導体領域 46 によって逆バイアス時の空乏層が更に均等に広がり易い。そのため、半導体装置 10 における耐圧特性をより確保可能である。また、耐圧特性を更に確保するために、外周部 16 が有するドリフト層 36 には、トレンチ状の p 型半導体領域 54 が設けられていてもよい。p 型半導体領域 54 の p 型ドーパントの濃度及び厚さは、p 型半導体領域 38 の場合と同様とし得る。

【0044】

図 3 (a) ~ 図 3 (c) に示すように、セル部 14 及び外周部 16 の表面は、パッシベーション膜 28 で覆われている。第 1 のパッド用電極 26 上のパッシベーション膜 28 に開口部 28a が形成されている。開口部 28a によって第 1 のパッド用電極 26 の露出した領域がゲート電極パッド 30 である。ソース電極 20 上のパッシベーション膜 28 にも開口部 28b が形成されている。開口部 28b によって、ソース電極 20 の露出した領域がソース電極パッド 32 である。パッシベーション膜 28 の例は SiN 膜である。パッシベーション膜 28 の厚さの例は、10 μ m である。

【0045】

上記構成の半導体装置 10 では、ゲート電極パッド 30、ソース電極パッド 32 及びドレイン電極 22 を、半導体装置 10 とは別の素子（又は回路）に外部接続することによって、セル部 14 を構成する各単位セル 12 が外部の素子（又は回路）に電氣的に接続され得る。

【0046】

半導体装置 10 は、図 1 に示すように、上記ゲート電極パッド 30 及びソース電極パッド 32 に加えて、半導体装置 10 の検査時に、検査用プローブ 56（図 4 参照）を接触させるためのプローブ用電極パッド 58 を備える。一実施形態において、図 1 及び図 2 に示されているように、半導体装置 10 は、略四角形状のセル部 14 の角部 14b にプローブ用電極パッド 58 を有し得る。図 1 では、セル部 14 の 4 つの角部 14b にプローブ用電極パッド 58 が配置された構成を例示している。プローブ用電極パッド 58 は、図 1 に示すように、セル部 14 から外周部 16 に向けて張り出し得る。

【0047】

図 4 を利用してプローブ用電極パッド 58 の形成位置における半導体装置 10 の構成について更に説明する。図 4 は、図 1 の I V—I V 線に沿った端面構成を模式的に示す端面図である。

【0048】

層間絶縁膜 48 上において、ゲート電極配線 24 の角部に、ゲート電極配線 24 に電氣的に接続された第 2 のパッド用電極 60 が設けられている。第 1 のパッド用電極 26 と同

10

20

30

40

50

様に、略四角形状に配設されたゲート電極配線 24 の角部及びその近傍の領域が幅広に形成されることによって、第 2 のパッド用電極 60 を形成し得る。パッシベーション膜 28 は、第 2 のパッド用電極 60 上に、開口部 28c を更に有する。第 2 のパッド用電極 60 のうち開口部 28c によって露出した領域がプローブ用電極パッド 58 である。

【0049】

プローブ用電極パッド 58 の平面視形状の例は、略四角形、略扇形状及び円状である。略四角形の例は、略長方形及び略正方形を含む。プローブ用電極パッド 58 の大きさは、検査用プローブ 56 がプローブ用電極パッド 58 に接触される場合に、検査用プローブ 56 が開口部 28c の周壁に接触しない大きさであり得る。検査用プローブ 56 が開口部 28c の周壁に接触しないために、プローブ用電極パッド 58 の表面 58a の面積又は開口部 28c の面積は、検査用プローブ 56 の断面積であってプローブ 56 の軸 C に直交する断面の面積より大きい。換言すれば、プローブ用電極パッド 58 の面積は、検査用プローブ 56 の径 D に基づいて規定される検査用プローブ 56 の断面積より大きい。

【0050】

径 D は、プローブ 56 の先端部と反対側の端部における径である。しかしながら、プローブ 56 の先端部の形状が図 4 に示すように先細りしたテーパ形状或いは湾曲形状である場合、径 D は、パッシベーション膜 28 の厚さ分、プローブ 56 の先端部からプローブ 56 の他端側に寄った位置での径であればよい。

【0051】

検査用プローブ 56 が開口部 28c の周壁に接触しないために、一実施形態において、プローブ用電極パッド 58 を規定する各辺の長さは、プローブ 56 の径 D の 1.1 倍以上であり得る。プローブ用電極パッド 58 を規定する各辺の長さが上記範囲であれば、プローブ 56 と開口部 28c の周壁との間に、一定の余白（マージン）が得られるので、プローブ 56 が開口部 28c により接触しにくい。具体的には、図 1 に示すように、プローブ用電極パッド 58 の形状が略長方形であり、径 D が 0.027 mm である場合、プローブ用電極パッド 58 の短辺（図 1 の I I I c - I I I c 線に沿った方向の長さ）は 0.03 mm 以上とし得る。開口部 28c がプローブ用電極パッド 58 の形状が円形である場合には、開口部 28c の直径が上記範囲を満たせばよい。プローブ用電極パッド 58 の長さの上限は外周部 16 の大きさに応じて決めればよいが、例えば径 D の 1.5 倍以下である。

【0052】

プローブ用電極パッド 58 を含む半導体装置 10 の製造方法の一例を、図 5 (a) ~ 図 5 (f) 及び図 6 (a) ~ 図 6 (e) を利用して説明する。以下では、プローブ用電極パッド 58 の形成工程を具体的に示しながら半導体装置 10 の製造方法を説明する。図 5 (a) ~ 図 5 (f) 及び図 6 (a) ~ 図 6 (e) は、半導体装置 10 の製造工程を順次示す図面である。図 5 (a) ~ 図 5 (f) 及び図 6 (a) ~ 図 6 (e) では、プローブ用電極パッド 58 が形成される領域近傍の半導体装置 10 の製造工程が主に示されている。

【0053】

図 5 (a) に示すように、n 型の SiC 基板からなる半導体基板 34 の主面 34a 上にドリフト層 36 を形成した後、ドリフト層 36 の表層部に p 型半導体領域 38, 46 及びソース領域 40 をそれぞれ形成する。p 型半導体領域 54 を形成する場合には、p 型半導体領域 38 等と一緒に p 型半導体領域 54 を形成する。以下では、p 型半導体領域 54 を備えた形態が説明される。具体的には、主面 34a 上に、in-situ ドープを伴う CVD エピタキシャル成長法を用いてドリフト層 36 を形成する。このようにエピタキシャル成長法を利用してドリフト層 36 が形成される場合、ドリフト層 36 はエピタキシャル成長層である。ドリフト層 36 の所定位置に RIE (Reactive Ion Etching) (反応性イオンエッチング) などにより、p 型半導体領域 38, 46, 54 となる凹部を形成した後、各凹部の底面及び側面の上に、in-situ ドープを伴う CVD エピタキシャル成長法によって p 型半導体領域 38, 46, 54 をエピタキシャル成長させる。この場合、p 型半導体領域は埋込選択成長領域である。p 型半導体領域 38, 46 に、注入マスクを用いたイオン注入を実施することによって、複数のソース領域 40 を形成する。

【 0 0 5 4 】

次いで、図 5 (b) に示すように、ドリフト層 3 6 上に、例えば C V D 法を用いて絶縁膜としてのシリコン酸化膜 6 2 を成膜する。その後、蒸着法又はスパッタ法などによって、裏面 3 4 b 上に N i 膜からなるドレイン電極 2 2 を形成する。

【 0 0 5 5 】

次に、図 5 (c) に示すように、シリコン酸化膜 6 2 をパターニングすることによって、ゲート絶縁膜 4 2 及び絶縁膜 5 0 をそれぞれ形成する。続いて、図 5 (d) に示すように、半導体基板 3 4 上に、例えば C V D 法などによって A l 膜 6 4 を形成する。その A l 膜 6 4 をパターニングすることによって、図 5 (e) に示すように、ゲート電極 1 8 及びゲート配線部材 5 2 を形成する。第 1 のパッド用電極 2 6 の直下に位置する領域においては、図 3 (c) に示したように、ゲート配線部材 5 2 を、セル部 1 4 の内側に向けて幅広に形成する。その後、図 5 (f) に示すように、半導体基板 3 4 上に更に、例えば C V D 法を用いてシリコン酸化膜 6 6 を成膜することによって、ゲート電極 1 8 及びゲート配線部材 5 2 を埋設する。

【 0 0 5 6 】

続いて、図 6 (a) に示すように、ソース領域 4 0 とソース電極 2 0 との電氣的接触及びゲート配線部材 5 2 とゲート電極配線 2 4 との電氣的接触を確保するために、シリコン酸化膜 6 6 にコンタクト領域 4 4 a , 4 8 a , 4 8 b を形成する。コンタクト領域 4 4 a , 4 8 a , 4 8 b は、エッチングなどを利用して形成され得る。

【 0 0 5 7 】

図 6 (b) に示すように、コンタクト領域 4 4 a , 4 8 a , 4 8 b が形成された絶縁膜 6 6 を有する半導体基板 3 4 上に、例えば C V D 法によって N i 膜 6 8 を成膜する。その N i 膜 6 8 をパターニングすることによって、図 6 (c) に示すように、ソース電極 2 0 及びゲート電極配線 2 4 を形成する。この際、セル部 1 4 の角部 1 4 b 上において、ゲート電極配線 2 4 を外周部 1 6 側に拡大して形成することによって、第 2 のパッド用電極 6 0 を得る。ここで、半導体基板 3 4 を、熱処理することによって、ソース電極 4 1 及びドレイン電極 2 2 を構成する N i と、ソース領域 4 0 及び半導体基板 3 4 を構成する S i C との接触をショットキー接触からオーミック接触に変化させる。

【 0 0 5 8 】

図 6 (d) に示すように、ソース電極 2 0 が形成された半導体基板 3 4 上に S i N 膜 7 0 を例えば C V D 法などにより形成する。この S i N 膜 7 0 がパッシベーション膜 2 8 である。このパッシベーション膜 2 8 に、エッチング等を利用して開口部 2 8 c を形成することによって、図 6 (e) に示すように、プローブ用電極パッド 5 8 を形成する。この際、パッシベーション膜 2 8 に開口部 2 8 a , 2 8 b を形成することによって、ゲート電極パッド 3 0 及びソース電極パッド 3 2 を形成する。

【 0 0 5 9 】

ここでは、半導体基板 3 4 、ゲート電極 1 8 、ソース電極 2 0 及びドレイン電極 2 2 などの材料及び各膜の形成方法などを一部例示しながら説明したが、半導体装置 1 0 を構成する各構成要素の材料及び各膜の形成方法などは例示したものに限定されない。

【 0 0 6 0 】

以上説明した半導体装置 1 0 は、ゲート電極パッド 3 0 とは別に、半導体装置 1 0 の検査のためのプローブ用電極パッド 5 8 を有する。プローブ用電極パッド 5 8 はゲート電極配線 2 4 を介してゲート電極 1 8 及びゲート電極パッド 3 0 に電氣的に接続されている。そのため、ゲート電極パッド 3 0 ではなく、プローブ用電極パッド 5 8 に検査用プローブ 5 6 を接触させることによって、半導体装置 1 0 を検査することができる。

【 0 0 6 1 】

このように、プローブ用電極パッド 5 8 を利用して半導体装置 1 0 を検査することにより、ゲート電極パッド 3 0 を検査用プローブによる検査のためではなく、ワイヤボンディングなどを利用した外部接続のために使用することができる。その結果、検査時においてゲート電極パッド 3 0 に余分なストレスが付加されることがなく、外部接続時にゲート電

10

20

30

40

50

極パッド30を最適な状態で使用し得る。また、半導体装置10の検査時にゲート電極パッド30にストレスがかからないので、ゲート電極パッド30をより小さく形成し得る。そのため、半導体装置10の電流定格を上げることができる。

【0062】

また、検査時におけるゲート電極パッド30へのストレスを考慮する必要がないので、ストレスの影響を低下するために、ゲート電極パッド30やゲート電極18の厚さをより厚く形成する必要がない。その結果、ゲート電極パッド30をより厚くしてストレスの影響の低下を図る場合よりも、半導体装置10の製造時間を短縮することも可能である。

【0063】

図1に例示したように、耐圧特性を確保するため、半導体装置10がセル部14を囲繞する外周部16を備えている形態では、プローブ用電極パッド58は、セル部14の外縁部14a上に配置されると共に、外周部16側に張り出すように設けられ得る。この場合、ゲート電極パッド30とは別にプローブ用電極パッド58を備えたとしても、半導体装置10の主動作領域である活性部としてのセル部14の面積を維持できる。結果として、半導体装置10としての動作性能を確保し得る。また、耐圧特性の確保のために備える外周部16の領域を利用しているため、プローブ用電極パッド58をセル部14側から外側に張り出して形成するための領域を別途確保する必要がない。近年、半導体チップといった半導体装置10はチップサイズの小型化が望まれていると共に、化合物半導体を採用している場合には、結晶欠陥などの関係から大型化が困難である。そのため、図1に示したように、外周部16を備え、外周部16側にプローブ用電極パッド58を張り出した形態は、半導体装置10の小型化（例えば、チップの一辺が5mm以下といったチップサイズ）に資する構成であると共に、化合物半導体を採用した場合により有効な構成である。

【0064】

セル部14の平面視形状が例えば正方形といった略四角形状であって外縁部14aに沿ってゲート電極配線24が配置された場合、セル部14の角部14bには電界が集中しやすく絶縁破壊が生じやすい。これは、SiC又はGaN等を利用したパワーMOSFETにおいてより顕著である。そのため、図1に示したように、耐圧確保のために外周部16を備える場合、セル部14の角部14bの外周部16の幅（例えば図1のIIIc—IIIc線に沿った外周部16の幅）は、例えば、図1に示したIIb—IIb線の位置の外周部16の幅より広がっている。その結果、セル部14の角部14bにプローブ用電極パッド58を配置し、プローブ用電極パッド58を外周部16側に広げ易い。この形態では、上記のように、外周部16においてより広い領域を利用していることから、プローブ用電極パッド58をより大きく形成し得る。従って、検査時に検査用プローブ56と開口部28cとの接触をより確実に防止できるので、半導体装置10の検査の精度向上を図ることができる。

【0065】

また、図1に示したように、半導体装置10が2つ以上（図1では4個）のプローブ用電極パッド58を備えている形態では、半導体装置10の検査方法として四端子法を採用した場合であっても、ゲート電極パッド30を使用せずに、2つのプローブ用電極パッド58を利用して半導体装置10を検査可能である。よって、検査時に、ゲート電極パッド30にストレスをかけずに、半導体装置10をより精度よく検査し得る。

【0066】

以上、本発明の実施形態について説明したが、本発明は上記実施形態に限定されず、本発明の趣旨を逸脱しない範囲で種々変形が可能である。例えば、半導体装置10の単位セル12は、FET構造を有してればよい。よって、単位セルは、MOSFET構造は縦型のMOSFET構造に限らず、横型のMOSFET構造であってもよい。更に、単位セル12は、JFET（接合型電界効果トランジスタ）でもよい。単位セル12が有するFET構造は、nチャネル型のものに限らず、pチャネル型であり得る。更に、プローブ用電極パッド58は、半導体装置10においてゲート電極パッド18とは別に設けられており、ゲート電極配線24に電氣的に接続されていればよい。例えば、プローブ用電極パ

10

20

30

40

50

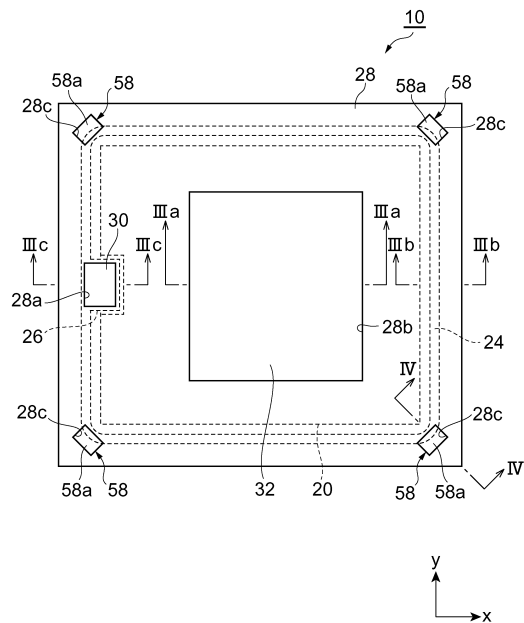
ッド５８は、セル部１４の角部１４ｂとは異なる位置に設けられていてもよい。更に、プローブ用電極パッド５８の個数は１個～３個でもよく、５個以上でもよい。

【符号の説明】

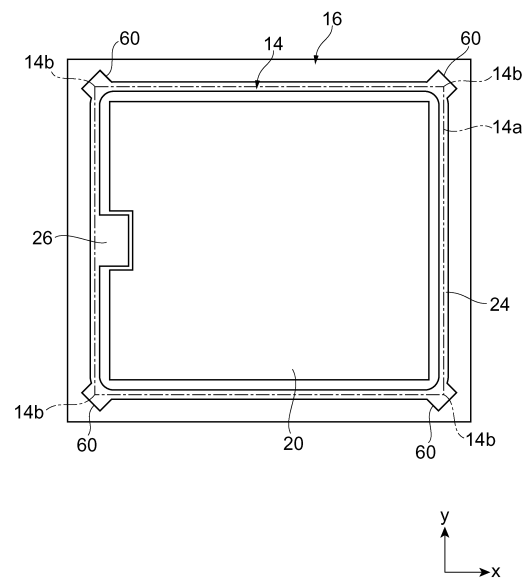
【００６７】

１０…半導体装置、１２…単位セル、１４…セル部、１４ａ…外縁部、１４ｂ…角部、１６…外周部、１８…ゲート電極、２４…ゲート電極配線、３０…ゲート電極パッド、５６…検査用プローブ、５８…プローブ用電極パッド。

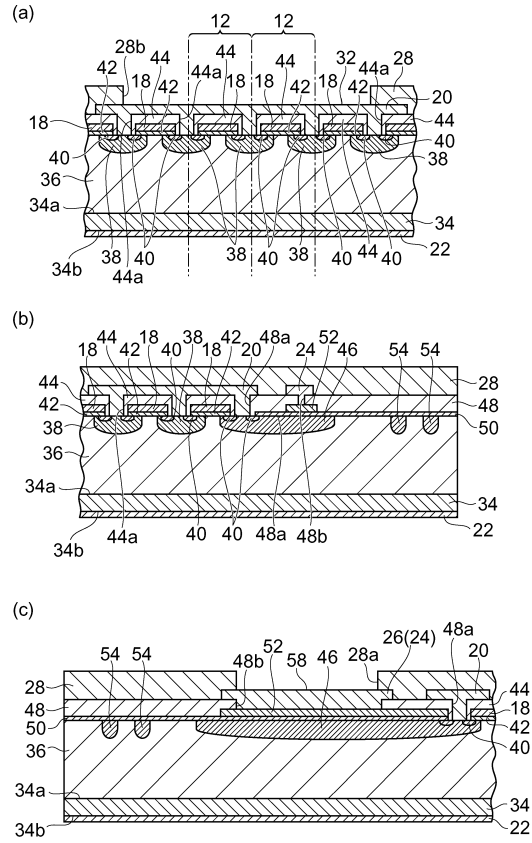
【図１】



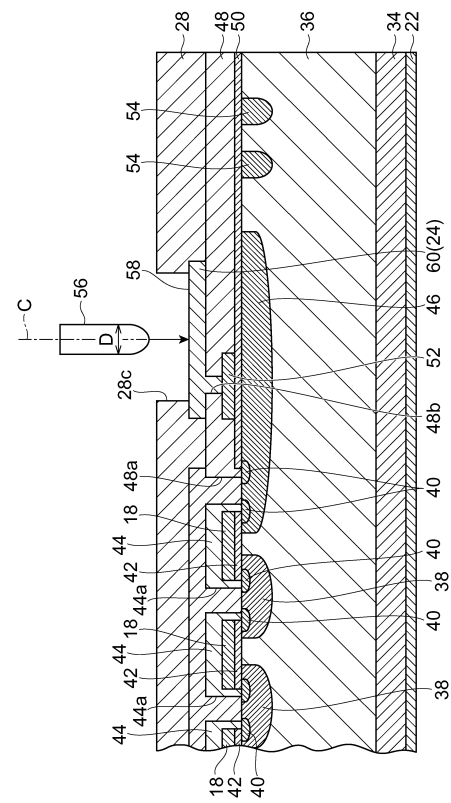
【図２】



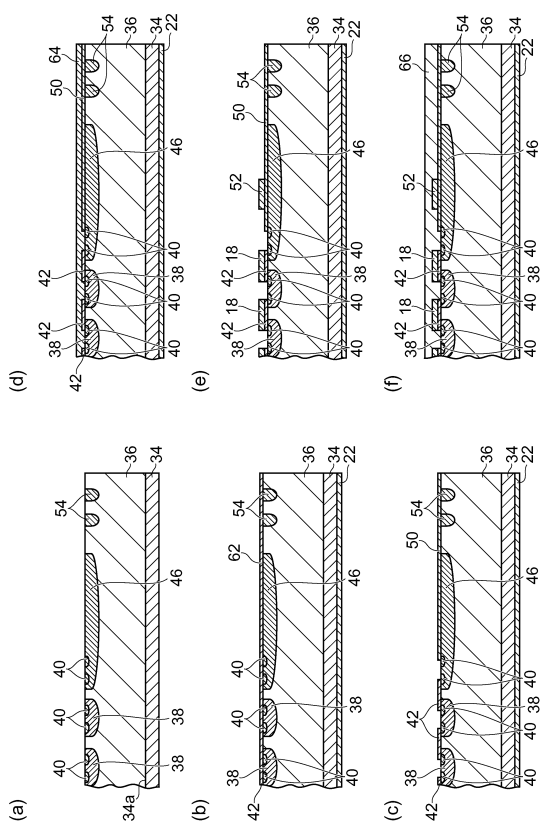
【図 3】



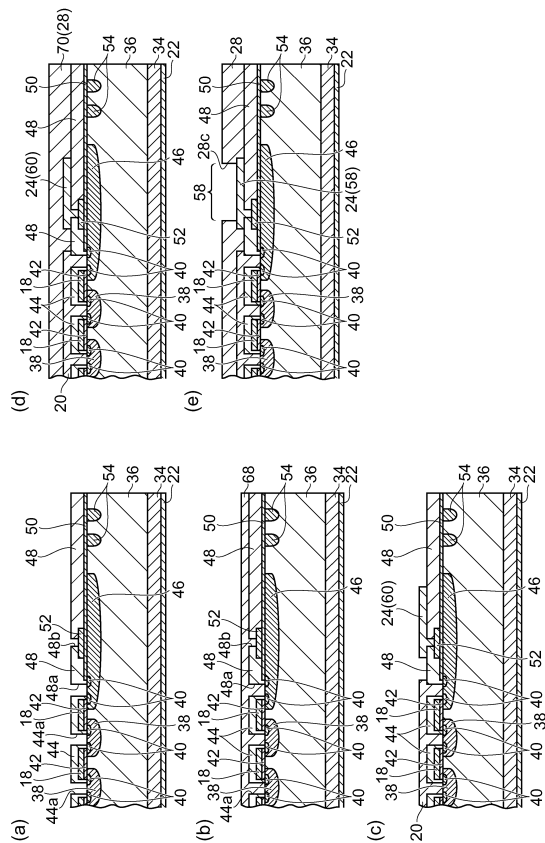
【図 4】



【図 5】



【図 6】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 29/78 6 5 2 P

(56)参考文献 特開平 0 8 - 1 6 2 5 3 7 (J P , A)
特開平 1 1 - 1 7 7 0 8 7 (J P , A)
特開 2 0 0 6 - 1 8 4 1 3 6 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 1 / 6 6
H 0 1 L 2 9 / 0 6
H 0 1 L 2 9 / 7 8