

公告本

741011

申請日期	90 年 5 月 29 日
案 號	90112960
類 別	H01L 27/00, 21/68

A4
C4

495967

(以上各欄由本局填註)

發明專利說明書

一、發明 新型 名稱	中 文	半導體積體電路裝置及其製造方法
	英 文	
二、發明 人 創作	姓 名	(1) 永井亮 (2) 高浦則克 (3) 朝倉久雄
	國 籍	(1) 日本 (2) 日本 (3) 日本
	住、居所	(1) 日本國東京都千代田區丸之内一丁目五番一號 新丸大樓日立製作所知的所有權本部內 (2) 日本國東京都千代田區丸之内一丁目五番一號 新丸大樓日立製作所知的所有權本部內 (3) 日本國東京都千代田區丸之内一丁目五番一號 新丸大樓日立製作所知的所有權本部內
三、申請人	姓 名 (名稱)	(1) 日立製作所股份有限公司 株式會社日立製作所
	國 籍	(1) 日本
	住、居所 (事務所)	(1) 日本國東京都千代田區神田駿河台四丁目六番 地
代表人 姓 名	(1) 庄山悅彥	

承辦人代碼：
大類：
I P C 分類：

A6

B6

(由本局填寫)

本案已向：

國(地區) 申請專利，申請日期： 案號： 有 無主張優先權
 日本 2000 年 6 月 27 日 2000-192013 有主張優先權

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

有關微生物已寄存於： 寄存日期： 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁)

五、發明說明 (1)

本發明係有關於半導體積體電路裝置以及其製造技術，特別是有關於一種適合於具有已備有 p 型導電性之矽閘電極之 M I S F E T (Metal Insulator Field Effect Transistor) 之半導體積體電路裝置的有效的技術。

對於在同一基板上形成有 n 通道型 M I S F E T 與 p 通道型 M I S F E T 的 C M O S (Complementary Metal Oxide Semiconductor) 裝置而言，乃廣泛地使用 n 型導電性的矽閘電極，該 C M O S 裝置，則大多將 n 通道型 M I S F E T 設為表面通道構造，而將 p 通道型 M I S F E T 設為埋入通道構造。

然而，隨著半導體裝置的微細化，當在 $0.2 \mu m$ 以下之微細過程應用在 p 通道型 M I S F E T 時，則可以推想埋入通道構造，很難抑制短通道效果。因上，即使是 p 通道型 M I S F E T ，使用 p 型導電性的矽閘電極的表面通道構造也變得不可欠缺，遂檢討由備有 n 型導電性之矽閘電極的 n 通道型 M I S F E T 、與備有 p 型導電性之矽閘電極的 p 通道型 M I S F E T 所構成之所謂的雙閘 (dual gate) 構造的 C M O S 裝置。

但是，p 型導電性的矽閘電極，雖然是將 p 型雜質，例如硼 (B) 導入到該矽閘電極，但由於 B 在閘極絕緣膜中的擴散係數大，因此，B 會侵入到 p 通道型 M I S F E T 的通道領域，而導致通道領域的濃度發生變化。而此則會引起 M I S F E T 的閾值電壓發生移位、耐壓能力發生惡化、動作特性變動增加等的問題。

五、發明說明 (2)

在此，例如在特開平6-275788號公報中，則揭露一在將B離子注入到n型雜質均勻地存在的n型導電性多晶矽膜，而改成p型多矽膜後，則對該多矽膜實施圖案處理，而形成閘極。之後，則將閘極當作掩罩，而藉由自我對位（selfalign），將雜質導入到基板。在此，藉由將導入雜質的活性化溫度降低設定到800~900°C，而抑制B的擴散，以防止閾值電壓因為通道濃度發生變化而移位的方法。

然而，當本發明人進行檢討時，發現若是將B離子注入到多晶矽膜，由於穿隧（channeling）效果，會讓B到達閘極絕緣膜，甚至是與基板的界面，而使得通道領域的濃度發生變化。

又，當將閘極當作掩罩，而藉由自我對位，將雜質導入到基板時，由於同時會將雜質導入到構成閘極的多晶矽膜，因此，例如會導致閾值電壓等發生變化，而使得MISFET之動作特性的再現性惡化。

本發明之目的在於提供一種可在使用p型導電性之矽閘電極的MISFET中得到所希望之動作特性的技術。

本發明之上述以及其他的目的與新的特徵，則可由本說明書以及所附圖面而明白。

在本案所揭露的發明中，若是簡單地說明代表者之概要內容，則如下所述。

(1) 本發明之半導體積體電路裝置，其具有MISFET，係由：位在基板上的閘極絕緣膜、位在閘

(請先閱讀背面之注意事項再填寫本頁)

(請先閱讀背面之注意事項再填寫本頁)

五、發明說明(3)

極絕緣膜上，而由已被導入 p 型雜質與 n 型雜質的 p 型導電性多晶矽膜所構成的閘極，位在 p 型導電性多晶矽膜上，而具有與 p 型導電性多晶矽膜同樣之平面形狀的絕緣膜、以及位在閘極之兩側的基板，而由 p 型半導體領域或 n 型半導體領域所構成的源極、汲極而構成。

(2) 本發明之半導體積體電路裝置之製造方法，其具有：在形成備有 p 型導電性之矽閘電極的 M I S F E T 之際，在基板的表面形成閘極絕緣膜的過程，在閘極絕緣膜的上層堆積非晶矽膜的過程，將 n 型雜質的離子打入非晶矽膜，而設成 n 型導電性非晶矽膜的過程，將 p 型雜質的離子打入 n 型非晶矽膜，將 n 型非晶矽膜改成 p 型非晶矽膜的過程，藉由結晶化處理，將 p 型導電性非晶矽膜變成 p 型導電性多晶矽膜的過程，當在 p 型導電性多晶矽膜的上層堆積好絕緣膜後，藉由依序對絕緣膜以及 p 型非晶矽膜實施蝕刻，而形成閘極的過程、以及形成構成源極、汲極之半導體領域的過程。

根據上述的手段，藉由將 n 型雜質導入到構成閘極之 p 型導電性非晶矽膜，可以抑制被導入到上述 p 型導電性多晶矽膜的 p 型雜質，例如 B 發生擴散，而防止通道領域的濃度發生變化。

又，根據上述的手段，藉由將 n 型雜質與 p 型雜質的離子打入被堆積在閘極絕緣膜之上層的非晶矽膜，可以抑制（穿隧 channeling）效果。藉此，可以防止通道領域的濃度因為被打入的雜質離子到達閘極絕緣膜，甚至是與基板

(請先閱讀背面之注意事項再填寫本頁)

五、發明說明 (4)

的界面而產生變化。

又，根據上述的手段，構成閘極之 p 型導電性多晶矽膜之雜質濃度的最佳化、與構成源極、汲極之半導體領域之雜質濃度的最佳化可以獨立地進行，藉此，可以得到 M I S F E T 之最佳的裝置構造。

以下請參照圖面詳細地說明本發明之實施形態。此外，在用於說明實施形態的全部的圖中，具有相同功能的構件則附加相同的符號，且省略其反覆的說明。

請參照圖 1 ~ 圖 22，依據過程的順序來說明作為本發明之一實施形態之 D R A M (Dynamic Random Access Memory) 之製造方法的一例。

首先，如圖 1 所示，準備好為 p 型，且電阻常數為 $100 \Omega \text{ cm}$ 左右的基板 1，在該基板 1 的正面形成淺溝 2，之後，針對基板 1 實施熱氧化，而形成氮化矽膜 3。更者，將氮化矽膜堆積，且對其藉由 C M P (Chemical Mechanical Polishing) 法加以研磨，而讓氮化矽膜只殘留在淺溝 2 內，而形成分離領域 4。

接著，將 n 型雜質，例如磷 (p) 的離子打入用於形成記憶單元之領域 (A 領域：記憶體陣列) 的基板 1，而形成 n 型半導體領域 5，將 p 型雜質，例如硼 (B) 的離子打入記憶體陣列與周邊電路 (B 領域) 的一部分 (用於形成 n 通道型 M I S F E T 的領域)，而形成 p 型阱 6，將 n 型雜質，例如 p 的離子打入周邊電路之另外的一部分 (用於形成 p 通道型 M I S F E T 的領域)，而形成 n 型

(請先閱讀背面之注意事項再填寫本頁)

五、發明說明 (5)

阱 7。又，在打入該離子後，接著將用來調整 M I S F E T 之閾值電壓的雜質，例如氟化硼（ BF_2 ）的離子打入 p 型阱 6 以及 n 型阱 7。n 型半導體領域 5，則是為了要防止雜訊（noise）從輸出入電路等，經由基板 1 侵入到記憶體陣列的 p 型阱 6 而被形成。

接著，如圖 2 所示，在使用氟酸（HF）系的溶液來洗淨 p 型阱 6 以及 n 型阱 7 的各表面後，在 850°C 左右，對基板 1 實施溼氧化，而在 p 型阱 6 以及 n 型阱 7 的各表面形成膜厚 $6 \sim 7 \text{ nm}$ 左右之由氮化矽所構成的清潔的閘極絕緣膜 8。接著，在藉由 C V D（Chemical Vapor Deposition）法，將 100 nm 以下，例如 70 nm 左右的非晶矽膜堆積在閘極絕緣膜 8 的上層後，則將 n 型雜質，例如 p 的離子打入該非晶矽膜的整面，而形成 n 型導電性非晶矽膜 9 n。

接著，如圖 3 所示，將光阻圖案 10 當作掩罩（mask），而打入 p 型雜質，例如 B 的離子，而將用來形成記憶體陣列（A 領域）以及周邊電路（B 領域）之 p 通道型 M I S F E T 之領域的 n 型導電性非晶矽膜 9 n 改成 p 型導電性多晶矽膜 9 p。

圖 4 (a) 以及圖 4 (b) 為表示 n 型導電性非晶矽膜 9 n 以及 p 型導電性非晶矽膜 9 p 之形成方法的放大模式圖。首先，如圖 4 (a) 所示，將 p 的離子打入被堆積在閘極絕緣膜 8 之上層的非晶矽膜的整面，而形成 n 型導電性非晶矽膜 9 n。之後，如圖 4 (b) 所示，將光阻圖

(請先閱讀背面之注意事項再填寫本頁)

五、發明說明(6)

案 1 0 當作掩罩而打入 B 的離子，藉由作極性反轉，將 n 型導電性非晶矽膜 9 n 改成 p 型導電性非晶矽膜 9 p，可將 n 型導電性非晶矽膜 9 n 與 p 型導電性非晶矽膜 9 p 形成在同一層的非晶矽膜。

在此，如圖 5 所示，為了要將 n 型導電性非晶矽膜 9 n 的極性反轉成 p 型導電性非晶矽膜 9 p，被注入到 n 型導電性非晶矽膜 9 n 之 B 離子的摻雜量，則被設定成較已經被注入之 p 離子的摻雜量相外為多。例如，p 的離子打入條件為加速能量 10 keV 、摻雜量 $2 \times 10^{15} \text{ cm}^{-2}$ 左右，而 B 的離子打入條件為加速能量 5 keV 、摻雜量 $3 \times 10^{15} \text{ cm}^{-2}$ 左右。

此外，為了要不打入過剩的 B 離子，將 n 型導電性非晶矽膜 9 n 的極性反轉成 p 型導電性非晶矽膜 9 p，則最好儘可能地降低 n 型導電性非晶矽膜 9 n 的雜質濃度。但是，另一方面，當降低 n 型導電性非晶矽膜 9 n 的雜質濃度時，則 n 型導電性非晶矽膜 9 n 會有空乏化的問題。

在此，當 n 型導電性非晶矽膜 9 n 的雜質濃度以及 p 型導電性非晶矽膜 9 p 之雜質濃度必須要最佳化時，例如使用圖 6 (a)、圖 6 (b)、圖 6 (c) 所示的製造方法來形成 n 型導電性非晶矽膜 9 n 以及 p 型導電性非晶矽膜 9 p。首先，如圖 6 (a) 所示，將濃度相對低的 p 離子打入被堆積在閘極絕緣膜 8 之上層的非晶矽膜的整面，而形成 n 型導電性非晶矽膜 9 n。之後，如圖 6 (b) 所示，將光阻圖案 10 p 當作掩罩而打入 B 離子，而將 n 型

五、發明說明 (7)

導電性非晶矽膜 9 n 的極性反轉成 p 型導電性非晶矽膜 9 p。接著，如圖 6 (c) 所示，藉由將光阻圖案 1 0 n (光阻圖案 1 0 p 的反轉圖案) 當作掩罩而打入 p 離子，可以相對地提高 n 型導電性非晶矽膜 9 n 的 p 濃度。

接著，在除去光阻圖案 1 0 後，如圖 7 所示，藉由對基板 1 實施 95 °C、10 ~ 60 秒左右的熱處理，而讓 n 型導電性非晶矽膜 9 n 以及 p 型導電性多晶矽膜 9 p 結晶化，使 n 型導電性非晶矽膜 9 n 成為 n 型導電性多晶矽膜 9 n c。使 p 型導電性非晶矽膜 9 p 成為 p 型導電性多晶矽膜 9 c。

此外，藉著將 p 離子打入非晶矽膜的整面，而形成 n 型導電性非晶矽膜 9 n，在讓該 n 型導電性非晶矽膜 9 n 結晶化，而成為 n 型導電性多晶矽膜 9 n 後，將光阻圖案 1 0 當作掩罩，藉由將 B 離子打入 n 型導電性多晶矽膜 9 n c，而將 n 型導電性多晶矽膜 9 n c 的一部分改成 p 型導電性多晶矽膜 9 p c。

接著，則藉由噴濺法 (sputtering)，在 n 型導電性多晶矽膜 9 n c 以及 p 型導電性多晶矽膜 9 p c 的上層堆積膜厚為 5 nm 左右的 WN 膜與膜厚為 100 nm 左右的鎢 (W) 膜，更者，則藉由 CVD 法，在其上層堆積膜厚為 150 nm 左右的氮化矽膜 1 1。

之後，藉由將光阻膜當作掩罩，對該些膜實施圖案 1 而形成閘極 9 A、9 B、9 C。閘極 9 A 則構成記憶單元選擇用 MISFET 的一部分，在活性領域以外的領域，

(請先閱讀背面之注意事項再填寫本頁)

五、發明說明 (8)

則當作字元線 W L 來使用。該閘極 9 A (字元線 W L) 的下部係由 p 型導電性多晶矽膜 9 p c 所構成。閘極 9 B 則構成周邊電路之 n 通道型 M I S F E T 的一部分，其下部則由 n 型導電性多晶矽膜 9 n c 所構成。又，閘極 9 c 則構成周邊電路之 p 通道型 M I S F E T 的一部分，其下部則由 p 型導電性多晶矽膜 9 p c 所構成。

以 W 膜與多晶矽膜作為主體而構成之所謂的 Polymetal 構造的閘極 9 A (字元線 W L)，由於其電阻較由多晶矽膜所構成的閘極為低，因此能夠減低字元線的信號延遲情形。此外，也可以以由高熔點金屬矽化物膜 (silicide) 與多晶矽膜的積層膜所構成之所謂的 polycide 構造來構成閘極 9 A (字元線 W L)，而與 polymetal 構造的情形相同，由於電阻較由多晶矽膜所構成的閘極為低，因此能夠減低字元線的信號延遲情形。

設在 W 膜與多晶矽膜之間的 W N 膜，係當作一用於防止在作高溫熱處理時，W 膜與多晶矽膜會反應，而在兩者的界面形成高電阻之矽化物層的障壁 (barrier) 層來使用。障壁層，除了 W N 膜之外，例如可以使用氮化鈦 (TiN) 膜等。

接著，則使用 H F 等的蝕刻液，來除去殘留在基板 1 之表面的乾蝕刻殘渣以及光阻劑殘渣等。

接著，如圖 8 所示，將 p 型雜質，例如 B 的離子打入周邊電路的 n 型阱 7，而在閘極 9 c 之兩側的 n 型阱 7 形成 p+ 型半導體領域 12。又，將 n 型雜質，例如 p 的離子

(請先閱讀背面之注意事項再填寫本頁)

五、發明說明(9)

打入周邊電路之 p 型阱 6，而在閘極 9 B 之兩側的 p 型阱 6 形成 n 型半導體領域 1 3，更者，將 n 型雜質，例如 p 的離子打入記憶體陣列的 p 型阱 6，而形成 n 型半導體領域 1 4，藉此，在記憶體陣列大略完成記憶單元選擇用 M I S F E T Q s。此外，在打入上述離子後，則對基板 1 實施 9 5 0 °C，1 0 秒左右的熱處理。

接著，如圖 9 所示，在藉由電漿 C V D 法，在基板 1 上堆積完膜厚 5 0 n m 左右的氮化矽膜 1 5 後，以光阻膜來覆蓋記憶體陣列的氮化矽膜 1 5，藉由對周邊電路的氮化矽膜 1 5 實施異方性蝕刻，在閘極 9 B，9 C 的側壁形成側壁間隔層 1 6。氮化矽膜 1 5，則在以後的過程，當在對閘極 9 A (字元線 W L) 的空間進行形成接觸孔 (開孔部) 的乾蝕刻時，可當作用於防止在元件領域 4 之淺溝 2 之內部的氮化矽膜被削去的蝕刻阻止膜來使用。

接著，在除去上述光阻膜後，將 p 型雜質，例如 B 的離子打入周邊電路之 n 型阱 7，而形成 p 通道型 M I S F E T 之 p + 型半導體領域 1 7 (源極、汲極)，將 n 型雜質，例如 A s 的離子打入周邊電路的 p 型阱 6，而形成 n 通道型 M I S F E T 之 n + 型半導體領域 1 8 (源極、汲極)。此外，在打入上述離子後，對基板 1 實施 9 5 0 °C、1 0 秒左右的熱處理。藉此，在周邊電路大略完成 p 通道型 M I S F E T Q p 以及 n 通道型 M I S F E T Q n。

(請先閱讀背面之注意事項再填寫本頁)

表

訂

細

(請先閱讀背面之注意事項再填寫本頁)

五、發明說明 (10)

憶單元選擇用 M I S F E T Q s 、 n 通道型

M I S F E T Q n 以及 p 通道型 M I S F E T Q p 之放大模式圖。記憶單元選擇用 M I S F E T Q s 的閘極 9 A (字元線 W L) 係由其下部被導入 p 與 B 之 p 型導電性多晶矽膜 9 p c 所構成，而以所謂的 p + 閘 n 通道型構造來構成 (圖 10 (a)) 。 n 通道型 M I S F E T Q n 之閘極 9 B ，係由其下部被導入 p 之 n 型導電性多晶矽膜 9 n c 所構成，而以所謂的 n + 閘 n 通道型構造來構成 (圖 10 (b)) 。更者， p 通道型 M I S F E T Q p 的閘極 9 c ，係由其下部被導入 p 與 B 的 p 型導電性多晶矽膜 9 p c 所構成，而以所謂的 p + 閘 p 通道型構造來構成 (圖 10 (c)) 。

圖 11 為 p 通道型 M I S F E T Q p 的放大模式圖。在構成閘極 9 c 之下部的 p 型導電性多晶矽膜 9 p c 則導入 p 與 B ，而藉由使 B 濃度高於 P 濃度，而構成 p 型導電性多晶矽膜 9 p c 。

接著，如圖 12 所示，在基板 1 上藉由旋轉塗佈塗好膜厚 300 nm 左右的 S O G (Spin On Glass) 膜後，對基板 1 實施 800 °C 、 60 秒左右的熱處理，而將 S O G 膜加以燒結。

接著，在 S O G 膜 19 的上層堆積好膜厚 600 nm 左右之氮化矽膜 20 後，以 C M P 法對該氮化矽膜 20 實施研磨，而使其表面平坦化。氧化矽膜 20 ，則例如藉由以 T E O S (Tetra Ethyl Ortho Silicate : Si (

五、發明說明 (11)

$\text{O C}_2\text{H}_5)_4$) 與臭氧 (O_3) 作為來源氣體的電漿 C V D 法來堆積。

接著，則將膜厚 100 nm 左右的氧化矽膜 21 堆積在氧化矽膜 20 的上層。該氧化矽膜 21 則是為了要修復在以 C M P 法研磨時在上述氧化矽膜 20 之表面的微細的傷而堆積。氧化矽膜 21，則藉由例如將 T E O S 與 O_3 當作來源氣體的電漿 C V D 法來堆積。在氧化矽膜 20 的上層，也可以取代氧化矽膜 21，而改堆積 P S G (Phospho Silicate Glass) 膜。

接著，則在氧化矽膜 21 的上層形成光阻膜 22，藉由以該光阻膜 22 當作掩罩的乾蝕刻，來除去位在記憶單元選擇用 M I S F E T Q s 之 n 型半導體領域 14 (源極、汲極) 上部的氧化矽膜 21、20 以及 S O G 膜 19 。

此外，上述蝕刻，則是在能夠使氧化矽膜 20、21 以及 S O G 膜 19 的蝕刻速率較氮化矽膜 15 為大的條件下進行，而未將覆蓋 n 型半導體領域 14 或分離領域 4 之上部的氮化矽膜 15 完全除去。

接著，以上述光阻膜 22 作為掩罩，藉由乾蝕刻來除去位在記憶單元選擇用 M I S F E T Q s 之 n 型半導體領域 14 (源極、汲極) 之上部的氮化矽膜 15 與閘極絕緣膜 8，在 n 型半導體領域 14 (源極、汲極) 之中一者的上部形成接觸孔 23，而在另一者的上部形成接觸孔 24。

(請先閱讀背面之注意事項再填寫本頁)

表

訂

續

(請先閱讀背面之注意事項再填寫本頁)

五、發明說明 (12)

該蝕刻，則是在使氮化矽膜 1 5 的蝕刻速率較氧化矽膜（位在閘極絕緣膜 8 以及分離領域 4 內的氧化矽膜）為大的條件下進行，而不致切削 n 型半導體領域 1 4 或分離領域 4 過深。又，該蝕刻則是在使氮化矽膜 1 5 被異方性蝕刻的條件下進行，而使氮化矽膜 1 5 殘留在閘極 9 A（字元線 W L ）的側壁。藉此，具有在光石印之解析度以下之微細直徑的接觸孔 2 3，2 4，則相對於閘極 9 A（字元線 W L ）呈自我整合地被形成。

接著，在除去光阻膜 2 2 後，如圖 1 3 所示，在接觸孔 2 3、2 4 的內部形成插塞 2 5。插塞 2 5，在藉由 C V D 法，將已導入 n 型雜質（例如 p ）的多晶矽膜堆積在氧化矽膜 2 1 的上層後，以 C M P 法對該多晶矽膜實施研磨，而殘留在接觸孔 2 3、2 4 的內容而形成。

接著，如圖 1 4 所示，當在氧化矽膜 2 1 的上層堆積好膜厚 2 0 0 nm 左右的氧化矽膜 2 6 後，則在 8 0 0 °C 左右，對基板 1 實施熱處理。氧化矽膜 2 6，則藉由例如以 T E O S 與 O₃ 作為來源氣體的電漿 C V D 法來堆積。又，藉由該熱處理，構成插塞 2 5 之多晶矽膜中的 n 型雜質，則會從接觸孔 2 3，2 4 的底部擴散到記憶單元選擇用 M I S F E T Q s 的 n 型半導體領域 1 4（源極、汲極），而使得 n 型半導體領域 1 4 低電阻化。

接著，則藉由以光阻膜作為掩罩的乾蝕刻，來除去位在上述接觸孔 2 3 之上部的氧化矽膜 2 6，而讓插塞 2 5 的表面露出。在除去上述光阻膜 2 6 後，藉由以光阻膜作

五、發明說明 (13)

為掩罩的乾蝕刻，來除去周邊電路之氧化矽膜 26、21、20、SOG 膜 19 以及閘極絕緣膜 8，而在 n 通道型 MISFETQ_n 的 n⁺ 型半導體領域 18（源極、汲極）的上部形成接觸孔 27，而在 p 通道型 MISFETQ_p 的 p⁺ 型半導體領域 17（源極、汲極）的上部形成接觸孔 28。

接著，在除去上述光阻膜後，如圖 15 所示，在氧化矽膜 26 的上層形成位元線 BL 與周邊電路的第 1 層配線 29。位元線 BL 以及第 1 層配線 29，則例如藉由噴濺法，在氧化矽膜 26 的上層堆積膜厚 50 nm 左右的鈦 (Ti) 膜與膜厚 50 nm 左右的 TiN 膜，更當在其上層，藉由 CVD 法堆積好膜厚 150 nm 左右的 W 膜與膜厚 200 nm 左右的氮化矽膜 30a 後，則以光阻膜作為掩罩，藉由對該些膜實施圖案而形成。

當在氧化矽膜 26 的上層堆積好 Ti 膜後，藉由在 800 °C 左右下，對基板 1 實施熱處理，使 Ti 膜與基板 1 反應，在 n 通道型 MISFETQ_n 的 n⁺ 型半導體領域 18（源極、汲極）的表面以及被埋入到接觸孔 23 內之插塞 25 的表面，則形成有低電阻的 TiSi₂ 層 31。藉此，可以減低被連接到 p⁺ 型半導體領域 17、n⁺ 型半導體領域 18、以及插塞 25 之配線（位元線 BL、第 1 層配線 29）的接點（contact）電阻。又，藉由以 W 膜 / TiN 膜 / Ti 膜構成位元線 BL，由於可將其面（sheet）電阻減低到 2 Ω / □ 以下為止，因此，位元線 BL 與周

(請先閱讀背面之注意事項再填寫本頁)

(請先閱讀背面之注意事項再填寫本頁)

五、發明說明 (14)

邊電路之第 1 層配線 2 9 可以在同一過程中同時形成。

接著，在除去上述光阻膜後，在位元線 B L 以及第 1 層配線 2 9 的側壁形成側壁間隔層 3 0 b。側壁間隔層 3 0 b，則當以 C V D 法，將氮化矽膜堆積在位元線 B L 以及第 1 層配線 2 9 的上層後，對該氮化矽膜實施異方性蝕刻而形成。

接著，如圖 1 6 所示，在將膜厚 3 0 0 n m 左右的 S O G 膜 3 2 旋轉塗佈在位元線 B L 以及第 1 層配線 2 9 的上層後，對基板 1 進行 8 0 0 °C、1 分鐘左右的熱處理，而將 S O G 膜 3 2 加以燒結。

接著，當將膜厚 6 0 n m 左右的氧化矽膜 3 3 堆積在 S O G 膜 3 2 的上層後，以 C M P 法對該氧化矽膜 3 3 實施研磨，使其表面平坦化。氧化矽膜 3 3，藉由例如以 T E O S 與 O₃ 作為來源氣體的電漿 C V D 法來堆積。

接著，則藉由以光阻膜作為掩罩的乾蝕刻，來除去被埋入到接觸孔 2 4 之插塞 (plug) 2 5 之上部的氧化矽膜 3 4、3 3、S O G 膜 3 2、以及氧化矽膜 2 6、而形成可到達插塞 2 5 之表面的貫通孔 3 5。該蝕刻，則是在使氧化矽膜的蝕刻速率較氧化矽膜 3 4、3 3、3 6、以及 S O G 膜 3 2 為大的條件下進行。即使貫通孔 3 5 與位元線 B L 發生對位偏移時，也不致於將位元線 B L 之上部的氮化矽膜 3 0 a 或側壁間隔層 3 0 b 過深。藉此，貫通孔 3 5 相對於位元線 B L 呈自我整合地被形成。

接著，在除去上述光阻膜後，在貫通孔 3 5 的內部形

(請先閱讀背面之注意事項再填寫本頁)

五、發明說明(15)

成插塞 3 6 。插塞 3 6 ，在藉由 C V D 法，將已經導入有 n 型雜質（例如 p ）的多晶矽膜堆積在氧化矽膜 3 4 的上層後，則對該多晶矽膜實施反覆蝕刻處理（ etch back ），而殘留在貫通孔 3 5 的內部而形成。

接著，如圖 1 7 所示，在藉由 C V D 法，將膜厚 1 0 0 n m 左右的氮化矽膜 3 7 堆積在氧化矽膜 3 4 的上層後，則將膜厚 1 . 3 μ m 的氧化矽膜 3 8 堆積在氮化矽膜 3 7 的上層，接著，藉由以光阻膜作為掩罩的乾蝕刻除去氧化矽膜 3 5 以及氮化矽膜 3 7 ，而在貫通孔 3 5 的上部形成溝 3 9 。氧化矽膜 3 8 ，則藉由例如以 T E O S 與 O₃ 作為來源氣體的電漿 C V D 法來堆積。

接著，在除去上述光阻膜後，如圖 1 8 所示，利用 C V D 法，以 6 0 0 °C 左右的溫度，將非晶矽膜 4 0 堆積在氧化矽膜 3 8 的上層。該非晶矽膜 4 0 ，則當作電容器之積蓄電極的材料來使用。此外，積蓄電極的材料，除了非晶矽膜 4 0 外，也可以使用 R u 膜或是 T i N 膜等的金屬膜。

接著，當在非晶矽膜 4 0 的上層旋轉塗佈好膜厚較溝 3 9 的深度為厚（例如 2 μ m 左右）的 S O G 膜 4 1 後，對 S O G 膜實施 etch back 處理，而讓位在氧化矽膜 3 8 之上部的非晶矽膜 4 0 露出。

更者，如圖 1 9 所示，藉著對位在氧化矽膜 3 8 之上部的非晶矽膜 4 0 實施（反覆蝕刻 etch back ）處理，而該非晶矽膜 4 0 殘留在溝 3 9 的內部（內壁以及底部）。接

(請先閱讀背面之注意事項再填寫本頁)

五、發明說明 (16)

著，對溝 3 9 內部的 S O G 膜 4 1 實施溼蝕刻，而形成電容器的積蓄電極。

接著，如圖 2 0 所示，藉由以 $Ta(C_2H_5)_5$ 與 O_3 作為來源氣體之溫度在 $600^\circ C$ 以下的熱 C V D 法，將膜厚 20 nm 左右的氧化鉭 (Ta_2O_5) 膜堆積在積蓄電極的上層。接著，在氮氣環境下，藉由對基板 1 實施 $650 \sim 700^\circ C$ 左右、60秒左右的熱處理，而讓 Ta_2O_5 膜結晶化。此外，之後，也可以在氧氣環境中，對基板 1 實施 $600^\circ C$ 左右的 R T A (Rapid Thermal Annealing) 處理。更者，藉由對基板 1 實施 $600^\circ C$ 以下的臭氧處理，來修復 Ta_2O_5 膜 4 2 的氧氣缺陷。如此般經實施結晶化處理以及臭氧處理的 Ta_2O_5 膜 4 2，則當作電容器 C 的電容絕緣膜材料來使用。

接著，當藉由噴濺法或 C V D 法，將膜厚 150 nm 左右的金屬膜，例如 Ru 膜或 TiN 膜堆積在 Ta_2O_5 膜 4 2 的上層後，則藉由以光阻膜作為掩罩的乾蝕刻，對上述金屬膜以及 Ta_2O_5 膜 4 2 實施圖案，而形成以由金屬膜 (Ru 膜或 TiN 膜) 所構成的平板電極 4 3、由 Ta_2O_5 膜所構成的電容絕緣膜，以及由非晶矽膜 4 0 所構成的積蓄電極而構成的電容器 C。藉此，完成由記憶單元選擇用 M I S F E T Q s 與被串聯連接在此的電容器 C 而構成的 D R A M 的記憶單元。

接著，如圖 2 1 所示，將氧化矽膜當作絕緣膜 4 4 而堆積在平板電極 4 3 的上層，在周邊電路開孔形成連接到

五、發明說明 (17)

第 1 層配線 2 9 的連接孔，而形成插塞 4 5 。插塞 4 5，則是藉由將由 T i 膜以及 T i N 膜所構成的接著層 4 5 a 堆積在絕緣膜 4 4 的上層，再藉由 Blanket CVD 法堆積 W 膜 4 5 b，之後，藉由對 W 膜 4 5 b 以及接著層 4 5 a 實施反覆蝕刻 (etch back) 處理而形成。此外，T i 膜以及 T i N 膜，雖然是藉由噴濺法而形成，但是也可以由 C V D 法來形成。更者，藉由噴濺法，依序將鈦 (T i) 膜、鋁 (A l) 膜 4 6 b 以及 T i N 膜 4 6 c 堆積在絕緣膜 4 4 的上層，對該些實施圖案而形成第 2 層配線 4 6 。

最後，依序將氧化矽膜 4 7 a、S O G 膜 4 7 b 以及氧化矽膜 4 7 c 堆積在第 2 層配線 4 6 的上層，而形成層間絕緣膜 4 7，而與第 2 層配線 4 6 同樣地形成插塞 4 8 。上述氧化矽膜 4 7 a、4 7 c，則藉由例如以 T E O S 與 O₃ 作為來源氣體的電漿 C V D 法而堆積。更者，則形成第 3 層配線 4 9，而大略完成圖 2 2 所示的 D R A M 。

之後，則將鈍化膜堆積在多層配線以及最上層之配線的上層，但省略其圖示。

接著，圖 2 3 ~ 圖 2 8 則表示包括：為已被導入 n 型雜質（例如 p）的 n 型導電性多晶矽膜，而構成閘極之 n⁺ 閘 p 通道型 M I S F E T (Case 1) 為已被導入 p 型雜質（例如 B）的 p 型導電性多晶矽膜，而構成閘極之 p⁺ 閘 p 通道型 M I S F E T (Case 2)，以及為已被導入 n 型雜質（例如 p）與 p 型雜質（例如 B）之 p 型導電性多晶矽膜，而構成 p⁺ 閘 p 通道型 M I S F E T (

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (18)

C a s e 3) 的電晶體特性。

圖 2 3 為 n⁺ 閘 p 通道型 M I S F E T (C a s e 1) 以及 p⁺ 閘 p 通道型 M I S F E T (C a s e 2) 的閘極電壓一汲極電流特性的一例。n⁺ 閘 p 通道型 M I S F E T 與 p⁺ 閘 p 通道型 M I S F E T 的閾值電壓差，則應該是相當於矽 (S i) 之帶隙 (band gap) 寬度的 1 . 1 V 。但是，由於 B 的洩漏因素，會導致 p⁺ 閘 p 通道型 M I S F E T 的閾電壓降低，其差約為 1 . 3 V ，更者，其閾值電壓的變動會變大。

圖 2 4 為表示 n⁺ 閘 p 通道型 M I S F E T (C a s e 1) 與 p⁺ 閘 p 通道型 M I S F E T (C a s e 2) 之閾值電壓的差，和被導入到構成 p⁺ 閘 p 通道型 M I S F E T (C a s e 2) 之閘極之 p 型導電性多晶矽膜的 B 級子打入摻雜量 (加速能量為 5 k e V) 的關係。如圖所示，具有隨著摻雜量增加，閾值電壓差會有超越帶隙寬度之 1 . 1 V 而變大的傾向。而此推測是因為隨著摻雜量增加，p⁺ 閘 p 通道型 M I S F E T 的 B 洩漏量增加所導致。

圖 2 5 為表示 p⁺ 閘 p 通道型 M I S F E T (C a s e 2) 之閾值電壓的變動 (3 a) 、和被導入到構成 p⁺ 閘 p 通道型 M I S F E T ((C a s e 2) 之閘極之 p 型導電性多晶矽膜的 B 級子打入摻雜量 (加速能量為 5 k e V) 的關係。如圖所示，隨著摻雜量增加，閾值電壓的變動也會變大。而此推測是因為隨著摻雜量增加，p⁺ 閘 p 通道型 M I S F E T 的 B 洩漏量增加所導致。

(請先閱讀背面之注意事項再填寫本頁)

(請先閱讀背面之注意事項再填寫本頁)

五、發明說明 (19)

圖 2 6 為表示 n^+ 閘 p 通道型 MISFET (Case 1) 與 p^+ 閘 p 通道型 MISFET (Case 2) 之閾值電壓的差、和 n^+ 閘 p 通道型 MISFET (Case 1) 與 p^+ 閘 p 通道型 MISFET (Case 3) 之閾值電壓的差。圖中，D 1 為相對於已被注入摻雜量約 $2 \times 10^{15} \text{ cm}^{-2}$ 之 B 離子之 p^+ 閘通道型 MISFET (Case 2) 的值，D 2 為相對於已被注入摻雜量約 $2 \times 10^{15} \text{ cm}^{-2}$ 的 B 離子與摻雜量約 $1 \times 10^{14} \text{ cm}^{-2}$ (加速能量為 10 keV) 的 p 離子之 p^+ 閘 p 通道型 MISFET (Case 3) 的值，D 3 為相對於已被注入摻雜量約 $3 \times 10^{15} \text{ cm}^{-2}$ 的 B 離子與摻雜量約 $2 \times 10^{14} \text{ cm}^{-2}$ (加速能量為 10 keV) 的 p 離子之 p^+ 閘 p 通道型 MISFET (Case 3) 的值。

圖 2 7 為表示在上述圖 2 6 所記載之 D 1 ~ D 3 所使用的 p^+ 閘 p 通道型 MISFET (Case 2 、 3) 的閾值電壓的變動 (3σ)。此外，圖 2 8 為表示為了供比較， n^+ 閘 p 通道型 MISFET 以及 n^+ 閘 n 通道型 MISFET 之閾值電壓的變動 (3σ)。

如圖 2 6 以及圖 2 7 所示，可知除了隨著 p 的摻雜量增加，閾值電壓差會變小外，也可以抑制閾值電壓的變動。特別是對於 D 3 所示之 p^+ 閘 p 通道型 MISFET (Case 3) 而言，僅管 B 離子的摻雜量高到約 $3 \times 10^{15} \text{ cm}^{-2}$ ，但由於 p 的存在會減小閾值電壓差、或是抑制閾值電壓的變動，接近於圖 2 8 所示之 n^+ 閘

(請先閱讀背面之注意事項再填寫本頁)

五、發明說明 (20)

M I S F E T 之閾值電壓的變動約 1 0 m V 。藉此，與 B 一起存在於非晶矽膜中的 p 會優先地占領矽結晶粒界，而抑制 B 沿著矽結晶粒界高速擴散，而阻止 B 到達基板表面的通道 (channel) 領域，亦即，所謂的 B 洩漏。

此外，在本實施形態中，雖然是以氧化矽膜來構成閘極氧化膜 8，但也可以以相較於氧化矽膜較難產生 B 洩漏情形的氮化矽膜所構成 = 氮化矽膜，係例如在氮氣環境中，藉由對在基板 1 的表面所形成的氧化矽膜實施 650°C 左右的熱處理而形成。

如此般，根據本實施形態，藉由將 p 導入到構成記憶單元選擇用 M I S F E T Q s 之閘極 9 A (字元線) 的 p 型導電性多晶矽膜 9 p c 、以及構成 p 通道型 M I S F E T Q p 之閘極 9 c 的 p 型導電性多晶矽膜 9 p c ，可以抑制被導入到 p 型導電性多晶矽膜 9 p c 的 B 發生擴散，而防止 B 洩漏到通道領域。

又，在形成構成閘極 9 A (字元線 W L)，9 C 的 p 型導電性多晶矽膜 9 p c 、以及構成閘極 9 B 的 n 型導電性多晶矽膜 9 n c 之際，首先，藉由將雜質的離子打入到被堆積在基板上的非晶矽膜，針對膜厚在 100 nm 以下的非晶矽膜，可以抑制穿隧 (channeling) 效果。藉此，可以防止通道領域的雜質濃度會因為被打入的雜質離子到達閘極絕緣膜 8，甚至是與基板 1 的界面而產生變化。

又，藉由在閘極 9 A (字元線 W L)、9 B、9 C 上設置氮化矽膜 11，在形成記憶單元選擇用

五、發明說明 (21)

M I S F E T Q s 的源極、汲極（n 型半導體領域 1 4）、p 通道型 M I S F E T Q p 的源極、汲極（p 型半導體領域 1 2、p⁺ 型半導體領域 1 7）、n 通道型 M I S F E T Q n 的源極、汲極（n⁻ 型半導體領域 1 3、n⁺ 型半導體領域 1 8）之際，由於未將雜質導入到構成閘極 9 A（字元線 W L）、9 C 的 p 型導電性多晶矽膜 9 p c 或構成閘極 9 B 的 n 型導電性多晶矽膜 9 n c，因此，p 型導電性多晶矽膜 9 p c 以及 n 型導電性多晶矽膜 9 n c 之雜質濃度的最佳化，與源極、汲極之雜質濃度的最佳化可以分別獨立地進行。藉此，可以容易獲得記憶單元選擇用 M I S F E T Q s、p 通道型 M I S F E T Q p、n 通道型 M I S F E T Q n 的最佳的裝置（device）構造。

(請先閱讀背面之注意事項再填寫本頁)

訂

又，在形成記憶單元選擇用 M I S F E T Q s 的源極、汲極（n 型半導體領域 1 4）、p 通道型 M I S F E T Q p 的源極、汲極（p 型半導體領域 1 2、p⁺ 型半導體領域 1 7）、n 通道型 M I S F E T Q n 的源極、汲極（n⁻ 型半導體領域 1 3、n⁺ 型半導體領域 1 8）之際，在將雜質的離子打入基板 1 後，才實施 950 °C，10 秒左右的活性化熱處理。更者，為了要提高電容器 C 之電容絕緣膜的信賴度，乃在形成電容絕緣膜後，才實施結晶化熱處理。在上述熱處理過程中，雖然容易產生 B 的擴散，但由於藉由將 p 導入到 p 型導電性多晶矽膜 9 p c 的

五、發明說明 (22)

B 發生擴散，而能夠防止 B 洩漏到通道領域，因此，可對基板 1 實施熱處理。藉此可得到記憶單元選擇用 M I S F E T Q s 的源極、汲極（n 型半導體領域 1 4）、p 通道型 M I S F E T Q p 的源極、汲極（p 型半導體領域 1 2、p⁺ 型半導體領域 1 7）、n 通道型 M I S F E T Q n 的源極、汲極（n⁻ 型半導體領域 1 3、n⁺ 型半導體領域 1 8）之最佳的濃度輪廓，又，可以提高電容器 C 的信賴性。

又，在記憶單元選擇用 M I S F E T Q s 的閘極 9 A（字元線 W L ）的上層，則藉由電漿 C V D 法形成可當作蝕刻阻止膜來使用的氮化矽膜 1 5。該氮化矽膜 1 5，雖然包含了可以助長 B 發生擴散的氫，但由於藉由被導入到 p 型導電性多晶矽膜 9 p c 的 p，可以抑制 B 發生擴散，而能夠防止 B 洩漏到通道領域，而抑制記憶單元選擇用 M I S F E T Q s 的動作特性因為使用上述氮化矽膜 1 5 而發生變動。因此，即使記憶單元選擇用 M I S F E T Q s 的閘極 9 A（字元線 W L ）使用 p 型導電性多晶矽膜 9 p c，也能夠使用氮化矽膜 1 5 當作蝕刻阻止膜，而能夠在閘極 9 A（字元線 W L ）的空間形成微細的接觸孔 2 3、2 4。

以上，雖然是根據發明的實施形態，來具體說明本發明人所提出的發明，但本發明並不限定於上述實施的形態，當然在不脫離其要旨的範圍內，可作各種的變更。

例如，在上述的實施形態中，雖然是就適合於構成

(請先閱讀背面之注意事項再填寫本頁)

訂

(請先閱讀背面之注意事項再填寫本頁)

五、發明說明 (23)

D R A M 之記憶體陣列的記憶單元選擇用 M I S F E T 以及周邊電路之 n 通道型 M I S F E T 、 p 通道型 M I S F E T 的製造方法的情形來加以說明，但也可以適合於具有 p 型導電性之矽閘極的任何之 M I S F E T 的製造方法。

在本案所揭露的發明中，若簡單地說明由代表者所得到的效果時，則如下所述。

根據本發明，由於可以抑制 B 從 p 型導電性的矽閘電極發生擴散，而防止 B 洩漏到通道領域，因此，能夠防止使用 p 型導電性之矽閘電極的 M I S F E T 的動作特性發生變動。

又，根據本發明，可以防止通道領域的濃度因為穿隧 (channeling) 效果而發生變化。藉此，可以防止使用約 100 nm 以下厚度之 p 型導電性矽閘電極的 M I S F E T 的動作特快發生變動。

又，根據本發明，可以獨立地設定構成 p 型導電性之矽閘電極的 p 型導電性多晶矽膜的雜質濃度、與構成源極、汲極之半導體領域的雜質濃度。更者，由於可以抑制 B 從 p 型導電性的矽閘電極發生擴散，而防止 B 洩漏到通道領域，因此可實施相對高溫的熱處理。藉此，能夠得到 M I S F E T 之最佳的裝置 (device) 構造。

圖面之簡單說明：

圖 1 為表示本發明之一實施形態之 D R A M 之製造方

五、發明說明 (24)

法之半導體基板的主要部分斷面圖。

圖 2 為表示本發明之一實施形態之 D R A M 之製造方法之半導體基板的主要部分斷面圖。

圖 3 為表示本發明之一實施形態之 D R A M 之製造方法之半導體基板的主要部分斷面圖。

圖 4 (a) 以及圖 4 (b) 為表示本發明之一實施形態之 D R A M 之製造方法之半導體基板的主要部分的斷面圖。

圖 5 為表示在 n 型導電性非晶矽膜中以及 p 型導電性非晶矽膜中之雜質濃度的說明圖。

圖 6 (a) , 圖 6 (b) , 圖 6 (c) 為表示本發明之一實施形態之其他製造方法的半導體基板的主要部分放大斷面圖。

圖 7 為表示本發明之一實施形態之 D R A M 之製造方法之半導體基板的主要部分斷面圖。

圖 8 為表示本發明之一實施形態之 D R A M 之製造方法之半導體基板的主要部分斷面圖。

圖 9 為表示本發明之一實施形態之 D R A M 之製造方法之半導體基板的主要部分斷面圖。

圖 10 (a) , 圖 10 (b) , 圖 10 (c) 為表示本發明之一實施形態之 D R A M 所具有之記憶單元選擇用 M I S F E T 、 n 通道型 M I S F E T 、 以及 p 通道型 M I S F E T 之半導體基板的放大模式圖。

圖 11 為表示具有本發明之一實施形態之 p 型導電性

(請先閱讀背面之注意事項再填寫本頁)

(請先閱讀背面之注意事項再填寫本頁)

五、發明說明 (25)

之矽電極的 p 通道型 M I S F E T 的半導體基板的放大模式圖。

圖 1 2 為表示本發明之一實施形態之 D R A M 之製造方法之半導體基板的主要部分斷面圖。

圖 1 3 為表示本發明之一實施形態之 D R A M 之製造方法之半導體基板的主要部分斷面圖。

圖 1 4 為表示本發明之一實施形態之 D R A M 之製造方法之半導體基板的主要部分斷面圖。

圖 1 5 為表示本發明之一實施形態之 D R A M 之製造方法之半導體基板的主要部分斷面圖。

圖 1 6 為表示本發明之一實施形態之 D R A M 之製造方法之半導體基板的主要部分斷面圖。

圖 1 7 為表示本發明之一實施形態之 D R A M 之製造方法之半導體基板的主要部分斷面圖。

圖 1 8 為表示本發明之一實施形態之 D R A M 之製造方法之半導體基板的主要部分斷面圖。

圖 1 9 為表示本發明之一實施形態之 D R A M 之製造方法之半導體基板的主要部分斷面圖。

圖 2 0 為表示本發明之一實施形態之 D R A M 之製造方法之半導體基板的主要部分斷面圖。

圖 2 1 為表示本發明之一實施形態之 D R A M 之製造方法之半導體基板的主要部分斷面圖。

圖 2 2 為表示本發明之一實施形態之 D R A M 之製造方法之半導體基板的主要部分斷面圖。

五、發明說明 (26)

圖 2 3 為表示 p^+ 閘 p 通道型 MISFET 以及 n^+ 閘 p 通道型 MISFET 之閘極電壓與汲極電流之關係的說明圖。

圖 2 4 為表示 p^+ 閘 p 通道型 MISFET 與 n^+ 閘 p 通道型 MISFET 之閾值電壓差的說明圖。

圖 2 5 為 p^+ 閘 p 通道型 MISFET 之閾值電壓變動的說明圖。

圖 2 6 為表示被導入 p 之 p^+ 閘 p 通道型 MISFET 與 n^+ 閘 p 通道型 MISFET 之閾值電壓差的說明圖。

圖 2 7 為表示被導入 p 之 p^+ 閘 p 通道型 MISFET 之閾值電壓變動的說明圖。

圖 2 8 為表示 n^+ 閘 p 通道型 MISFET 以及 n^+ 閘 n 通道型 MISFET 之閾值電壓之變動的說明圖。

(請先閱讀背面之注意事項再填寫本頁)

元件對照表

- 1 : 基板
- 2 : 淺溝
- 3 : 氧化矽膜
- 4 : 分離領或
- 5 : n 型半導體領域
- 6 : p 型阱
- 7 : n 型阱
- 8 : 閘極絕緣膜
- 9 n : n 型導電性非晶矽膜

五、發明說明 (27)

9 p : p 型導電性非晶矽膜

9 n c : n 型導電性多晶矽膜

9 p c : p 型導電性多晶矽膜

9 A , 9 B , 9 C : 閘極

1 0 : 光阻圖案

(請先閱讀背面之注意事項再填寫本頁)

訂

四、中文發明摘要（發明之名稱：半導體積體電路裝置及其製造方法）

針對使用 p 型導電性之矽閘電極的 M I S F E T ，可以防止硼洩漏到通道領域，而得到所希望的動作特性。

將 p 離子打入到非晶矽膜，而形成 n 型導電性非晶矽膜 9 n ，接著，則打入 B 離子，在將 N 型導電性非晶矽膜 9 n 變成 p 型導電性非晶矽膜 9 p 後，讓非晶矽膜 9 p 結晶化，而藉由上述過程所得到，已導入有 p 以及 B 的 p 型導電性多晶矽膜，來構成 M I S F E T 的閘極。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

英文發明摘要（發明之名稱：）

六、申請專利範圍

1. 一種半導體積體電路裝置，其特徵在於：

具有 M I S F E T，其係由位在基板上的閘極絕緣膜，位在上述閘極絕緣膜上，而由被導入 p 型雜質與 n 型雜質，顯示第 1 導電型的多晶矽膜所構成的閘極、位在上述多晶矽膜上，而具有與上述多晶矽膜同樣之平面形狀的絕緣膜、以及位在上述閘極之兩側的上述基板，而由顯示第 2 導電型之半導體領域所構成的源極、汲極而構成。

2. 如申請專利範圍第 1 項之半導體積體電路裝置，上述第 1 導電型為 p 型，上述第 2 導電型為 p 型或 n 型。

3. 如申請專利範圍第 1 項之半導體積體電路裝置，上述絕緣膜為氮化矽膜。

4. 一種半導體積體電路裝置，其特徵在於：

在同一基板具有：由位在基板上的第 1 閘極絕緣膜、位在上述第 1 閘極絕緣膜上，由 p 型導電性多晶矽膜所構成的第 1 閘極、及位在上述第 1 閘極之兩側的基板，而由 p 型半導體領域所構成的源極、汲極而構成的第 1 M I S F E T，以及由位在基板上的第 2 閘極絕緣膜、位在上述第 2 閘極絕緣膜上，由 p 型導電性多晶矽膜所構成的第 2 閘極、及位在上述第 2 閘極之兩側的基板，而由 n 型半導體領域所構成之源極、汲極而構成的第 2 M I S F E T，

在構成上述第 1 閘極以及上述第 2 閘極之 p 型導電性多晶矽膜，則導入 p 型雜質與 n 型雜質。

5. 一種半導體積體電路裝置，其特徵在於：

(請先閱讀背面之注意事項再填寫本頁)

六、申請專利範圍

在同一基板具有：由位在基板上的第1閘極絕緣膜、位在上述第1閘極絕緣膜上，由p型導電性多晶矽膜所構成的第1閘極、及位在上述第1閘極之兩側的基板，而由p型半導體領域所構成的源極、汲極而構成的第1MISFET，以及由位在基板上的第2閘極絕緣膜、位在上述第2閘極絕緣膜上，由n型導電性多晶矽膜所構成的第2閘極、及位在上述第2閘極之兩側的基板，而由n型半導體領域所構成之源極、汲極而構成的第2MISFET，

在構成上述第1閘極的p型導電性多晶矽膜，則導入有p型雜質與n型雜質。

6. 一種半導體積體電路裝置，其主要是一具有將MISFET與電容元件串聯連接之記憶單元的半導體積體電路裝置，其特徵在於：

上述MISFET係由：位在基板上之閘極絕緣膜、位在上述閘極絕緣膜上，而由p型導電性多晶矽膜所構成的閘極、以及位在上述閘極之兩側的上述基板，而由n型半導體領域所構成的源極、汲極而構成，而在構成上述閘極之p型導電性多晶矽膜導入p型雜質與n型雜質。

7. 一種半導體積體電路裝置之製造方法，其主要係一用來形成備有顯示p型導電性之閘極的MISFET之半導體積體電路裝置之製造方法，其特徵在於：

具有：

(a) 在基板的表面形成閘極絕緣膜的過程；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

原

六、申請專利範圍

(b) 在上述閘極絕緣膜的上層堆積非晶矽膜的過程；

(c) 將 n 型雜質的離子注入上述非晶矽膜，而成為 n 型導電膜的過程；

(d) 將 p 型雜質的離子注入上述 n 型導電膜，而將上述 n 型導電膜改成 p 型導電膜的過程及；

(e) 藉由對上述 p 型導電膜蝕刻，而形成上述閘極的過程。

8 . 如申請專利範圍第 7 項之半導體積體電路裝置之製造方法，上述 n 型雜質為磷，上述 p 型雜質為硼。

9 . 如申請專利範圍第 7 項之半導體積體電路裝置之製造方法，上述閘極絕緣膜為氧化矽膜。

10 . 如申請專利範圍第 7 項之半導體積體電路裝置之製造方法，在上述 (d) 過程之後，更包含使上述 p 型導電膜結晶化的過程。

11 . 如申請專利範圍第 7 項之半導體積體電路裝置之製造方法，在上述 (c) 過程之後，更包含使上述 n 型導電膜結晶化的過程。

12 . 如申請專利範圍第 7 項之半導體積體電路裝置之製造方法，在上述 (e) 過程之前，更包含在上述 p 型導電膜的上層堆積高熔點金屬膜的過程，在上述 (e) 過程，則依序對上述高熔點金屬膜以及上述 p 型導電膜進行蝕刻。

13 . 如申請專利範圍第 7 項之半導體積體電路裝置

(請先閱讀背面之注意事項再填寫本頁)

表

訂

六、申請專利範圍

之製造方法，在上述（e）過程之前，更包含有在上述p型導電膜的上層依序堆積高熔點金屬膜以及絕緣膜的過程，在上述（e）過程，則依序對上述絕緣膜，上述高熔點金屬膜以及上述p型導電膜進行蝕刻。

14. 如申請專利範圍第7項之半導體積體電路裝置之製造方法，更包含（f）形成構成源極、汲極的半導體領域的過程。

15. 如申請專利範圍第7項之半導體積體電路裝置之製造方法，更包含：

（f）形成構成源極、汲極之半導體領域的過程及；

（g）形成被連接到構成上述源極、汲極之其中一個半導體領域之電容器的過程。

16. 一種半導體積體電路裝置之製造方法，其主要係針對一用來形成備有由p型半導體領域所構成之源極、汲極的第1MISFET與備有由n型半導體領域所構成之源極、汲極的第2MISFET之半導體積體電路裝置之製造方法，其特徵在於：

具有：

（a）在基板的表面形成閘極絕緣膜的過程；

（b）在上述閘極絕緣膜的上層堆積非晶矽膜的過程；

（c）將n型雜質的離子注入上述非晶矽膜，而成為n型導電膜的過程；

（d）將p型雜質的離子注入上述n型導電膜，至少

（請先閱讀背面之注意事項再填寫本頁）

六、申請專利範圍

將形成上述第 1 M I S F E T 之領域的上述 n 型導電膜改成 p 型導電膜的過程及；

(e) 藉由對上述 p 型導電膜進行蝕刻，而形成上述 1 M I S F E T 之間極的過程。

17. 如申請專利範圍第 16 項之半導體積體電路裝置之製造方法，上述 n 型雜質為磷，上述 p 型雜質的硼。

18. 如申請專利範圍第 16 項之半導體積體電路裝置之製造方法，上述閘極絕緣膜為氮化矽膜。

19. 如申請專利範圍第 16 項之半導體積體電路裝置之製造方法，在上述 (d) 過程之後，更包含使上述 p 型導電膜結晶化的過程。

20. 如申請專利範圍第 16 項之半導體積體電路裝置之製造方法，在上述 (c) 過程之後，更包含使上述 n 型導電膜結晶化的過程。

21. 如申請專利範圍第 16 項之半導體積體電路裝置之製造方法，在上述 (e) 過程之前，更包含有在上述 p 型導電膜的上層堆積高熔點金屬膜的過程，在上述 (e) 過程，則依序對上述高熔點金屬膜以及上述 p 型導電膜進行蝕刻。

22. 如申請專利範圍第 16 項之半導體積體電路裝置之製造方法，在上述 (e) 過程之前，更包含有在上述 p 型導電膜的上層依序堆積高熔點金屬膜以及絕緣膜的過程，在上述 (e) 過程，則依序對上述絕緣膜，上述高熔點金屬膜以及上述 p 型導電膜進行蝕刻。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

23. 如申請專利範圍第16項之半導體積體電路裝置之製造方法，更包含（f）形成構成第1MISFET之源極、汲極的半導體領域的過程。

24. 如申請專利範圍第16項之半導體積體電路裝置之製造方法，上述（d）過程的離子打入係藉由遮住（mask）形成有上述第2MISFET之領域而進行。

25. 如申請專利範圍第16項之半導體積體電路裝置之製造方法，上述（d）過程包含有：遮住形成有上述第2MISFET的領域、而將p型雜質的離子打入上述n型導電膜的過程、以及遮住形成有上述第1MISFET的領域，而將n型雜質打入上述n型導電膜的過程。

26. 如申請專利範圍第16項之半導體積體電路裝置之製造方法，上述p型雜質之離子打入摻雜量相對較上述n型雜質的離子打入摻雜量為多。

27. 如申請專利範圍第16項之半導體積體電路裝置之製造方法，上述非晶矽膜的膜厚約在100nm以下。

28. 如申請專利範圍第16項之半導體積體電路裝置之製造方法，更包含有：

（f）形成構成上述第1MISFET之源極、汲極之p型半導體領域的過程；

（h）在上述基板上依序形成氮化矽膜以及氧化矽膜的過程；

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

六、申請專利範圍

(i) 將光阻圖案當作掩罩，將上述氮化矽膜當作蝕刻阻止膜，在對上述氧化矽膜進行完蝕刻後，更藉著對上述氮化矽膜進行蝕刻，而在上述氧化矽膜以及上述氮化矽膜形成開孔部的過程及；

(j) 在上述開孔部的內部形成插塞的過程。

29. 一種半導體積體電路裝置之製造方法，其主要係針對一用於形成備有由 p 型半導體領域所構成之源極、汲極的第 1 M I S F E T 與備有由 n 型半導體領域所構成之源極、汲極的第 2 M I S F E T 之半導體積體電路裝置之製造方法，其特徵在於：

具有：

(a) 在基板的表面形成閘極絕緣膜的過程；

(b) 在上述閘極絕緣膜的上層堆積非晶矽膜的過程；

(c) 將 n 型雜質打入上述非晶矽膜，而設成 n 型導電膜的過程；

(d) 將 p 型雜質的打入上述 n 型導電膜，至少將形成上述第 1 M I S F E T 之領域的上述 n 型導電膜改成 p 型導電膜的過程及；

(e) 藉由對上述 p 型導電膜進行蝕刻，而形成上述 1 M I S F E T 的閘極，藉由對上述 n 型導電膜進行蝕刻，而形成上述第 2 M I S F E T 之閘極的過程。

30. 如申請專利範圍第 29 項之半導體積體電路裝置之製造方法，上述 n 型雜質為磷，上述 p 型雜質為硼。

(請先閱讀背面之注意事項再填寫本頁)

六、申請專利範圍

3 1 . 如申請專利範圍第 2 9 項之半導體積體電路裝置之製造方法，上述閘極絕緣膜為氧化矽膜。

3 2 . 如申請專利範圍第 2 9 項之半導體積體電路裝置之製造方法，在上述 (d) 過程之後，更包含使上述 p 型導電膜結晶化的過程。

3 3 . 如申請專利範圍第 2 9 項之半導體積體電路裝置之製造方法，在上述 (c) 過程之後，更包含使上述 n 型導電膜結晶化的過程。

3 4 . 如申請專利範圍第 2 9 項之半導體積體電路裝置之製造方法，在上述 (e) 過程之前，更包含有在上述 p 型導電膜的上層堆積高熔點金屬膜的過程，在上述 (e) 過程，則依序對上述高熔點金屬膜以及上述 p 型導電膜進行蝕刻。也同時對上述高熔點金屬膜以及上述 n 型導電膜依序進行蝕刻。

3 5 . 如申請專利範圍第 2 9 項之半導體積體電路裝置之製造方法，在上述 (e) 過程之前，更包含有在上述 p 型導電膜的上層依序堆積高熔點金屬膜以及絕緣膜的過程，在上述 (e) 過程，則依序對上述絕緣膜，上述高熔點金屬膜以及上述 p 型導電膜進行蝕刻，也同時對上述絕緣膜，上述高熔點金屬膜、以及上述 n 型導電膜進行蝕刻。

3 6 . 如申請專利範圍第 2 9 項之半導體積體電路裝置之製造方法，更包含有 (f) 形成構成上述第 1 M I S F E T 之源極、汲極的 p 型半導體領域，形成上述

(請先閱讀背面之注意事項再填寫本頁)

六、申請專利範圍

第 2 M I S F E T 之源極、汲極的 n 型半導體領域的過程。

3 7 . 如申請專利範圍第 2 9 項之半導體積體電路裝置之製造方法，上述 (d) 過程的離子打入係由遮住 (mask) 形成有上述第 2 M I S F E T 之領域而進行。

3 8 . 如申請專利範圍第 2 9 項之半導體積體電路裝置之製造方法，上述 (d) 過程包含有：遮住形成有上述第 2 M I S F E T 的領域、而將 p 型雜質的離子打入上述 n 型導電膜的過程、以及遮住形成有上述第 1 M I S F E T 的領域，而將 n 型雜質打入上述 n 型導電膜的過程。

3 9 . 如申請專利範圍第 2 9 項之半導體積體電路裝置之製造方法，上述 p 型雜質之離子打入摻雜量相對較上述 n 型雜質的離子打入摻雜量為多。

4 0 . 如申請專利範圍第 2 9 項之半導體積體電路裝置之製造方法，上述非晶矽膜的膜厚約在 1 0 0 n m 以下。

4 1 . 如申請專利範圍第 2 9 項之半導體積體電路裝置之製造方法，更包含有：

(f) 形成構成上述第 1 M I S F E T 之源極、汲極之 p 型半導體領域的過程；

(h) 在上述基板上依序形成氮化矽膜以及氧化矽膜的過程；

(i) 將光阻圖案當作掩罩，將上述氮化矽膜當作蝕

(請先閱讀背面之注意事項再填寫本頁)

表

訂

六、申請專利範圍

刻阻止膜，在對上述氧化矽膜進行完蝕刻後，更藉著對上述氮化矽膜進行蝕刻，而在上述氧化矽膜以及上述氮化矽膜形成開孔部的過程及；

(j) 在上述開孔部的內部形成插塞的過程。

4 2 . 一種半導體積體電路裝置之製造方法，其主要係針對用於形成由 M I S F E T 與電容元件串聯連接而成之半導體積體電路裝置之製造方法，其特徵在於：

具有：

(a) 在基板的表面形成閘極絕緣膜的過程；

(b) 在上述閘極絕緣膜的上層堆積非晶矽膜的過程；

(c) 將 n 型雜質的離子打入上述非晶矽膜，而設成 n 型導電膜的過程；

(d) 將 p 型雜質的離子打入上述 n 型導電膜，而改成 p 型導電膜的過程；

(e) 藉由對上述 p 型導電膜進行蝕刻，而形成閘極的過程；

(f) 形成構成上述 M I S F E T 之源極、汲極的 n 型半導體領域的過程；

(g) 形成被連接到構成上述源極、汲極之其中一個之 n 型半導體領域的第 1 電容電極的過程；

(h) 在上述第 1 電容電極之表面形成介電體膜的過程；

(i) 對上述基板實施熱處理的過程及；

(請先閱讀背面之注意事項再填寫本頁)

表

訂

六、申請專利範圍

(j) 在上述介電體膜的上層形成第 2 電容電極的過程。

(請先閱讀背面之注意事項再填寫本頁)

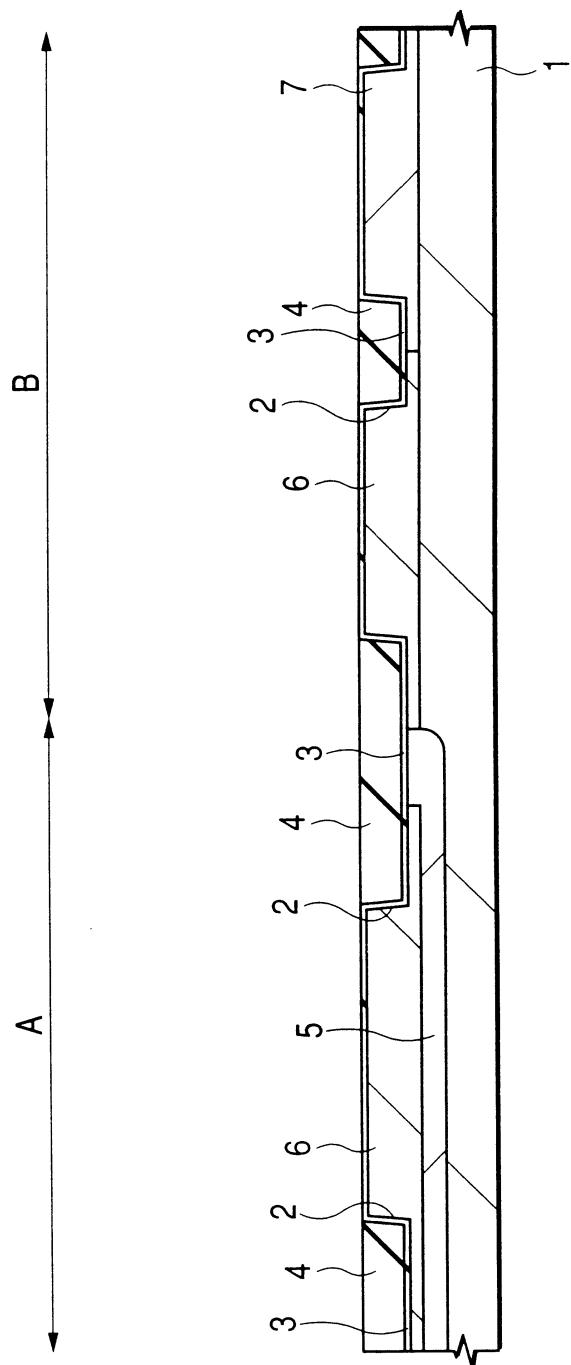
裝

訂

495967

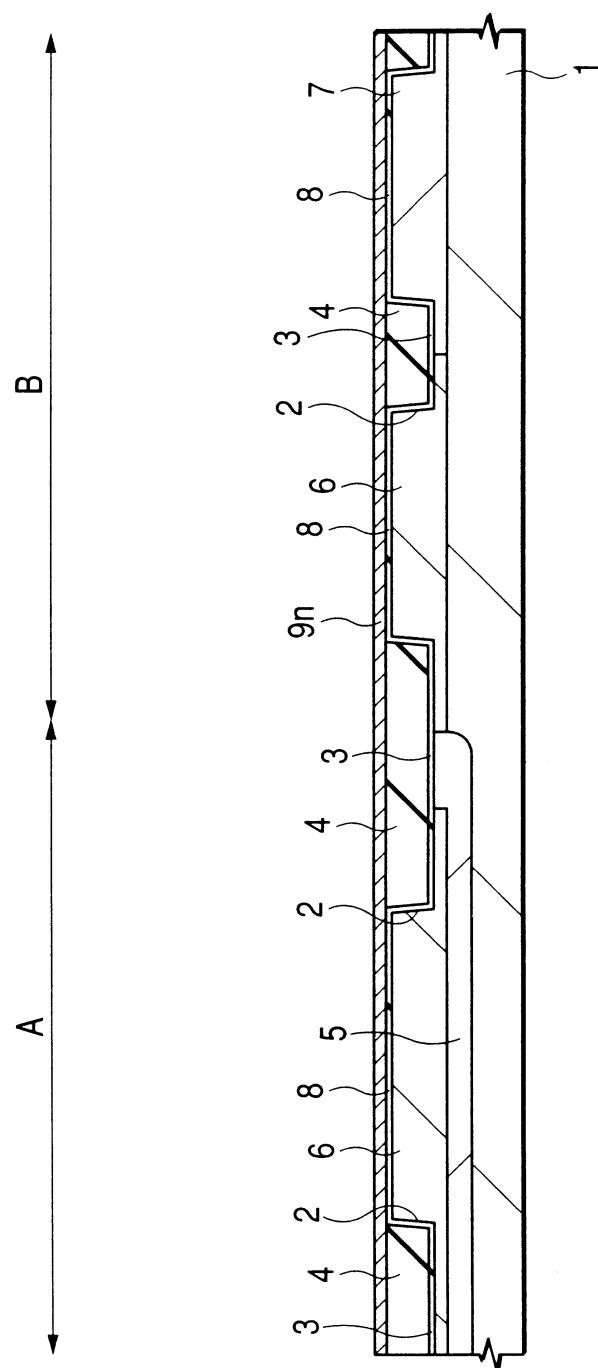
741011

圖 1



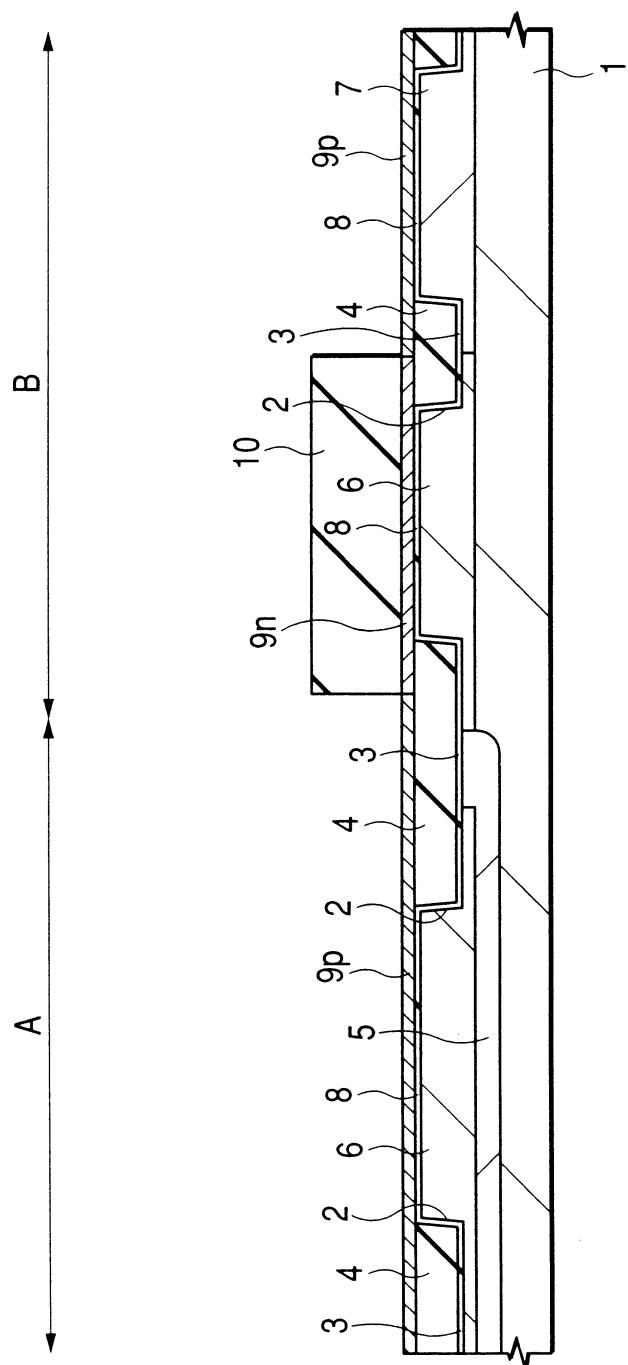
495967

圖 2



495967

圖 3



495967

圖 4 (a)

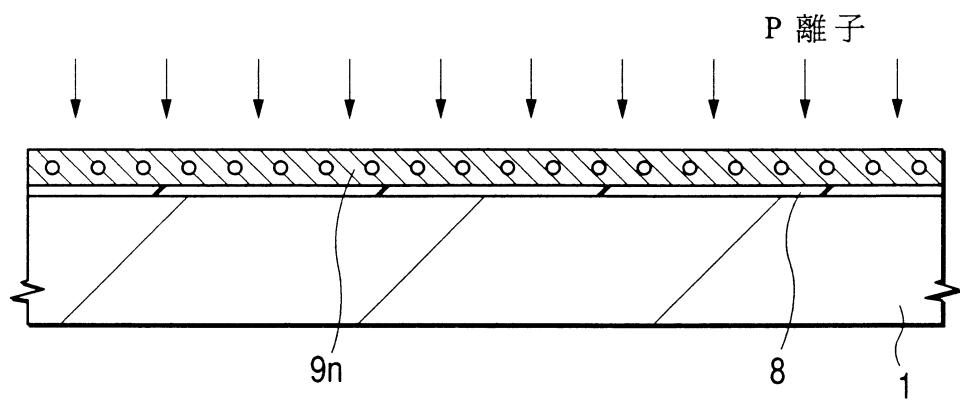


圖 4 (b)

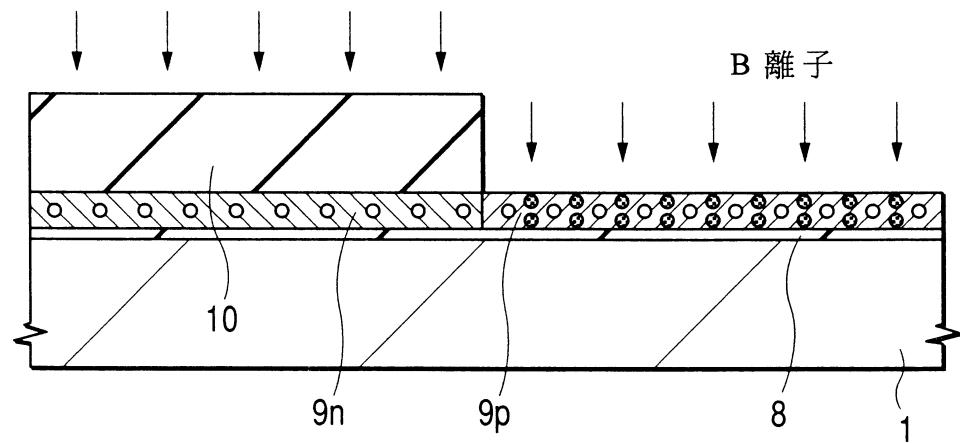
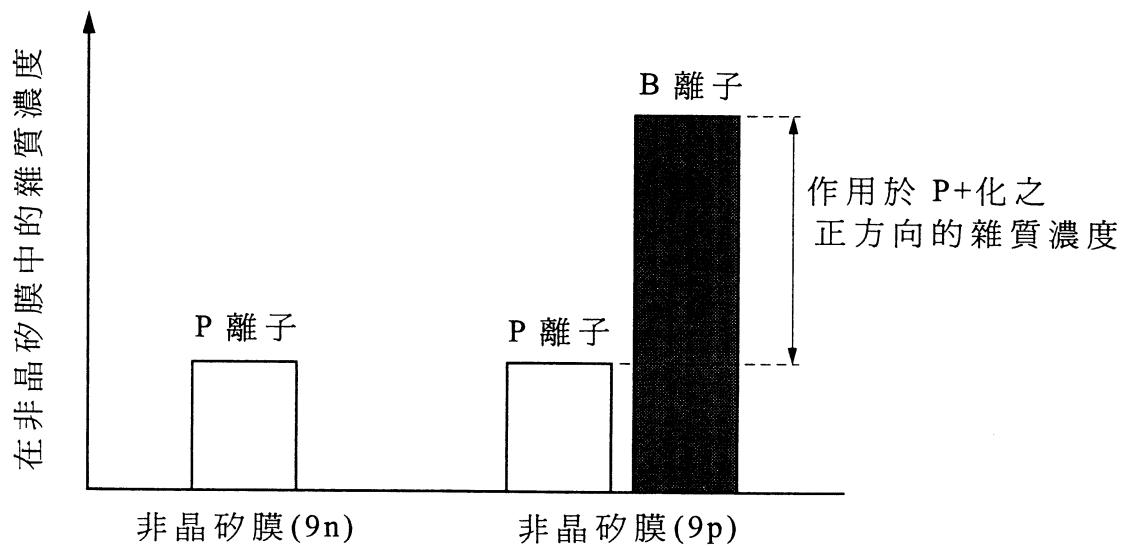


圖 5



495967

圖 6 (a)

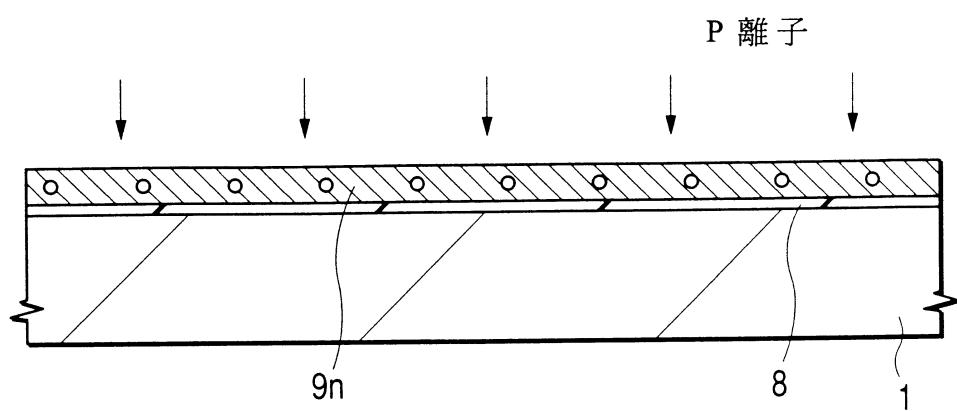


圖 6 (b)

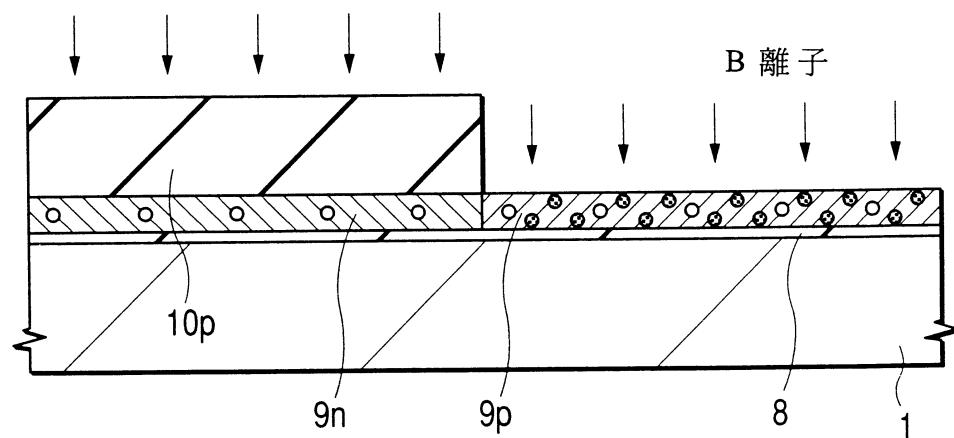


圖 6 (c)

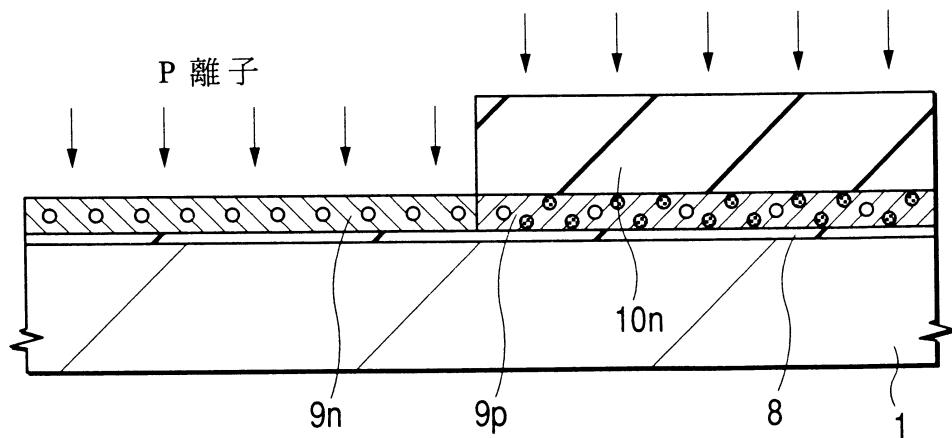
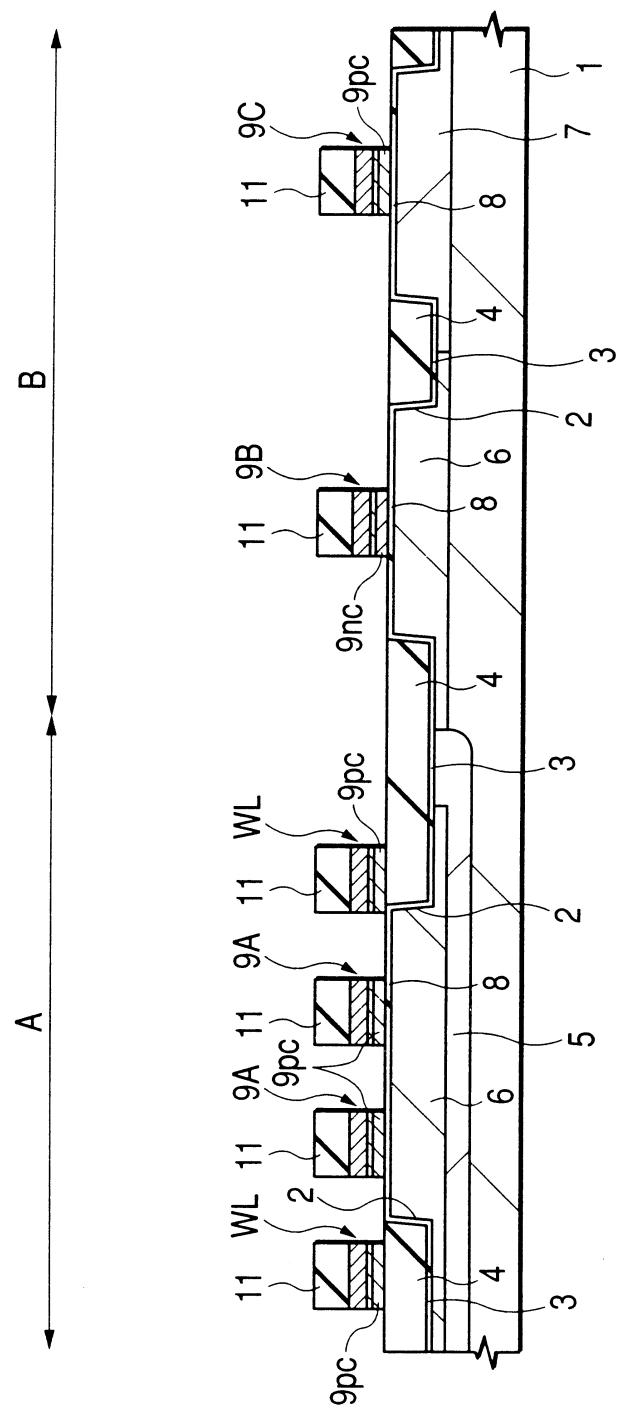


図 7



495967

圖 8

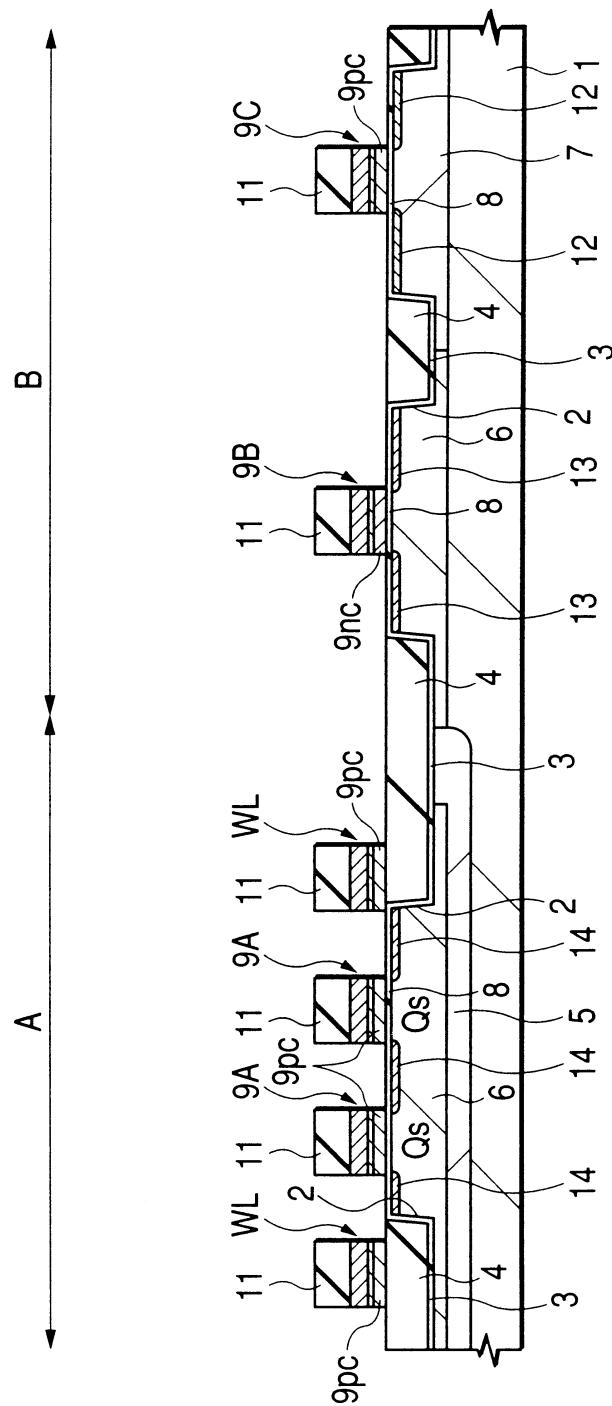
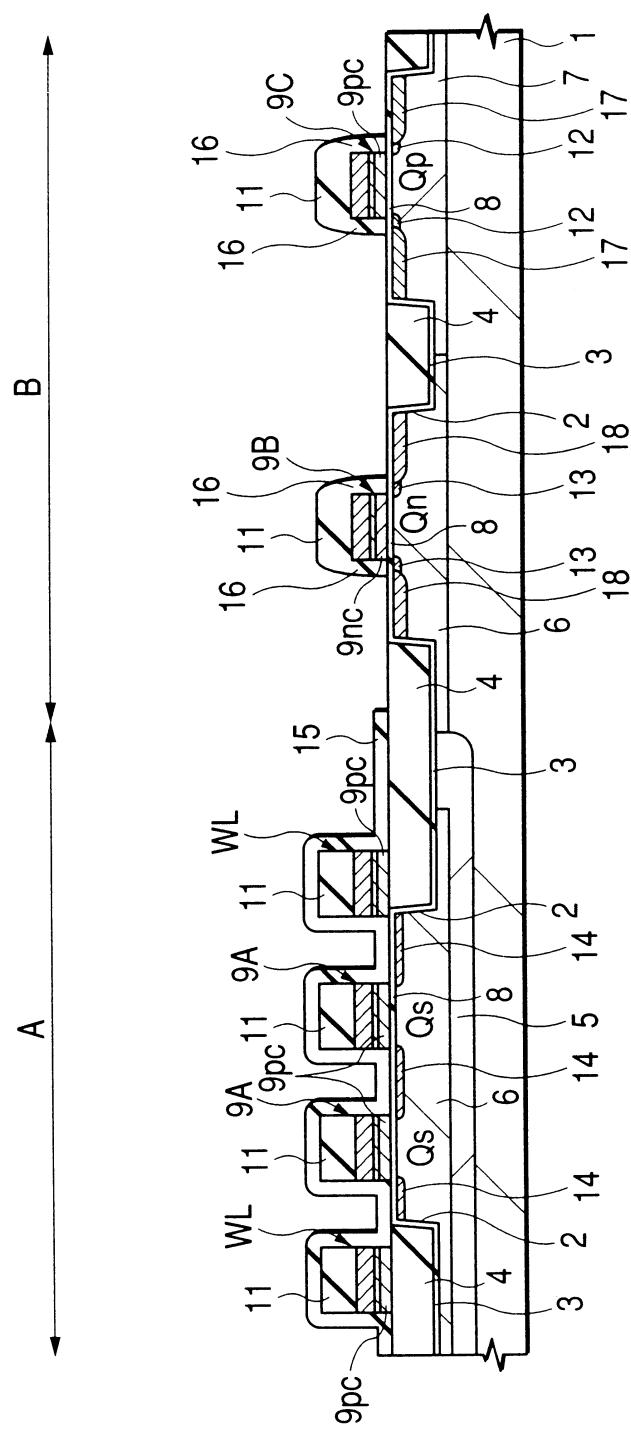


圖 9



495967

圖 1 O (a)

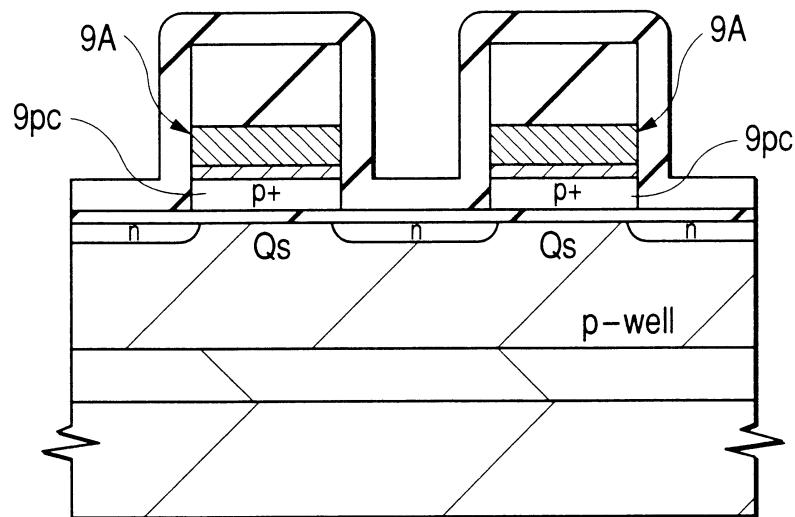


圖 1 O (b)

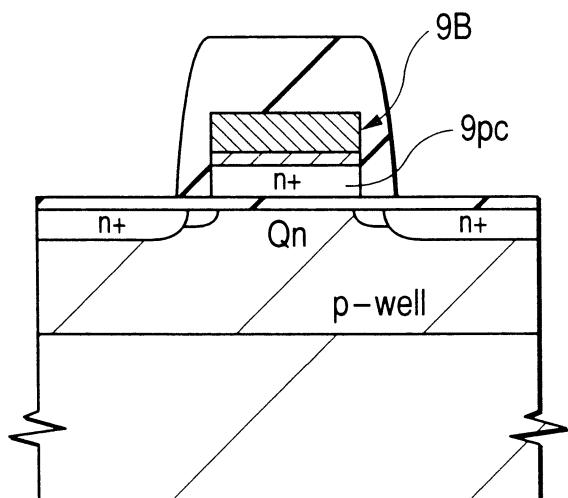


圖 1 O (c)

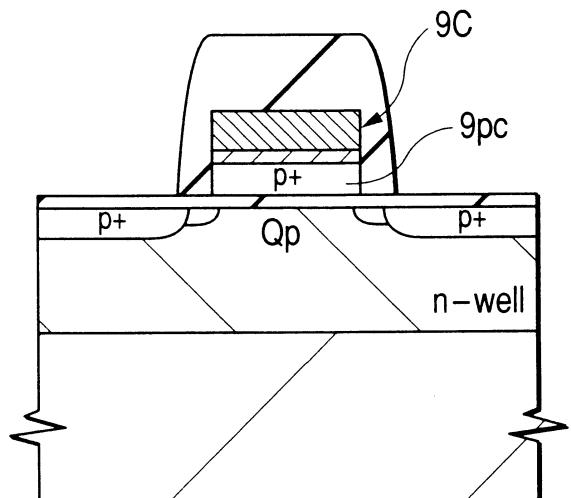
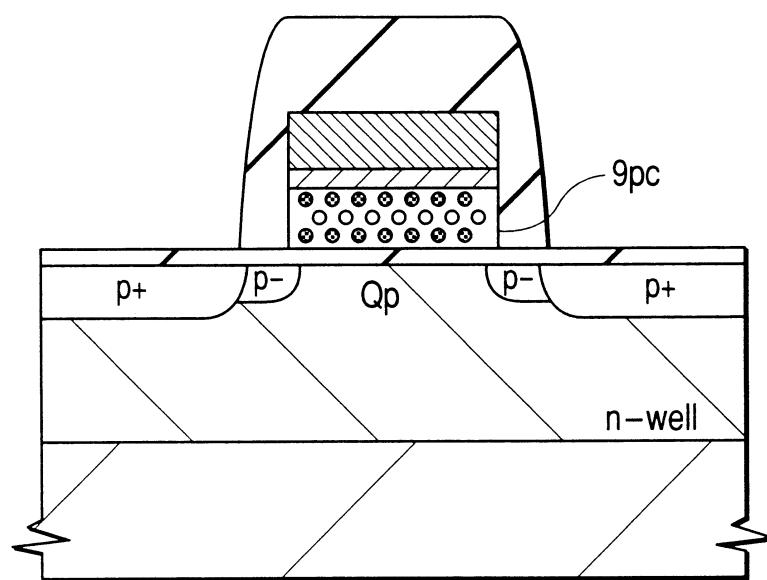
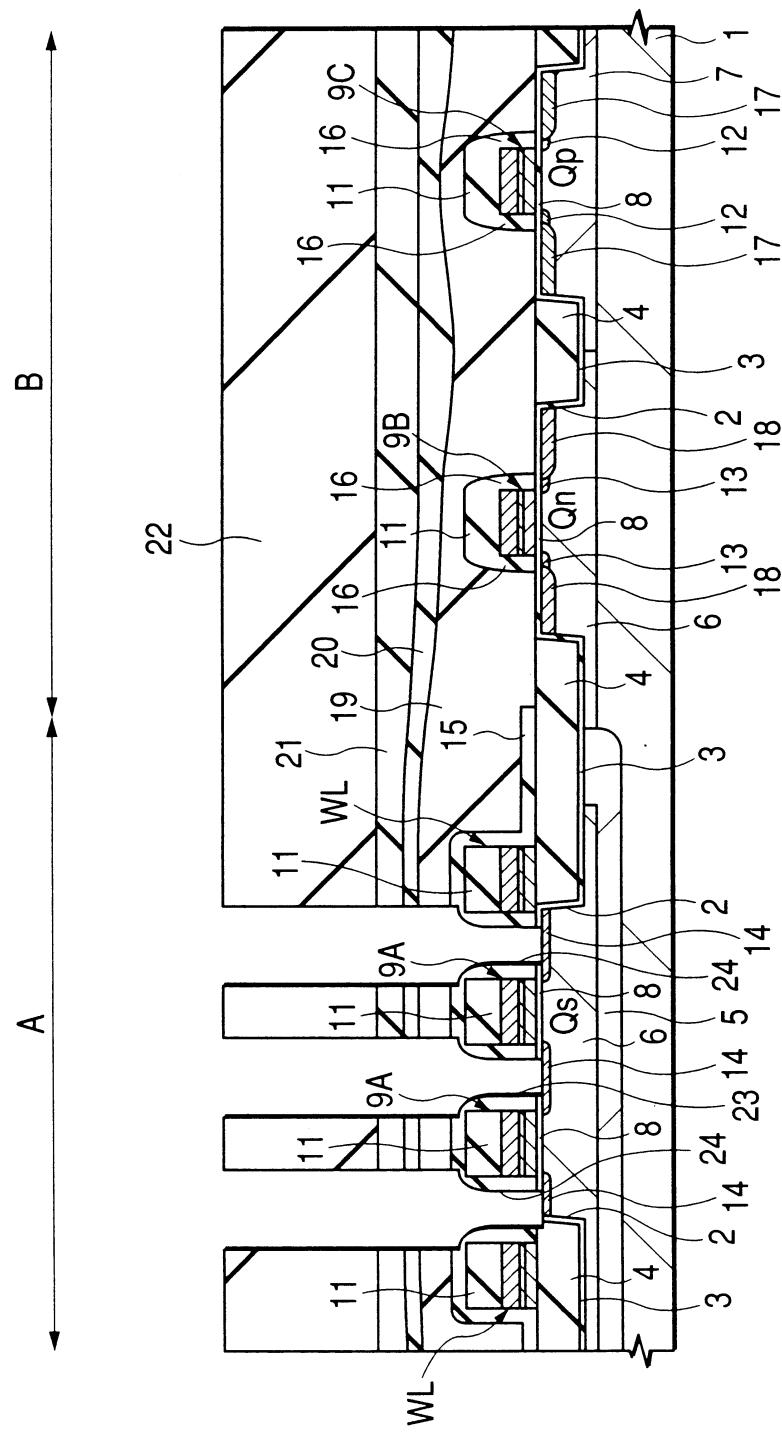


圖 1 1

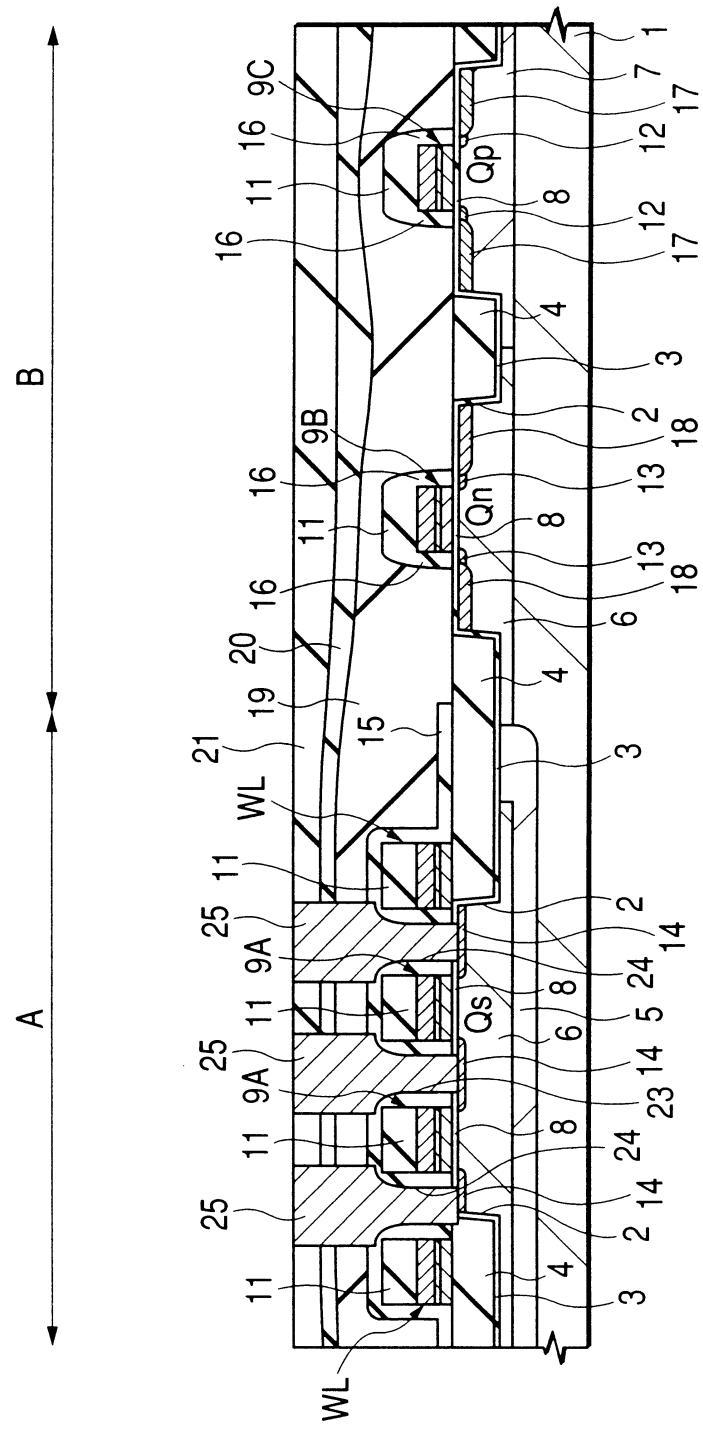


○ 磷原子
◎ 硼原子

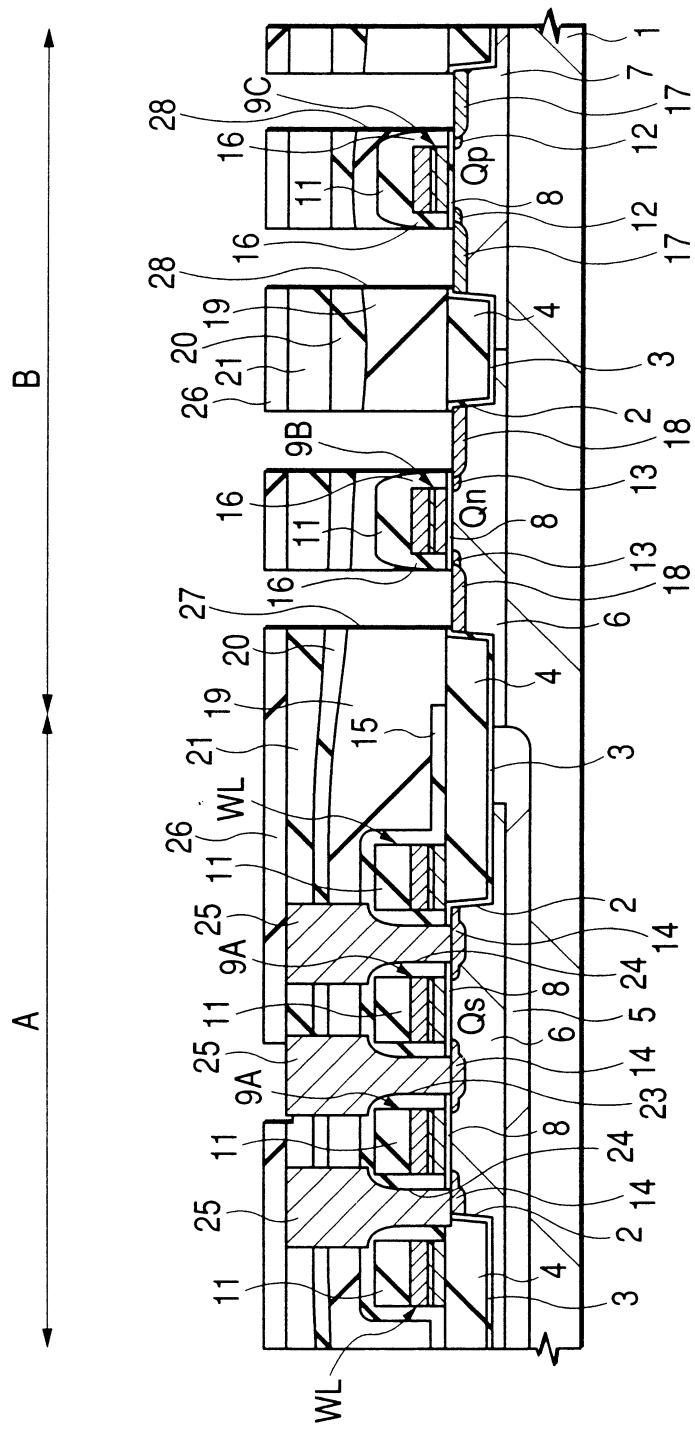
圖 1 2



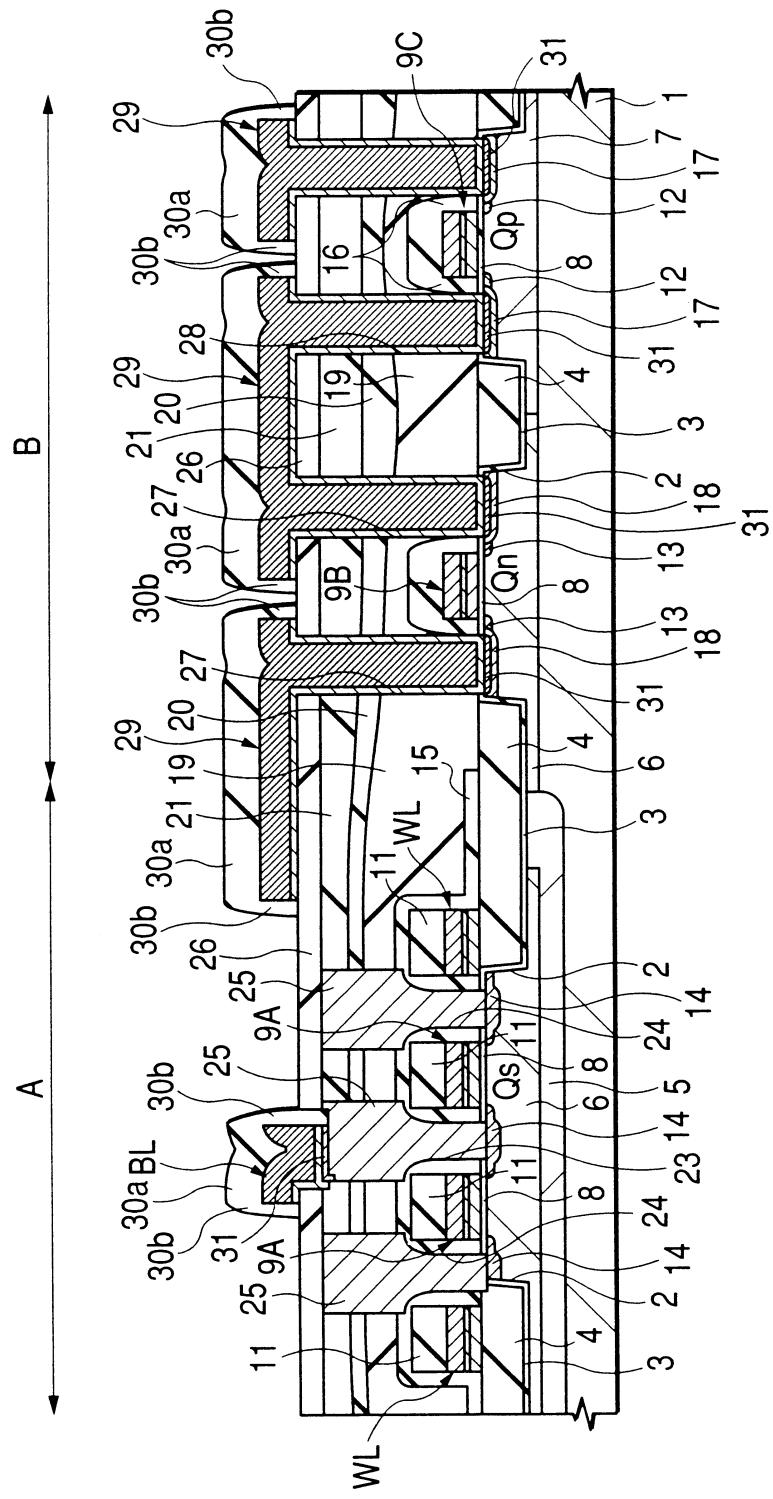
三
一
回



四一



五
一
回



6
1
回

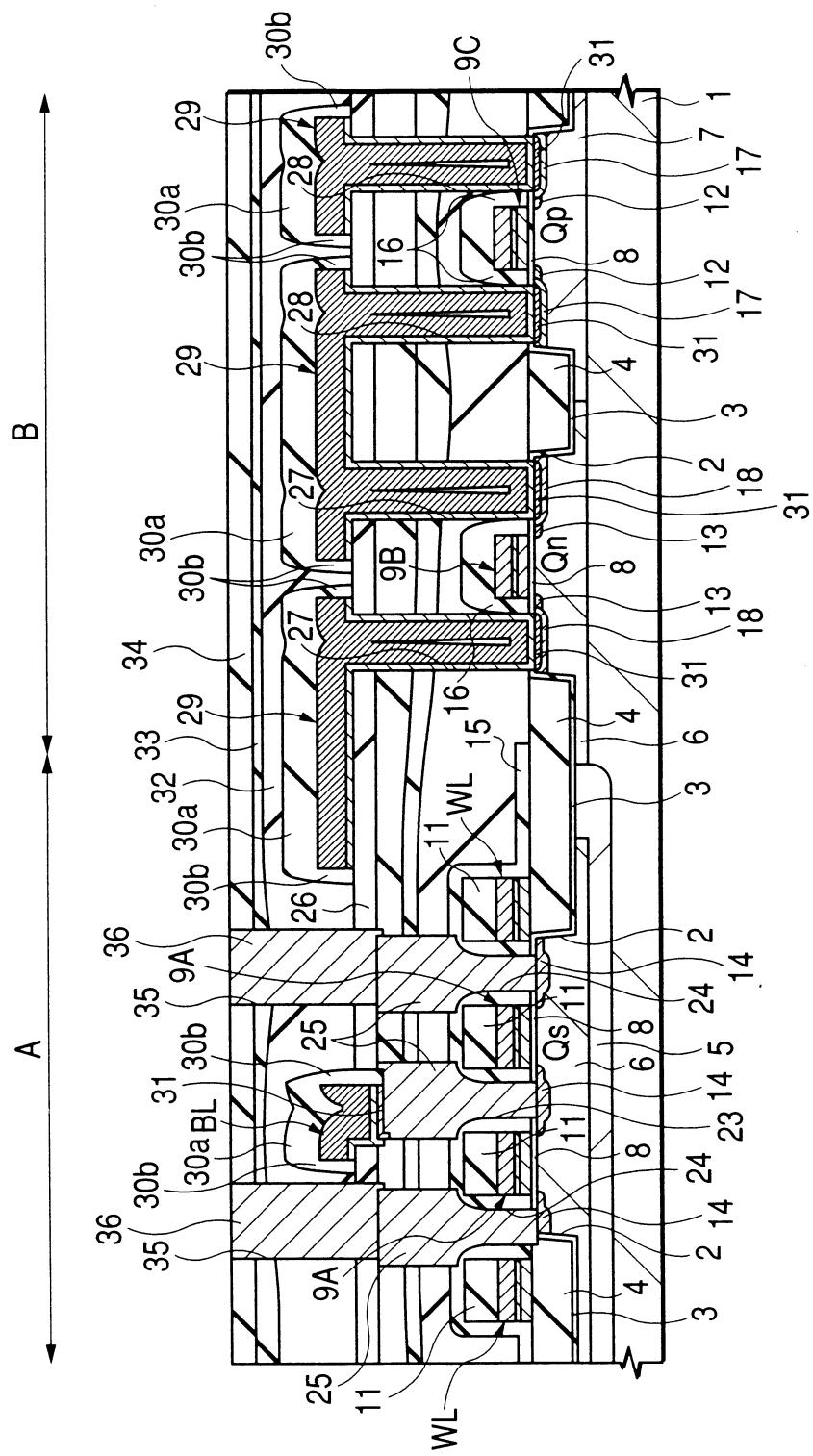
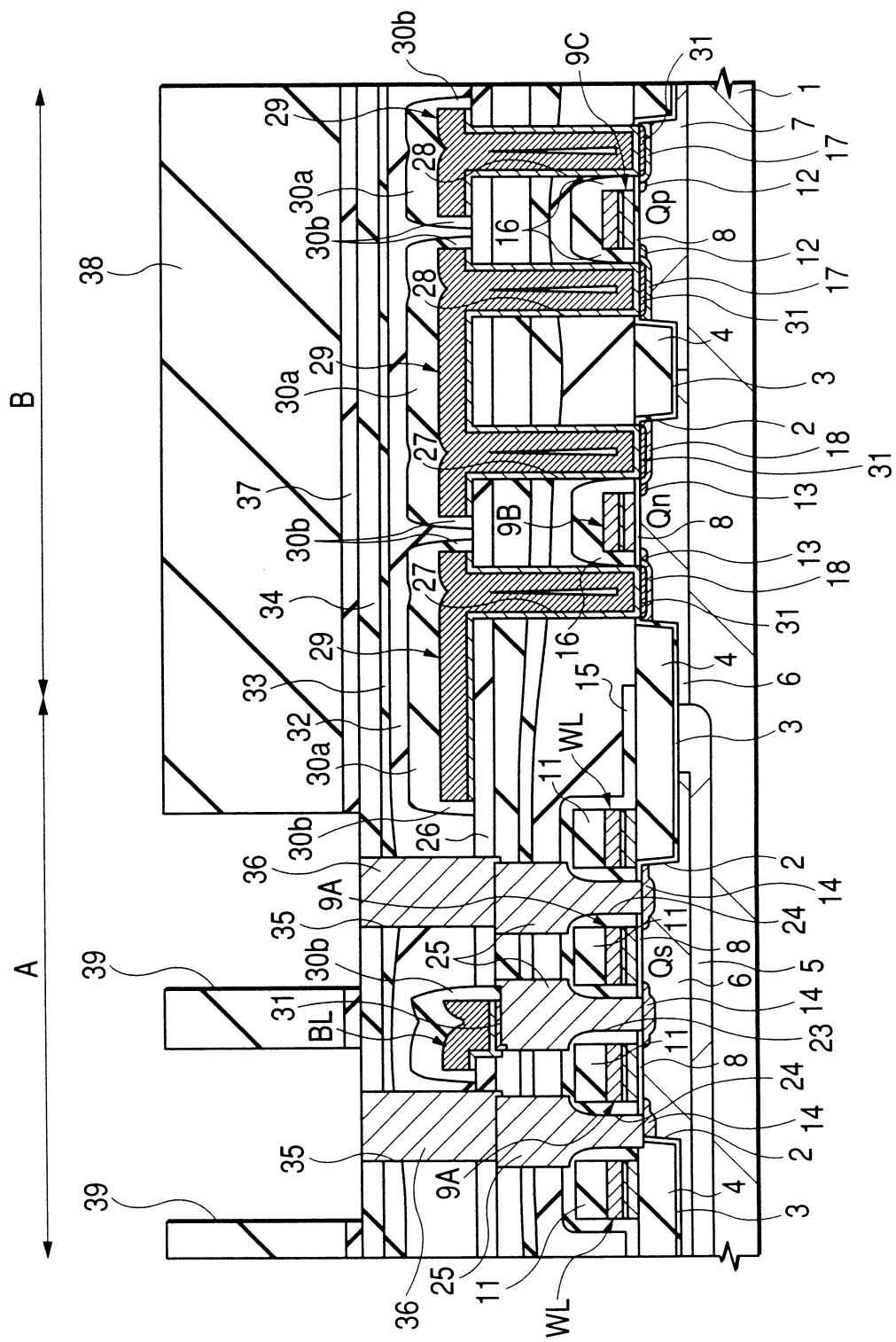


圖 1 7



八
一
回

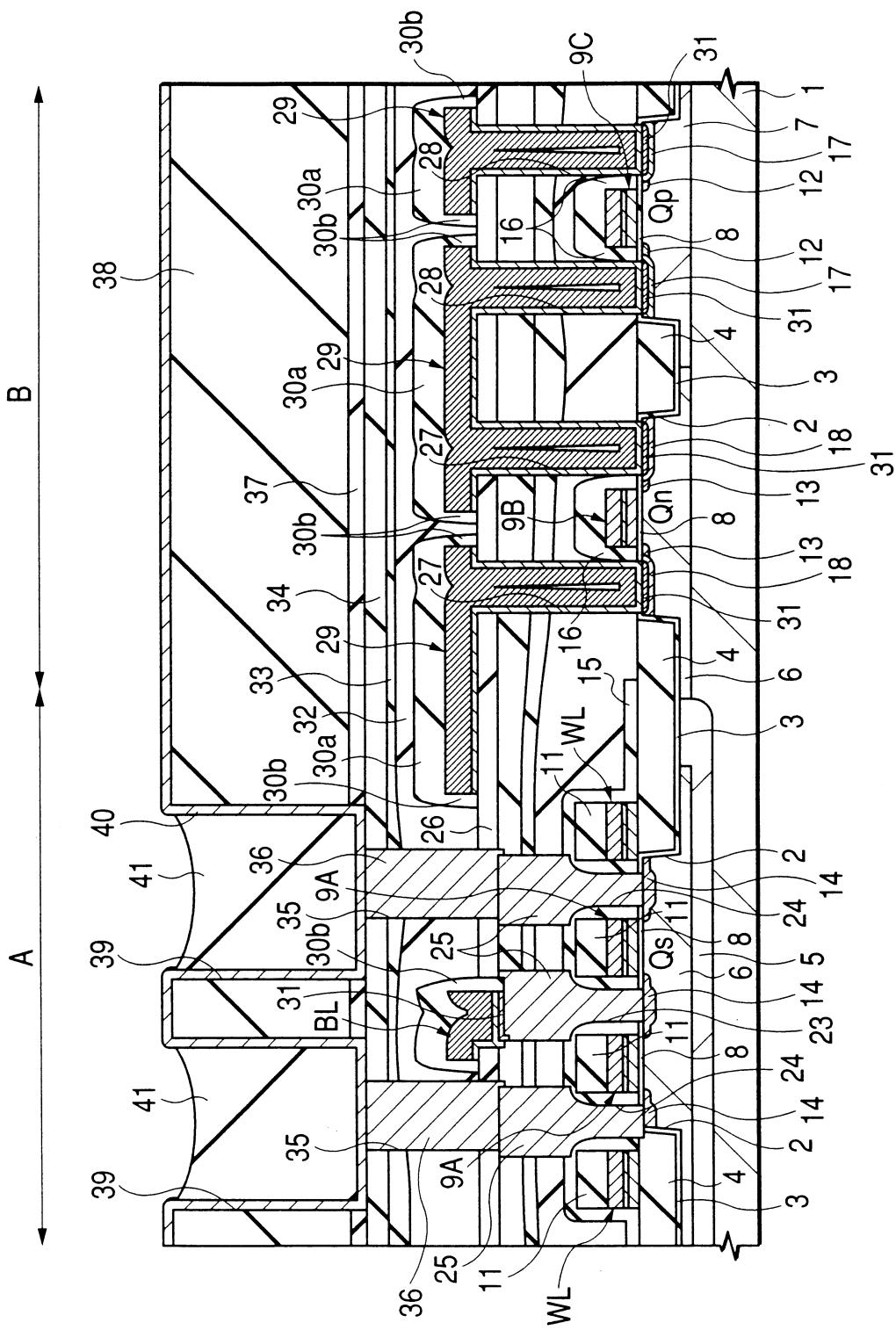
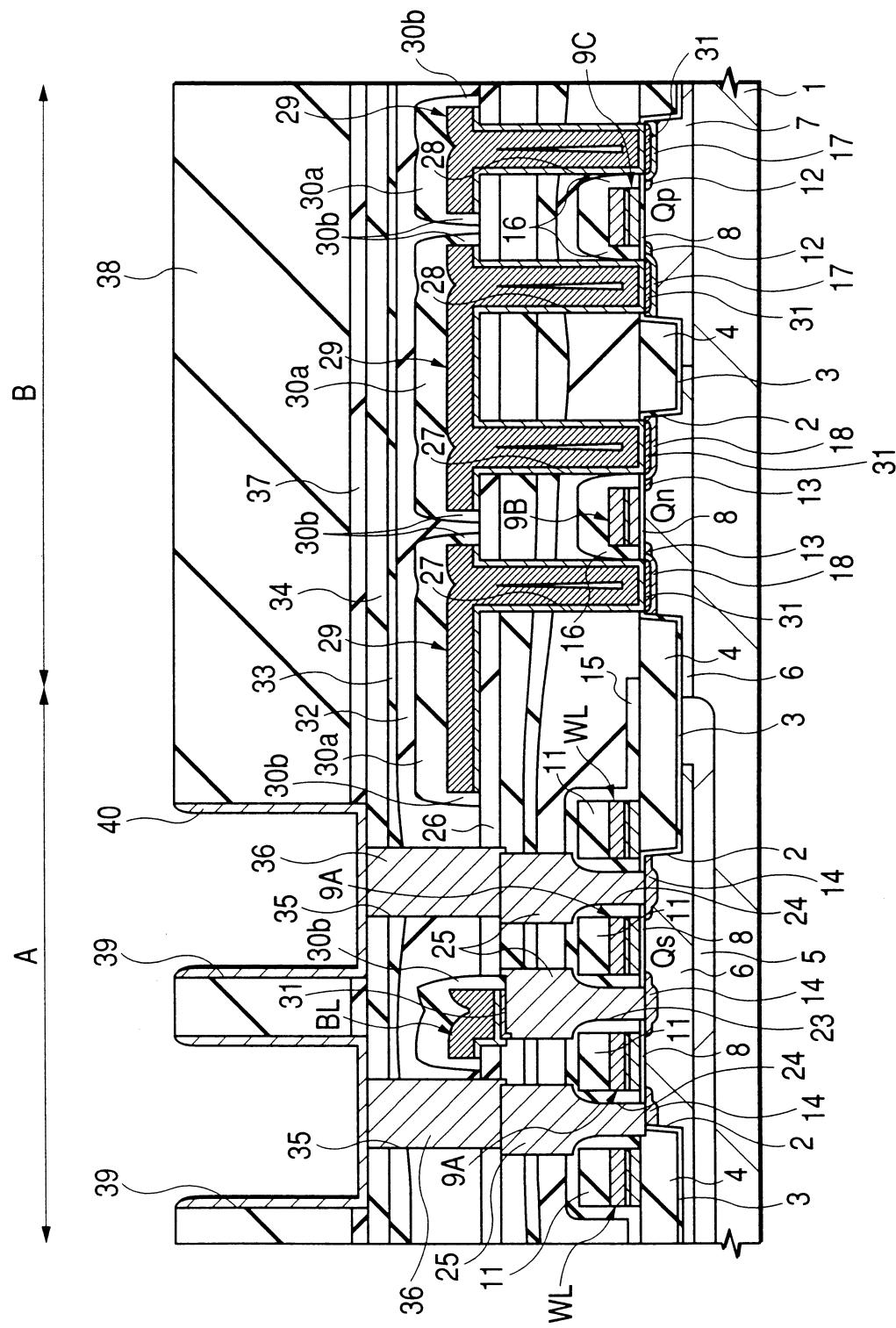
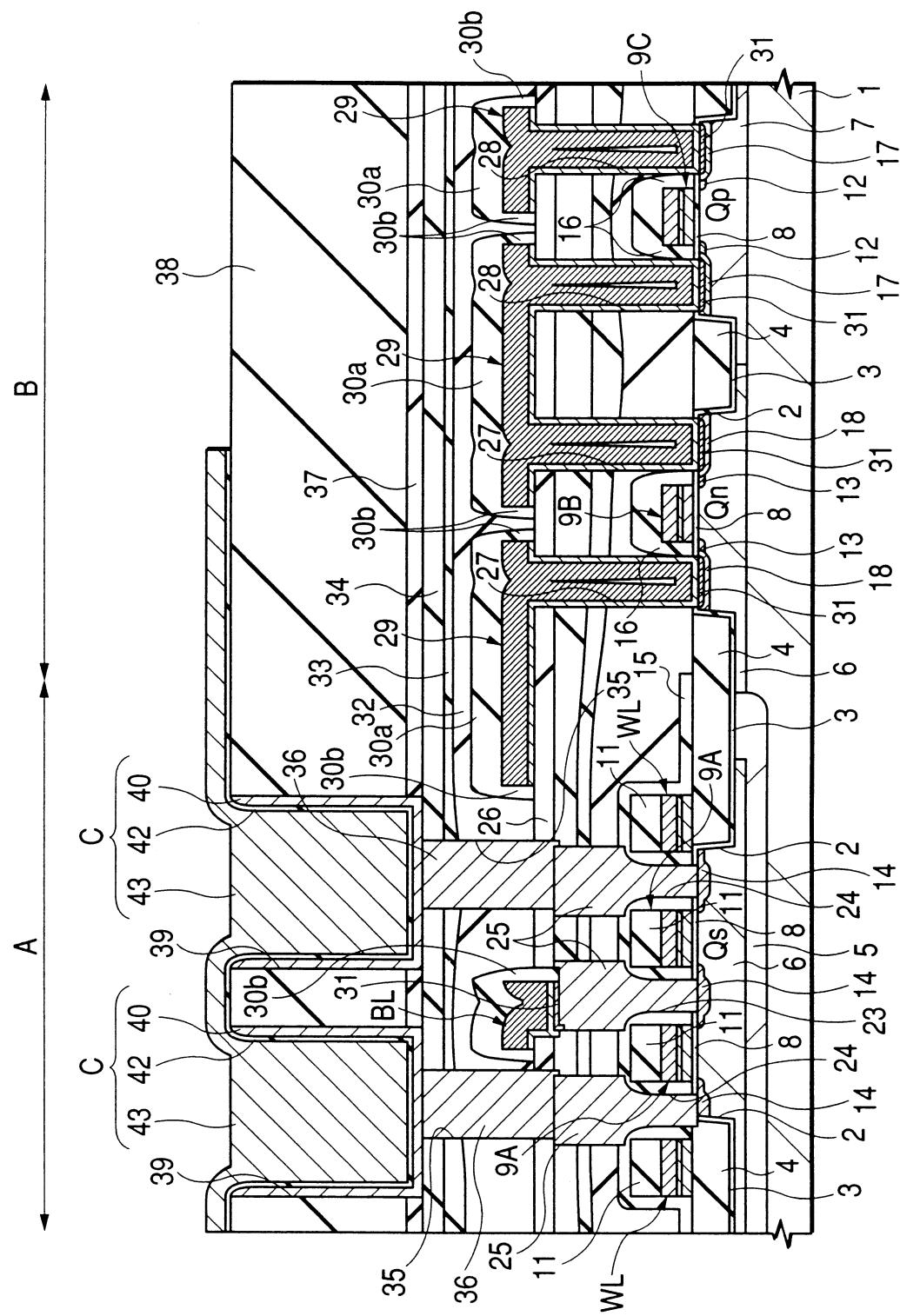


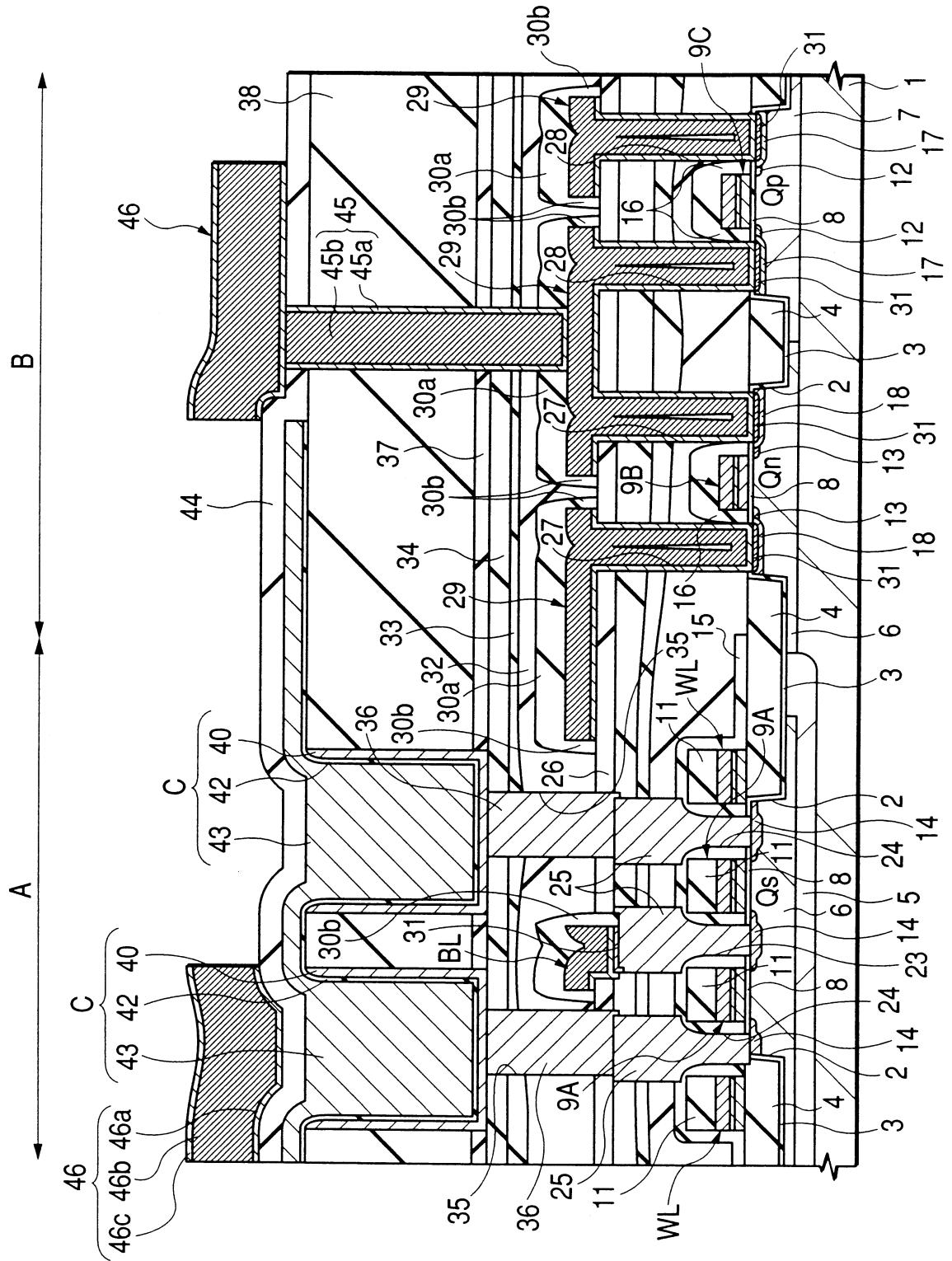
圖 19



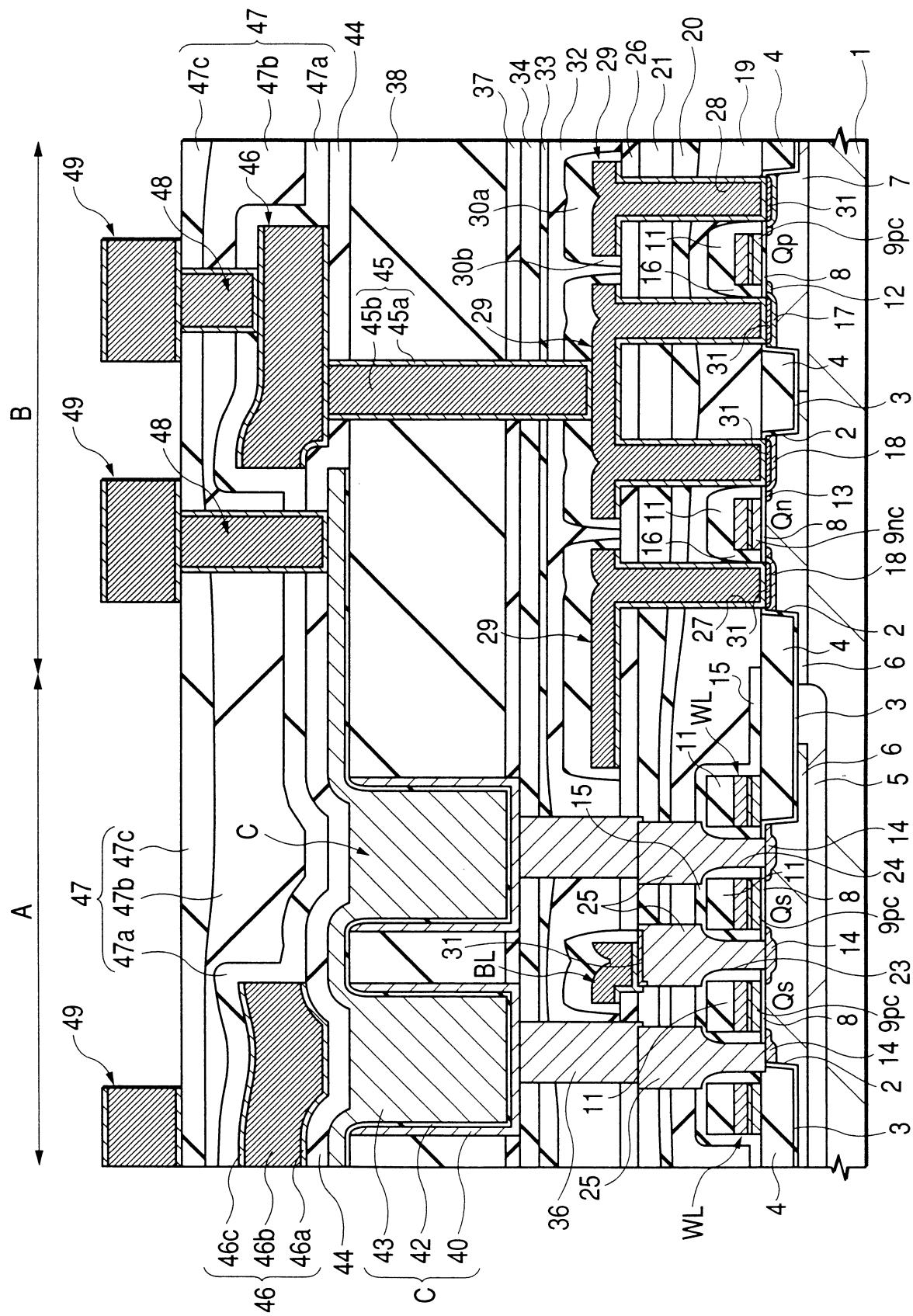
20



卷二十一



22



495967

圖 2 3

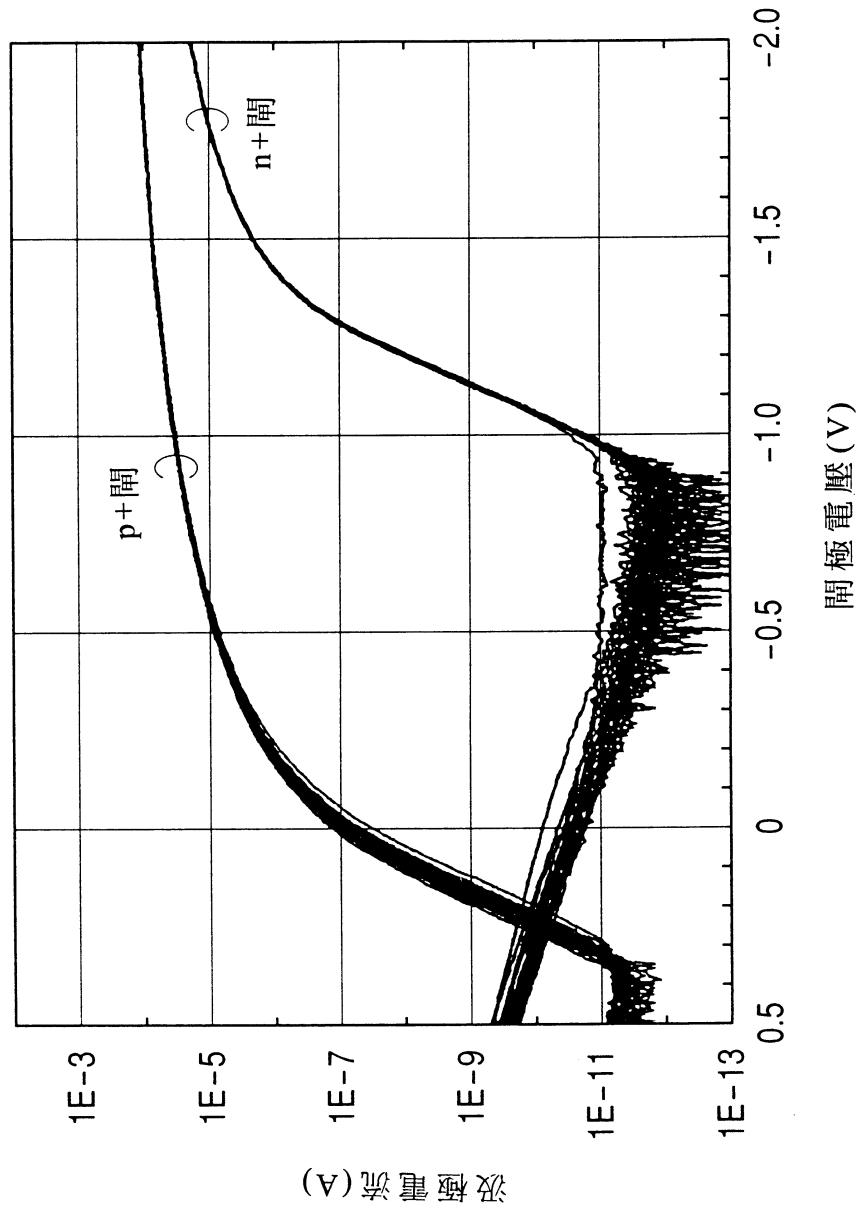


圖 2 4

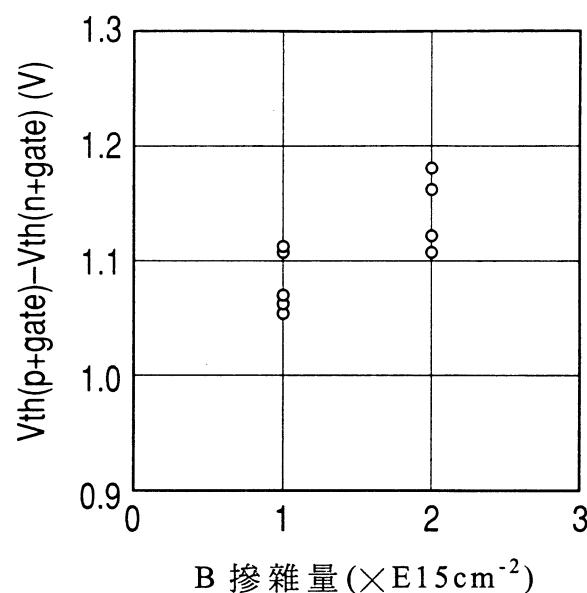


圖 2 5

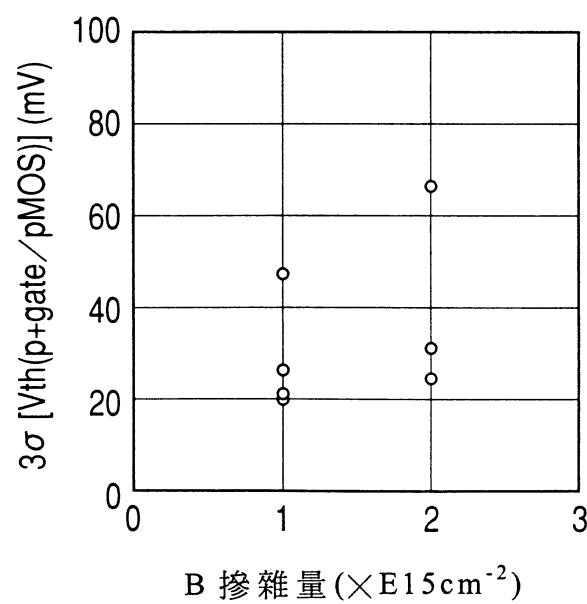


圖 2 6

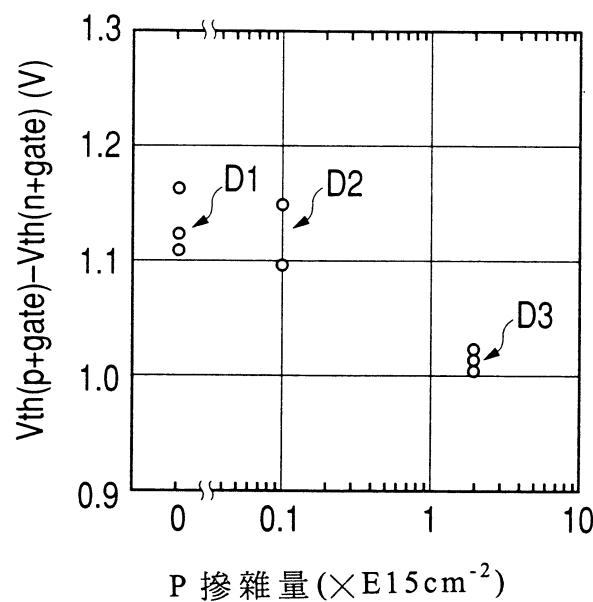


圖 2 7

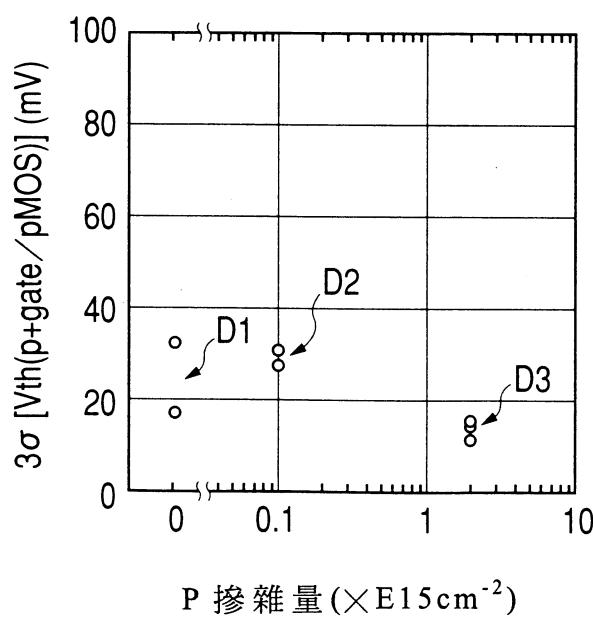


圖 2 8

