双面影印

公告本

申請日期	90.6.20
案號	90114981
類別	G11C 11/00

（以上各欄由本局填註）

A4
C4

519643

發明 專利說明書

一、發明名稱	中文	容許短路之電阻性交叉點陣列
	英文	SHORT-TOLERANT RESISTIVE CROSS POINT ARRAY
二、發明人	姓名	(1)佛瑞德理克A. 皮納爾 (2)湯瑪斯C. 安東尼
	國籍	美國
	住、居所	(1)美國加州帕羅亞托・雷夢納街 3234 號 (2)美國加州太陽谷・多香果道1161號
三、申請人	姓名（名稱）	美商・惠普公司
	國籍	美國
	住、居所（事務所）	美國加州帕羅亞托・哈諾維街3000號
	代表人姓名	安0. 巴斯金

裝 訂 線

經濟部智慧財產局員工消費合作社印製

（由本局填寫）

承辦人代碼：	A6 B6
大　　類：	
ＩＰＣ分類：	

本案已向：

美　國（地區）　申請專利，申請日期：2000,09,15　案號：09/663,752　，☑有　□無主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 1 ）

本發明係有關於資料儲存裝置，更特別地，係有關於一種包括電阻性細胞交叉點記憶體陣列的資料儲存裝置。

磁性隨機存取記憶體（"MRAM"）是為非揮發性記憶體，其被考量作資料儲存用。一典型的 MRAM 裝置包括一記憶體細胞陣列。字線係沿著列記憶體延伸，而位元線係沿著行記憶體延伸。每一記憶體細胞係定位於一字線與一位元線的交叉點。

該等記憶體細胞可以包括自旋依附隧穿（spin dependent tunneling("SDT")）接點裝置。一 SDT 接點裝置的磁化於任何約定時間假定兩穩定位置中之一者。這兩穩定位置，平行與反平行，表示'0'與'1'的邏輯值。該磁化位置，交互地，影響該 SDT 接點裝置的電阻。如果該磁化位置係平行的話，該 SDT 接點裝置的電阻是為一第一值 R 而如果該磁化位置係反平行的話，該 SDT 接點裝置的電阻是為 R+ΔR。

因此，一 SDT 接點裝置的磁化位置及其之邏輯狀態可以藉由感應其之電阻狀態來被讀取。然而，在該陣列中的記憶體細胞係透過很多平行的路徑來連接在一起。於一個交叉點看的電阻係相等於於該交叉點之記憶體細胞的電阻與在其他列與行之記憶體細胞的電阻並聯。關於這一點，記憶體細胞陣列的特徵可以為一交叉點電阻器網路。

一 SDT 接點裝置具有一隧穿障壁，其僅為幾個原子厚度。控制該製造過程來產生整個記憶體細胞陣列之如此薄的障壁是困難的。一些障壁會係比設計薄或者包含結構缺

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4 規格（210 × 297 公釐）

五、發明說明（２）

陷。如果若干記憶體細胞具有是為缺陷或比設計薄的隧穿障壁的話，那些記憶體細胞會被短路。

如果一 SDT 接點裝置係短路的話，該短路之 SDT 接點裝置會不能使用。在一不使用開關或二極體來把記憶體細胞彼此隔離的陣列中，在相同之行中的其他記憶體細胞亦會變成不能使用。因此，一單一短路的 SDT 接點記憶體細胞會引致一行-寬錯誤。

錯誤碼校正可以被使用來從不能使用之記憶體細胞之完整的行恢復資料。然而，從時間觀點與計算觀點兩者來看，校正在一單一行中之千個或更多個位元係昂貴的。此外，一典型的儲存裝置會具有多於一具有短路之 SDT 接點裝置的行。

因此，係需要克服與電阻性細胞交叉點記憶體陣列中之短路之 SDT 接點裝置相關的問題。

根據本發明之一特徵，一電阻性細胞交叉點記憶體陣列的記憶體細胞包括一記憶體元件和一與該記憶體元件串聯連接的線性電阻性元件。如果該記憶體元件變成短路的話，該短路的記憶體元件會引致一隨機化位元錯誤。然而，該短路的記憶體元件不會引致一行-寬錯誤。

本發明之其他特徵和優點從下面配合附圖的詳細描述而變得明白，該等附圖舉例來說描繪本發明的原理。

第 1 圖是為本發明包括一記憶體細胞陣列之 MRAM 裝置的例證；

第 2a 圖是為該 MRAM 裝置之記憶體細胞的例證；

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4 規格（210 × 297 公釐）

五、發明說明（３）

第 2b 圖是為在第 2a 圖中所顯示之記憶體細胞之電氣同等物的圖示；

第 3a 和 3b 圖是為在一選擇之記憶體細胞的讀取運作期間，流過該記憶體細胞陣列之電氣同等物之電流的例證；

第 4 圖是為讀取該記憶體細胞陣列中之記憶體細胞之第一種方法的例證；

第 5 圖是為讀取該記憶體細胞陣列中之記憶體細胞之第二種方法的例證；

第 6 圖是為讀取該記憶體細胞陣列中之記憶體細胞之第三種方法的例證；

第 7 圖是為第 1 圖之裝置之另一可行之記憶體細胞的例證；

第 8 圖是為第 1 圖之裝置之另一可行之記憶體細胞的例證；

第 9 圖是為包括多層之 MRAM 晶元的例證；及

第 10 圖是為包括一個或多個 MRAM 晶元之機器的例證。

如在作為例證之圖式中所顯示般，本發明係實施於一 MRAM 裝置，該 MRAM 裝置包括一記憶體細胞的電阻性交叉點陣列及用於感測該等記憶體細胞之電阻狀態的電路。該裝置不包括用於在讀取運作期間將記憶體細胞彼此隔離的開關或二極體。取而代之，該電路藉著施加相同之電位至選擇與若干未選擇之字與位元線來把一選擇的記憶體細胞

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4 規格（210 × 297 公釐）

五、發明說明（４）

隔離。施加該相同的電位可以防止寄生電流與該等讀取運作干涉。每一記憶體細胞包括一與一記憶體元件串聯地連接的線性電阻性元件。如果該記憶體元件變成短路，該短路的記憶體元件會引致隨機化位元錯誤。然而，該短路的記憶體元件不會引致行-寬錯誤。該隨機化位元故障可以由ECC來比行-寬故障快很多及容易很多地校正。

現在請參閱第 1 圖所示，其描繪一包括記憶體細胞 12 之陣列 10 的 MRAM 裝置 8。該等記憶體細胞 12 係以列與行的方式排列，該等列係沿著 x-方向延伸而該等行係沿著 y-方向延伸。僅有相當少數目的記憶體細胞 12 被顯示以簡化本發明的描述。實際上，任何尺寸的陣列係可以被使用。

作用為字線 14 的軌跡係在該記憶體細胞陣列 10 之一側上的平面沿著 x-方向延伸。作用為位元線 16 的軌跡係在該記憶體細胞陣列 10 之相反側上之平面沿著 y-方向延伸。一字線 14 可以供該陣列 10 的每一列用而一位元線 16 可以供該陣列 10 的每一行用。每一記憶體細胞 12 係位於一對應之字線 14 與位元線 16 的交叉點。

該 MRAM 裝置 8 亦包括一列解碼電路 18。在讀取運作期間，該列解碼電路 18 可以施加一固定的供應電壓(Vs)或一接地電位至該等字線 14。該供應電壓(Vs)可以由一外部電路提供。

該 MRAM 裝置 8 更包括一用於在讀取運作期間感測選擇之記憶體細胞 12 之電阻的讀取電路和一用於在寫入運作期

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（5）

間定選擇之記憶體細胞 12 之磁化的寫入電路。該讀取電路係以標號 20 表示。該寫入電路未被顯示俾可簡化本發明的說明。

該讀取電路 20 包括數個控制電路 22 和感應放大器 24。數條位元線 16 係連接至每一控制電路 22。每一控制電路 22 包括一套開關，該套開關可以把每一位元線 16 連接至一感應放大器 24 或運作電位的來源。該感應放大器 24 的輸出係供應至一資料暫存器 30，該資料暫存器 30 係連接至該 MRAM 裝置 8 的 I/O 墊 32。

第 2a 圖顯示該陣列 10 之一行的若干記憶體細胞 12。每一記憶體細胞 12 包括一 MRAM 元件 50，該 MRAM 元件 50 儲存作為磁化之定向之資訊的位元。該記憶體元件 50 的磁化可以於任何約定時間假定兩穩定方位中之一者。這兩個穩定方位，平行與反平行，表示邏輯值'0'與'1'。

該磁化方位影響電阻。如果該磁化方位是為平行的話，一記憶體細胞的電阻是為第一值(R)，而如果該磁化方位係從平行改變成反平行的話，該記憶體細胞的電阻係增加成一第二值(R+ΔR)。

該等記憶體元件 50 並不受限為任何特定的類型。例如，該等記憶體元件 50 可以是為 SDT 接點裝置。

每一記憶體細胞 12 更包括一在其之記憶體元件 50 與一字線 14 之間的第一歐姆接點 52，和一在其之記憶體元件 50 與一位元線 16 之間的第二歐姆接點 54。該等字和位元線 14 和 16 是為典型地由像鋁或銅般之金屬製成的低電

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（6）

阻導體。該等歐姆接點 52 和 54 提供一在該等金屬線 14 和 16 與該記憶體元件 50 之磁性層之間的界面。雖然該第一和第二歐姆接點 52 和 54 被顯示為分開的元件 52 和 54，要了解的是這些分開的元件 52 和 54 可以被除去且該等金屬線 14 可以直接與記憶體元件 50 接觸。

每一記憶體細胞 12 亦包括一在該記憶體元件 50 與該等金屬線 14 或 16 中之一者之間的線性電阻性元件 56。第 2a 圖顯示在該字線 14 與該記憶體元件 50 之間的電阻性元件 56。然而，該電阻性元件 56 可以取而代之在該位元線 16 與該記憶體元件 50 之間。

該等電阻性元件 56 不受限為任何特定的材料類型。一電阻性元件 56 可以由半導體材料(例如，碳、矽、鍺、碲化鋪、碲化銻)、半導體-金屬合金(例如，矽-鉭)、電介質(例如，氧化鋁、氧化鉭、氧化鎂、氧化矽、氮化矽、氮化鋁)、電介質-金屬組合物(例如，氧化鋁-金)、或聚合物製成。該電阻性材料應與製程相容並且符合電阻要求。

就記憶體細胞之製造所預期的超微尺寸而言，串聯地連接之電阻性元件 56 的電阻係數(ρ)通常會在 0.1 至 1,000 歐姆-公分的範圍內。該電阻(R)會根據方程式 $R=(\rho t)/A$ 來視乎該電阻性元件 56 之厚度(t)與平面面積(A)而定。這電阻係數範圍按大小係比在金屬中所測量的大，卻係在由半導體、金屬與半導體的合金、與組合物電介質-金屬系統所提供之電阻係數的範圍之內。例如，由具有厚度 t=50 nm 且 ρ=20 歐姆-公分之薄膜形成之具有平面面

本紙張尺度適用中國國家標準(CNS)A4 規格(210×297 公釐)

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

五、發明說明（7）

積 A=0.1μm^2 的電阻性元件 56 會具有 100 千歐姆的電阻。

如果該電阻性元件 56 是為一電介質（例如，絕緣）薄膜的話，那麼，取代該方程式 $R=\rho tA$，該電阻係受電子隧穿左右。就電介質薄膜而言，隧穿電阻是為薄膜厚度的強力函數。在厚度範圍 0.5 至 10 nm 的電介質薄膜係可應用於電阻性元件。作為電阻性元件 56 之電介質薄膜的特別情況係為在一 SDT 記憶體元件之內的電介質薄膜。因此，該電阻性元件可以由 SDT 記憶體元件形成。

該等電阻性元件 56 可以以若干不同的方式與該記憶體元件一體形成。一第一手段包含形成該電阻性元件 56 具有與該記憶體元件 50 相同之平面面積。這手段之最簡單實施會是利用與用來界定該記憶體元件 50 相同之定以圖型步驟來界定該電阻性元件 56 的平面面積。

如此之電阻性元件 56 滿足若干由記憶體元件 50 之尺寸所加的幾何強制。特別地，電阻性元件 56 的有效平面面積粗略地係與記憶體元件 50 的面積相等。電阻性元件的厚度大致上係由用於定以高寬高比（厚度除以平面尺寸）特徵之處理能力所限制。

額外請參閱第 2b 圖所示，電阻性元件 56 的電阻(B)可以是為在記憶體元件 50 之設計（即，傾向）名義電阻(R)的大約 0.5%與 50%之間（即，0.005R B 0.5R）。

一較窄的範圍會是為在記憶體元件 50 之名義電阻(R)的大約 10%與 50%之間。例如，該記憶體元件 50 具有一百

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4 規格（210×297 公釐）

五、發明說明（８）

萬歐姆的設計名義電阻(R)與一 200,000 歐姆的得他(delta)電阻(ΔR)。利用該較窄的範圍，該電阻性元件 56 具有一在 100,000 歐姆與 500,000 歐姆之間的電阻(B)。利用該較寬的範圍，該電阻性元件 56 具有一在 5,000 歐姆與 500,000 歐姆之間的電阻(B)。相對地，該等歐姆接點 52 和 54 各具有大約 10 歐姆的電阻(C)。

如果一記憶體元件 50 係短路，該記憶體細胞 12 的電阻將會大約是與該電阻性元件 56 的電阻(B)相等。在一讀取運作期間，該電阻性元件 56 的優點現在將會配合第 3a 和 3b 圖來作描述。

第 3a 圖顯示在一讀取運作期間該記憶體細胞陣列 10 的電氣同等物。一選擇的記憶體細胞係由一第一電阻器 12a 表示，而未選擇的記憶體細胞係由第二、第三與第四電阻器 12b,12c 和 12d 表示。該第二電阻器 12b 表示沿著該選擇之位元線之半選擇的記憶體細胞，該第三電阻器 12c 表示沿著該選擇之字線之半選擇的記憶體細胞，而該第四電阻器 12d 表示餘下之未選擇的記憶體細胞。例如，如果所有的記憶體細胞 12 具有大約 R+B 的電阻且該陣列 10 具有 n 列與 m 行的話，那麼，該第二電阻器 12b 將會具有大約(R+B)/(n-1)的電阻，該第三電阻器 12c 將會具有大約(R+B)/(m-1)的電阻，而該第四電阻器 12d 將會具有大約(R+B)/[(n-1)(m-1)]的電阻。

該第一電阻器 12a 可以藉由施加一運作電位(Vs)至該交叉位元線與一接地電位至該交叉字線來被選擇。因此，

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（9）

一感應電流(Is)流過該第一電阻器 12a。

要避免潛行路徑電流掩蔽該感應電流(Is)，一相同的運作電位(Vb=Vs)係施加至該未選擇的位元線。施加這相同的電位(Vb)至該未選擇的位元線阻擋該等潛行路徑電流流過該第二和第四電阻器 12b 和 12d 並且把流過第三電阻器 12c 的潛行路徑電流(S2)導向接地。

取代該未選擇的位元線，該相同的運作電位(Vb=Vs)可以施加至該未選擇的字線，如在第 3b 圖中所顯示般。施加這相同的電位(Vb)至該未選擇的字線阻擋該潛行路徑電流流過該第二電阻器 12b 並且把流過第三和第四電阻器 12c 和 12d 的潛行路徑電流(S2 和 S3)導向接地。

理想的感應放大器 24 施加一相同的電位至該選擇的位元線與未選擇之字和位元線的子集。然而，如果該等感應放大器 24 不是理想的話，該等電位不是精確地相同且在讀取運作期間潛行路徑電流流過該陣列 10。

把對位於相同行中之選擇之記憶體細胞 12 的讀取運作視為具有一短路之記憶體元件 50 的記憶體細胞 12。該半選擇的記憶體細胞 12 仍然具有一至少與其之電阻性元件 56 之電阻(B)相同的電阻。即使該等感應放大器 24 不是理想的，具有該短路之記憶體元件 50 之該半選擇的記憶體細胞 12 不把顯著的潛行路徑電流量導向該短路的記憶體元件 50 且在讀取運作期間不明顯地影響該感應電流。結果，該半選擇的記憶體細胞 12 不引致一行-寬故障。僅導致一單一的隨機化位元錯誤。該單一的隨機化位元錯誤能夠藉

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（10）

由錯誤碼校正來迅速且容易地校正。

現在將剛描述的讀取運作與牽涉習知記憶體細胞與非理想之感應放大器的讀取運作作比較。一具有一短路之記憶體元件之習知半選擇的記憶體細胞會招來一顯著的潛行路徑電流，該潛行路徑電流，當與該感應電流結合時，會引致該感應放大器成截止或飽和。結果，在對該選擇之記憶體細胞的讀取運作期間，一位元錯誤會出現。此外，該習知半選擇之記憶體細胞之短路的記憶體元件在該行之每一其他之記憶體細胞的讀取運作期間會使該感應電流轉向。一行-寬錯誤會產生。

第 4、5 和 6 圖描繪施加該相同之電位至該記憶體細胞陣列 10 與感應該等選擇之記憶體細胞之電阻狀態的三種方法。這些方法與對應的硬體實施係揭露於受讓人於 2000 年 3 月 3 日提出申請的美國專利申請案第 09/564308 號案中。

現在請參閱第 4 圖所示，其描繪一種利用一電流源、電壓輸出器與比較器來決定一選擇之記憶體細胞之電阻狀態的方法。藉由把選擇之字線連接至接地電位，該列解碼電路選擇一橫交該選擇之記憶體細胞（方塊 102）的字線。該電流源供應一感應電流至一橫交該選擇之記憶體細胞的位元線（方塊 104）。於該電流源與該選擇之記憶體細胞之間之接點的電位係由該電壓輸出器偵測，該電壓輸出器把相同的電位施加至像未選擇之位元線或未選擇之字線般之未選擇線的子集（106）。於該接點的電位亦藉由該比較器

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4 規格（210 × 297 公釐）

五、發明說明（11）

來與一參考電壓作比較。該比較器的輸出提供一高或低訊號，其表示該選擇之記憶體細胞的電阻狀態（方塊 108）。

現在請參閱第 5 圖所示，其描繪一種利用一電流感應放大器與一電壓源來偵測一選擇之記憶體細胞之電阻狀態的方法。一字線被選擇（方塊 200）而且該列解碼電路把一感應電壓 Vs 施加至該選擇的字線（方塊 202），而該選擇之位元線係連接至該電流感應放大器的假接地（方塊 204）。該感應電壓 Vs 可以是為一在 0.1 伏特與 0.5 伏特之間的 dc 電壓而且可以由一外部源提供。未選擇之線的子集（例如，所有未選擇的位元線）亦係連接至一與該假接地相同的電位（方塊 206）。該假接地可以是為零電位或任何其他的電位，只要一相同的電位係施加至該選擇的位元線與未選擇之線的子集。

一感應電流從該電壓源流出，經過該選擇的記憶體細胞，及經過該電流感應放大器。因為未選擇之線的子集亦係連接至一與該假接地相同的電位，任何流過該等未選擇之線的潛行路徑電流與感應電流比較起來會是微小的而且不會與該感應電流干涉。

流過該選擇之位元線的感應電流可以被感應來決定該選擇之記憶體細胞的電阻狀態及，因此，該選擇之記憶體細胞的邏輯值（方塊 208）。該感應電流係與 Vs/R 或 Vs/(R+ΔR)相同，端視該選擇之記憶體細胞的電阻狀態而定。

現在請參閱第 6 圖所示，其描繪一種在對一選擇之記憶體細胞 12 的讀取運作期間利用一直接噴注式電荷放大器

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4 規格（210 × 297 公釐）

五、發明說明（12）

(direct injection charge amplifier)來施加一相同之電位至該陣列 10 的方法。於一讀取運作的開始時，一字線被選擇(方塊 300)，該直接噴注式電荷放大器被預先充電至一電壓 VDD(方塊 302)，而該選擇之位元線係連接至該直接噴注式電荷放大器且未選擇之線的子集係連接至一固定供應電壓 Vs(方塊 304)。因此，一感應電流流過該選擇之記憶體細胞並且把一電容器充電。在該感應電流已到達一穩態條件之後(方塊 306)，該電容器係用來供應該感應電流至該選擇的位元線(方塊 308)。這引致被儲存於該電容器之電荷的空乏並且引致該電容器電壓衰變。由於該感應電流被整合，電容器電壓被降低。電容器電壓到達一參考電壓的時間被測量(方塊 310)，而該測量時間係與一臨界作比較(方塊 312)。該比較表示該選擇之記憶體細胞的電阻狀態及，因此，該選擇之記憶體細胞的邏輯值。

現在請參閱第 7 圖所示，其描繪用於整合 MRAM 裝置 8'之電阻性元件 70 與記憶體元件 50 的第二和第三種(可行)的手段。取代定以數個電阻性元件圖型，該第二種手段牽涉形成一在歐姆接點 52 和 54 兩者或一者與該記憶體元件 50 之間的保護電阻器層 70。該保護層 70 係未被定以圖型；因此，其橋接該等記憶體元件 50。如此之一電阻性元件 70 係較容易製造，因為不牽涉定以圖型。雖然該第一與第二歐姆接點 52 和 54 係被顯示為分開的元件 52 和 54，要了解的是這些分開的元件 52 和 54 可以被除去而且該等金屬線 14 可以直接與該記憶體元件 50 或保護層 70 接觸

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

本紙張尺度適用中國國家標準(CNS)A4 規格(210×297 公釐)

五、發明說明（13）

。

每一記憶體細胞的增加電阻係由記憶體元件 50 的平面面積與該記憶體元件 50 上之保護層的厚度來決定。該保護層的片電阻應該係足夠大以致於不使相鄰的導體短路。該保護層 70 的例子係非常薄（例如，少於 10 nm 的厚度）的絕緣薄膜。在這情況中，該內平面（in-plane）電阻係本質上極大，但與該平面垂直的導電率藉由隧穿而係有限和發生。

該第三手段牽涉僅把電阻性元件 56 界定於兩平面尺寸中之一者以致於該電阻性元件 56 具有與該字或位元線 14 或 16 相同的平面面積。這手段的最方便實施會是以與用來界定該字或位元線 14 或 16 相同之過程來定以該電阻性材料圖型。

現在請參閱第 8 圖所示，其描繪該 MRAM 裝置 8 之另一可行的記憶體細胞 80。這另一可行的記憶體細胞係配合一 SDT 接點來被顯示。如此之一記憶體細胞 80 包括一多層堆疊的材料。該堆疊包括第一和第二種子層 82 和 84。該第一種子層 82 允許該第二層 84 長有一（111）晶體結構定向。該第二種子層 84 建立一供後續之反鐵磁性（"AF"）阻塞（pinning）層 86。該 AF 阻塞層 86 提供一巨大的交換電場，其保持後續之阻塞（底部）鐵磁性（"FM"）層 88 的磁化在一個方向。該阻塞 FM 層 88 的頂部是為一絕緣隧道障壁 90。可選擇的界面層 92 和 94 可以夾住該絕緣隧道障壁 90。該絕緣隧道障壁 90 的頂部是為一感應（頂部）FM 層

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4 規格（210 × 297 公釐）

五、發明說明（14）

96，其具有一在一施加之磁場之出現下是為自由旋轉的磁化。一歐姆接點 98 係在該感應 FM 層 96 的頂部，而且該字線 14 係與該歐姆接點 98 電氣接觸。一保護電介質（圖中未示）覆蓋該堆疊。

該阻塞層 88 具有一被定位於一平面，卻被固定以致於在一施加之磁場之出現下不在一重要範圍內旋轉的磁化。該感應層 96 具有一不被阻塞的磁化定位。更確切地說，該磁化能夠被定位於沿著一平面之軸（該"容易（easy）"軸）之兩個方向中之一者。如果該阻塞與感應層 88 與 96 的磁化係在相同的方向的話，該定位是為平行的。如果該阻塞與感應層 88 與 96 的磁化係在相反的方向的話，該定向是為反平行的。

該絕緣隧道障壁 90 允許量子力學隧穿發生在該阻塞與感應層 88 與 96 之間。這隧穿現象是為電子自旋依存，使該 SDT 接點的電阻為該自由與阻塞層之磁化之相關定位的函數。該絕緣隧道障壁 90 可以是為一層具有大約 15Å 之厚度的氧化鋁（Al_2O_3）。

這另一可行的記憶體細胞 80 不包括一由一分開之電阻性材料層製成的電阻性元件。取而代之，該電阻性元件與該歐姆接點 98 係藉由以高電阻係數材料形成該歐姆接點 98 來被整合成一單元結構。因此，該歐姆接點 98 具有一在該 SDT 接點之設計名義電阻的 0.5%與 50%之間的電阻（B）。

藉由以高電阻係數材料形成該第一或第二種子層 82 或

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4 規格（210 × 297 公釐）

五、發明說明（15）

84，該電阻性元件可以取而代之與該第一種子層 82 或該第二種子層 84 整合在一起。

如此被揭露的是為一不包括用於在讀取運作期間把記憶體細胞彼此隔離之開關與二極體的 MRAM 裝置。取而代之，該裝置藉由把一相同之電位施加至選擇與若干未選擇的字與位元線來把一選擇的記憶體細胞隔離。施加該相同的電位能夠防止寄生電流與讀取運作干涉。此外，與該等記憶體細胞串聯連接的電阻性元件避免由短路之記憶體細胞所引致的問題。如果一記憶體細胞變成短路，該短路的記憶體細胞會引致一隨機化位元錯誤。然而，該短路的記憶體細胞不會引致一行-寬故障。該隨機化位元錯誤能夠由 ECC 比一行-寬故障迅速且容易很多地被校正。

該等電阻性元件亦幫助隔絕行-寬故障的起因。如果一行-寬故障出現的話，係將會歸因於一短路之記憶體細胞以外的某物。

該等電阻性元件亦增加對選擇之記憶體細胞之寫入運作的可靠度。在沒有該等電阻性元件下，巨大的寫入電流會流過短路的記憶體元件。此外，該等寫入電流會從該選擇的記憶體細胞轉移至該短路的記憶體元件，藉此降低寫入電流並且使不正確的資料被寫入至在相同列或行之選擇的記憶體細胞。然而，與該短路之記憶體元件串聯連接的電阻性元件具有一夠高的電阻來防止巨大的寫入電流流過該短路的記憶體元件並且允許足夠的寫入電流流過該等選擇的記憶體細胞。

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4 規格（210 × 297 公釐）

五、發明說明（16）

該 MRAM 裝置 8 不受限於一單層記憶體細胞。現在請參閱第 9 圖所示，其描繪一多層 MRAM 晶片 400。該 MRAM 晶片 400 包括若干 Z 記憶體細胞層或平面 402，其係以一 z-方向堆疊於一基體 404 上。該數目 Z 是為一正整數，其中，Z 1。該等記憶體細胞層 402 可以由像二氧化矽般之絕緣材料（圖中未示）分隔。讀取與寫入電路可以被製作於該基體 404 上。該等讀取與寫入電路可以包括額外的多工器，其係用於選擇要被讀取與寫入的層。

本發明的 MRAM 裝置可以被用於不同的應用。第 10 圖顯示一個或多個 MRAM 晶片 400 之典型的一般應用。該一般應用係由一機器 450 實施，該機器 450 包括一 MRAM 儲存模組 452、一界面模組 454 與一處理器 456。該 MRAM 儲存模組 452 包括一個或多個供長期儲存用的 MRAM 晶片 400。該界面模組 454 提供在該處理器 456 與該 MRAM 儲存模組 452 之間的界面。該機器 450 亦能夠包括供短期儲存用的快速揮發性記憶體（例如，SRAM）。

就如筆記型電腦或個人電腦般的機器 450 而言，該 MRAM 儲存模組 452 可以包括若干 MRAM 晶片 400 而該界面模組 454 可以包括一 EIDE 或 SCSI 界面。就如伺服器般的機器 450 而言，該 MRAM 儲存模組 452 可以包括較大數目的 MRAM 晶片 400，而該界面模組 454 可以包括一光纖通道或 SCSI 界面。該等 MRAM 儲存模組 452 能夠替代或者補充像硬碟般之習知的長期儲存裝置。

就如數位相機般的機器 450 而言，該 MRAM 儲存模組

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4 規格（210 × 297 公釐）

五、發明說明（17）

452 可以包括較少數目的 MRAM 晶片 400 而該界面模組 454 可以包括一相機界面。如此之 MRAM 儲存模組 452 會允許數位影像在數位相機內的長期儲存。

本發明的 MRAM 裝置提供很多超越硬碟與其他習知長期資料儲存裝置的優點。從該等 MRAM 裝置存取資料以大小來說係比從像硬碟般之習知長期儲存裝置存取資料來得快。此外，MRAM 裝置比硬碟更袖珍。

該裝置不受限於以上所描述與描繪的特定實施例。例如，該 MRAM 裝置係配合沿著該容易軸定位的列來作描述。然而，列與行能夠被調換。

該電阻性交叉點陣列不受限於 MRAM 細胞陣列。記憶體細胞的記憶體元件可以是為相位-改變材料。該等元件的電阻藉由該相位改變材料的相位改變而可以從一個狀態改變成另一狀態（例如，從一結晶狀態改變成一不結晶狀態）。

取而代之，該等記憶體細胞可以包括聚合物記憶體元件。聚合物記憶體元件係由極性導電聚合物分子製成。在一聚合物記憶體元件中，資料係如'永久極化'被儲存於一聚合物分子中（與一 MRAM 記憶體細胞相對照，資料係如'永久磁矩'儲存）。聚合物記憶體元件的電阻（R 或 R+ΔR）係端視該等聚合物分子之極化的定位而定。聚合物記憶體細胞元件可以藉由感應其之電阻來被讀取。聚合物記憶體細胞可以藉由施加由施加至選擇之字與位元線之電壓所產生的電場來被寫入。如果一聚合物記憶體元件變成短路，那麼，該串聯連接的電阻性元件會隔離該短路的元件。

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4 規格（210×297 公釐）

五、發明說明（18）

該陣列不受限於記憶體細胞。例如，一裝置可以包括像應力傳感器般之元件陣列。一感應元件能夠從演示一應力依附電阻之各式各樣的材料建立。。施加至一感應器元件的力量或能量引致通過該元件之傳導的改變。如果該感應元件變成短路的話，那麼，該串聯連接的電阻性元件會隔離該短路的感應元件。施加該相同電位感應方法至應力傳感器之交叉點陣列的優點是為非常高的整合密度。

通常，串聯連接之電阻性元件的電阻應是夠低來具有對讀取運作的極微影響及夠高來具有對寫入運作的極微影響。因此，該實際的電阻應該在沒有使選擇之記憶體細胞之感應降級及沒有使在讀取運作期間該感應訊號降級和沒有使寫入至該電阻性交叉點陣列之記憶體細胞之特性降級下隔離該短路的記憶體元件。在設計名義之 10%與 50%之間的電阻範圍相信為理想的。

該電阻性元件的最大厚度係藉由對該耦合至該選擇之記憶體細胞之感應電與磁場的影響與對相鄰之記憶體細胞的串擾來被設定。就電阻性交叉點記憶體應用而言，一限制會對該串聯連接之電阻性元件的厚度發出以避免降低由在該等字或位元線中流動之電流或電壓所產生的寫入電場。該串聯連接的電阻性元件把該記憶體元件從該線的表面移動離開一個與該電阻性元件之厚度相等的距離(d)。在一電流模式電阻性交叉點記憶體元件中，該磁場會下降 1/d。就這電流模式記憶體元件而言，該串聯連接之電阻性元件的厚度應該少該導體之厚度的大約一半。

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（19）

本發明不受限於以上所述和描繪的特定實施例。取而代之，本發明係根據後面之申請專利範圍來構築。

元件標號對照表

	8	MRAM 裝置	10	陣列
5	12	記憶體細胞	14	字線
	16	位元線	18	列解碼電路
	Vs	供應電壓	20	讀取電路
	22	控制電路	24	感應放大器
	30	資料暫存器	32	I/O 墊
10	50	MRAM 元件	52	歐姆接點
	54	歐姆接點	56	線性電阻性元件
	12a	第一電阻器	12b	第二電阻器
	12c	第三電阻器	12d	第四電阻器
	Is	感應電流	Vb	電位
15	S2	潛行路徑電流	S3	潛行路徑電流
	8'	MRAM 裝置	70	電阻性元件
	80	記憶體細胞	82	第一種子層
	84	第二種子層	86	反鐵磁阻塞層
	88	阻塞鐵磁層	90	絕緣隧道障壁
20	92	界面層	94	界面層
	96	感應 FM 層	98	歐姆接點
	400	MRAM 晶片	402	記憶體細胞層
	404	基體	450	機器
	452	MRAM 儲存模組	454	界面模組

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4 規格（210 × 297 公釐）

五、發明說明（20）

456 處理器

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

A5
B5

四、中文發明摘要（發明之名稱：容許短路之電阻性交叉點陣列）

一資料儲存裝置(8)包括記憶體細胞(12)的電阻性交叉點陣列(10)。每一記憶體細胞(12)包括一記憶體元件(50)和一與該記憶體元件(50)串聯連接的電阻性元件(56)。該等電阻性元件(56)實質上在讀取運作期間減少流過短路之記憶體元件的任何潛行路徑電流。該資料儲存裝置(8)可以是為磁性隨機存取記憶體("MRAM")裝置。

英文發明摘要（發明之名稱：SHORT-TOLERANT RESISTIVE CROSS POINT ARRAY）

A data storage device (8) includes a resistive cross point array (10) of memory cells (12). Each memory cell (12) includes a memory element (50) and a resistive element (56) connected in series with the memory element (50). The resistive elements (56) substantially attenuate any sneak path currents flowing through shorted memory elements during read operations. The data storage device (8) may be a Magnetic Random Access Memory ("MRAM") device.

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

1.一種資料儲存裝置(8)，包含：

記憶體細胞(12)的電阻性交叉點陣列(10)，每一記憶體細胞(12)包括一記憶體元件(50)；及

一線性電阻性元件(56)，其係與該記憶體元件(50)串聯連接。

2.如申請專利範圍第 1 項所述之裝置，其中，該電阻性元件(56)是為在該記憶體元件上的電阻性薄膜(56,70)。

3.如申請專利範圍第 1 項所述之裝置，其中，該電阻性元件(56)包括另一記憶體元件。

4.如申請專利範圍第 1 項所述之裝置，其中，該電阻性元件(56)係由半導體材料製成。

5.如申請專利範圍第 1 項所述之裝置，其中，該電阻性元件(56)係由氧化物與氮化物中之至少一者製成。

6.如申請專利範圍第 1 項所述之裝置，其中，該電阻性元件(56)係由金屬與半導體中之至少一者的合金製成。

7.如申請專利範圍第 1 項所述之裝置，其中，該電阻性元件(56)係由導電聚合物製成。

8.如申請專利範圍第 1 項所述之裝置，其中，該電阻性元件(56)亦提供一與該記憶體元件一起的歐姆接點(98)。

9.如申請專利範圍第 1 項所述之裝置，其中，每一記憶體元件(50)包括一自旋依附隧穿接點裝置(84-96)。

10.如申請專利範圍第 1 項所述之裝置，其中，該等電阻性元件(56)具有一在該等記憶體元件(50)之設計電

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

A8
B8
C8
D8

六、申請專利範圍

阻之大約 10%與 50%之間的電阻。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

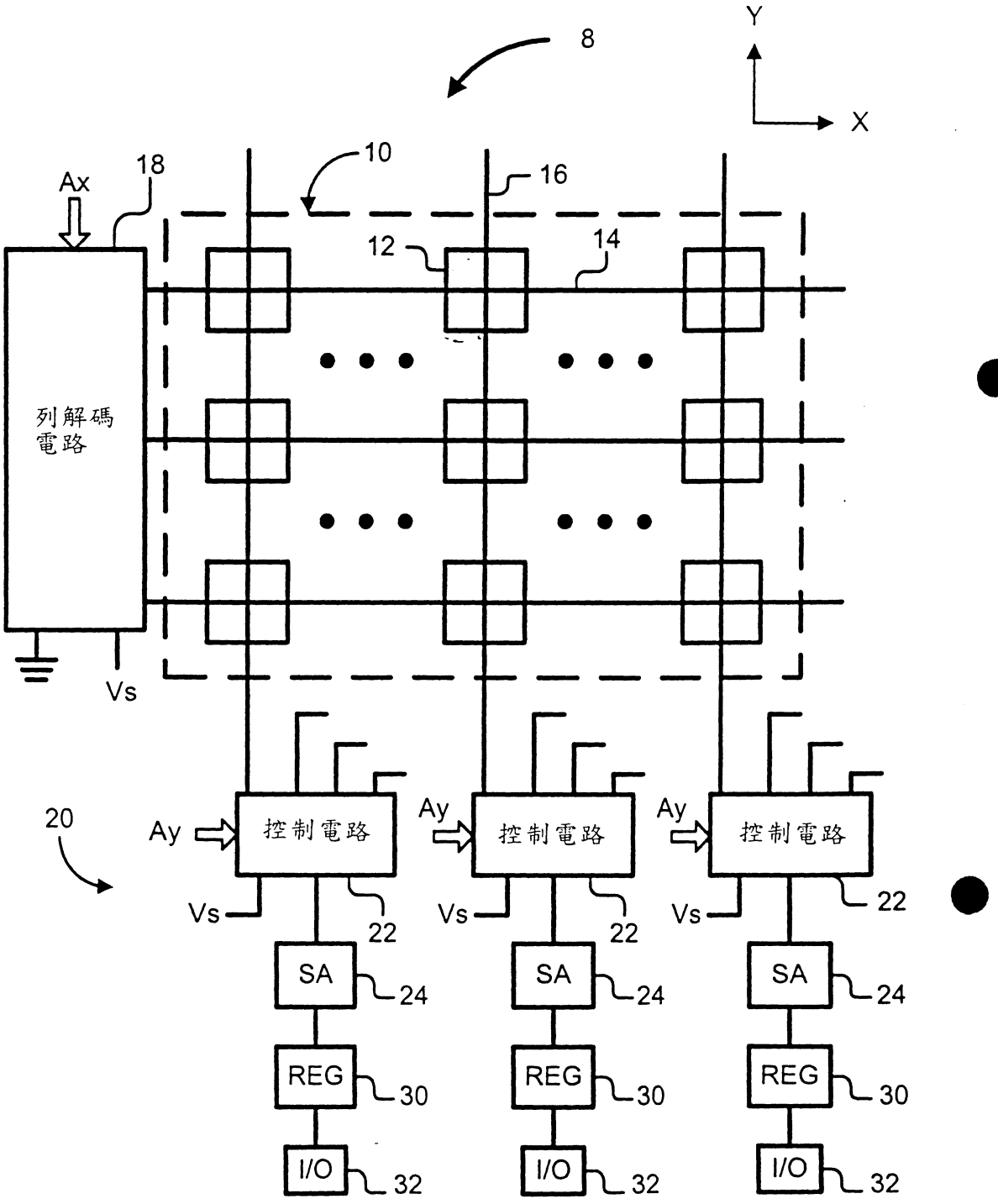
經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

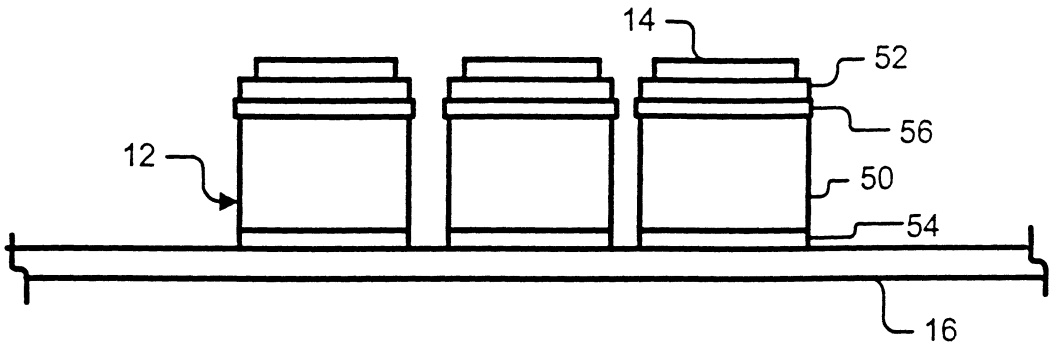
双面影印

90114981

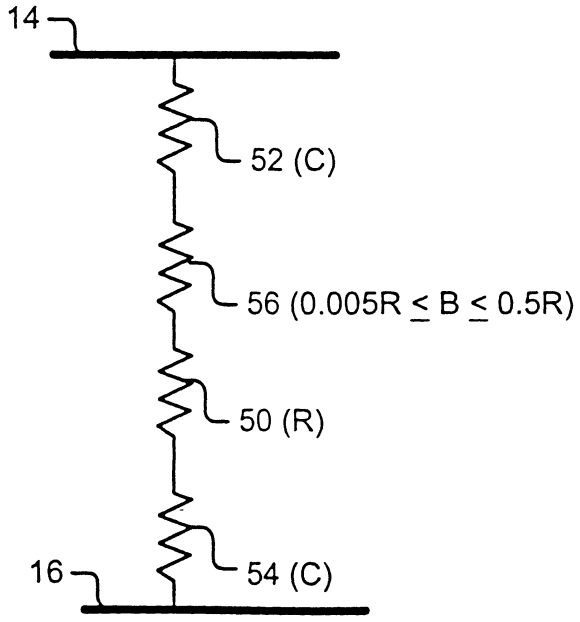
第 1 圖



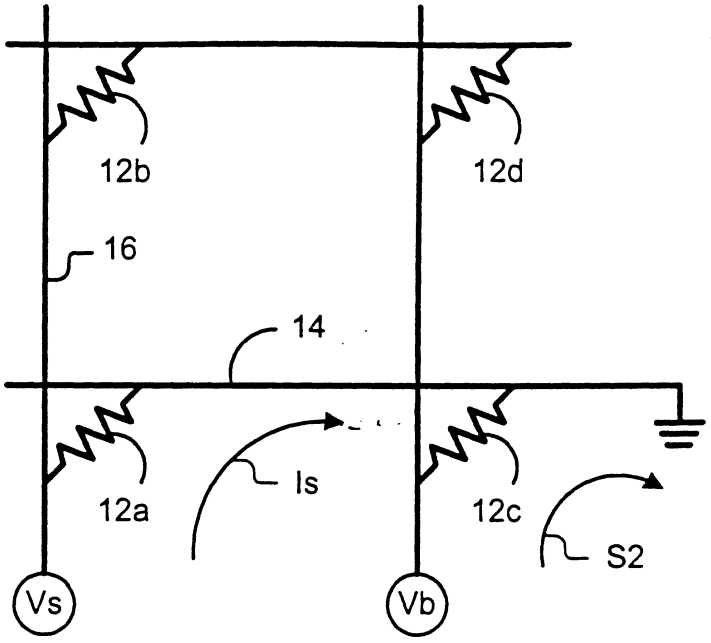
第 2a 圖



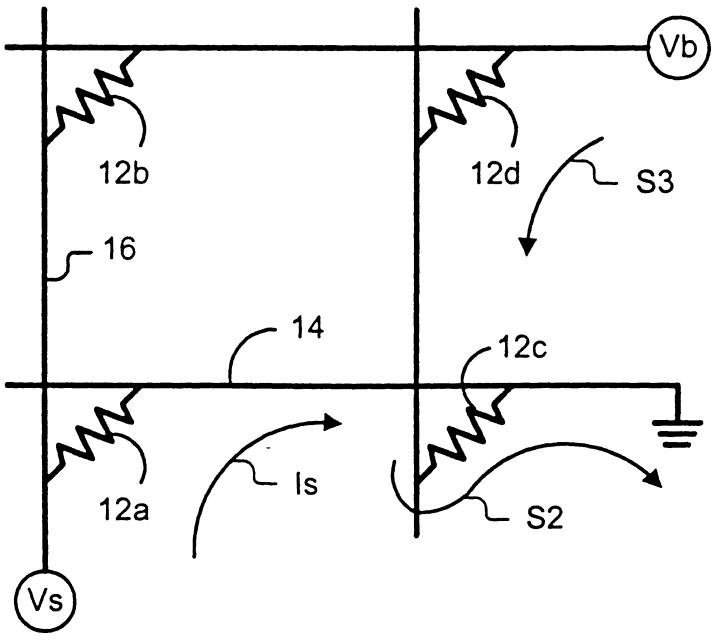
第 2b 圖



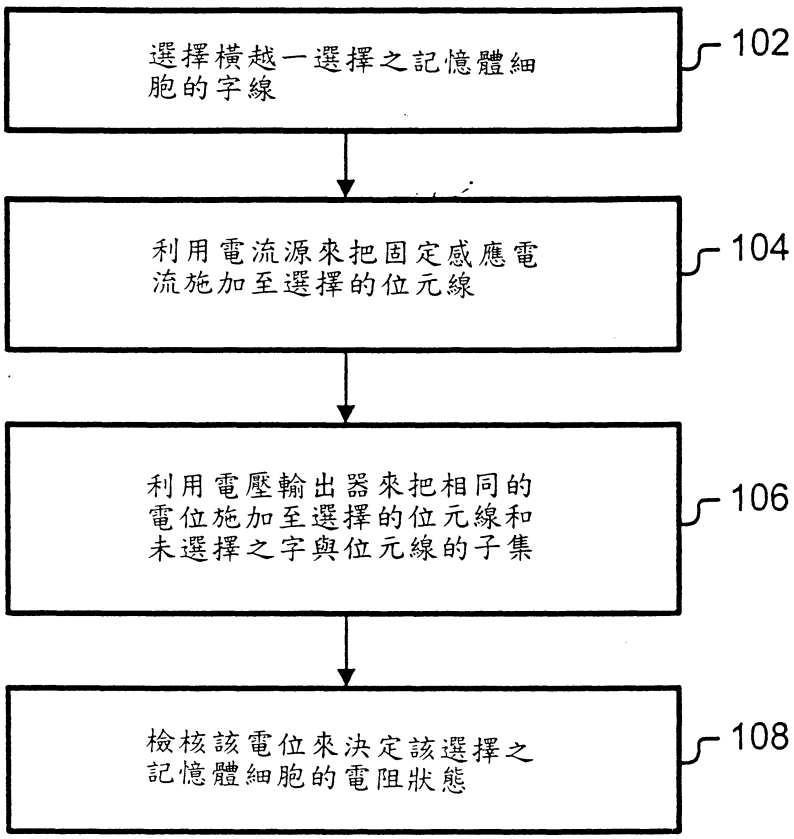
第 3a 圖


12b
12d
16
14
12a
Is
12c
S2
Vs
Vb

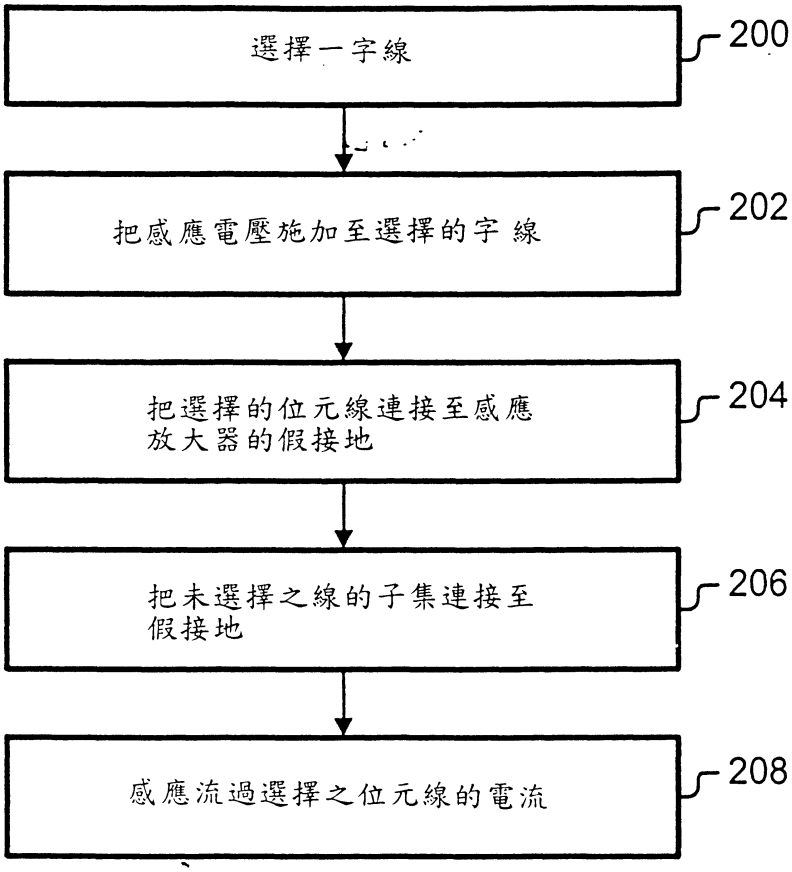
第 3b 圖


Vb
12b
12d
S3
16
14
12c
12a
Is
S2
Vs

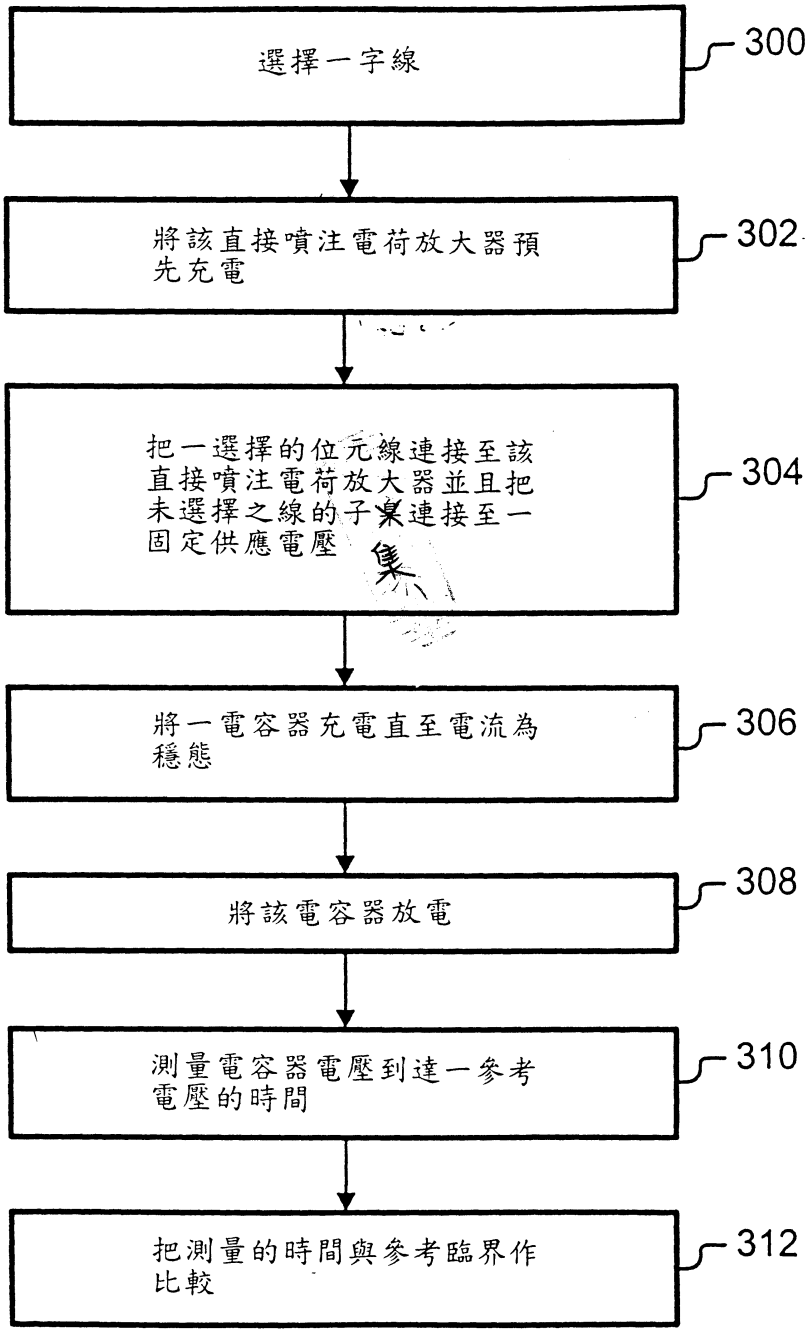
第 4 圖


選擇橫越一選擇之記憶體細胞的字線
102
利用電流源來把固定感應電流施加至選擇的位元線
104
利用電壓輸出器來把相同的電位施加至選擇的位元線和未選擇之字與位元線的子集
106
檢核該電位來決定該選擇之記憶體細胞的電阻狀態
108

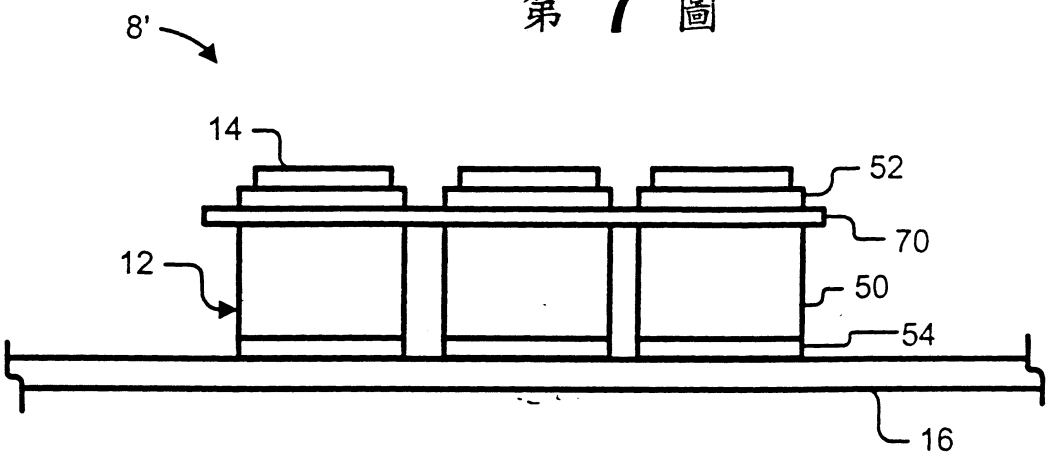
第 5 圖


選擇一字線
200
把感應電壓施加至選擇的字 線
202
把選擇的位元線連接至感應
放大器的假接地
204
把未選擇之線的子集連接至
假接地
206
感應流過選擇之位元線的電流
208

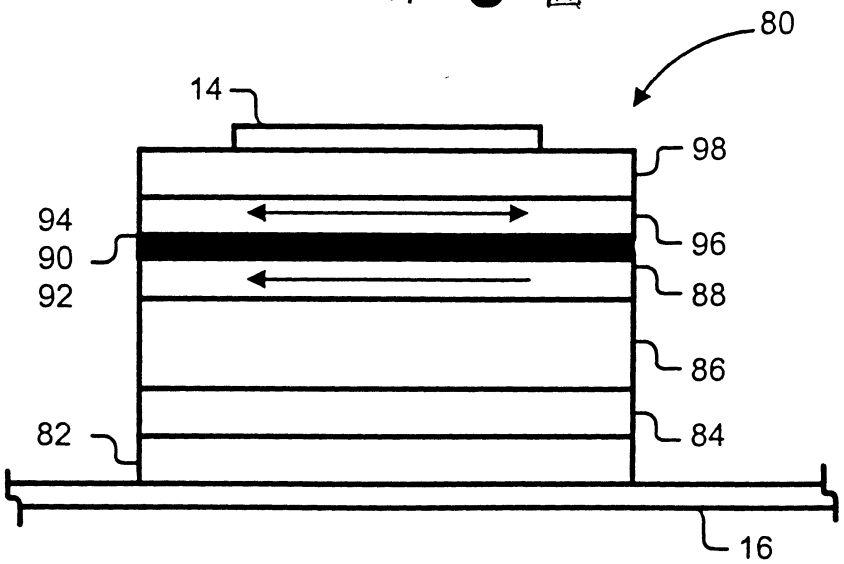
第 6 圖

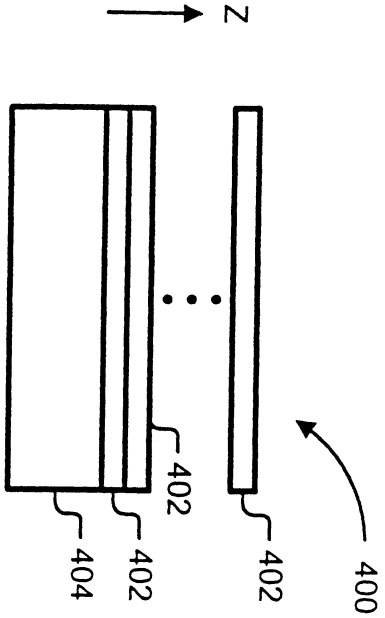

選擇一字線
300
將該直接噴注電荷放大器預先充電
302
把一選擇的位元線連接至該直接噴注電荷放大器並且把未選擇之線的子集連接至一固定供應電壓
304
將一電容器充電直至電流為穩態
306
將該電容器放電
308
測量電容器電壓到達一參考電壓的時間
310
把測量的時間與參考臨界作比較
312

第 7 圖

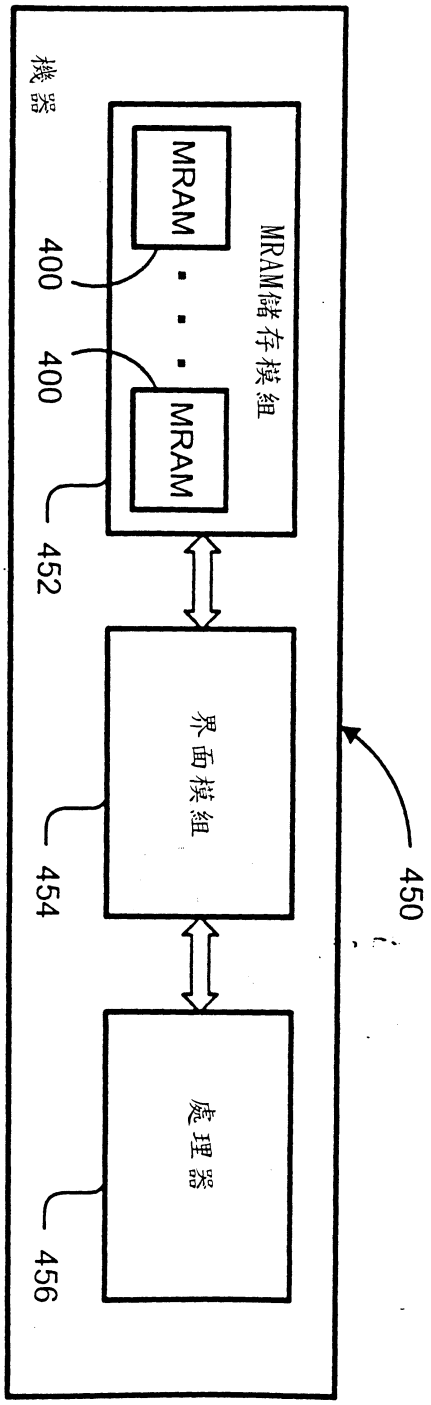


第 8 圖




400
402
402
402
404
Z

第 9 圖


450
機器
MRAM儲存模組
MRAM
MRAM
400
400
452
界面模組
454
處理器
456

第 10 圖