



(12) 发明专利

(10) 授权公告号 CN 101419599 B

(45) 授权公告日 2013. 03. 13

(21) 申请号 200710167346. 0

至第 20 页第 10 行、附图 1 - 11.

(22) 申请日 2007. 10. 25

审查员 董洪梅

(73) 专利权人 晨星半导体股份有限公司

地址 中国台湾新竹县

(72) 发明人 王志明 苏肇平 魏士然 黄名宏

(74) 专利代理机构 北京科龙寰宇知识产权代理

有限责任公司 11139

代理人 孙皓晨

(51) Int. Cl.

G06F 17/30 (2006. 01)

(56) 对比文件

CN 85107221 A, 1986. 07. 30, 权利要求 1、说明书第 13 页倒数第 7 行至第 19 页第 16 行、附图 3 - 10.

WO 2006/067852 A1, 2006. 06. 29, 全文.

CN 1372202 A, 2002. 10. 02, 第 10 页第 8 行

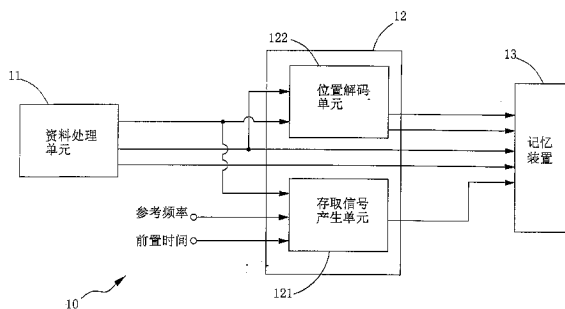
权利要求书 2 页 说明书 5 页 附图 3 页

(54) 发明名称

数据存取系统与方法

(57) 摘要

本发明为一种数据存取系统与方法,其在进行数据存取时,可达到省电与存取同步化的双重功效。所述的数据存取系统包含数据处理单元、桥接装置与记忆装置。数据处理单元发出存取要求讯号,以启动至少一单位数据量的存取。所述的单位数据量的存取是在参考频率讯号的复数个频率周期内执行。桥接装置可依据存取要求讯号、参考频率讯号与前置时间,产生存取信息。所述的存取信息中的脉冲在所述的些频率周期内的时序是依据前置时间决定。记忆装置则依据所述的存取信息执行所述的单位数据量的存取。



1. 一种数据存取系统,其特征在于:其包含:

一数据处理单元,发出一存取要求讯号,以启动至少一单位数据量的存取,其中所述的单位数据量的存取是在一参考频率讯号的复数个频率周期内执行;

一桥接装置,耦接至所述的数据处理单元,所述的桥接装置包含:

一存取信息产生单元,用以依据所述的存取要求讯号、所述的参考频率讯号与一前置时间,产生一存取信息,其中所述的存取信息包含一脉冲,所述的脉冲在所述的这些频率周期内的时序是依据所述的前置时间决定,所述的存取信息产生单元还依据一后置时间,来产生所述的存取信息,当在存取记忆装置内的较远的存储位置时,设定较长的后置时间;以及

一记忆装置,耦接至所述的桥接装置,用以依据所述的存取信息执行所述的单位数据量的存取。

2. 根据权利要求1所述的数据存取系统,其特征在于:所述的桥接装置在所述的这些频率周期结束前,发出一确认讯号至所述的数据处理单元。

3. 根据权利要求1所述的数据存取系统,其特征在于:所述的这些频率周期的一起始点与所述的脉冲的一起始点间的时距为所述的前置时间。

4. 根据权利要求1所述的数据存取系统,其特征在于:所述的脉冲的一结束点与所述的这些频率周期的一结束点间的时距为所述的后置时间。

5. 根据权利要求1所述的数据存取系统,其特征在于:所述的数据处理单元还发出一地址讯号,所述的记忆装置包含复数个记忆排区,所述的桥接装置还包含:

一地址译码单元,依据所述的地址讯号,产生一排区选取讯号,用以选取所述的这些记忆排区其中之一,以执行所述的单位数据量的存取。

6. 根据权利要求5所述的数据存取系统,其特征在于:所述的地址译码单元是依据所述的地址讯号的至少一最高位,产生所述的排区选取讯号。

7. 根据权利要求5所述的数据存取系统,其特征在于:当所述的存取要求讯号为一写入要求讯号时,所述的数据处理单元还发出对应于所述的写入要求讯号的一数据讯号至所述的记忆装置。

8. 根据权利要求7所述的数据存取系统,其特征在于:所述的数据处理单元的数据宽度为一正整数N,当N小于所述的数据讯号的位数时,所述的记忆装置依据一位选取讯号,选取所述的数据讯号中的N个位,以执行所述的单位数据量的存取。

9. 根据权利要求8所述的数据存取系统,其特征在于:所述的地址译码单元依据所述的地址讯号,产生所述的位选取讯号。

10. 根据权利要求8所述的数据存取系统,其特征在于:当N为8且所述的数据讯号的位数为16时,所述的记忆装置是依据所述的位选取讯号,选取所述的数据讯号中的8个最高位或8个最低位,以执行所述的单位数据量的存取。

11. 根据权利要求10所述的数据存取系统,其特征在于:当所述的记忆装置的每一地址对应一8位的储存位置时,所述的地址译码单元依据所述的地址讯号的一最低位,产生所述的位选取讯号。

12. 一种数据存取方法,是用以存取一记忆装置,其特征在于:所述的数据存取方法包含:

发出一存取要求讯号,以启动所述的记忆装置的至少一单位数据量的存取,其中所述的单位数据量的存取是在一参考频率讯号的复数个频率周期内执行;

依据所述的存取要求讯号、所述的参考频率讯号与一前置时间,产生一存取信息,其中所述的存取信息包含一脉冲,所述的脉冲在所述的这些频率周期内的时序是依据所述的前置时间决定,还依据一后置时间,来产生所述的存取信息,当在存取记忆装置内的较远的存储位置时,设定较长的后置时间;以及

依据所述的存取信息执行所述的单位数据量的存取。

13. 根据权利要求 12 所述的数据存取方法,其特征在于:还包含:

在所述的这些频率周期结束前,产生一确认讯号,以显示所述的单位数据量的存取完成。

14. 根据权利要求 12 所述的数据存取方法,其特征在于:所述的这些频率周期的一一起始点与所述的脉冲的一一起始点间的时距为所述的前置时间。

15. 根据权利要求 12 所述的数据存取方法,其特征在于:所述的脉冲的一结束点与所述的这些频率周期的一结束点间的时距为所述的后置时间。

16. 根据权利要求 12 所述的数据存取方法,其特征在于:所述的记忆装置包含复数个记忆排区,所述的数据存取方法还包含:

依据一地址讯号,产生一排区选取讯号,用以选取所述的这些记忆排区其中之一,以执行所述的单位数据量的存取。

17. 根据权利要求 16 所述的数据存取方法,其特征在于:所述的排区选取讯号产生步骤是依据所述的地址讯号的至少一最高位,产生所述的排区选取讯号。

18. 根据权利要求 12 所述的数据存取方法,其特征在于:当所述的存取要求讯号为一写入要求讯号时,所述的数据存取方法还包含:

发出对在所述的写入要求讯号的一数据讯号至所述的记忆装置。

## 数据存取系统与方法

### 技术领域

[0001] 本发明涉及的是一种数据存取系统与方法,尤指一种具有省电与存取同步化功效的数据存取系统与方法。

### 背景技术

[0002] 在现有的电子系统中,当微控制器(microcontroller)或微处理器(microprocessor)要存取某个外部的缓存器(如某个IP组件的缓存器)时,需先将频率讯号与地址讯号送至每个外部缓存器,再由各个缓存器译码所述的地址讯号,以判断自己是否为存取对象,再通过所述的频率讯号来执行数据存取。然而,由于频率讯号是送至每个缓存器所包含的正反器(flip-flop)(一个8位缓存器即有8个正反器),当系统因日趋复杂而使用大量的缓存器时,就会非常耗电。特别是,若电子系统使用的电源为电池,则耗电还会影响电池的续航力。

[0003] 另外,当系统使用大量的缓存器时,各个缓存器距离微控制器的远近就可能造成存取时明显的时序差(skew),使存取不同步。背景技术中,需针对不同远近的缓存器的存取频率进行微调,以平衡时序差。然而,这种做法易增加电路设计的复杂度,且当缓存器的数量很大时,时序差的变动情形也会变得复杂,此时采用对不同远近的缓存器进行微调的做法,常会顾此失彼,而难以达致理想的同步化效果。

### 发明内容

[0004] 有鉴于此,本发明的一目的,在于提供一种数据存取系统与方法,其在进行数据存取时,相较在背景技术可达到省电的功效。

[0005] 本发明的另一目的,在于提供一种数据存取系统与方法,其在进行数据存取时,相较在背景技术,可以简易的方式达到存取同步化的功效。

[0006] 本发明公开一种数据存取系统,其包含:一数据处理单元,发出一存取要求(access request)讯号,以启动至少一单位数据量的存取,其中所述的单位数据量的存取是在一参考频率讯号的复数个频率周期内执行;一桥接(bridge)装置,耦接至所述的数据处理单元,所述的桥接装置包含:一存取信息产生单元,用以依据所述的存取要求讯号、所述的参考频率讯号与一前置时间,产生一存取信息,其中所述的存取信息包含一脉冲(pulse),所述的脉冲在所述的这些频率周期内的时序是依据所述的前置时间决定;以及一记忆装置,耦接至所述的桥接装置,用以依据所述的存取信息执行所述的单位数据量的存取。

[0007] 本发明另公开一种数据存取方法,是用以存取一记忆装置。所述的数据存取方法包含下列步骤:发出一存取要求讯号,以启动所述的记忆装置的至少一单位数据量的存取,其中所述的单位数据量的存取是在一参考频率讯号的复数个频率周期内执行;依据所述的存取要求讯号、所述的参考频率讯号与一前置时间,产生一存取信息,其中所述的存取信息包含一脉冲,所述的脉冲在所述的这些频率周期内的时序是依据所述的前置时间决定;以

及依据所述的存取信息执行所述的单位数据量的存取。

[0008] 本发明另公开一种数据存取系统,其包含:一数据处理单元,发出一写入要求讯号与对应的一地址讯号与一数据讯号,以启动至少一单位数据量的写入,其中所述的单位数据量的位数为—正整数  $N$ ;一桥接装置,耦接至所述的数据处理单元,所述的桥接装置包含:一地址译码单元,依据所述的地址讯号与所述的写入要求讯号,产生一位选取讯号;以及一记忆装置,耦接至所述的桥接装置,当  $N$  小于所述的数据讯号的位数时,所述的记忆装置依据所述的位选取讯号,选取所述的数据讯号中的  $N$  个位,以执行所述的单位数据量的存取。

### 附图说明

[0009] 图 1 是本发明的数据存取系统的一实施例的方块图;

[0010] 图 2 是以  $M = 4$  为例,显示参考频率讯号、存取要求讯号与存取信息的时序图;

[0011] 图 3 是本发明的数据存取方法的一实施例的流程图。

[0012] 图式的图号说明:10-数据存取系统;11-数据处理单元;12-桥接装置;121-存取信息产生单元;122-地址译码单元;13-记忆装置;30~34-数据存取方法的一实施例的流程。

### 具体实施方式

[0013] 以下结合附图,对本发明上述的和另外的技术特征和优点作更详细的说明。

[0014] 图 1 是本发明的数据存取系统的一实施例的方块图,其中,数据存取系统 10 包含一数据处理单元 11、一桥接装置 12 与一记忆装置 13。数据处理单元 11 可发出一存取要求讯号及其对应的一地址讯号,以启动至少一单位数据量的存取。所述的存取要求讯号可为写入要求讯号或读取要求讯号。当所述的存取要求讯号为写入要求讯号时,数据处理单元 11 还发出对在写入要求讯号的一数据讯号至记忆装置 13,以将数据写入记忆装置 13,其中,数据讯号的位数即为单位数据量。所述的单位数据量的存取是在一参考频率讯号的复数个(以  $M$  个表示)频率周期内执行完成。数据处理单元 11 可为微控制器或微处理器等。单位数据量可为 8 位或 8 位的倍数等。所述的参考频率讯号可为数据存取系统 10 的系统频率或数据处理单元 11 的运作频率。

[0015] 桥接装置 12 包含一存取信息产生单元 121 与一地址译码单元 122。存取信息产生单元 121 耦接至数据处理单元 11,可依据存取要求讯号、参考频率讯号与一前置时间,来产生一存取信息送至记忆装置 13。所述的存取信息包含一脉冲,用来使记忆装置 13 可执行单位数据量的写入或读取。在用来执行单位数据量的存取的  $M$  个频率周期内,所述的脉冲的时序是依据所述的前置时间而决定,例如,可将所述的  $M$  个频率周期的起始点与所述的脉冲的起始点间的时距设为所述的前置时间,换言之,若前置时间为  $k$  个频率周期,则所述的脉冲的起始点即为所述的  $M$  个频率周期中第  $k+1$  个频率周期的起始点。在一较佳实施例中,除了所述的前置时间,所述的脉冲在所述的  $M$  个频率周期内的时序还依据一后置时间(图未显示)而决定,例如,可将所述的脉冲的结束点与所述的  $M$  个频率周期的结束点间的时距设为所述的后置时间。所述的脉冲的时序依据前置时间与后置时间决定后,所述的脉冲的宽度也得以决定。举例而言,若前置时间与后置时间分别为  $k$  与  $p$  个频率周期,则所述的脉

冲的宽度为  $(M-k-p)$  个频率周期。

[0016] 图 2 是以  $M = 4$  为例, 显示参考频率讯号、存取要求讯号与存取信息的时序图 (timing diagram), 其中  $T$  代表频率周期。如图 2 所示, 前置时间为  $1T$ , 后置时间为  $2T$ , 因此存取信息的脉冲位于第 2 个频率周期, 且宽度为  $1T$  (即  $4-1-2 = 1$ )。

[0017] 前置时间与后置时间的长度为可组态 (configurable) 的参数, 可依电路的实际情况进行调整。例如, 由于数据处理单元 11 所提供的数据讯号须达到稳态才能执行写入, 而达到稳态需要一段启动时间 (set-up time), 因此若所需启动时间较长, 则可将前置时间延长, 以延后写入的时间点。再例如, 由于在存取记忆装置 13 内的较远的储存位置时, 所需时间较长, 因此有时可能无法在所述的  $M$  个频率周期结束前完成存取。此时, 可设定较长的后置时间, 以提前写入的时间点, 而确保记忆装置 13 所有储存位置的存取都能在所述的  $M$  个频率周期内完成。

[0018] 通过前述存取信息的设计, 数据存取系统 10 可达到省电与数据存取同步化的双重功效。首先, 通过存取信息所包含的脉冲, 即可使记忆装置 13 执行数据存取, 而不需再将参考频率讯号送入记忆装置 13。也即, 记忆装置 13 在进行存取时, 是以存取信息来取代参考频率讯号。由于存取信息的脉冲数少在参考频率讯号 (以图 2 为例, 前者为后者的四分之一), 所以记忆装置 13 在进行存取时可还为省电。其次, 由于记忆装置 13 的各个储存位置远近不一, 在存取不同位置时会产生时序差。通过前置时间与后置时间来调整存取信息的脉冲的时序, 可确保所有位置的存取都在所述的  $M$  个频率周期内完成。如此, 虽然不同储存位置的存取会有时序差, 但就数据处理单元 11 的角度来看, 在所述的  $M$  个频率周期内, 仍可存取到记忆装置 13 的所有位置, 因此可视为同步。

[0019] 记忆装置 13 内的储存空间分成复数个记忆排区 (bank)。地址译码单元 122 可依据数据处理单元 11 所提供的地址讯号, 译码产生一排区选取讯号送至记忆装置 13, 以选取其中一个记忆排区。被选取的记忆排区会依据地址讯号进行进一步译码, 以找出要进行存取的储存位置, 再通过存取信息产生单元 121 产生的存取信息, 执行单位数据量的存取, 例如, 被选取的记忆排区可在存取信息的脉冲的上升边缘 (rising edge) 或下降边缘 (falling edge) 时, 执行单位数据量的存取。由于存取信息只需送入被选取的记忆排区 (而非所有记忆排区), 因而可达到进一步的省电功效。在一实施例中, 地址译码单元 122 是依据地址讯号的至少一最高位 (most significant bit), 来产生排区选取讯号; 而被选取的记忆排区则依据地址讯号的其余位找出要存取的储存位置。例如, 若记忆装置 13 包含  $28 = 256$  个储存位置且分成 8 个记忆排区 (即每个记忆排区包含 32 个储存位置), 此时若使用 8 位的地址讯号来寻址, 则地址译码单元 122 可利用地址讯号的前 3 个最高位来产生排区选取讯号, 而被选取的记忆排区则依据地址讯号的其余 5 个位找出要存取的储存位置。

[0020] 记忆装置 13 可为动态随机存取内存 (DRAM)、静态随机存取内存 (SRAM)、由正反器 (flip-flop) 组成的缓存器等。当记忆装置 13 为缓存器时, 由于读取正反器时不需通过脉冲讯号, 因此, 当存取要求讯号为读取要求讯号时, 存取信息产生单元 121 产生的存取信息不需送入记忆装置 13, 而记忆装置 13 仅需通过地址讯号与排区选取讯号即可执行数据读取。如此, 可达到还进一步的省电功效。

[0021] 此外, 在所述的  $M$  个频率周期结束时, 此时单位数据量的存取已完成, 桥接装置 12 会发出一确认 (acknowledge) 讯号 (图未显示) 至数据处理单元 11, 以通知其可继续进行

下一个动作,例如执行下一个程序指令。

[0022] 在一较佳实施例中,若数据处理单元 11 的实际数据宽度为 N 位,则当 N 小于数据讯号的位数时,记忆装置 13 是依据一位选取讯号,选取数据讯号中的 N 个位以执行单位数据量的写入,而所述的位选取讯号是由地址译码单元 122 依据地址讯号所产生。举例而言,当 N 为 8 且数据讯号的位数为 16 时,记忆装置 13 可依据位选取讯号,选取数据讯号中的 8 个最高位或 8 个最低位 (least significant bit) 以执行写入动作;而若记忆装置 13 的每一地址对应在一 8 位的储存位置,地址译码单元 122 可依据地址讯号的一最低位,产生位选取讯号,也即,当所述的最低位为 0 时,位选取讯号是选取数据讯号的 8 个最低位写入;当所述的最低位为 1 时,位选取讯号是选取数据讯号的 8 个最高位写入。如此,若数据处理单元 11 为 8 位的微控制器,则可与另一 32 位的微控制器(或微处理器,图未显示)共享桥接装置 12,以 16 位的方式(也即 16 位的数据讯号)存取记忆装置 13。换言之,在数据处理单元 11 为 8 位的微控制器的情况下,当数据处理单元 11 要执行写入时,若其送出的地址讯号的最低位为 0 时,数据处理单元 11 会将其 8 位的数据放在数据讯号的 8 个最低位;若地址讯号的最低位为 1 时,则放在数据讯号的 8 个最高位,也即,执行两次单位数据量的写入动作,以完成 16 位的数据写入。另一方面,当数据处理单元 11 为 32 位的微控制器的情况下,32 位的微控制器对于其 32 位的数据总线,只固定使用最低(或最高)的 16 个位,将其放在数据讯号的 16 个位,并忽略位选取讯号,以一次单位数据量的写入动作完成 16 位的数据写入。

[0023] 图 3 是本发明的数据存取方法的一实施例的流程图。所述的数据存取方法可用以存取一具有复数个记忆排区的记忆装置,且包含下列步骤:

[0024] 步骤 30:发出一存取要求讯号,以启动所述的记忆装置的至少一单位数据量的存取,其中所述的单位数据量的存取是在一参考频率讯号的复数个频率周期内执行。

[0025] 步骤 31:依据所述的存取要求讯号、所述的参考频率讯号与一前置时间,产生一存取信息,其中所述的存取信息包含一脉冲,所述的脉冲在所述的这些频率周期内的时序是依据所述的前置时间决定。

[0026] 步骤 32:依据一地址讯号,产生一排区选取讯号,用以选取所述的这些记忆排区其中之一。

[0027] 步骤 33:被选取的记忆排区依据所述的存取信息执行所述的单位数据量的存取。

[0028] 步骤 34:在所述的这些频率周期结束前,产生一确认讯号,以显示所述的单位数据量的存取完成。

[0029] 步骤 30 中,所述的存取要求讯号为一写入要求讯号或一读取要求讯号。当所述的存取要求讯号为写入要求讯号时,步骤 30 还发出对应于所述的写入要求讯号的一数据讯号至所述的记忆装置。步骤 31 中,所述的这些频率周期的起始点与所述的脉冲的起始点间的时距为所述的前置时间。在一较佳实施例中,步骤 31 还依据一后置时间,来产生所述的存取信息,其中所述的脉冲的结束点与所述的这些频率周期的结束点间的时距为所述的后置时间。

[0030] 步骤 32 中,是依据所述的地址讯号的至少一最高位,产生所述的排区选取讯号。步骤 33 中,所述的单位数据量的存取是在所述的脉冲的上升边缘或下降边缘时执行。

[0031] 以上所述仅为本发明的较佳实施例,对本发明而言仅仅是说明性的,而非限制性

的。本专业技术人员理解,在本发明权利要求所限定的精神和范围内可对其进行许多改变,修改,甚至等效,但都将落入本发明的保护范围内。

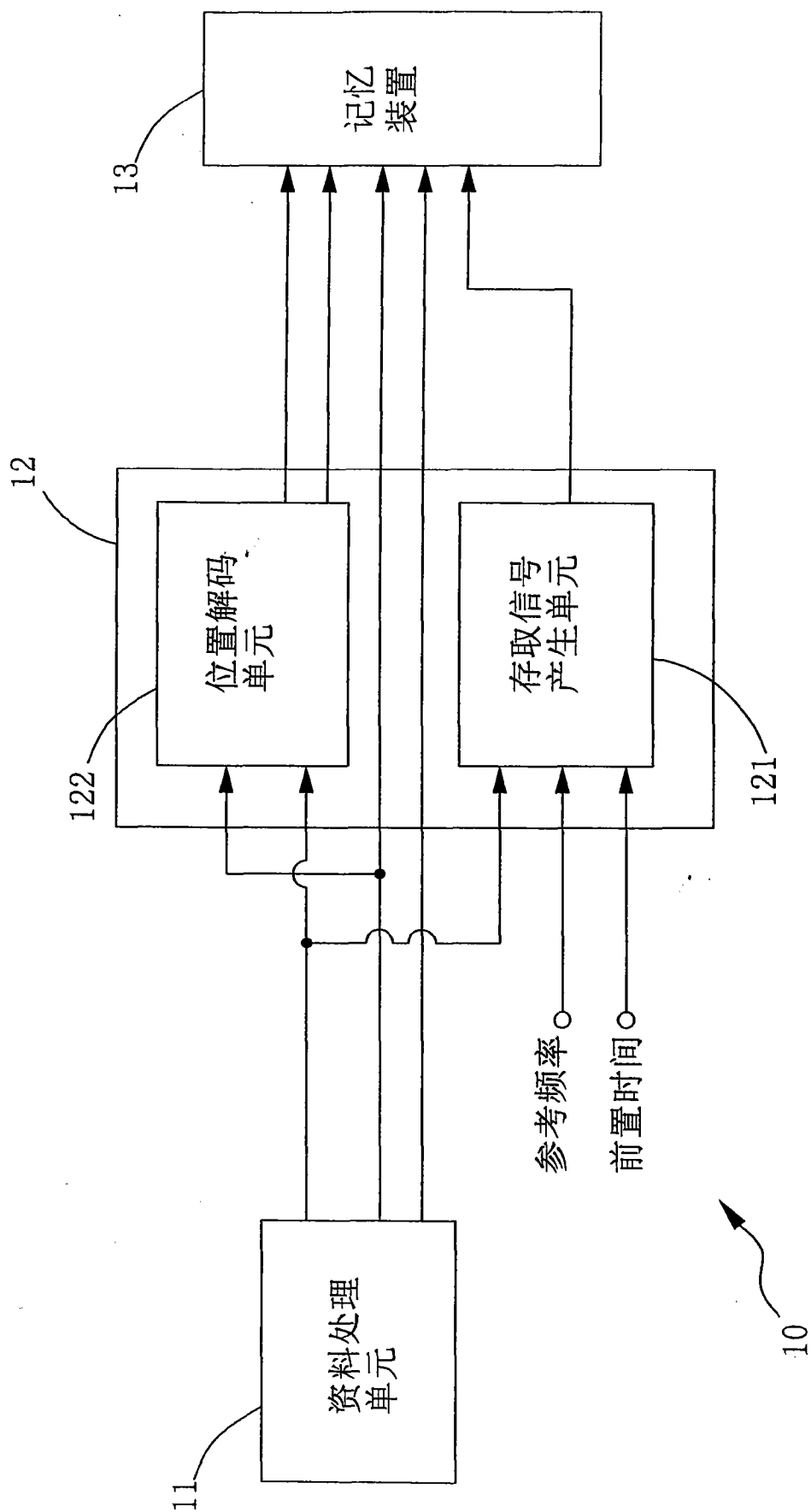


图1

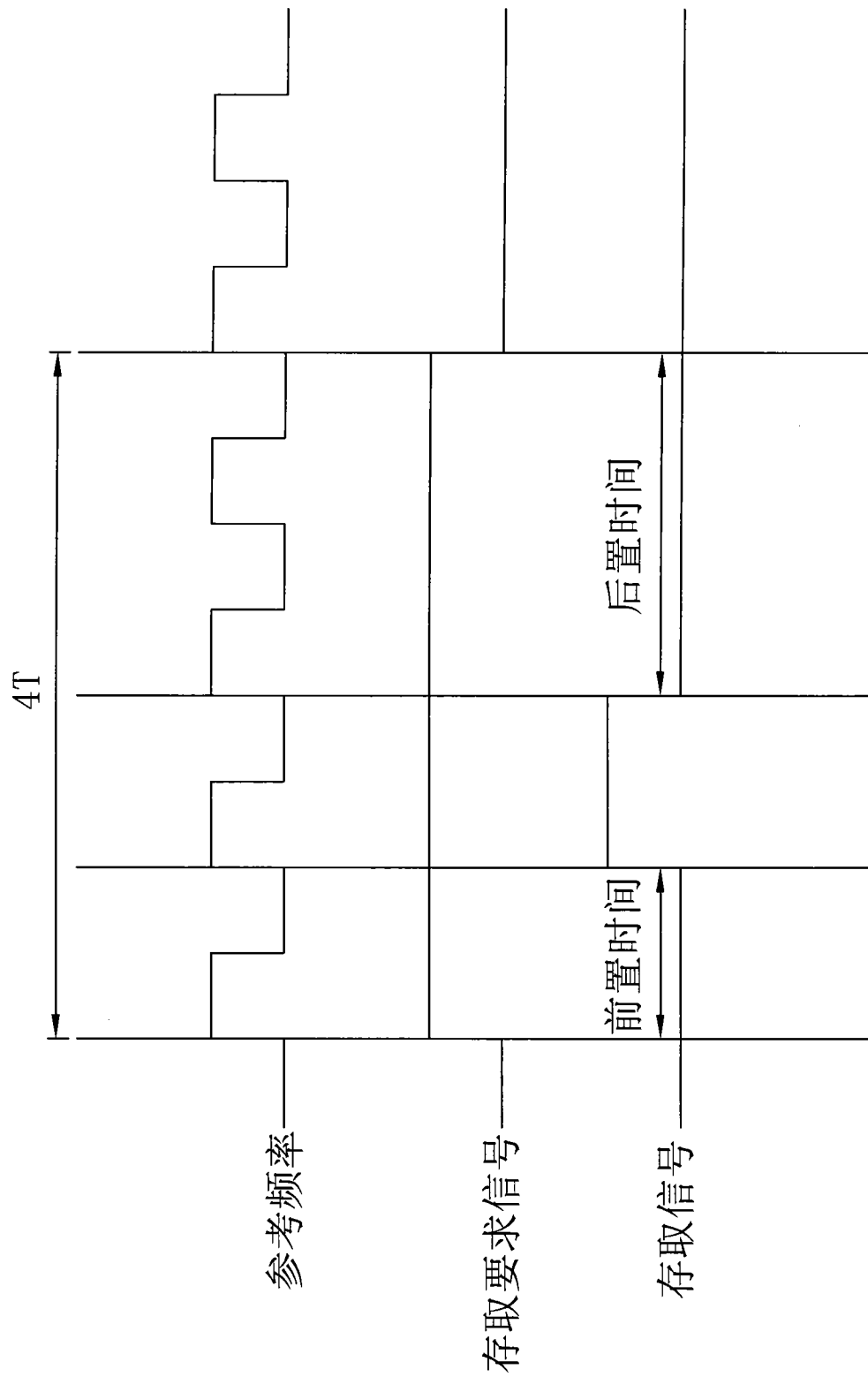


图2

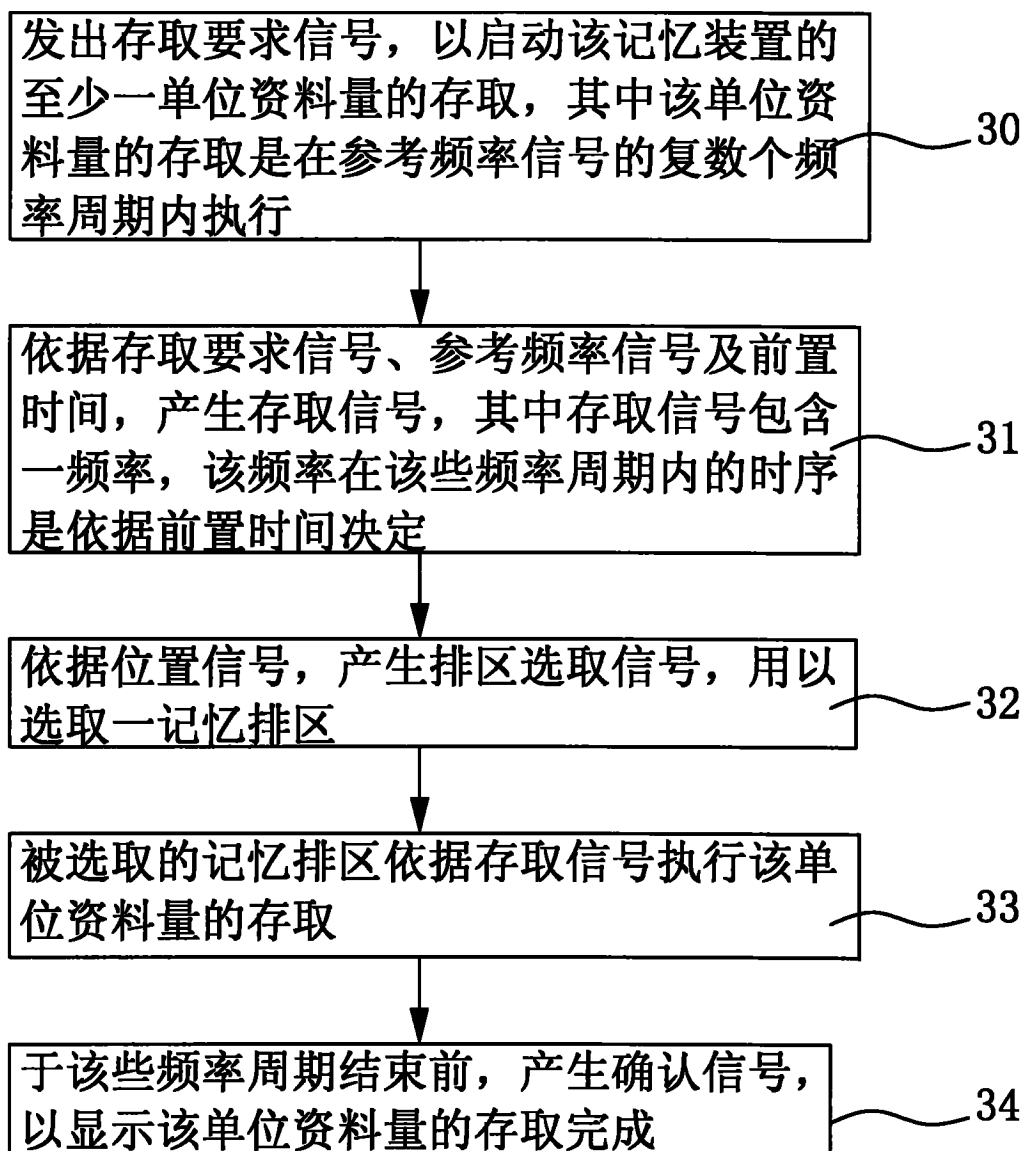


图3