



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년05월31일
(11) 등록번호 10-1862976
(24) 등록일자 2018년05월24일

(51) 국제특허분류(Int. Cl.)
H01L 21/8238 (2006.01) H01L 21/02 (2006.01)
H01L 27/092 (2006.01) H01L 51/05 (2006.01)
(52) CPC특허분류
H01L 21/8238 (2013.01)
H01L 21/02148 (2013.01)
(21) 출원번호 10-2017-0001378
(22) 출원일자 2017년01월04일
심사청구일자 2017년01월04일
(56) 선행기술조사문헌
KR1020120100128 A*
KR101679585 B1*
Phys. Chem. Chem. Phys(PCCP), Vol. 14, No.
41, pp.14081~14402 (2012. 11. 07.)
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암
동5가)
(72) 발명자
최종호
서울특별시 성북구 성북로4길 52, 110동 1505호
김대규
서울특별시 마포구 매봉산로2길 58, 나동 401호
(74) 대리인
정은열

전체 청구항 수 : 총 13 항

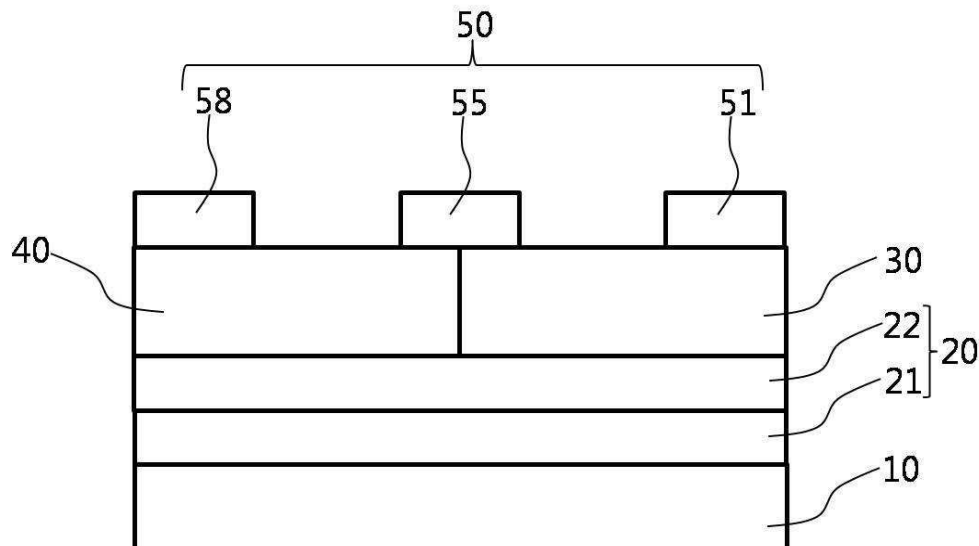
심사관 : 김진우

(54) 발명의 명칭 유기 시모스 인버터 및 이의 제조방법

(57) 요약

본 발명은 유기 시모스 인버터 및 이의 제조방법에 관한 것으로, 본 발명에 따른 유기 시모스 인버터는 기판(10), 기판(10)의 일면에 하프늄 티타늄 옥사이드(HfTiO_x)로 형성된 기저층(21), 및 기저층(21) 상에 엔-도데실 포스포닉 엑시드(n-dodecylphosphonic acid, PA-C12)로 형성된 자기조립층(22)을 포함하는 절연층(20), 절연층(20) 상의 소정의 영역에, 제1 유기물이 증착되어 형성되는 제1 채널층(30), 절연층(20) 상에, 제1 채널층(30)의 일측에 접촉하여 배치되도록, 제2 유기물이 증착되어 형성되는 제2 채널층(40), 및 제1 전극(51), 제2 전극(55), 및 제3 전극(58)을 포함하고, 제1 채널층(30), 및 제2 채널층(40) 상에 배치되는 전극부(50)를 포함한다.

대표도 - 도1



(52) CPC특허분류

H01L 27/092 (2013.01)

H01L 51/0508 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호 NRF20100020209

부처명 교육부

연구관리전문기관 한국연구재단

연구사업명 (이공)중점연구소지원

연구과제명 [이지바로] π -전자 제어를 통한 신기능성 분자체연구

기 여 율 10/100

주관기관 고려대학교 산학협력단

연구기간 2016.05.01 ~ 2017.04.30

이 발명을 지원한 국가연구개발사업

과제고유번호 NRF2014R1A2A2A01005719

부처명 미래창조과학부

연구관리전문기관 한국연구재단

연구사업명 (이공)중견연구자지원_핵심연구

연구과제명 [이지바로][3차년도]방향족 과도화합물의 반응성과 응용성에 관한 연구

기 여 율 90/100

주관기관 고려대학교 산학협력단

연구기간 2016.05.01 ~ 2017.04.30

공지예외적용 : 있음

명세서

청구범위

청구항 1

기관;

상기 기관의 일면에 하프늄 티타늄 옥사이드(HfTiO_x)로 형성된 기저층, 및 상기 기저층 상에 엔-도데실포스포닉 엑시드(n-dodecylphosphonic acid, PA-C12)로 형성된 자기조립층을 포함하는 절연층;

상기 절연층 상의 소정의 영역에, 제1 유기물이 증착되어 형성되는 제1 채널층;

상기 절연층 상에, 상기 제1 채널층의 일측에 접촉하여 배치되도록, 제2 유기물이 증착되어 형성되는 제2 채널층; 및

제1 전극, 제2 전극, 및 제3 전극을 포함하고, 상기 제1 채널층, 및 상기 제2 채널층 상에 배치되는 전극부;

를 포함하고,

상기 제1 채널층은, 상기 제1 유기물이 n형 유기 반도체 물질을 포함하여, n-채널 모스펫(MOSFET)의 채널을 형성하며,

상기 제2 채널층은, 상기 제2 유기물이 p형 유기 반도체 물질을 포함하여, p-채널 모스펫(MOSFET)의 채널을 형성하고,

상기 제1 채널층, 및 상기 제2 채널층은, 각각의 측면이 서로 접하여, 측방으로 배열되며,

상기 제1 전극은 상기 제1 채널층 상에 배치되고, 상기 제2 전극은 상기 제1 채널층과 상기 제2 채널층의 경계를 가로지르도록 배치되며, 상기 제3 전극은 상기 제2 채널층 상에 배치되는 유기 시모스 인버터.

청구항 2

청구항 1에 있어서,

상기 기관은 n형 실리콘기관인 유기 시모스 인버터.

청구항 3

청구항 1에 있어서,

상기 기관은 플라스틱 기관이고,

상기 기관의 타면에 배치되고, 전계를 형성하는 게이트전극;을 더 포함하는 유기 시모스 인버터.

청구항 4

청구항 1에 있어서,

상기 절연층의 두께는 200 ~ 300 Å인 유기 시모스 인버터.

청구항 5

청구항 1에 있어서,

상기 제1 유기물은 N,N'-디트리데실페린렌-3,4,9,10-테트라카복실릭다이이미드(N,N'-ditridecylperylene-

3,4,9,10-tetracarboxylic diimide, PTCDI-C13)인 유기 시모스 인버터.

청구항 6

청구항 1에 있어서,

상기 제1 채널층의 두께는 450 ~ 550 Å인 유기 시모스 인버터.

청구항 7

청구항 1에 있어서,

상기 제2 유기물은 펜타센(Pentacene)인 유기 시모스 인버터.

청구항 8

청구항 1에 있어서,

상기 제2 채널층의 두께는 450 ~ 550 Å인 유기 시모스 인버터.

청구항 9

청구항 1에 있어서,

상기 전극부는 상기 제2 전극을 사이에 두고, 상기 제1 전극과 상기 제3 전극이 마주보도록 배치되고,

상기 제2 전극의 일단에 빗살 형상으로 소정의 간격을 두고 돌출되는 다수의 제1 가지, 및 타단에 빗살 형상으로 소정의 간격을 두고 돌출되는 다수의 제2 가지가 형성되며,

상기 제1 전극에 빗살 형상으로 소정의 간격을 두고, 상기 제2 전극의 일단을 향하여 돌출되되, 상기 제1 가지와 엇갈리게 배치되는 다수의 제3 가지가 형성되며,

상기 제3 전극에 빗살 형상으로 소정의 간격을 두고, 상기 제2 전극의 타단을 향하여 돌출되되, 상기 제2 가지와 엇갈리게 배치되는 다수의 제4 가지가 형성되어,

상기 제1 가지와 상기 제3 가지 사이에서 지그재그 형상으로 n-채널이 형성되고, 상기 제2 가지와 상기 제4 가지 사이에서 지그재그 형상으로 p-채널이 형성되는 유기 시모스 인버터.

청구항 10

청구항 9에 있어서,

상기 n-채널의 너비는 6600 ~ 7000 μm 이고, 길이는 130 ~ 170 μm 이며,

상기 p-채널의 너비는 3200 ~ 3600 μm 이고, 길이는 130 ~ 170 μm 인 유기 시모스 인버터.

청구항 11

A) 기판의 일면에, 하프늄 옥사이드(HfO_x) 선구물질과 티타늄 옥사이드(TiO_x) 선구물질을 혼합한 혼합물을 코팅하여 기저층을 형성하는 단계;

B) 엔-도데실포스포닉 엑시드(n-dodecylphosphonic acid, PA-C12)을 에탄올에 녹여 형성한 코팅액에 상기 기저층을 침지하여, 상기 기저층 상에 자기조립층을 형성하는 단계;

C) 상기 기저층 및 상기 자기조립층이 순차적으로 적층되어 형성된 절연층 상의 소정의 영역에, 클러스터 빔(cluster beam) 증착법으로, 제1 유기물을 증착하여 제1 채널층을 형성하는 단계; 및

D) 상기 절연층 상에, 상기 제1 채널층과 접촉 배치되도록, 클러스터 빔(cluster beam) 증착법으로, 제2 유기물을 증착하여 제2 채널층을 형성하는 단계;

를 포함하고,

E) 상기 제1 채널층, 및 상기 제2 채널층 상에, 제1 전극, 제2 전극, 및 제3 전극을 포함하는 전극부를 형성하는 단계;

를 더 포함하며,

상기 제1 채널층은, 상기 제1 유기물이 n형 유기 반도체 물질을 포함하여, n-채널 모스펫(MOSFET)의 채널을 형성하고,

상기 제2 채널층은, 상기 제2 유기물이 p형 유기 반도체 물질을 포함하여, p-채널 모스펫(MOSFET)의 채널을 형성하며,

상기 제1 채널층, 및 상기 제2 채널층은, 각각의 측면이 서로 접하여, 측방으로 배열되고,

상기 제1 전극은 상기 제1 채널층 상에 배치되며, 상기 제2 전극은 상기 제1 채널층과 상기 제2 채널층의 경계를 가로지르도록 배치되고, 상기 제3 전극은 상기 제2 채널층 상에 배치되는 유기 시모스 인버터의 제조방법.

청구항 12

청구항 11에 있어서,

상기 제1 유기물이 증착되는 속도는 $1.0 \sim 2.0 \text{ \AA/s}$ 인 유기 시모스 인버터의 제조방법.

청구항 13

청구항 11에 있어서,

상기 제2 유기물이 증착되는 속도는 $0.8 \sim 1.0 \text{ \AA/s}$ 인 유기 시모스 인버터의 제조방법.

발명의 설명

기술 분야

[0001] 본 발명은 유기 시모스 인버터 및 이의 제조방법에 관한 것으로서, 보다 상세하게는 저전압에서 구동되고, 전계 이동도와 Pull Up/Down이 효과적인 유기 시모스 인버터 및 이의 제조방법에 관한 것이다.

배경 기술

[0003] 지난 10년간 유기 박막 트랜지스터(Organic Thin Film Transistor : OTFT)의 성능이 급속히 향상되면서, 플렉시블 디스플레이(Flexible Display), RFID tag, 태양 전지 등의 다양한 분야에서 OTFT를 이용하는 유기전자 소자에 대한 연구가 활발히 진행되어 왔다.

[0004] 특히, RFID(Radio Frequency Identification)는 일반적으로 125kHz, 13.56MHz 또는 800~900MHz 정도의 주파수를 이용하여 사람이나 물건을 특정하는 기술로서, RFID 태그(Tag) 내에 마이크로칩이 내장되어 많은 정보를 저장할 수 있다. RFID 태그에는 개인의 소지와 동시에 정보를 가지는 태그와 그 정보를 분석하는 태그 리더(Tag Reader), 이들 둘 사이의 정보와 전원을 주고받는 태그 안테나(Tag antenna), 그리고 정보를 받아들이는 태그 저장소(Tag station) 등으로 구성된다. 여기서, 태그 내의 정보는 안테나를 통하여 리더(Reader)에게 전달되고, 이는 컴퓨터를 통해 분석된다. 이때, 태그와 안테나 사이에 라디오 주파수(RF)가 사용되어 무선으로 정보 전달을 한다. 또한, 안테나에는 용도에 따라 패드 안테나와 게이트 안테나가 사용되는데, 리더와 연결된 이들 안

테나를 통해 태그에 RF를 이용하여 전원을 공급하므로, 태그 내부에 전원 소자를 갖출 필요가 없다.

[0005] 최근에는 RFID 태그 중에서도 초저가의 유기 RFID 태그의 개발에 대한 관심이 증대되고 있다. 일반적으로 유기 RFID 태그의 가능성에 대한 연구는 유기 반도체 전자소자 중, 전계효과 트랜지스터(Organic Field-Effect Transistor)를 이용하여 태그를 구성하는 핵심회로인 인버터(Inverter), 링 발진기(Ring Oscillator), 정류기 등 유기집적회로(Organic Integrated Circuits)를 설계 제작하고 그 특성을 분석하는 방식으로 이루어진다.

[0006] 한편, 하기 선행기술문헌의 특허문헌에 개시된 바와 같이, 시모스(Complementary Metal-Oxide-Semiconductor : CMOS)를 기반으로 하는 유기 반도체 전자회로인 인버터(Inverter)에 있어서, 기존의 실리콘(silicon) 전자소자는 n-형 트랜지스터(n-type transistor)와 p-형 트랜지스터(p-type transistor)를 모두 사용하는 상보성 집적회로(Complementary Integrated Circuit)을 이용하여 회로(Circuit)를 제작하고 있다. 그러나 n-형 유기 반도체는 공기 중에서 불안정하고, 전하 이동도도 p-형에 비해 낮아서, 시모스(Complementary Metal-Oxide-Semiconductor : CMOS) 기반의 전자 회로(Electronic Circuits) 제작에 어려움이 있다.

[0007] 또한, 절연체로서 사용되는 SiO₂, PMMA 등은 절연 능력이나 안정도가 높은 장점이 있으나, 낮은 유전율로 인해 높은 정전용량을 확보할 수 없고, 이로 인해 소자의 소형화에 근본적인 한계가 있다.

[0008] 이에, 종래 유기 시모스 인버터의 문제점을 해결하기 위한 방안이 절실히 요구되고 있다.

선행기술문헌

특허문헌

[0010] (특허문헌 0001) KR 10-2012-0073754 A

발명의 내용

해결하려는 과제

[0011] 본 발명은 상술한 종래기술의 문제점을 해결하기 위한 것으로, 본 발명의 일 측면은 하프늄 티타늄 옥사이드(HfTiO_x)의 기저층이 형성되고, 그 위에 엔-도데실포스포닉 엑시드(n-dodecylphosphonic acid, PA-C12) 화합물로 자기조립층을 증착하여 우수한 절연특성을 가지는 유기 시모스 인버터를 제공하는 것이다.

과제의 해결 수단

[0013] 본 발명의 실시예에 따른 유기 시모스 인버터는 기관; 상기 기관의 일면에 하프늄 티타늄 옥사이드(HfTiO_x)로 형성된 기저층, 및 상기 기저층 상에 엔-도데실포스포닉 엑시드(n-dodecylphosphonic acid, PA-C12)로 형성된 자기조립층을 포함하는 절연층; 상기 절연층 상의 소정의 영역에, 제1 유기물이 증착되어 형성되는 제1 채널층; 상기 절연층 상에, 상기 제1 채널층의 일측에 접촉하여 배치되도록, 제2 유기물이 증착되어 형성되는 제2 채널층; 및 제1 전극, 제2 전극, 및 제3 전극을 포함하고, 상기 제1 채널층, 및 상기 제2 채널층 상에 배치되는 전극부;을 포함한다.

[0014] 또한, 본 발명의 실시예에 따른 유기 시모스 인버터에 있어서, 상기 기관은 n형 실리콘기관이다.

[0015] 또한, 본 발명의 실시예에 따른 유기 시모스 인버터에 있어서, 상기 기관은 플라스틱 기관이고, 상기 기관의 타면에 배치되고, 전계를 형성하는 게이트전극;을 더 포함한다.

[0016] 또한, 본 발명의 실시예에 따른 유기 시모스 인버터에 있어서, 상기 절연층의 두께는 200 ~ 300 Å이다.

[0017] 또한, 본 발명의 실시예에 따른 유기 시모스 인버터에 있어서, 상기 제1 유기물은 N,N'-디트리데실페린렌-3,4,9,10-테트라카복실릭다이미드(N,N'-ditridecylperylene-3,4,9,10-tetracarboxylic diimide, PTCDI-C13)이다.

[0018] 또한, 본 발명의 실시예에 따른 유기 시모스 인버터에 있어서, 상기 제1 채널층의 두께는 450 ~ 550 Å이다.

[0019] 또한, 본 발명의 실시예에 따른 유기 시모스 인버터에 있어서, 상기 제2 유기물은 펜타센(Pentacene)이다.

- [0020] 또한, 본 발명의 실시예에 따른 유기 시모스 인버터에 있어서, 상기 제2 채널층의 두께는 450 ~ 550 Å이다.
- [0021] 또한, 본 발명의 실시예에 따른 유기 시모스 인버터에 있어서, 상기 전극부는 상기 제2 전극을 사이에 두고, 상기 제1 전극과 상기 제3 전극이 마주보도록 배치되고, 상기 제2 전극의 일단에 빗살 형상으로 소정의 간격을 두고 돌출되는 다수의 제1 가지, 및 타단에 빗살 형상으로 소정의 간격을 두고 돌출되는 다수의 제2 가지가 형성되며, 상기 제1 전극에 빗살 형상으로 소정의 간격을 두고, 상기 제2 전극의 일단을 향하여 돌출되되, 상기 제1 가지와 엇갈리게 배치되는 다수의 제3 가지가 형성되며, 상기 제3 전극에 빗살 형상으로 소정의 간격을 두고, 상기 제2 전극의 타단을 향하여 돌출되되, 상기 제2 가지와 엇갈리게 배치되는 다수의 제4 가지가 형성되어, 상기 제1 가지와 상기 제3 가지 사이에서 지그재그 형상으로 n-채널이 형성되고, 상기 제2 가지와 상기 제4 가지 사이에서 지그재그 형상으로 p-채널이 형성된다.
- [0022] 또한, 본 발명의 실시예에 따른 유기 시모스 인버터에 있어서, 상기 n-채널의 너비는 6600 ~ 7000 μm이고, 길이는 130 ~ 170 μm이며, 상기 p-채널의 너비는 3200 ~ 3600 μm이고, 길이는 130 ~ 170 μm이다.
- [0023] 한편, 본 발명의 실시예에 따른 유기 시모스 인버터의 제조방법은 A) 기판의 일면에, 하프늄 옥사이드(HfO_x) 선구물질과 티타늄 옥사이드(TiO_x) 선구물질을 혼합한 혼합물을 코팅하여 기저층을 형성하는 단계; B) 엔-도데실포스포닉 엑시드(n-dodecylphosphonic acid, PA-C12)을 에탄올에 녹여 형성한 코팅액에 상기 기저층을 침지하여, 상기 기저층 상에 자기조립층을 형성하는 단계; C) 상기 기저층 및 상기 자기조립층이 순차적으로 적층되어 형성된 절연층 상의 소정의 영역에, 클러스터 빔(cluster beam) 증착법으로, 제1 유기물을 증착하여 제1 채널층을 형성하는 단계; 및 D) 상기 절연층 상에, 상기 제1 채널층과 접촉 배치되도록, 클러스터 빔(cluster beam) 증착법으로, 제2 유기물을 증착하여 제2 채널층을 형성하는 단계;를 포함한다.
- [0024] 또한, 본 발명의 실시예에 따른 유기 시모스 인버터의 제조방법에 있어서, 상기 제1 유기물이 증착되는 속도는 1.0 ~ 2.0 Å/s이다.
- [0025] 또한, 본 발명의 실시예에 따른 유기 시모스 인버터의 제조방법에 있어서, 상기 제2 유기물이 증착되는 속도는 0.8 ~ 1.0 Å/s이다.
- [0027] 본 발명의 특징 및 이점들은 첨부도면에 의거한 다음의 상세한 설명으로 더욱 명백해질 것이다.
- [0029] 이에 앞서 본 명세서 및 청구범위에 사용된 용어나 단어는 통상적이고 사전적인 의미로 해석되어서는 아니되며, 발명자가 그 자신의 발명을 가장 최선의 방법으로 설명하기 위해 용어의 개념을 적절하게 정의할 수 있다는 원칙에 입각하여 본 발명의 기술적 사상에 부합하는 의미와 개념으로 해석되어야만 한다.

발명의 효과

- [0031] 본 발명에 따르면, 하프늄 티타늄 옥사이드(HfTiO_x)와 엔-도데실포스포닉 엑시드가 순차적으로 적층된 형태의 절연층을 형성함으로써, 절연특성, 공기 중에서의 안정도, 및 이동도가 증가하고, 나아가 균형 있는 문턱전압으로 인해 잡음 여유(Noise Margin)가 크고 높은 획득(Gain)을 가질 수 있다.

도면의 간단한 설명

- [0033] 도 1은 본 발명의 실시예에 따른 유기 시모스 인버터의 단면도이다.
- 도 2는 본 발명의 실시예에 따른 유기 시모스 인버터의 평면도이다.
- 도 3는 본 발명의 실시예에 따른 유기 시모스 인버터의 입력전압(V_{IN})에 대한 출력전압(V_{OUT}) 함수값을 1과 0의 논리값에 해당하는 스위칭 특성으로 나타내는 그래프(VTC, voltage transfer characteristics)이다.
- 도 4는 p-채널 MOSFET의 전류-전압 특성에 대한 아웃풋(output) 특성을 나타낸 그래프이다.
- 도 5는 n-채널 MOSFET의 전류-전압 특성에 대한 아웃풋(output) 특성을 나타낸 그래프이다.
- 도 6은 p-채널 MOSFET의 전류-전압 특성에 대한 전달(transfer) 특성을 나타낸 그래프이다.
- 도 7은 n-채널 MOSFET의 전류-전압 특성에 대한 전달(transfer) 특성을 나타낸 그래프이다.

발명을 실시하기 위한 구체적인 내용

- [0034] 본 발명의 목적, 특정한 장점들 및 신규한 특징들은 첨부된 도면들과 연관되어지는 이하의 상세한 설명과 바람직한 실시예들로부터 더욱 명백해질 것이다. 본 명세서에서 각 도면의 구성요소들에 참조번호를 부가함에 있어서, 동일한 구성 요소들에 한해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 번호를 가지도록 하고 있음에 유의하여야 한다. 또한, "제1", "제2" 등의 용어는 하나의 구성요소를 다른 구성요소로부터 구별하기 위해 사용되는 것으로, 구성요소가 상기 용어들에 의해 제한되는 것은 아니다. 이하, 본 발명을 설명함에 있어서, 본 발명의 요지를 불필요하게 흐릴 수 있는 관련된 공지 기술에 대한 상세한 설명은 생략한다.
- [0036] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시형태를 상세히 설명하기로 한다.
- [0038] 도 1은 본 발명의 실시예에 따른 유기 시모스 인버터의 단면도이다.
- [0039] 도 1에 도시된 바와 같이, 본 발명에 따른 유기 시모스 인버터는 기판(10), 기판(10)의 일면에 하프늄 티타늄 옥사이드(HfTiO_x)로 형성된 기저층(21), 및 기저층(21) 상에 엔-도데실포스포닉 엑시드(n-dodecylphosphonic acid, PA-C12)로 형성된 자기조립층(22)을 포함하는 절연층(20), 절연층(20) 상의 소정의 영역에, 제1 유기물이 증착되어 형성되는 제1 채널층(30), 절연층(20) 상에, 제1 채널층(30)의 일측에 접촉하여 배치되도록, 제2 유기물이 증착되어 형성되는 제2 채널층(40), 및 제1 전극(51), 제2 전극(55), 및 제3 전극(58)을 포함하고, 제1 채널층(30), 및 제2 채널층(40) 상에 배치되는 전극부(50)를 포함한다.
- [0041] 발명에 따른 유기 시모스 인버터는 복잡한 유기물 기반의 집적회로를 제작할 때 사용되는 기본적인 회로소자로서, 인버터는 입력이 1일 때 출력이 0이고, 입력이 0일 때 출력이 1이 되는 부정 논리회로이다. 이러한 인버터는 NOR, NAND, SRAM, 링 발진기와 같이 논리 구조를 형성하는 중요한 요소로 작용한다.
- [0042] 한편, 시모스(CMOS, Complementary Metal Oxide Semiconductor)는 상보성 금속 산화막 반도체로서, p-채널 및 n-채널 모스펫(MOSFET)이 상보적으로 동작하는 반도체이다. 여기서, 모스펫(MOSFET)은 금속 산화막 반도체 전계효과 트랜지스터((Metal Oxide Silicon Field Effect Transistor)로서, 산화막을 절연층으로 하는 전계효과 트랜지스터(FET, Field Effect Transistor)를 의미한다. 이때, p-채널 모스펫(MOSFET)은 정공에 의해 양전하가 이동하는 모스펫(MOSFET)이고, n-채널 모스펫(MOSFET)은 전자에 의해 음전하가 이동하는 모스펫(MOSFET)이다. 한편, 전계효과 트랜지스터(FET, Field Effect Transistor)는 캐리어를 공급하는 소스, 캐리어가 흘러나가는 드레인, 캐리어의 흐름을 제어하는 게이트, 소스와 드레인 사이에서 캐리어가 흐르는 채널로 구성된다. 이때, 전계효과 트랜지스터(FET, Field Effect Transistor)는 전자 흐름을 다른 전극으로 제어하는 전압 제어형 트랜지스터로서, 게이트와 소스 간에 게이트 전압이 가해지면 전계가 생기고, 이러한 전계에 의하여 소스와 드레인 사이에 흐르는 드레인 전류가 제한된다.
- [0043] 한편, 본 발명에 따른 유기 시모스 인버터는 유기 전계효과 트랜지스터(OFET, Organic Field Effect Transistor)를 이용하는데, 여기서 유기 전계효과 트랜지스터(OFET, Organic Field Effect Transistor)는 반도체 성질을 가지는 유기물 즉, 유기 반도체가 채널층을 형성하는 전계효과 트랜지스터(FET, Field Effect Transistor)이다.
- [0045] 구체적으로, 본 발명에 따른 유기 시모스 인버터는 기판(10), 절연층(20), 제1 채널층(30), 제2 채널층(40) 및 전극부(50)를 포함한다.
- [0047] 여기서, 기판(10)은 n형 실리콘 기판일 수 있다. 이때, 기판(10)이 입력전극으로 이용되어 게이트 전압이 인가된다. 다만, 기판(10)이 반드시 n형 실리콘 기판에 한정되는 것은 아니고, 플라스틱 기판일 수도 있다. 이러한 플라스틱 기판은 폴리에테르술폰(polyethersulphone, PES), 폴리아크릴레이트(polyacrylate), 폴리에테르 이미드(polyetherimide, PEI), 폴리에틸렌 나프탈레이트(polyethylenenapthalate, PEN), 폴리에틸렌 테레프탈레이트(polyethyleneterephthalate, PET), 폴리페닐렌 설파이드(polyphenylene sulfide, PPS), 폴리아릴레이트(polyarylate, PAR), 폴리이미드(polyimide, PI), 폴리카보네이트(polycarbonate, PC), 셀룰로오스 트리아세테이트(TAC) 및 셀룰로오스아세테이트 프로피오네이트(cellulose acetate propionate, CAP)로 형성될 수 있다. 한편, 본 발명에 따른 유기 시모스 인버터에 있어서, 기판(10)의 일면에는 절연층(20)이 배치되는데, 기판(10)이 플라스틱 기판인 경우에는 게이트 전압을 인가하기 위해서, 기판(10)의 타면에 배치되는 게이트전극(도시되지 않음)을 더 포함할 수 있다. 여기서, 기판(10)의 일면은 기판의 상면 또는 일면 중 어느 하나의 면을 의미하고, 타면은 그 반대면을 의미한다.
- [0049] 절연층(20)은 후술할 제1 채널층(30) 및 제2 채널층(40)에 전계가 걸리도록, 전류를 차단하는 절연체로 이루어진 레이어(layer)이다. 이러한 절연층(20)은 기판(10)의 일면에 형성되어, 게이트 전압이 걸리더라도, 전류를

차단한다.

- [0050] 유기 전계효과 트랜지스터(OFET, Organic Field Effect Transistor)와 유기 시모스 (Complementary Metal-Oxide-Semiconductor : CMOS) 인버터(Inverter) 에 있어서, 절연층(20)의 유전율은 소자를 구동하는 구동전압과 직결된다. p형 트랜지스터를 예로 들어 설명하면, p형 트랜지스터의 경우에 입력전극(게이트전극)에 음의 게이트 전압을 인가할 때에, 전압에 의한 전계의 효과로, 절연층(20)에 분극현상이 일어나고, 이로 인해 유기반도체와 절연층(20) 계면에서 양전하가 유도된다. 이때, 소스와 드레인 사이에 전압을 인가하면, 소스와 드레인 사이에 더 많은 전류가 흐르게 된다. 반대로, 입력전극에 양의 게이트 전압을 인가하면, 전계에 의해서 양전하가 위로 올라가므로, 유기반도체와 절연층(20) 계면에서 전도 전하가 없는 층이 생긴다. 따라서, 소스와 드레인 사이에 전압을 인가하면, 게이트 전압이 인가되지 않을 때보다 더 낮은 양의 전류가 흐른다. 이러한 동작원리에 따라, 소스와 드레인 사이에 전압을 인가한 상태에서 게이트에 양의 전압과 음의 전압을 교대로 인가함으로써, 소스와 드레인 사이에 흐르는 전류의 양을 제어한다. 여기서, 소스와 드레인 사이에 흐르는 전류의 양은 절연층(20)의 유전율 및 게이트 전압에는 비례하지만, 절연층(20)의 두께에는 반비례한다. 한편, 유기회로 제작에 있어서, 전력 소모를 낮추기 위해서는 유기 전계효과 트랜지스터(OFET, Organic Field Effect Transistor)의 구동 바이어스를 감소시켜야 하므로, 낮은 게이트 전압에서 인버터가 작동해야 한다. 따라서, 낮은 게이트 전압에서도 소스와 드레인 사이에 적정한 양의 전류가 흐르기 위해서는, 유전율이 큰 절연체를 사용하거나, 절연층(20)의 두께를 줄여야 한다. 다만, 절연층(20)의 두께를 줄이는 것은 물리적인 한계가 있을 뿐만 아니라, 그 두께가 작아짐에 따라 누설전류의 양이 증가하여 소자의 구동이 원활하지 않으므로, 절연층(20)의 두께를 무한대로 줄일 수는 없다.
- [0051] 이에, 본 발명에서는 인버터가 저전압에서 구동되며 높은 절연능력을 가질 수 있도록, 절연층(20)은 기저층(21), 및 자기조립층(22)이 순차적으로 적층된 구조로 형성된다. 여기서, 기저층(21)은 하프늄 티타늄 옥사이드(HfTiO_x)로, 자기조립층(22)은 엔-도데실포스포닉 엑시드(n-dodecylphosphonic acid, PA-C12)로 이루어지며, 기판(10)의 일면에 순차적으로 기저층(21)과 자기조립층(22)이 배치된다.
- [0052] 기저층(21)을 이루는 하프늄 티타늄 옥사이드(HfTiO_x)는 하프늄과 티타늄의 산화물로서, 큰 유전상수와 절연 능력을 가진다. 여기서, 유전상수는 상대 유전율로 전기장이 주어졌을 때 물질이 전하를 상대적으로 어느 정도 저장할 수 있는가를 나타내는 척도이다. 종래 유기 전계효과 트랜지스터(OFET, Organic Field Effect Transistor)에는 SiO_2 , PMMA 등이 절연체로 사용되는데, SiO_2 의 유전상수 값은 3.9이고, PMMA의 유전상수 값은 2.5 ~ 4.5이므로, 구동 전압이 20 V를 초과하는 고전압에서만 구동된다. 반면, 하프늄 티타늄 옥사이드(HfTiO_x)의 유전상수 값은 30 ~ 60이므로, 종래 절연체에 비해 상당히 큰 유전상수 값을 갖는다.
- [0053] 이러한 하프늄 티타늄 옥사이드(HfTiO_x)는 하프늄 옥사이드(HfO_x) 선구물질과 티타늄 옥사이드(TiO_x) 선구물질을 혼합하여 만든 혼합물로 하프늄 옥사이드보다 높은 유전상수를 가지며 티타늄 옥사이드의 낮은 절연특성을 보완해준다.
- [0054] 또한, 엔-도데실포스포닉 엑시드(PA-C12)로 형성된 자기조립층(22)이 하프늄 티타늄 옥사이드(HfTiO_x)의 기저층(21) 상에 형성됨으로써, 절연층의 절연 능력이 높아지며, 후술할 제1 채널층(30) 및 제2 채널층(40)의 결정성이 향상되어, 이동도와 전류점밀비가 증가한다.
- [0055] 따라서, 본 발명에 따른 유기 시모스 인버터는 하프늄 티타늄 옥사이드(HfTiO_x)와 엔-도데실포스포닉 엑시드(PA-C12)가 적층되는 구조의 절연층(20)을 적용함으로써, 저전압에서 구동되어 전력 소모가 낮을 뿐만 아니라, 소자를 소형화하고 생산 단가를 절감하는 효과가 있다.
- [0056] 한편, 기저층(21)과 자기조립층(22)이 적층된 절연층(20)인 경우에 그 두께는 200 ~ 300 Å일 수 있다. 다만, 반드시 그 두께가 이에 한정되는 것은 아니고, 다른 조건에 의해 그 범위를 달리 하여도 무방하다.
- [0058] 제1 채널층(30)은 n-채널 모스펫(MOSFET)의 채널을 형성하는 레이어(layer)로서, 절연층(20)의 일면 상의 소정의 영역에 증착된다. 여기서, 절연층(20)의 일면은 절연층(20)을 기준으로 기판(10)이 배치된 면의 반대면을 의미한다.
- [0059] 한편, 제1 채널층(30)은 제1 유기물이 증착되어 형성되는데, 이때 제1 유기물은 반도체의 성질을 갖는 유기반도체로서, 캐리어가 전자인 반도체 즉, n형 반도체이다. 예를 들어, 제1 유기물은 N,N'-디트리데실페린렌-3,4,9,10-테트라카복실릭다이이미드 (N,N'-ditridecylperylene-3,4,9,10-tetracarboxylic diimide, PTCDI-

C13)일 수 있다. N,N'-디트리테실페린렌-3,4,9,10-테트라카복실릭다이미드 (PTCDI-C13)는 전계이동도가 우수하고, HOMO-LUMO 에너지 차이가 적합하여 전자 주입이 용이하다. 다만, 제1 유기물이 반드시 이에 한정되는 것은 아니고, 다양한 n형 유기 반도체 물질을 포함할 수 있다. 한편, 제1 채널층(30)의 두께는 450 ~ 550 Å일 수 있지만, 반드시 이에 한정되어야 하는 것은 아니다.

[0061] 제2 채널층(40)은 p-채널 모스펫(MOSFET)의 채널을 형성하는 레이어(layer)로서, 절연층(20) 일면 상에 증착되는데, 제1 채널층(30)에 접촉하도록, 즉 제1 채널층(30)의 일측에 인접 배치된다. 여기서, 절연층(20)의 일면은 절연층(20)을 기준으로 기판(10)이 배치된 면의 반대면을 의미한다.

[0062] 한편, 제2 채널층(40)은 제2 유기물이 증착되어 형성되는데, 이때 제2 유기물은 캐리어가 정공인 p형 유기 반도체이다. 이러한 제2 유기물은 예를 들어, 펜타센(Pentacene)일 수 있다. 다만, 제2 유기물이 반드시 이에 한정되는 것은 아니고, 테트라센, 티오펜 올리고모 등과 같이 다양한 p형 유기 반도체 물질을 포함할 수도 있다. 한편, 제2 채널층(40)의 두께는 상술한 제1 채널층(30)의 두께와 동일하게, 450 ~ 550 Å일 수 있다. 그러나 그 두께가 반드시 이에 한정되어야 하는 것은 아니다.

[0064] 전극부(50)는 인버터를 작동시키는 전극으로서, 제1 전극(51), 제2 전극(55), 및 제3 전극(58)을 포함하고, 제1 채널층(30)과 2 채널층(40)의 일면에 배치된다. 여기서, 제1 채널층(30)과 2 채널층(40)의 일면은 제1 채널층(30)과 2 채널층(40)을 기준으로 절연층(20)이 배치된 면의 반대면을 의미한다. 따라서, 전극부(50)는 상부접촉(top-contact) 구조를 갖는다.

[0065] 여기서, 제1 전극(51)은 n-채널 모스펫(MOSFET)의 소스전극과 시모스 인버터의 그라운드(ground:GND)전극의 역할을 하고, 제2 전극(55)은 n-채널 및 p-채널 모스펫(MOSFET)의 드레인전극과 시모스 인버터의 출력전압(V_{OUT})전극 역할을 하며, 제3 전극(58)은 p-채널 모스펫(MOSFET)의 소스전극과 시모스 인버터의 공급전압(V_{DD})전극 역할을 한다. 한편, 기판(10)의 n도핑된 실리콘은 n-채널 및 p-채널 모스펫(MOSFET)의 게이트전극과 시모스 인버터의 입력전압(V_{IN})전극 역할을 한다. 따라서, 제1 전극(51)을 그라운드(ground, GND) 시키고, 제3 전극(58)에 일정한 전압을 공급(V_{DD}) 시킨 후, 기판(10)에 입력전압(V_{IN})을 가해주면 인버터가 작동된다.

[0066] 상기와 같은 구조를 갖는 유기 시모스 인버터에 있어서, 절연층(20), 제1 채널층(30), 및 제2 채널층(40)의 적절한 조화가 이루어져야 구동전압, 잡음, 획득값이 모두 우수하게 유지될 수 있으므로, 본 발명에 따른 유기 시모스 인버터의 절연층(20)이 200 ~ 300 Å의 두께일 때, 제1 채널층(30) 및 제2 채널층(40)은 450 ~ 550 Å의 범위 내에서 적절히 선택되는 것이 가장 바람직하다.

[0068] 도 2은 본 발명의 실시예에 따른 유기 시모스 인버터의 평면도이다.

[0069] 도 2에 도시된 바와 같이, 본 발명에 따른 유기 시모스 인버터는 지그재그 형상의 n-채널(31) 및 p-채널(41)이 형성될 수 있다. 구체적으로, 전극부(50)는 제2 전극(55)을 사이에 두고, 제1 전극(51)과 제3 전극(58)이 마주보도록 배치되고, 이때 제1 전극(51)은 제1 채널층(30) 상에, 제3 전극(58)은 제2 채널층(40) 상에, 각각 배치된다.

[0070] 여기서, 제2 전극(55)에는 제1 가지(54) 및 제2 가지(56)가 형성되는데, 제1 가지(54)는 다수 개로, 제2 전극(55)의 일단에 빗살 형상으로 소정의 간격을 두고 돌출되어 형성되고, 제2 가지(56)는 다수 개로, 제1 가지(54)와 같이 제2 전극(55)의 타단에 형성된다.

[0071] 또한, 제1 전극(51)에는 다수의 제3 가지(52)가 형성되는데, 제3 가지(52)는 제2 전극(55)의 일단을 향해서 제1 가지(54)와 같이 돌출 형성되되, 제1 가지(54)와 엇갈리게 배치됨으로써, 제1 가지(54)와 제3 가지(52) 사이에 지그재그 형상의 n-채널(31)을 형성한다.

[0072] 그리고, 제3 전극(58)에는 다수의 제4 가지(59)가 제2 전극(55)의 타단을 향해서 제1 가지(54)와 같이 돌출 형성되고, 제2 가지(56)와 엇갈리게 배치되어, 제2 가지(56)와 제4 가지(59) 사이에서 지그재그 형상의 p-채널(41)을 형성한다.

[0073] 이때, n-채널(31)의 너비(L)는 6600 ~ 7000 μm 이고, 길이(W)는 130 ~ 170 μm 이며, p-채널(41)의 너비(L)는 3200 ~ 3600 μm 이고, 그 길이(W)는 130 ~ 170 μm 일 수 있다. 다만, 그 너비 및 길이가 반드시 이에 한정되어야 하는 것은 아니다.

[0075] 이하에서는 본 발명에 따른 유기 시모스 인버터의 제조방법에 대해 설명한다.

- [0076] 본 발명에 따른 유기 시모스 인버터의 제조방법은 A) 기관의 일면에, 하프늄 옥사이드(HfO_x) 선구물질과 티타늄 옥사이드(TiO_x) 선구물질을 혼합한 혼합물을 코팅하여 기저층을 형성하는 단계, B) 엔-도데실포스포닉 엑시드(n-dodecylphosphonic acid, PA-C12)을 에탄올에 녹여 형성한 코팅액에 기저층을 침지하여, 기저층 상에 자기조립층을 형성하는 단계, C) 기저층 및 자기조립층이 순차적으로 적층되어 형성된 절연층 상의 소정의 영역에, 클러스터 빔(cluster beam) 증착법으로, 제1 유기물을 증착하여 제1 채널층을 형성하는 단계, 및 D) 절연층 상에, 제1 채널층과 접촉 배치되도록, 클러스터 빔(cluster beam) 증착법으로, 제2 유기물을 증착하여 제2 채널층을 형성하는 단계를 포함한다.
- [0078] 본 발명에 따른 유기 시모스 인버터는 아래 방법에 따라 제조된다.
- [0079] 먼저, A) 단계로서, 기관의 일면에 기저층을 형성한다. 여기서, 기저층은 졸겔공정(sol-gel process)에 의해 형성될 수 있다. 구체적으로, 기저층은 용액상태의 코팅액을 회전하는 기관 위에 공급하여, 원심력을 이용해 스핀코팅시킨 후, 기관을 가열시켜 일정 온도를 유지하다가, 실온에서 식히는 공정을 거쳐 형성할 수 있다. 여기서, 코팅액은 하프늄 옥사이드(HfO_x) 선구물질과 티타늄 옥사이드(TiO_x) 선구물질을 혼합하여 만든 혼합물로서, 하프늄 옥사이드(HfO_x) 선구물질은 하프늄 다이클로라이드 옥사이드 옥타하이드레이트($\text{Cl}_2\text{HfO}_8 \cdot \text{H}_2\text{O}$)를 2-메톡시에탄올에 녹여서 형성되며, 티타늄 옥사이드(TiO_x) 선구물질은 티타늄 부톡사이드($[\text{Ti}(\text{OCH}_2\text{CH}_2\text{CH}_2\text{CH}_3)_4]$)를 2-메톡시에탄올에 녹인 후 아세틸아세톤으로 안정화시켜 형성된다. 예를 들어, 코팅액은 하프늄 다이클로라이드 옥사이드 옥타하이드레이트($\text{Cl}_2\text{HfO}_8 \cdot \text{H}_2\text{O}$) 0.82 g을 2-메톡시에탄올 5 ml에 녹인 하프늄 옥사이드(HfO_x) 선구물질과, 티타늄 부톡사이드($[\text{Ti}(\text{OCH}_2\text{CH}_2\text{CH}_2\text{CH}_3)_4]$) 0.6 g을 2-메톡시에탄올 5 ml에 녹인 후 아세틸아세톤 0.62 ml를 첨가하고 100 °C로 1시간 동안 안정화하여 만든 티타늄 옥사이드(TiO_x) 선구물질을 혼합하여 형성할 수 있다. 이러한 혼합물 코팅액을 습도 20 % 이하에서 5000 rpm으로 50초 동안 스핀코팅하고, 기관을 전열기에서 500 °C까지 가열시켜 1시간 동안 유지시킨 후 실온에서 식히면, 열처리로 인한 축합반응이 진행되어 기저층이 형성된다. 다만, 기저층이 반드시 이러한 과정을 거쳐서 형성되어야 하는 것은 아니고, 용매, 용질, 온도, 시간도 이에 한정되는 것은 아니다.
- [0081] 기저층이 형성되면, B) 단계로서, 자기조립층을 형성한다. 여기서, 자기조립층은 적심공정(dipping process)에 의해 기저층 위에 형성될 수 있다. 구체적으로, 기저층이 형성된 기관을 용액상태의 코팅액에 일정 온도로 일정 시간 침지하였다가, 세정액으로 세정하여 자기조립층을 형성할 수 있다. 이때, 코팅액은 엔-도데실포스포닉 엑시드(n-dodecylphosphonic acid, PA-C12)을 에탄올에 녹여 제조할 수 있는데, 예를 들어 엔-도데실포스포닉 엑시드(PA-C12)을 에탄올에 0.2 mM 농도로 녹여서 코팅액을 제조하고, 그 코팅액에 100 °C에서 12시간 동안 적심공정(dipping process)을 한 후, 에탄올로 여러 번 세정하여 자기조립층을 형성할 수 있다. 다만, 자기조립층이 반드시 이러한 과정을 거쳐서 형성되어야 하는 것은 아니고, 농도, 온도, 시간도 이에 한정되는 것은 아니다.
- [0082] 이러한 방식으로, 용액공정(sol-gel process)에 의해, 기저층 상에 자기조립층이 적층되는 절연층이 형성되므로, 고가의 진공장비가 불필요하고, 코팅 조작이 간단하므로, 코팅 조건만 결정되면, 쉽게 절연층의 두께를 제어할 수 있다는 장점이 있다. 여기서, 하프늄 티타늄 옥사이드(HfTiO_x)에 의한 기저층은 59.5의 높은 유전율을 가지며, 절연층은 522 nF/cm²의 우수한 전기용량과 1×10^{-6} A/cm²의 우수한 절연 특성을 가지게 된다.
- [0084] 다음, C) 단계에서는 제1 채널층을 형성한다. 1 채널층은 클러스터 빔(cluster beam) 증착법에 의해 형성될 수 있는데, 구체적으로 가열되어 증기화된 제1 유기물이 진공상태에서 절연층에 증착되어 제1 채널층이 형성된다. 이때, 증기화된 제1 유기물의 입자들은 서로 부딪치며 약한 분자간 인력으로 제1 클러스터를 형성하고, 제1 클러스터는 절연층에 충돌하면서 분자가 인력이 깨지면서 박막의 형태로 증착된다.
- [0085] 여기서, 제1 유기물이 제1 클러스터 형태로 증착될 때의 속도는 1.0 ~ 2.0 Å/s 일 수 있다. 왜냐하면, 증착되는 속도가 1.0 Å/s 미만인 때에는 속도가 너무 느려서 유기 박막이 제대로 형성되기 어렵고, 속도가 2.0 Å/s를 초과하는 경우에는 유기 박막이 거칠기가 열악해지기 때문이다. 이때, 제1 채널층의 두께는 450 ~ 550 Å로 형성될 수 있다.
- [0087] 제1 채널층이 형성되면, D) 단계로서, 제2 채널층을 형성하는데, 제1 채널층과 같이, 클러스터 빔(cluster beam) 증착법에 의해 형성될 수 있고, 이때 증착 속도는 0.8 ~ 1.0 Å/s이며, 450 ~ 550 Å의 두께로 형성될 수 있다.

- [0089] 마지막으로, 전극부를 형성함으로써, 본 발명에 따른 유기 시모스 인버터를 제조할 수 있다.
- [0091] 이하에서는 본 발명에 따라 제조된 유기 시모스 인버터의 동작 특성에 대해 설명한다.
- [0092] 도 3는 본 발명의 실시예에 따른 유기 시모스 인버터의 입력전압(V_{IN})에 대한 출력전압(V_{OUT}) 함수값을 1과 0의 논리값에 해당하는 스위칭 특성으로 나타내는 그래프(VTC, voltage transfer characteristics)이다.
- [0093] 본 발명에 따른 유기 시모스 인버터는 n-채널 모스펫(MOSFET)과 p-채널 모스펫(MOSFET)에 인가되는 바이어스에 의한 전위차로 인해서 켜짐(switching on)과 꺼짐(switching off) 구동을 하고, 이러한 구동을 통해 인버팅 또는 스위칭 동작을 한다.
- [0094] 도 3에 도시된 바와 같이, 본 발명에 따른 유기 시모스 인버터는 전압이 인가될 때, 스위칭 특성을 나타낼 수 있다. 입력전극에 0 ~ +3 V의 바이어스 전압(V_{IN})을 인가하고, 제3 전극에 +3 V의 공급전압(V_{DD})을 인가하며, 제 1 전극을 그라운드(ground)시키면, 입력전압-출력전압 특성을 도출할 수 있다. 획득값(gain:G), 출력전압스윙(output voltage swing, OVS), 중간지점전압(middle point voltage, V_M) 는 하기 <수학식 1>에 의해 유도할 수 있다.
- [0096] <수학식 1>
- [0097]
$$G = dV_{OUT}/dV_{IN}$$
- [0098]
$$OVS = V_{OUTmax} - V_{OUTmin}$$
- [0099]
$$V_M : V_{IN} = V_{OUT}$$
- [0101] 여기서, 획득값(gain, G)은 입력전압 변화에 대한 출력전압의 변화로 얻을 수 있으며, 그 값이 클수록 스위칭속도가 크다는 것을 의미한다. 출력전압스윙(output voltage swing, OVS)은 최대 출력 전압값에서 최소 출력 전압값 간의 차이이며, 그 차이값이 클수록 우수한 소자라 할 수 있다. 중간지점전압(middle point voltage, V_M)은 입력전압과 출력전압이 같아지는 지점으로 공급전압값의 절반($V_{DD}/2$)이 가능한 최대값으로 이 값에 가까울수록 우수한 소자이다.
- [0103] 도 4는 p-채널 모스펫(MOSFET)의 전류-전압 특성에 대한 아웃풋(output) 특성을 나타낸 그래프이고, 도 5은 n-채널 모스펫(MOSFET)의 전류-전압 특성에 대한 아웃풋(output) 특성을 나타낸 그래프이며, 도 6은 p-채널 모스펫(MOSFET)의 전류-전압 특성에 대한 전달(transfer) 특성을 나타낸 그래프이고, 도 7은 n-채널 모스펫(MOSFET)의 전류-전압 특성에 대한 전달(transfer) 특성을 나타낸 그래프이다.
- [0104] 본 발명에 따른 유기 시모스 인버터는 공기중에서 작동하여, 전기적 특성을 나타낸다. 여기서, 도 4 내지 도 5은 본 발명에 따른 유기 시모스 인버터를 구성하는 p-채널 모스펫(MOSFET)과 n-채널 모스펫(MOSFET)에 대한 전류-전압 특성 중 전형적인 단극성(unipolar) 아웃풋(output) 특성 곡선을 나타낸다. 즉, 게이트 전압에 따라서 정공과 전자가 어떻게 이동하는지를 나타낸다. 이때, V_{DS} 는 소스전극과 드레인전극 사이의 전압이고, I_{DS} 는 소스전극과 드레인전극 사이에 흐르는 전류이다.
- [0106] 한편, 도 6 내지 도 7은 전류-전압 특성 중 전달(transfer) 특성 곡선을 나타내는 것으로, 전류점멸비(I_{on}/I_{off}), 문턱전압(V_T , V), 전계 이동도(μ , cm^2/Vs) 등의 값을 전달 특성을 통해 구할 수 있다. 전류점멸비는 트랜지스터의 스위치가 켜진 상태 중 가장 높은 전류값(I_{on})과 스위치가 꺼진 상태 중 가장 낮은 전류값(I_{off})의 비율을 의미한다. 문턱전압은 채널이 형성되기 시작하는 전압 값으로 전달 특성 곡선에서 $I_{DS}^{1/2}$ 직선의 연장선에서 얻을 수 있다. 전계 이동도는 채널에서 전공이나 전자가 이동하는 속도를 나타내며, 하기 <수학식 2>에 의해서 유도할 수 있다.
- [0108] <수학식 2>
- [0109]
$$\mu = \frac{2L(I_{DS})}{WC_i(V_{GS} - V_T)^2}$$

[0111] 단, 상기 수식에서 L 은 드레인전극과 소스전극 사이 채널의 너비(μm)이고, W 는 소스전극과 드레인전극 사이 채널의 길이이고, C_i 는 절연층의 전기용량이며 단위는 nF/cm^2 이다. V_{GS} 는 소스전극과 게이트전극 사이의 전압이다.

[0113] 하기 [표 1]에서는, 본 발명의 실시예[하프늄 티타늄 옥사이드(HfTiO_x)/엔-도데실포스포닉 엑시드(n -dodecylphosphonic acid, PA-C12)]에 따른 유기 트랜지스터와 비교예 1인 하프늄 티타늄 옥사이드(HfTiO_x)만을 절연층에 포함하는 유기 트랜지스터의 다양한 특성을 비교하여 나타낸 것이다.

표 1

절연층	유기 반도체 층	μ (cm^2/Vs)	$I_{\text{on}}/I_{\text{off}}$	V_T (V)
하프늄 티타늄 옥사이드 (비교예 1)	펜타센	0.43 ± 0.09	3×10^4	- 1.2
	PTCDI-13	-	-	-
하프늄 티타늄 옥사이드 / PA- C12 (실시예)	펜타센	1.34 ± 0.06	1×10^5	- 1.0
	PTCDI-13	0.72 ± 0.08	5×10^3	1.6

[0117] 표 1에 나타난 바와 같이, 하프늄 티타늄 옥사이드만으로 이루어진 절연층을 포함하는 유기 트랜지스터보다 본 발명에 따른 유기 트랜지스터의 성능이 전체적으로 향상되었음을 알 수 있다.

[0118] 특히, 본 발명에 따른 p형 반도체인 펜타센은 이동도가 약 4배, 전류점멸비가 3배 정도 향상되었으며, n형 반도체는 $0.72 \text{ cm}^2/\text{Vs}$ 의 우수한 이동 특성을 보이는 것을 확인하였다.

[0120] 이상 본 발명을 구체적인 실시예를 통하여 상세히 설명하였으나, 이는 본 발명을 구체적으로 설명하기 위한 것으로, 본 발명은 이에 한정되지 않으며, 본 발명의 기술적 사상 내에서 당 분야의 통상의 지식을 가진 자에 의해 그 변형이나 개량이 가능함이 명백하다.

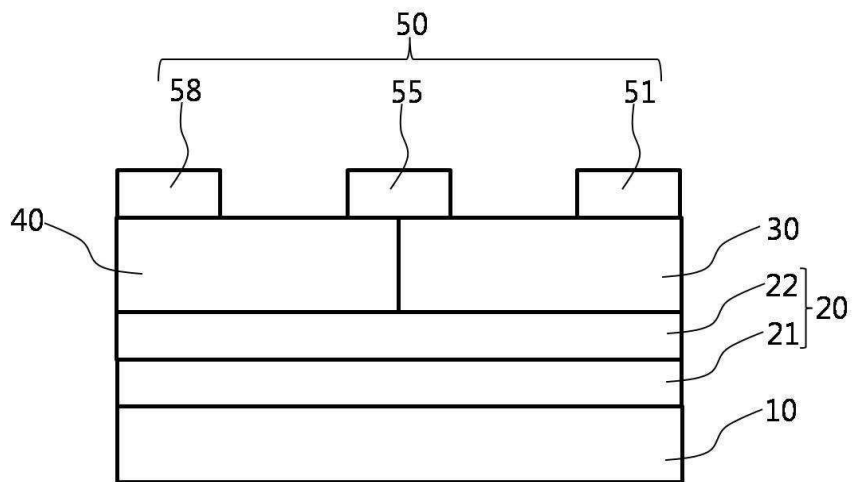
[0122] 본 발명의 단순한 변형 내지 변경은 모두 본 발명의 영역에 속한 것으로 본 발명의 구체적인 보호 범위는 첨부된 특허청구범위에 의하여 명확해질 것이다.

부호의 설명

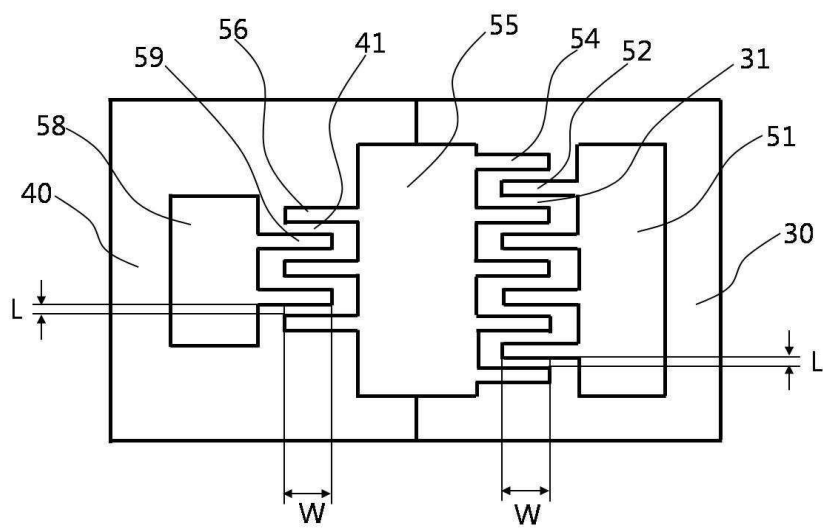
[0124]	10: 기판	20: 절연층
	21: 기저층	22: 자기조립층
	30: 제1 채널층	31: n-채널
	40: 제2 채널층	41: p-채널
	50: 전극부	51: 제1 전극
	55: 제2 전극	58: 제3 전극
	54: 제1 가지	56: 제2 가지
	52: 제3 가지	59: 제4 가지

도면

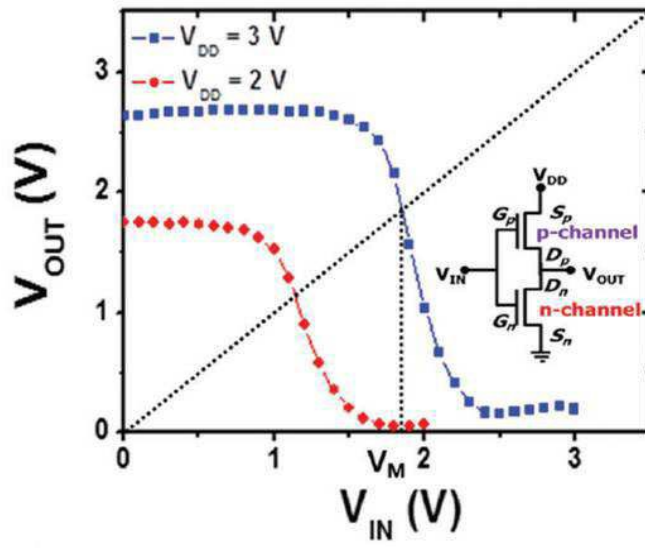
도면1



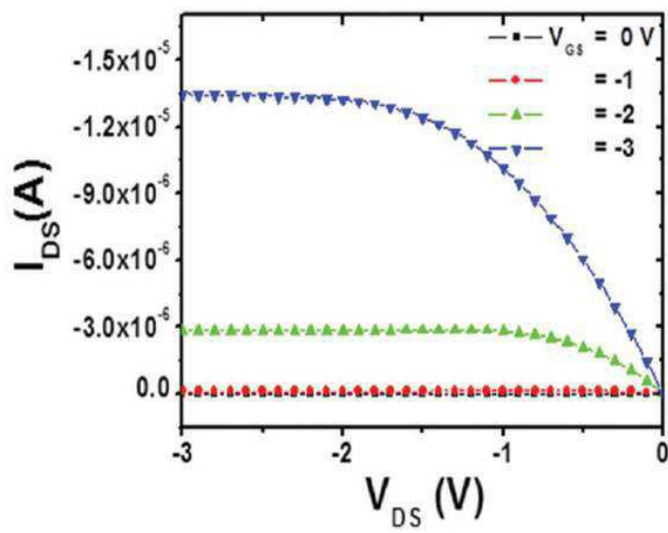
도면2



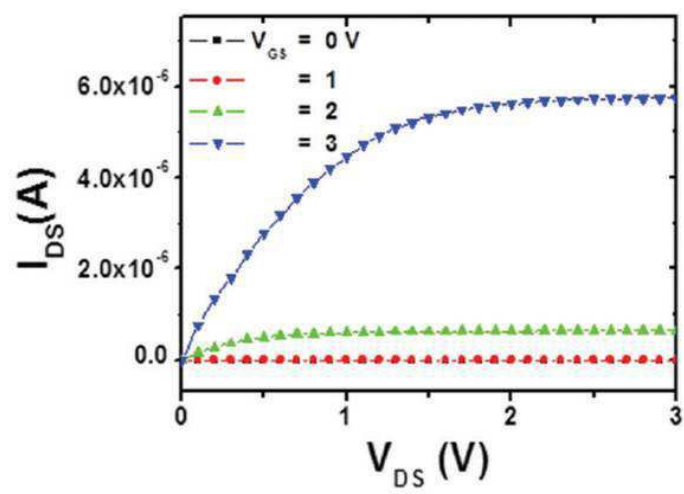
도면3



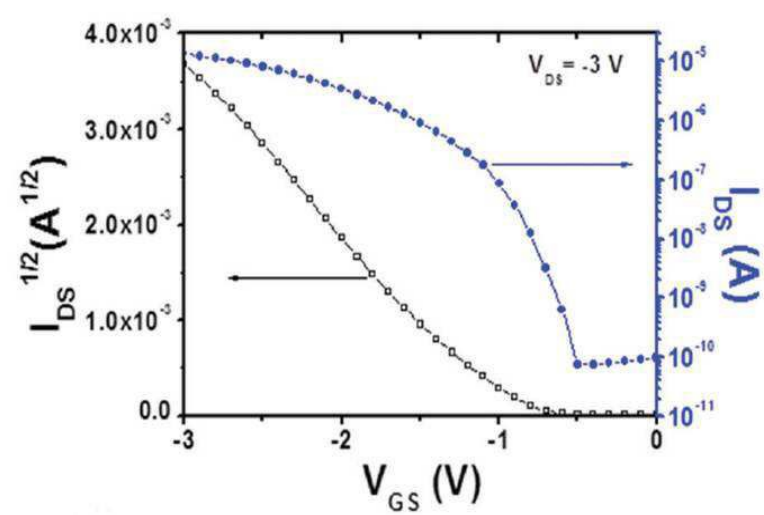
도면4



도면5



도면6



도면7

