

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2012 年 4 月 26 日(26.04.2012)

PCT

(10) 国際公開番号
WO 2012/053161 A1

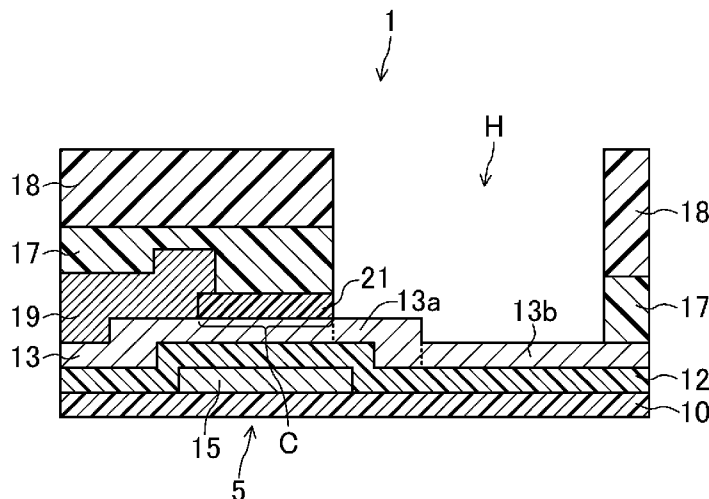
- (51) 国際特許分類:
H01L 21/336 (2006.01) H01L 29/786 (2006.01)
- (21) 国際出願番号: PCT/JP2011/005681
- (22) 国際出願日: 2011 年 10 月 11 日(11.10.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2010-233395 2010 年 10 月 18 日(18.10.2010) JP
- (71) 出願人 (米国を除く全ての指定国について): シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町 2 番 2 号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 宮本 光伸 (MIYAMOTO, Mitsunobu).
- (74) 代理人: 前田 弘, 外(MAEDA, Hiroshi et al.); 〒5410053 大阪府大阪府中央区本町 2 丁目 5 番 7 号 大阪丸紅ビル Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーロパ (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: PRODUCTION METHOD FOR THIN FILM TRANSISTOR SUBSTRATE, AND THIN FILM TRANSISTOR SUBSTRATE PRODUCED THEREBY

(54) 発明の名称: 薄膜トランジスタ基板の製造方法およびその方法により製造された薄膜トランジスタ基板

【図3】



(57) Abstract: Provided is a production method for a thin film transistor substrate (1), the method at least comprising: a step of forming a gate electrode (15) on an insulated substrate (10) by using a first photomask; a step of forming, on an oxide semiconductor layer (13), a channel protective film (12) in a state of covering a channel area (C) by using a second photomask; a step of forming a source electrode (19) on the oxide semiconductor layer (13) by using a third photomask; and a step of forming a planarizing film (18) on an interlayer dielectric (17) by using a fourth photomask.

(57) 要約: 薄膜トランジスタ基板 (1) の製造方法であって、第 1 フォトマスクを用いて、絶縁基板 (10) 上にゲート電極 (15) を形成する工程と、第 2 フォトマスクを用いて、酸化物半導体層 (13) 上にチャネル領域 (C) を覆うようにチャネル保護膜 (21) を形成する工程と、第 3 フォトマスクを用いて、酸化物半導体層 (13) 上にソース電極 (19) を形成する工程と、第 4 フォトマスクを用いて、層間絶縁膜 (17) 上に平坦化膜 (18) を形成する工程とを少なくとも備える。

WO 2012/053161 A1

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：

薄膜トランジスタ基板の製造方法およびその方法により製造された薄膜トランジスタ基板

技術分野

[0001] 本発明は、薄膜トランジスタ基板の製造方法に関し、特に、酸化物半導体の半導体層を用いた薄膜トランジスタ基板の製造方法およびその方法により製造された薄膜トランジスタ基板に関する。

背景技術

[0002] アクティブマトリクス基板では、画像の最小単位である各画素毎に、スイッチング素子として、例えば、薄膜トランジスタ（Thin Film Transistor、以下、「T F T」とも称する）が設けられている。

[0003] 一般的なボトムゲート型のT F Tは、例えば、絶縁基板上に設けられたゲート電極と、ゲート電極を覆うように設けられたゲート絶縁膜と、ゲート絶縁膜上にゲート電極に重なるように島状に設けられた半導体層と、半導体層上に互いに対峙するように設けられたソース電極及びドレイン電極とを備えている。

[0004] また、近年、アクティブマトリクス基板では、画像の最小単位である各画素のスイッチング素子として、アモルファスシリコンの半導体層を用いた従来の薄膜トランジスタに代わり、高速移動が可能なI G Z O（I n -G a -Z n -O）系の酸化物半導体膜により形成された酸化物半導体の半導体層（以下、「酸化物半導体層」とも称する）を用いたT F Tが提案されている。

[0005] より具体的には、例えば、絶縁層と、絶縁層上に設けられたゲート電極と、ゲート電極上にゲート絶縁膜を介して設けられた酸化物半導体層と、酸化物半導体層上において、ゲート電極を挟むように離間して設けられたソース電極及びドレイン電極と、ソース電極及びドレイン電極と酸化物半導体層との間に設けられ、ゲート電極上において、ソース電極及びドレイン電極から露

出した酸化物半導体層の側面の少なくとも一部を覆うチャネル保護膜とを備えた薄膜トランジスタ基板が開示されている。

[0006] そして、この薄膜トランジスタ基板を製造する際には、まず、基板上にゲート電極を形成する工程と、ゲート電極上にゲート絶縁膜を形成する工程と、ゲート絶縁膜上に酸化物半導体層を形成する工程と、ゲート電極上における酸化物半導体層の側面の少なくとも一部を覆うようにチャネル保護膜を形成する工程とが行われる。そして、酸化物半導体層及びチャネル保護膜を 160℃以上の温度で加熱処理し、その後、酸化物半導体層及びチャネル保護膜の上にソース電極及びドレイン電極を形成する工程とが行われ、5枚のフォトリソマスクを使用することにより、薄膜トランジスタ基板を製造する構成となっている（例えば、特許文献1参照）。

先行技術文献

特許文献

[0007] 特許文献1：特開2010-123748号公報

発明の概要

発明が解決しようとする課題

[0008] しかし、上記特許文献1に記載の薄膜トランジスタ基板の製造方法においては、上述のごとく、フォトリソマスクを5枚使用する構成としているため、製造工程数が多くなり、製造コストが増加するとともに、歩留まりが低下するという不都合があった。

[0009] そこで、本発明は、上述の問題に鑑みてなされたものであり、従来より少ないマスク枚数により薄膜トランジスタ基板を製造することができる薄膜トランジスタ基板の製造方法およびその方法により製造された薄膜トランジスタ基板を提供することを目的とする。

課題を解決するための手段

[0010] 上記目的を達成するために、本発明の第1の薄膜トランジスタ基板の製造方法は、絶縁基板と、絶縁基板上に設けられたゲート電極、ゲート電極を覆

うように設けられたゲート絶縁膜、ゲート絶縁膜上に設けられ、チャネル領域を有する酸化物半導体層、及び酸化物半導体層上にゲート電極に重なるように設けられたソース電極を有する薄膜トランジスタと、チャネル領域を覆うように設けられたチャネル保護膜と、薄膜トランジスタを覆うように設けられた層間絶縁膜と、層間絶縁膜を覆うように設けられた平坦化膜とを備えた薄膜トランジスタ基板の製造方法であって、第1フォトリソを用いて、絶縁基板上にゲート電極を形成するゲート電極形成工程と、絶縁基板上に、ゲート電極を覆うようにゲート絶縁膜を形成するゲート絶縁膜形成工程と、ゲート絶縁膜上に、酸化物半導体層を形成する半導体層形成工程と、第2フォトリソを用いて、酸化物半導体層上にチャネル領域を覆うようにチャネル保護膜を形成するチャネル保護膜形成工程と、第3フォトリソを用いて、酸化物半導体層上にソース電極を形成するソース電極形成工程と、酸化物半導体層、チャネル保護膜、及びソース電極を覆う層間絶縁膜を形成する層間絶縁膜形成工程と、第4フォトリソを用いて、層間絶縁膜上に平坦化膜を形成する平坦化膜形成工程と、平坦化膜をマスクとして用いて、層間絶縁膜の一部を除去することにより、層間絶縁膜及び平坦化膜に開口部を形成する開口部形成工程と、層間絶縁膜及び平坦化膜をマスクとして、エッチングを行うことにより、開口部におけるチャネル保護膜を除去するチャネル保護膜除去工程と、開口部における酸化物半導体層に対してプラズマ処理を施すプラズマ処理工程とを少なくとも備えることを特徴とする。

[0011] 同構成によれば、上記従来技術より少ないマスク枚数（4枚）により、薄膜トランジスタを製造することができるため、製造コストを低減することができる。歩留まりの低下を効果的に抑制することができる。

[0012] また、ハーフトーン露光技術を使用しないため、微細なパターンを形成することが困難になるという不都合を生じることなく、上記従来技術より少ないマスク枚数（4枚）により、薄膜トランジスタ基板を製造することができる。

[0013] 本発明の第2の薄膜トランジスタ基板の製造方法は、絶縁基板と、絶縁基

板上に設けられたゲート電極、ゲート電極を覆うように設けられたゲート絶縁膜、ゲート絶縁膜上に設けられ、チャネル領域を有する酸化物半導体層、及び酸化物半導体層上にゲート電極に重なるように設けられたソース電極を有する薄膜トランジスタと、チャネル領域を覆うように設けられたチャネル保護膜と、薄膜トランジスタを覆うように設けられた層間絶縁膜とを備えた薄膜トランジスタ基板の製造方法であって、第1フォトリソを用いて、絶縁基板上にゲート電極を形成するゲート電極形成工程と、絶縁基板上に、ゲート電極を覆うようにゲート絶縁膜を形成するゲート絶縁膜形成工程と、ゲート絶縁膜上に、酸化物半導体層を形成する半導体層形成工程と、第2フォトリソを用いて、酸化物半導体層上にチャネル領域を覆うようにチャネル保護膜を形成するチャネル保護膜形成工程と、第3フォトリソを用いて、酸化物半導体層上にソース電極を形成するソース電極形成工程と、第4フォトリソを用いて、酸化物半導体層、チャネル保護膜、及びソース電極を覆うとともに、開口部を有する層間絶縁膜を形成する層間絶縁膜形成工程と、層間絶縁膜をマスクとして、エッチングを行うことにより、開口部におけるチャネル保護膜を除去するチャネル保護膜除去工程と、開口部における酸化物半導体層に対してプラズマ処理を施すプラズマ処理工程とを少なくとも備えることを特徴とする。

[0014] 同構成によれば、上記従来技術より少ないマスク枚数（4枚）により、薄膜トランジスタを製造することができるため、製造コストを低減することができる。歩留まりの低下を効果的に抑制することができる。

[0015] また、ハーフトーン露光技術を使用しないため、微細なパターンを形成することが困難になるという不都合を生じることなく、上記従来技術より少ないマスク枚数（4枚）により、薄膜トランジスタ基板を製造することができる。

[0016] 本発明の第1または第2の薄膜トランジスタ基板の製造方法においては、プラズマ処理として、還元性プラズマ処理を行ってもよい。

[0017] 同構成によれば、別個のマスクを使用することなく、簡単な方法で、酸化

物半導体層をプラズマ処理して、例えば、ドレイン電極や画素電極を形成することが可能になる。

[0018] また、本発明の第1または第2の薄膜トランジスタ基板の製造方法においては、酸化物半導体層を形成する酸化物半導体材料として、インジウム(In)、ガリウム(Ga)、アルミニウム(Al)、銅(Cu)及び亜鉛(Zn)からなる群より選ばれる少なくとも1種を含む金属酸化物材料を使用してもよい。

[0019] 同構成によれば、これらの材料からなる酸化物半導体層は、アモルファスであっても移動度が高いため、スイッチング素子のオン抵抗を大きくすることができる。

[0020] また、本発明の第1または第2の薄膜トランジスタ基板の製造方法においては、酸化物半導体材料として、酸化インジウムガリウム亜鉛(IGZO)を使用してもよい。

[0021] 同構成によれば、薄膜トランジスタにおいて、高移動度、低オフ電流という良好な特性を得ることができる。

[0022] 本発明の薄膜トランジスタ基板は、本発明の第1または第2の薄膜トランジスタ基板の製造方法により製造された薄膜トランジスタ基板である。

発明の効果

[0023] 本発明によれば、製造コストを低減することができ、歩留まりの低下を効果的に抑制することができる薄膜トランジスタ基板を提供することができる。

図面の簡単な説明

[0024] [図1]本発明の実施形態に係る薄膜トランジスタ基板の平面図である。

[図2]本発明の実施形態に係る薄膜トランジスタ基板の画素部を拡大した平面図である。

[図3]本発明の実施形態に係る薄膜トランジスタ基板の断面図であり、図2のA-A断面図である。

[図4]本発明の実施形態に係る薄膜トランジスタ基板の端子（ゲート端子）の

断面図であり、図 1 の B－B 断面図である。

[図5]本発明の実施形態に係る薄膜トランジスタ基板の製造工程を断面で示す説明図である。

[図6]本発明の実施形態に係る薄膜トランジスタ基板の製造工程を断面で示す説明図である。

[図7]本発明の実施形態に係る薄膜トランジスタ基板の製造工程を断面で示す説明図である。

[図8]本発明の変形例に係る薄膜トランジスタ基板の断面図である。

[図9]本発明の変形例に係る薄膜トランジスタ基板の製造工程を断面で示す説明図である。

発明を実施するための形態

[0025] 以下、本発明の実施形態について、図面を参照しながら詳細に説明する。
尚、本発明は以下の実施形態に限定されるものではない。

[0026] 図 1 は、本発明の実施形態に係る薄膜トランジスタ基板の平面図であり、
図 2 は、本発明の実施形態に係る薄膜トランジスタ基板の画素部を拡大した
平面図である。また、図 3 は、本発明の実施形態に係る薄膜トランジスタ基
板の断面図であり、図 2 の A－A 断面図である。また、図 4 は、本発明の実
施形態に係る薄膜トランジスタ基板の端子（ゲート端子）の断面図であり、
図 1 の B－B 断面図である。

[0027] 図 1 に示すように、薄膜トランジスタ基板 1 は、画像表示を行う表示領域
D と、表示領域 D の周辺に設けられた駆動回路領域 T とを備えている。この
駆動回路領域 T には、ゲートドライバ領域 T_g とソースドライバ領域 T_s と
が設けられている。そして、ゲートドライバ領域 T_g には、表示領域 D のゲ
ート配線（走査配線）11 を駆動するゲートドライバ（不図示）が設けられ
ており、ソースドライバ領域 T_s には、表示領域 D のソース配線（信号配線
）16 を駆動するソースドライバ（不図示）が設けられている。

[0028] ゲート配線 11 は、図 1 に示すように、駆動回路領域 T のゲートドライバ
領域 T_g に引き出され、そのゲートドライバ領域 T_g において、ゲート端子

22に接続されている。このゲート端子22は、図4に示すように、ゲートドライバ領域T_gにおいて、絶縁基板10上に形成されている。

[0029] また、ソース配線16は、図1に示すように、駆動回路領域Tのソースドライバ領域T_sに中継用の配線として引き出され、そのソースドライバ領域T_sにおいて、ソース端子20に接続されている。なお、図示は省略するが、ゲート端子22と同様に、ソース端子20は、ソースドライバ領域T_sにおいて、絶縁基板10上に形成されている。

[0030] 薄膜トランジスタ基板1は、図1～図3に示すように、絶縁基板10と、画像表示を行う表示領域Dにおいて、絶縁基板10上に互いに平行に延びるように設けられた複数のゲート配線11と、絶縁基板10上に互いに平行に延びるように設けられた複数のソース配線16とを備えている。

[0031] また、薄膜トランジスタ基板1は、図3に示すように、薄膜トランジスタ5と、薄膜トランジスタ5を覆うように設けられた層間絶縁膜（保護膜）17と、層間絶縁膜17を覆うように設けられた平坦化膜18とを備えている。

[0032] 薄膜トランジスタ5は、図2、図3に示すように、絶縁基板10上に設けられたゲート電極15と、ゲート電極15を覆うように設けられたゲート絶縁膜12と、ゲート絶縁膜12上でゲート電極15に重なるように島状に設けられたチャネル領域Cを有する酸化物半導体層13とを備えている。また、薄膜トランジスタ5は、酸化物半導体層13のチャネル領域Cを覆うように設けられたチャネル保護膜21と、酸化物半導体層13上にゲート電極15に重なるように設けられたソース電極19とを備えている。

[0033] また、本実施形態においては、図3に示すように、層間絶縁膜17及び平坦化膜18の積層膜に開口部Hが形成されている。そして、開口部Hにおける酸化物半導体層13に対してプラズマ処理を施し、酸化物半導体層13の一部を低抵抗化することにより、開口部Hにおける酸化物半導体層13の一部をドレイン電極13aとして機能させるとともに、開口部Hにおける酸化物半導体層13の一部を画素電極13bとして機能させる構成としている。

また、開口部Hにおいて、ドレイン電極13aは画素電極13bに接続される構成となっている。

[0034] なお、ドレイン電極13aとソース電極19は、図3に示すように、酸化物半導体層13のチャネル領域Cを挟んで互いに対峙するように設けられている。

[0035] また、図2に示すように、ソース電極19は、ソース配線16が側方へ突出した部分であり、ゲート電極15は、ゲート配線11が側方へ突出した部分である。

[0036] また、本実施形態においては、図2に示すように、ゲート配線11とソース配線16とが交差する部分に、上述のチャネル保護膜21と同一の材料により形成された保護層25が設けられている。

[0037] 酸化物半導体層13、ドレイン電極13a、及び画素電極13bは、例えば、酸化インジウムガリウム亜鉛（IGZO）等からなる酸化物半導体膜により形成されている。

[0038] 次に、本実施形態の薄膜トランジスタ基板1の製造方法の一例について図を用いて説明する。図5～図7は、本発明の実施形態に係る薄膜トランジスタ基板の製造工程を断面で示す説明図である。

[0039] <ゲート電極・ゲート配線形成工程>

まず、ガラス基板やプラスチック基板等の絶縁基板10の基板全体に、スパッタリング法により、例えば、モリブテン膜（厚さ150nm程度）などを成膜する。その後、そのモリブテン膜に対して、所定のパターン形状を有する第1フォトマスク31を用いたフォトリソグラフィによるレジストのパターニング、ウエットエッチング及びレジストの剥離洗浄を行うことにより、図5（a）、図7（a）に示すように、絶縁基板10上に、ゲート配線11（図2参照）、ゲート電極15、及びゲート端子22を形成する。

[0040] なお、本実施形態では、ゲート配線11、ゲート電極15、及びゲート端子22を構成する金属膜として、単層構造のモリブテン膜を例示したが、例えば、アルミニウム膜、タングステン膜、タンタル膜、クロム膜、チタン膜

、銅膜等の金属膜、または、これらの合金膜や金属窒化物による膜によりゲート配線 11、ゲート電極 15、及びゲート端子 22を、50 nm～300 nmの厚さで形成する構成としても良い。

[0041] また、上記プラスチック基板を形成する材料としては、例えば、ポリエチレンテレフタレート樹脂、ポリエチレンナフタレート樹脂、ポリエーテルサルフォン樹脂、アクリル樹脂、及びポリイミド樹脂を使用することができる。

[0042] <ゲート絶縁膜形成工程>

次いで、ゲート配線 11、ゲート電極 15、ゲート端子 22が形成された基板全体に、CVD法により、例えば、窒化シリコン膜（厚さ200 nm～500 nm程度）を成膜して、図5（b）、図7（b）に示すように、絶縁基板 10上に、ゲート配線 11、ゲート電極 15、及びゲート端子 22を覆うようにゲート絶縁膜 12を形成する。

[0043] なお、ゲート絶縁膜 12を2層の積層構造で形成する構成としても良い。この場合、上述の窒化シリコン膜（SiN_x）以外に、例えば、酸化シリコン膜（SiO_x）、酸化窒化シリコン膜（SiO_xN_y、 $x > y$ ）、窒化酸化シリコン膜（SiN_xO_y、 $x > y$ ）等を使用することができる。

[0044] また、絶縁基板 10からの不純物等の拡散防止の観点から、下層側のゲート絶縁膜として、窒化シリコン膜、または窒化酸化シリコン膜を使用するとともに、上層側のゲート絶縁膜として、酸化シリコン膜、または酸化窒化シリコン膜を使用する構成とすることが好ましい。例えば、下層側のゲート絶縁膜として、SiH₄とNH₃とを反応ガスとして膜厚100 nmから200 nmの窒化シリコン膜を形成するとともに、上層側のゲート絶縁膜として、N₂O、SiH₄を反応ガスとして膜厚50 nmから100 nmの酸化シリコン膜を形成することができる。

[0045] また、低い成膜温度により、ゲートリーク電流の少ない緻密なゲート絶縁膜 12を形成するとの観点から、アルゴンガス等の希ガスを反応ガス中に含有させて絶縁膜中に混入させることが好ましい。

[0046] <半導体層形成工程>

次いで、スパッタリング法により、例えば、酸化インジウムガリウム亜鉛（IGZO）により形成された酸化物半導体膜（厚さ30nm～100nm程度）を成膜し、図5（b）、図7（b）に示すように、ゲート絶縁膜12上に、酸化物半導体層13を形成する。

[0047] なお、本実施形態においては、酸化物半導体膜に対して、フォトリソグラフィによるレジストのパターニング、ウエットエッチング及びレジストの剥離洗浄を行わない点が、上記従来技術とは異なる。

[0048] <チャネル保護膜形成工程>

次いで、酸化物半導体層13が形成された基板全体に、プラズマCVD法により、例えば、窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜などを成膜する。その後、その窒化シリコン膜等に対して、所定のパターン形状を有する第2フォトリソマスク32を用いたフォトリソグラフィによるレジストのパターニング、ウエットエッチング及びレジストの剥離洗浄を行うことにより、図5（c）に示すように、酸化物半導体層13上に、チャネル領域Cを覆うように、当該チャネル領域Cを保護するためのチャネル保護膜21を形成する。

[0049] 例えば、チャネル保護膜21として、 SiH_4 と N_2O とを反応ガスとして、膜厚100nm～200nmの酸化シリコン膜を形成することができる。また、チャネル保護膜21の形成と同時に、上述の保護層25（図2参照）を形成する。

[0050] <ソース配線・ソース電極形成工程>

次いで、酸化物半導体層13が形成された基板全体に、スパッタリング法により、例えば、チタン膜（厚さ30nm～150nm）及びアルミニウム膜（厚さ50nm～400nm程度）などを順に成膜する。

[0051] その後、所定のパターン形状を有する第3フォトリソマスク33を用いたフォトリソグラフィーによるレジストのパターニング、アルミニウム膜のウエットエッチングを行うとともに、チタン膜に対するドライエッチング（プラズ

マエッチング)、並びにレジストの剥離と洗浄を行うことにより、図5 (d) に示すように、酸化物半導体層13上にチタン膜からなる第1導電層及びアルミニウム膜からなる第2導電層の積層膜により構成されたソース電極19を形成する。また、この際、図1、図2に示すように、チタン膜からなる第1導電層及びアルミニウム膜からなる第2導電層の積層膜により構成されたソース配線16、及びソース端子20を形成する。

[0052] なお、エッチング加工としては、上述のドライエッチングまたはウェットエッチングのどちらを使用してもよいが、大面積基板を処理する場合は、ドライエッチングを使用する方が好ましい。エッチングガスとしては、 CF_4 、 NF_3 、 SF_6 、 CHF_3 等のフッ素系ガス、 Cl_2 、 BCl_3 、 SiCl_4 、 CCl_4 等の塩素系ガス、酸素ガス等を使用することができ、ヘリウムやアルゴン等の不活性ガスを添加する構成としても良い。

[0053] <層間絶縁膜形成工程>

次いで、ソース電極19、及びソース配線16が形成された基板の全体に、プラズマCVD法により、例えば、窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜などを成膜する。その後、図6 (a) に示すように、酸化物半導体層13、チャネル保護膜21、ソース電極19、及びソース配線16を覆う層間絶縁膜17を厚さ250nm程度に形成する。なお、層間絶縁膜17は、単層構造に限定されず、2層構造や3層構造であっても良い。

[0054] また、図7 (c) に示すように、ゲート端子22が形成されるゲートドライバ領域Tgにおいては、本工程で層間絶縁膜17を形成することにより、絶縁基板10上に形成されたゲート端子22上に、ゲート絶縁膜12、酸化物半導体層13、及び層間絶縁膜17が順次積層される構造となる。

[0055] <平坦化膜形成工程>

次いで、層間絶縁膜17が形成された基板の全体に、スピンコート法又はスリットコート法により、感光性のアクリル樹脂等からなる感光性の有機絶縁膜を厚さ1.0 μm ~3.0 μm 程度に塗布する。

[0056] 次いで、有機絶縁膜に対して、所定のパターン形状を有する第4フォトマ

スク 3 4 を用いたフォトリソグラフィによるレジストのパターニング、露光及び現像、及びレジストの剥離洗浄を行うことにより、図 6 (a) に示すように、層間絶縁膜 1 7 の表面上に、開口部 H の部分に対応する部分が開口された平坦化膜 1 8 を形成する。

[0057] <開口部形成工程>

次いで、平坦化膜 1 8 をマスクとして、所定のエッチングガス（例えば、 CF_4 ガスと O_2 ガス）を使用したドライエッチングを行い、層間絶縁膜 1 7 の一部を除去することにより、図 6 (b) に示すように、層間絶縁膜 1 7 及び平坦化膜 1 8 に開口部 H を形成する。

[0058] なお、この際、チャネル領域 C における酸化物半導体層 1 3 が、次工程となる酸化物半導体層除去工程によりエッチングされてしまうという不都合を回避するとの観点から、開口部 H の底面を構成するチャネル保護膜 2 1 の厚みが 50 nm 以上となるようにエッチング処理を行う。

[0059] また、本工程において、図 7 (d) に示すように、ゲート端子 2 2 が形成されたゲートドライバ領域 T g において、平坦化膜 1 8 をマスクとして、上述のドライエッチングを行うことにより、酸化物半導体層 1 3 上に形成された層間絶縁膜 1 7 を除去する。

[0060] <酸化物半導体層除去工程>

次いで、層間絶縁膜 1 7 及び平坦化膜 1 8 をマスクとして、シュウ酸を用いてエッチングを行うことにより、図 7 (e) に示すように、ゲート端子 2 2 が形成されたゲートドライバ領域 T g において、ゲート絶縁膜 1 2 上に形成された酸化物半導体層 1 3 を除去する。

[0061] なお、図 6 (b) に示すように、上述の開口部 H においては、当該開口部 H の底面にチャネル保護膜 2 1 が設けられているため、本工程において、酸化物半導体層 1 3 は除去されない。

[0062] また、上述のごとく、本実施形態においては、酸化物半導体層 1 3 に対して、フォトマスクを用いたフォトリソグラフィによるレジストのパターニング、ウェットエッチング及びレジストの剥離洗浄を行わない。従って、表示

領域Dの全体において、酸化物半導体層13が形成されているため、薄膜トランジスタ5を駆動させる際に入力されるソース信号が、隣接する画素からゲート配線11を介して送られてくることを防止するために、ゲート配線11の一部（即ち、図2に示すEの部分）を開口させ、上述のエッチングにより、酸化物半導体層13の一部を除去する構成としている。

[0063] <チャネル保護膜除去工程>

次いで、層間絶縁膜17及び平坦化膜18をマスクとして、所定のエッチングガス（例えば、 CF_4 ガスと O_2 ガス）を使用したドライエッチングを行うことにより、図6（c）に示すように、開口部Hにおけるチャネル保護膜21を除去するとともに、図7（f）に示すように、ゲート端子22が形成されたゲートドライバ領域Tgにおいて、ゲート端子22上に形成されたゲート絶縁膜12を除去する。

[0064] <プラズマ処理工程>

次いで、開口部Hにおける酸化物半導体層13に対して還元性プラズマ処理を施し、酸化物半導体層13の一部を低抵抗化することにより、開口部Hにおける酸化物半導体層13の一部をドレイン電極13aとして機能させるとともに、開口部Hにおける酸化物半導体層13の一部を画素電極13bとして機能させ、図1～図4に示す薄膜トランジスタ基板1が作製される。

[0065] なお、還元性プラズマ処理としては、例えば、ArやHe等の希ガスプラズマ処理、水素プラズマ処理、或いは、B、Al、Ga、In、及びFのうち少なくとも一元素を含むプラズマに曝す処理を行う。また、開口部Hにおける酸化物半導体層13に対して、この還元性プラズマ処理を行うことにより、酸化物半導体層13において、酸素が還元されて、酸化物半導体層13が金属膜の性質を有することになるため、酸化物半導体層13が低抵抗化される。

[0066] このように、本実施形態においては、4枚のフォトマスク（即ち、第1～第4フォトマスク31～34）を使用することにより、薄膜トランジスタ基板1を作製することができる。

[0067] 以上に説明した本実施形態によれば、以下の効果を得ることができる。

[0068] (1) 本実施形態においては、第1フォトマスク31を用いて、絶縁基板10上にゲート電極15を形成する工程と、ゲート絶縁膜12上に、酸化物半導体層13を形成する工程と、第2フォトマスク32を用いて、酸化物半導体層13上にチャネル領域Cを覆うようにチャネル保護膜21を形成する工程と、第3フォトマスク33を用いて、酸化物半導体層13上にソース電極19を形成する工程と、第4フォトマスク34を用いて、層間絶縁膜17上に平坦化膜18を形成する工程とを備える構成としている。また、本実施形態においては、平坦化膜18をマスクとして用いて、層間絶縁膜17の一部を除去することにより、層間絶縁膜17及び平坦化膜18に開口部Hを形成する工程と、層間絶縁膜17及び平坦化膜18をマスクとして、エッチングを行うことにより、開口部Hにおけるチャネル保護膜21を除去する工程と、開口部Hにおける酸化物半導体層13に対してプラズマ処理を施す工程とを備える構成としている。従って、上記従来技術より少ないマスク枚数(4枚)により、薄膜トランジスタ基板1を製造することができるため、製造コストを低減することができ、歩留まりの低下を効果的に抑制することができる。

[0069] また、一般に、製造工程数を削減するための技術として、ハーフトーン露光技術が使用されているが、このハーフトーン露光技術では、ハーフ露光領域の面積が小さくなると、未露光領域と露光領域との面積差を設けることが困難になるため、微細なパターンを形成することが困難になるという問題があった。一方、本実施形態においては、ハーフトーン露光技術を使用しないため、微細なパターンを形成することが困難になるという不都合を生じることなく、上記従来技術より少ないマスク枚数(4枚)により、薄膜トランジスタ基板1を製造することができる。

[0070] (2) 本実施形態においては、プラズマ処理工程におけるプラズマ処理として、還元性プラズマ処理を使用する構成としている。従って、別個のマスクを使用することなく、簡単な方法で、酸化物半導体層13にドレイン電極

13a及び画素電極13bを形成することが可能になる。

[0071] (3) 本実施形態においては、酸化物半導体層13を、酸化インジウムガリウム亜鉛(IGZO)により形成する構成としている。従って、薄膜トランジスタ5において、高移動度、低オフ電流という良好な特性を得ることができる。

[0072] なお、上記実施形態は以下のように変更しても良い。

[0073] 上記実施形態においては、平坦化膜18を設ける構成としたが、図8に示すように、薄膜トランジスタ基板50において、平坦化膜18を設けず、層間絶縁膜17をマスクとして使用して、薄膜トランジスタ基板50を製造する構成としてもよい。

[0074] この場合、まず、薄膜トランジスタ基板作製工程において、上述の実施形態において説明した図5(a)～(d)と同様に、第1～第3フォトマスク31～33を使用して、ゲート電極・ゲート配線形成工程、ゲート絶縁膜形成工程、半導体層形成工程、チャネル保護膜形成工程、及びソース配線・ソース電極形成工程を行う。

[0075] 次いで、図9に示すように、層間絶縁膜形成工程として、ソース電極19、及びソース配線16が形成された基板の全体に、プラズマCVD法により、例えば、窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜などを成膜する。次いで、窒化シリコン膜等に対して、所定のパターン形状を有する第4フォトマスク34を用いたフォトリソグラフィによるレジストのパターニング、露光及び現像、及びレジストの剥離洗浄を行うことにより、酸化物半導体層13、チャネル保護膜21、ソース電極19、及びソース配線16を覆うとともに、開口部Kが形成された層間絶縁膜17を形成する。

[0076] 次いで、上述の実施形態において説明した図6(c)と同様に、チャネル保護膜除去工程として、層間絶縁膜17をマスクとして、所定のエッチングガス(例えば、 CF_4 ガスと O_2 ガス)を使用したドライエッチングを行うことにより、開口部Kにおけるチャネル保護膜21を除去する。

[0077] 次いで、上述の実施形態において説明した図6(c)と同様に、開口部K

における酸化物半導体層 13 に対して還元性プラズマ処理を施し、酸化物半導体層 13 の一部を低抵抗化することにより、開口部 K における酸化物半導体層 13 の一部をドレイン電極 13 a として機能させるとともに、開口部 H における酸化物半導体層 13 の一部を画素電極 13 b として機能させ、図 8 に示す薄膜トランジスタ基板 50 が作製される。

[0078] また、上記実施形態においては、酸化物半導体層として酸化インジウムガリウム亜鉛 (IGZO) からなる酸化物半導体層 13 を使用したが、酸化物半導体層 13 はこれに限定されない。例えば、酸化物半導体材料として、インジウム (In)、ガリウム (Ga)、アルミニウム (Al)、銅 (Cu)、亜鉛 (Zn)、マグネシウム (Mg)、カドミウム (Cd) のうち少なくとも 1 種を含む金属酸化物材料を使用しても良い。

[0079] これらの酸化物半導体材料からなる酸化物半導体層 13 は、アモルファスであっても移動度が高いため、スイッチング素子のオン抵抗を大きくすることができる。従って、データ読み出し時の出力電圧の差が大きくなり、S/N 比を向上させることができる。

[0080] 例えば、IGZO (In-Ga-Zn-O) の他に、 $\text{InGaO}_3(\text{ZnO})_5$ 、 $\text{Mg}_x\text{Zn}_{1-x}\text{O}$ 、 $\text{Cd}_x\text{Zn}_{1-x}\text{O}$ 、 CdO 等の酸化物半導体膜を挙げることができる。

[0081] また、上記実施形態においては、半導体層として酸化物半導体層を使用した。半導体層はこれに限定されず、酸化物半導体層の代わりに、例えば、アモルファスシリコンやポリシリコンからなるシリコン系半導体層を薄膜トランジスタの半導体層として使用する構成としても良い。

産業上の利用可能性

[0082] 本発明の活用例としては、酸化物半導体の半導体層を用いた薄膜トランジスタ基板の製造方法およびその方法により製造された薄膜トランジスタ基板が挙げられる。

符号の説明

[0083] 1 薄膜トランジスタ基板

- 5 薄膜トランジスタ
 - 1 0 絶縁基板
 - 1 1 ゲート配線
 - 1 2 ゲート絶縁膜
 - 1 3 酸化物半導体層
 - 1 3 a ドレイン電極
 - 1 3 b 画素電極
 - 1 5 ゲート電極
 - 1 6 ソース配線
 - 1 7 層間絶縁膜
 - 1 8 平坦化膜
 - 1 9 ソース電極
 - 2 0 ソース端子
 - 2 1 チャネル保護膜
 - 2 2 ゲート端子
 - 2 5 保護層
 - 3 1 第1フォトマスク
 - 3 2 第2フォトマスク
 - 3 3 第3フォトマスク
 - 3 4 第4フォトマスク
- 5 0 薄膜トランジスタ基板
- C チャネル領域
- H 開口部
- K 開口部

請求の範囲

[請求項1]

絶縁基板と、該絶縁基板上に設けられたゲート電極、該ゲート電極を覆うように設けられたゲート絶縁膜、該ゲート絶縁膜上に設けられ、チャネル領域を有する酸化物半導体層、及び該酸化物半導体層上に前記ゲート電極に重なるように設けられたソース電極を有する薄膜トランジスタと、前記チャネル領域を覆うように設けられたチャネル保護膜と、前記薄膜トランジスタを覆うように設けられた層間絶縁膜と、該層間絶縁膜を覆うように設けられた平坦化膜とを備えた薄膜トランジスタ基板の製造方法であって、

第1 フォトマスクを用いて、前記絶縁基板上に前記ゲート電極を形成するゲート電極形成工程と、

前記絶縁基板上に、前記ゲート電極を覆うように前記ゲート絶縁膜を形成するゲート絶縁膜形成工程と、

前記ゲート絶縁膜上に、前記酸化物半導体層を形成する半導体層形成工程と、

第2 フォトマスクを用いて、前記酸化物半導体層上に前記チャネル領域を覆うように前記チャネル保護膜を形成するチャネル保護膜形成工程と、

第3 フォトマスクを用いて、前記酸化物半導体層上に前記ソース電極を形成するソース電極形成工程と、

前記酸化物半導体層、前記チャネル保護膜、及び前記ソース電極を覆う層間絶縁膜を形成する層間絶縁膜形成工程と、

第4 フォトマスクを用いて、前記層間絶縁膜上に平坦化膜を形成する平坦化膜形成工程と、

前記平坦化膜をマスクとして用いて、前記層間絶縁膜の一部を除去することにより、前記層間絶縁膜及び前記平坦化膜に開口部を形成する開口部形成工程と、

前記層間絶縁膜及び前記平坦化膜をマスクとして、エッチングを行

うことにより、前記開口部におけるチャネル保護膜を除去するチャネル保護膜除去工程と、

前記開口部における前記酸化物半導体層に対してプラズマ処理を施すプラズマ処理工程と

を少なくとも備えることを特徴とする薄膜トランジスタ基板の製造方法。

[請求項2]

絶縁基板と、該絶縁基板上に設けられたゲート電極、該ゲート電極を覆うように設けられたゲート絶縁膜、該ゲート絶縁膜上に設けられ、チャネル領域を有する酸化物半導体層、及び該酸化物半導体層上に前記ゲート電極に重なるように設けられたソース電極を有する薄膜トランジスタと、前記チャネル領域を覆うように設けられたチャネル保護膜と、前記薄膜トランジスタを覆うように設けられた層間絶縁膜とを備えた薄膜トランジスタ基板の製造方法であって、

第1 フォトマスクを用いて、前記絶縁基板上に前記ゲート電極を形成するゲート電極形成工程と、

前記絶縁基板上に、前記ゲート電極を覆うように前記ゲート絶縁膜を形成するゲート絶縁膜形成工程と、

前記ゲート絶縁膜上に、前記酸化物半導体層を形成する半導体層形成工程と、

第2 フォトマスクを用いて、前記酸化物半導体層上に前記チャネル領域を覆うように前記チャネル保護膜を形成するチャネル保護膜形成工程と、

第3 フォトマスクを用いて、前記酸化物半導体層上に前記ソース電極を形成するソース電極形成工程と、

第4 フォトマスクを用いて、前記酸化物半導体層、前記チャネル保護膜、及び前記ソース電極を覆うとともに、開口部を有する層間絶縁膜を形成する層間絶縁膜形成工程と、

前記層間絶縁膜をマスクとして、エッチングを行うことにより、前

記開口部におけるチャネル保護膜を除去するチャネル保護膜除去工程と、

前記開口部における前記酸化物半導体層に対してプラズマ処理を施すプラズマ処理工程と

を少なくとも備えることを特徴とする薄膜トランジスタ基板の製造方法。

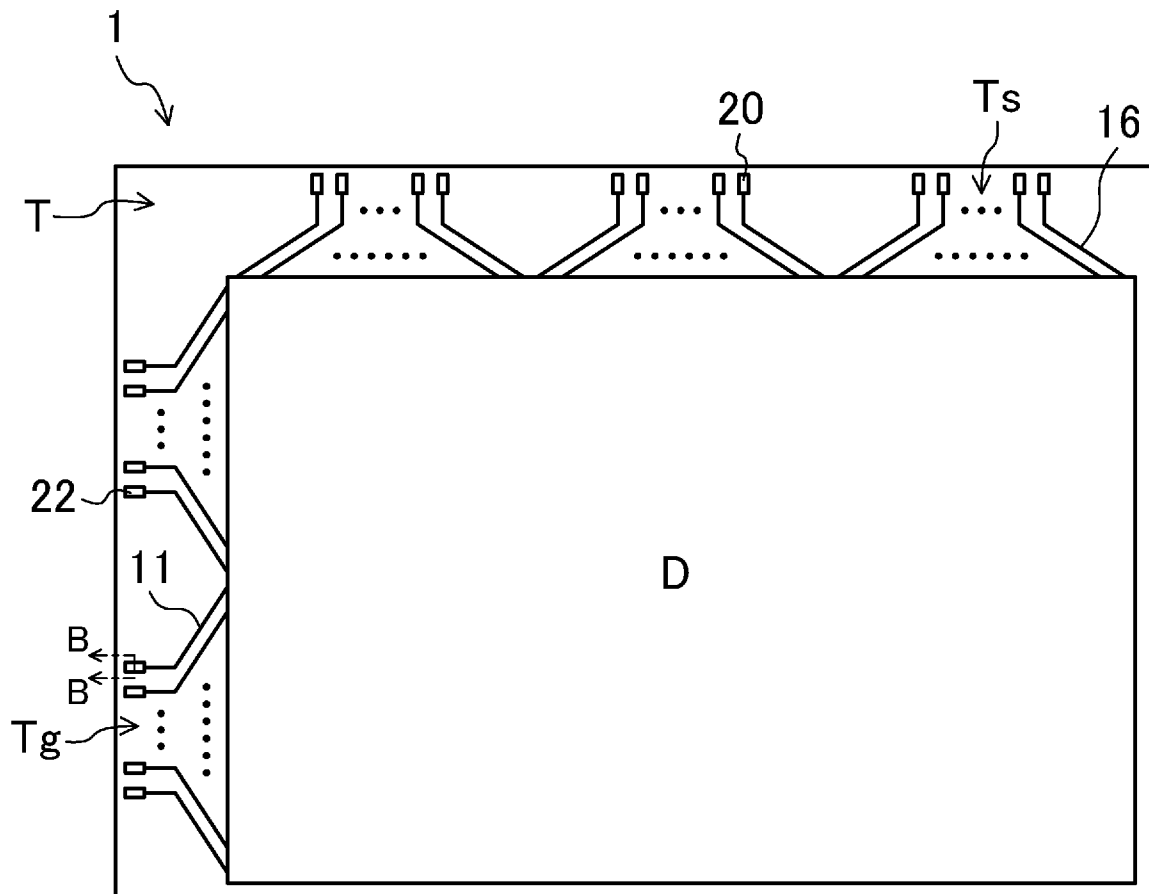
[請求項3] 前記プラズマ処理が、還元性プラズマ処理であることを特徴とする請求項1または請求項2に記載の薄膜トランジスタ基板の製造方法。

[請求項4] 前記酸化物半導体層を形成する酸化物半導体材料が、インジウム(In)、ガリウム(Ga)、アルミニウム(Al)、銅(Cu)及び亜鉛(Zn)からなる群より選ばれる少なくとも1種を含む金属酸化物材料であることを特徴とする請求項1～請求項3のいずれか1項に記載の薄膜トランジスタ基板の製造方法。

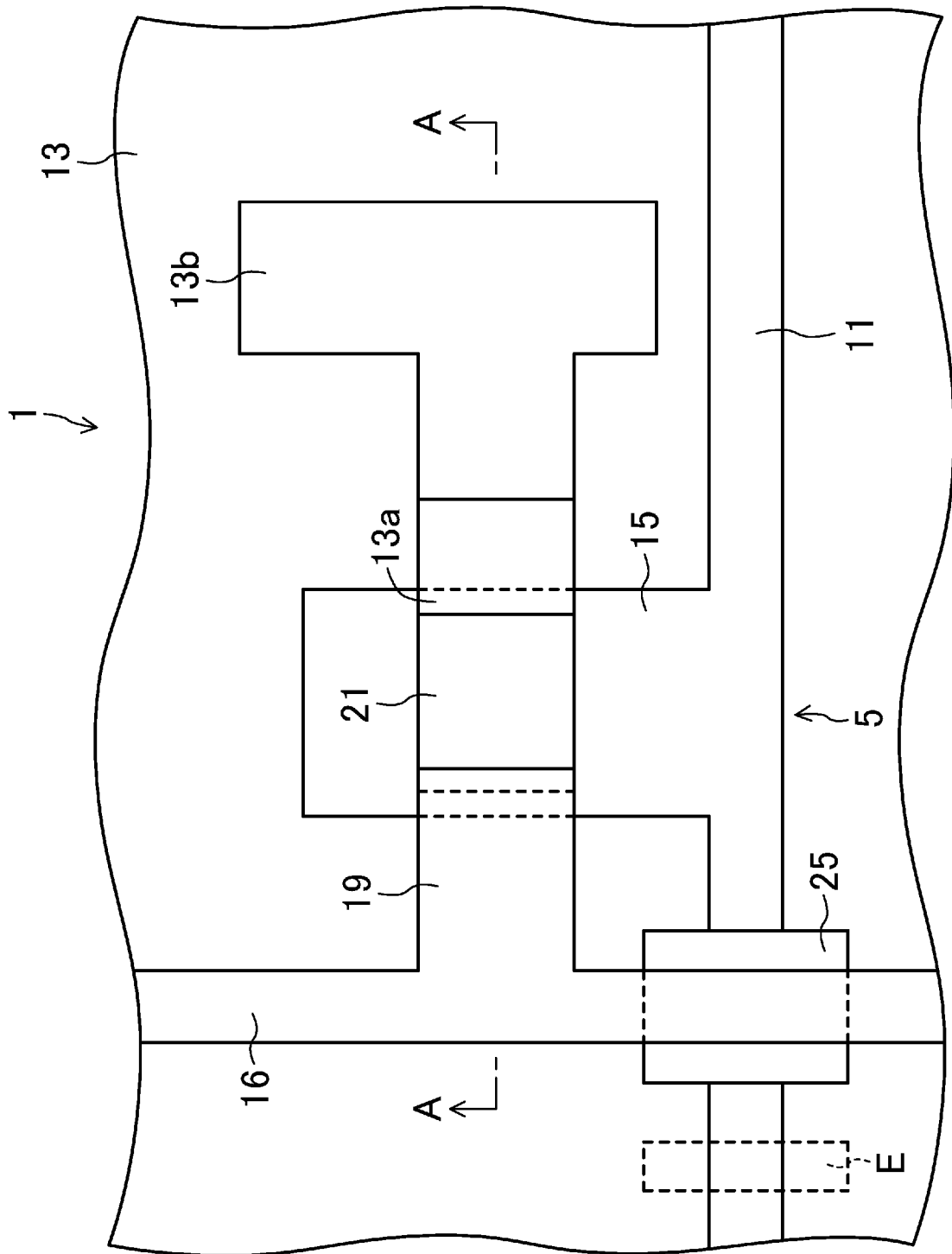
[請求項5] 前記酸化物半導体材料が、酸化インジウムガリウム亜鉛(IGZO)であることを特徴とする請求項4に記載の薄膜トランジスタ基板の製造方法。

[請求項6] 請求項1～請求項5のいずれか1項に記載の製造方法により製造された薄膜トランジスタ基板。

[図1]



[図2]



A cross-sectional view of a laminate 10. It consists of a top layer 22 and a bottom layer 10. An arrow labeled T_g points to the interface between the two layers.

[図5]

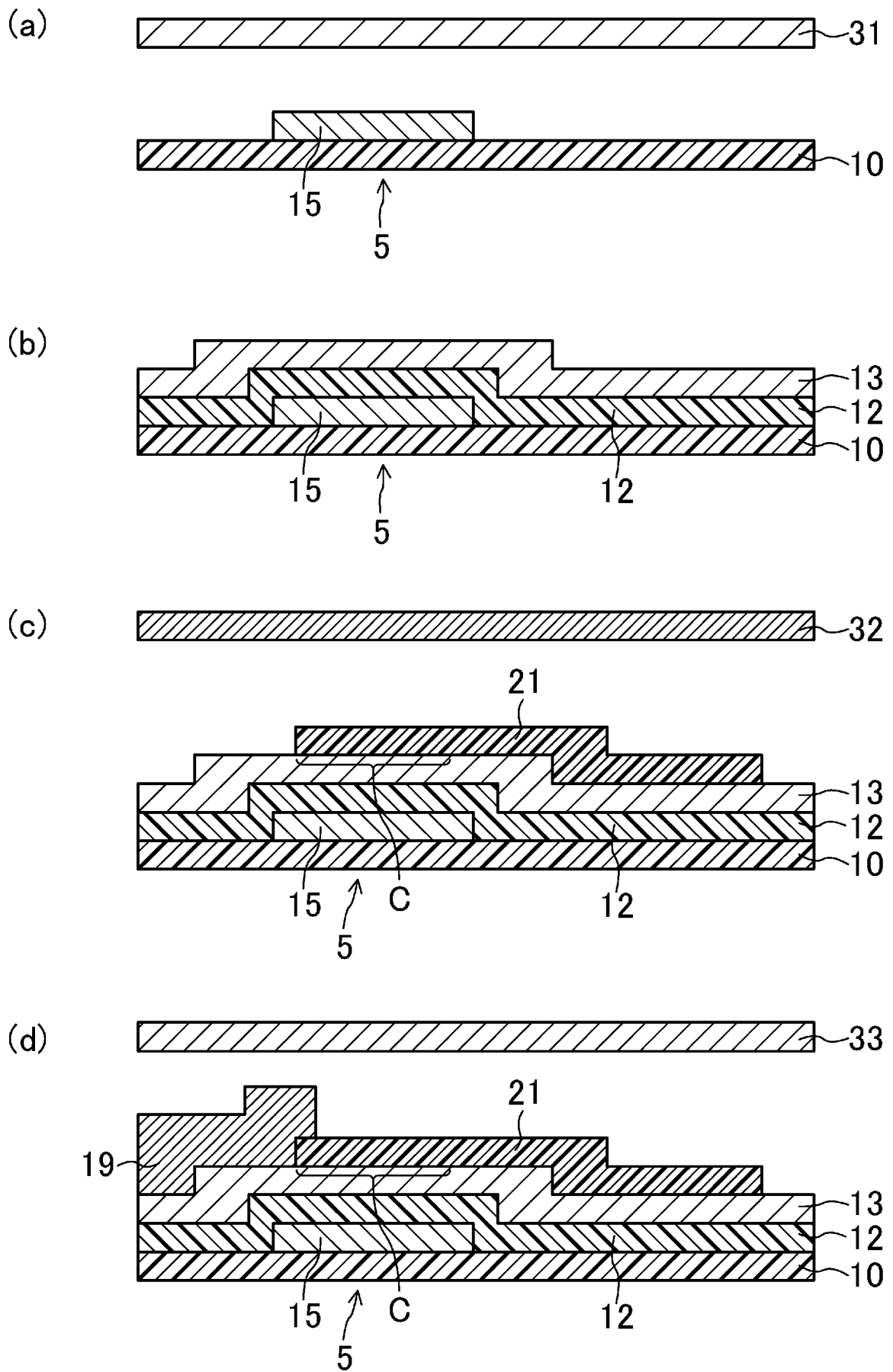
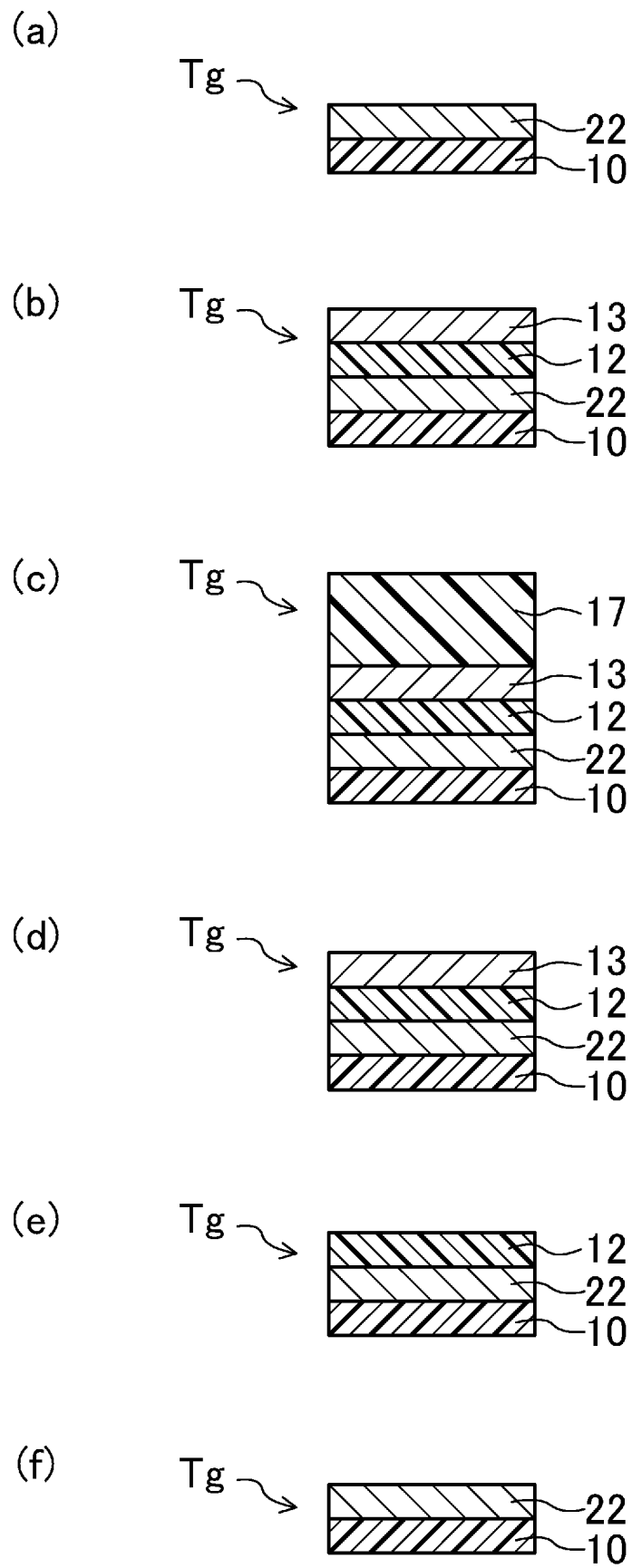
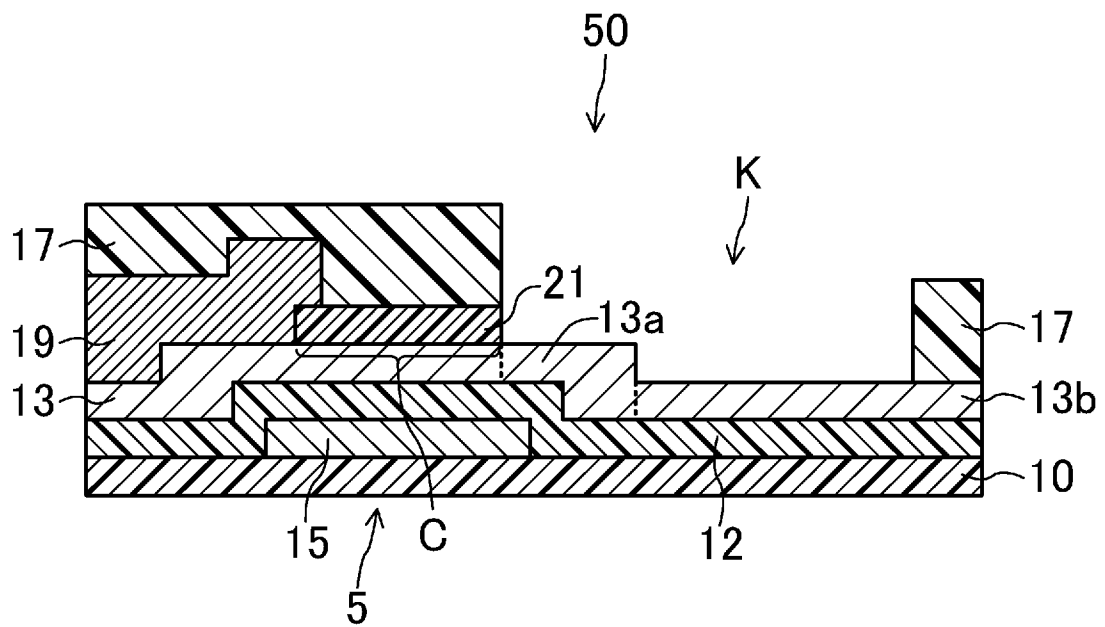


Figure 1 consists of three cross-sectional views of a semiconductor device, labeled (a), (b), and (c). The device is built on a substrate 10, which includes layers 12 and 13. A central region 5 contains a conductive layer 15 and a gate stack 19. The gate stack 19 includes a gate dielectric 18 and a gate electrode 21. A contact layer 17 is located between the gate electrode 21 and the conductive layer 15. A contact pad 12 is formed on the contact layer 17. In view (a), a layer 34 is shown on top of the contact pad 12. In view (b), a layer 18 is shown on top of the contact pad 12. In view (c), a layer 18 is shown on top of the contact pad 12, and a plasma treatment region is indicated by arrows labeled 'プラズマ処理' (plasma treatment) and 'H'.

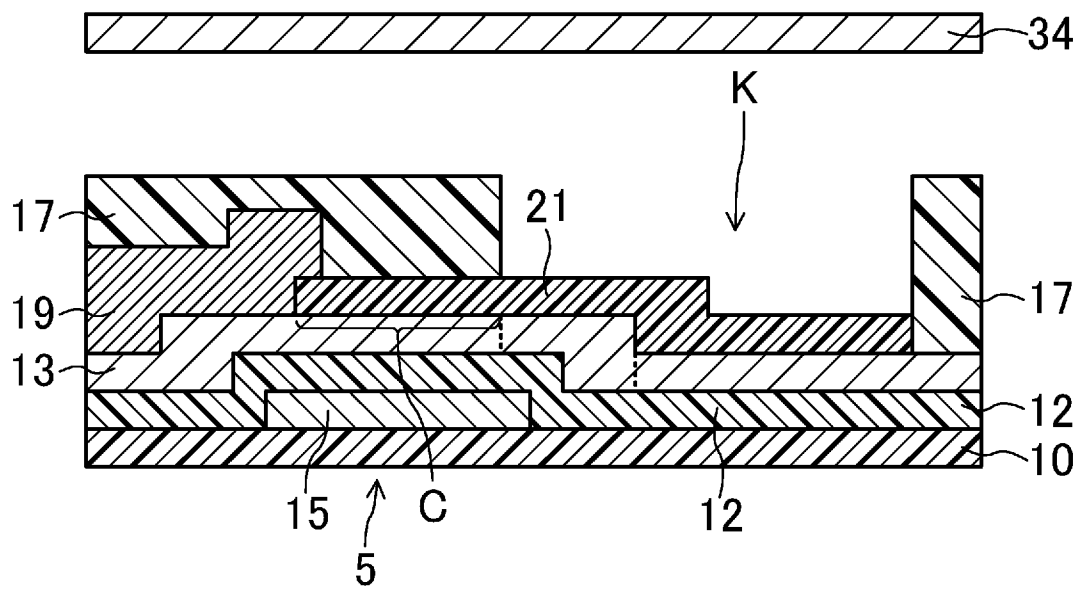
[図7]



[図8]



[図9]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/005681

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/336(2006.01) i, H01L29/786(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/336, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2010-141230 A (Renesas Electronics Corp.), 24 June 2010 (24.06.2010), paragraph [0027] & US 2010/0148171 A1	1-6
A	JP 2006-100760 A (Casio Computer Co., Ltd.), 13 April 2006 (13.04.2006), paragraphs [0005] to [0075]; fig. 1 to 23 & JP 2010-45390 A & US 2006/0043447 A1 & EP 2264770 A2 & WO 2006/025609 A2 & KR 10-2007-0053233 A & CN 101032027 A	1-6

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
20 December, 2011 (20.12.11)

Date of mailing of the international search report
10 January, 2012 (10.01.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））
Int.Cl. H01L21/336(2006.01)i, H01L29/786(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/336, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2010-141230 A（ルネサスエレクトロニクス株式会社） 2010.06.24, O O 2 7 段落 & US 2010/0148171 A1	1-6
A	JP 2006-100760 A（カシオ計算機株式会社）2006.04.13, O O O 5 段落ないし O O 7 5 段落、図 1 ないし図 2 3 & JP 2010-45390 A & US 2006/0043447 A1 & EP 2264770 A2 & WO 2006/025609 A2 & KR 10-2007-0053233 A & CN 101032027 A	1-6

☐ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

2 0 . 1 2 . 2 0 1 1

国際調査報告の発送日

1 0 . 0 1 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

棚田 一也

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 6 2

4 M

9 3 6 1