



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201303594 A1

(43)公開日：中華民國 102 (2013) 年 01 月 16 日

(21)申請案號：101125554

(22)申請日：中華民國 101 (2012) 年 07 月 16 日

(51)Int. Cl. : G06F12/08 (2006.01)

G06F5/06 (2006.01)

(30)優先權：2011/07/14 美國

61/507,646

2012/03/28 美國

13/432,394

(71)申請人：L S I 公司 (美國) LSI CORPORATION (US)

美國

(72)發明人：索瑪那許 維納 艾 SOMANACHE, VINAY A. (IN)；史瓦托西 提姆西 瓦 SWATOSH, TIMOTHY W. (US)；赫姆斯德 潘蜜拉 斯 HEMPSTEAD, PAMELA S. (US)；艾里斯 傑克森 洛 ELLIS, JACKSON L. (US)；艾肯 麥可 斯 HICKEN, MICHAEL S. (US)；戴爾 馬丁 斯 DELL, MARTIN S. (US)

(74)代理人：莊志強

申請實體審查：無 申請專利範圍項數：14 項 圖式數：9 共 63 頁

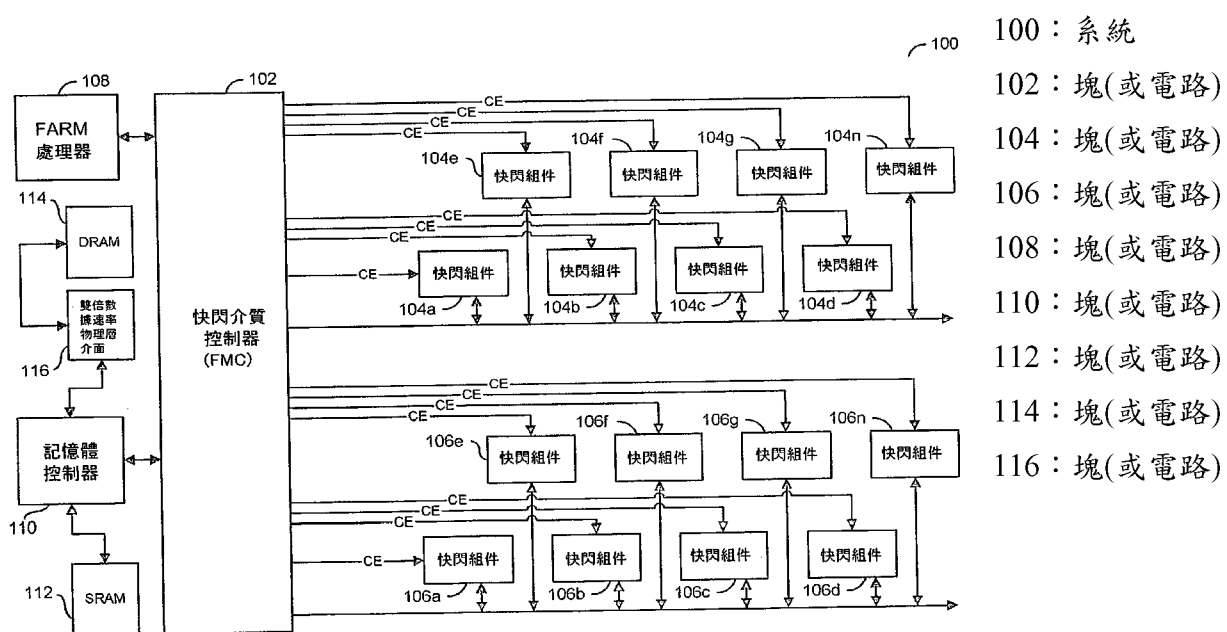
(54)名稱

快閃記憶體介質控制器及裝置

FLASH CONTROLLER HARDWARE ARCHITECTURE FOR FLASH DEVICES

(57)摘要

本發明公開了用於快閃記憶體器件的快閃記憶體控制器硬體架構，該快閃記憶體介質控制器包括一個或多個專用資料傳輸路徑、一個或多個快閃記憶體通道控制器、和一個或多個快閃記憶體匯流排控制器。一個或多個快閃記憶體通道控制器通常耦接至一個或多個專用資料傳輸路徑。一個或多個快閃記憶體匯流排控制器通常耦接至一個或多個快閃記憶體通道控制器。





(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201303594 A1

(43)公開日：中華民國 102 (2013) 年 01 月 16 日

(21)申請案號：101125554

(22)申請日：中華民國 101 (2012) 年 07 月 16 日

(51)Int. Cl. : G06F12/08 (2006.01)

G06F5/06 (2006.01)

(30)優先權：2011/07/14 美國

61/507,646

2012/03/28 美國

13/432,394

(71)申請人：L S I 公司(美國) LSI CORPORATION (US)

美國

(72)發明人：索瑪那許 維納 艾 SOMANACHE, VINAY A. (IN)；史瓦托西 提姆西 瓦 SWATOSH, TIMOTHY W. (US)；赫姆斯德 潘蜜拉 斯 HEMPSTEAD, PAMELA S. (US)；艾里斯 傑克森 洛 ELLIS, JACKSON L. (US)；艾肯 麥可 斯 HICKEN, MICHAEL S. (US)；戴爾 馬丁 斯 DELL, MARTIN S. (US)

(74)代理人：莊志強

申請實體審查：無 申請專利範圍項數：14 項 圖式數：9 共 63 頁

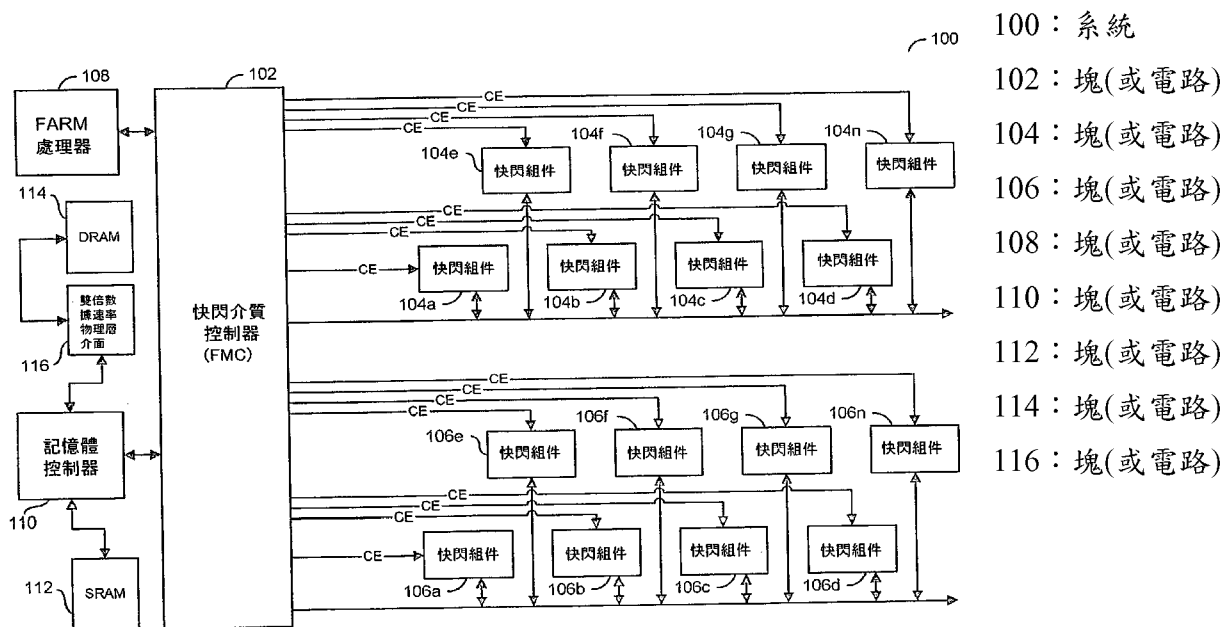
(54)名稱

快閃記憶體介質控制器及裝置

FLASH CONTROLLER HARDWARE ARCHITECTURE FOR FLASH DEVICES

(57)摘要

本發明公開了用於快閃記憶體器件的快閃記憶體控制器硬體架構，該快閃記憶體介質控制器包括一個或多個專用資料傳輸路徑、一個或多個快閃記憶體通道控制器、和一個或多個快閃記憶體匯流排控制器。一個或多個快閃記憶體通道控制器通常耦接至一個或多個專用資料傳輸路徑。一個或多個快閃記憶體匯流排控制器通常耦接至一個或多個快閃記憶體通道控制器。



發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：\ 01 1255 54

※申請日：\ 01. 7. 16 ※IPC 分類：

G06F 4/08 2006.01

G06F 5/06 2006.01

一、發明名稱：(中文/英文)

快閃記憶體介質控制器及裝置

FLASH CONTROLLER HARDWARE ARCHITECTURE
FOR FLASH DEVICES

O. 二、中文發明摘要：

本發明公開了用於快閃記憶體器件的快閃記憶體控制器硬體架構，該快閃記憶體介質控制器包括一個或多個專用資料傳輸路徑、一個或多個快閃記憶體通道控制器、和一個或多個快閃記憶體匯流排控制器。一個或多個快閃記憶體通道控制器通常耦接至一個或多個專用資料傳輸路徑。一個或多個快閃記憶體匯流排控制器通常耦接至一個或多個快閃記憶體通道控制器。

O. 三、英文發明摘要：

A flash media controller including one or more dedicated data transfer paths, one or more flash lane controllers, and one or more flash bus controllers. The one or more flash lane controllers are generally coupled to the one or more dedicated data transfer paths. The one or more flash bus controllers are generally coupled to the one or more flash lane controllers.

四、指定代表圖：

(一)本案指定代表圖為：圖 1。

(二)本代表圖之元件符號簡單說明：

100	系統
102	塊（或電路）
104	塊（或電路）
106	塊（或電路）
108	塊（或電路）
110	塊（或電路）
112	塊（或電路）
114	塊（或電路）
116	塊（或電路）

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無。

六、發明說明：

【發明所屬之技術領域】

本申請要求於 2011 年 7 月 14 日提交的美國臨時申請第 61/507,646 號和 2012 年 3 月 28 日提交的美國申請第 13/432,394 號的優先權，其全部內容結合於此作為參考。

本申請與 2011 年 12 月 21 日提交的審查中的美國申請第 13/332,849 號、2011 年 12 月 22 日提交的審查中的美國申請第 13/334,599 號、2012 年 1 月 5 日提交的審查中的美國申請第 13/344,030 號有關，其全部內容結合於此作為參考。

本發明總體涉及快閃記憶體介質，特別地，涉及用於實現快閃記憶體器件的快閃記憶體控制器硬體架構的方法和/或裝置。

【先前技術】

快閃記憶體介質控制器經由諸如 ONFI 2.X 的快閃記憶體介面與快閃記憶體器件通訊。在單個快閃記憶體介面上，可以連接固定數量的快閃記憶體目標 (target)。在單個快閃記憶體介面上連接多個快閃記憶體目標使得多個快閃記憶體目標之間共用快閃記憶體介面。在多個快閃記憶體目標之間共用介面會產生對快閃記憶體器件的瓶頸。

期望實現一種用於快閃記憶體器件的快閃記憶體控制器硬體架構，其解決與快閃記憶體介質儲存相關的挑戰。

【發明內容】

本發明涉及快閃記憶體介質控制器，其包括一個或多個專用資料傳輸路徑、一個或多個快閃記憶體通道控制器和一個或多個快閃記憶體匯流排控制器。一個或多個快閃

記憶體通道控制器通常耦接至一個或多個專用資料傳輸路徑。一個或多個快閃記憶體匯流排控制器通常耦接至一個或多個快閃記憶體通道控制器。

本發明的目標、特徵和優點包括提供用於實現快閃記憶體器件的快閃記憶體控制器硬體架構的方法和/或裝置，該快閃記憶體控制器硬體架構可以 (i) 為各個快閃記憶體交易提供上下文 (context)，(ii) 提供上下文處理，(iii) 通過消耗 (consumed) 上下文管理器 (CCM) 提供狀態報告，(iv) 在快閃記憶體通道控制器中提供裸片 (die) 管理表和上下文管理器塊，(v) 提供獨立快閃記憶體通道結構，包括專用資料傳輸路徑，(vi) 在快閃記憶體通道控制器和緩衝控制器介面中提供全雙工操作支援，和/或 (vii) 提供處理器控制模式。

【實施方式】

從下面的詳細說明書和所附申請專利範圍及附圖中，上述和其他目的、特徵和優點將變得顯而易見。

在一個實施方式中，根據本發明的系統可以被設計為通過各種大型存放區協議進行操作，包括 SAS (“串列連接 SCSI”)、FC (“光纖通道”) 和 FC-AL (“光纖通道仲裁環路”)，所有這些都是基於小型電腦系統介面 (“SCSI”) 協定和串列 ATA (“SATA”) 協定的。本領域普通技術人員應當熟悉這些大型存放區協議，因此，這樣的協議不會在本文中進一步討論。除非在調用特定協定的情況下，本文所公開的系統和方法不依賴於正在使用的特定協議，並被設計為通過所有協議進行正確操作。此外，根據本發明實施方式的系統和方法可以適用於與目前在使

用或將來開發的其他類似協定一起使用，這些協定包括用於企業級應用的協議以及用於諸如最終使用者的其他應用協議。本文所述的系統包括用於實現快閃記憶體器件的快閃記憶體控制器硬體架構的新方法和/或裝置。

參照圖 1，其示出了通過根據本發明實施方式的快閃記憶體介質控制器所實現的系統 100 的框圖。在一個示例中，系統（或結構）100 可包括塊（或電路）102、多個塊（或電路）104a 至 104n、多個塊（或電路）106a 至 106n、塊（或電路）108、塊（或電路）110、塊（或電路）112、塊（或電路）114、和塊（或電路）116。電路 102 至 116 可以表示被實現為硬體、固件、軟體、硬體、固件和/或軟體的組合或者其他的模組和/或塊。

在一個示例中，塊 102 可以實現根據本發明實施方式的快閃記憶體介質控制器（FMC）。塊 104a 至 104n 可以被實現為第一數量的快閃記憶體件或組件。塊 104a 至塊 104n 可以耦接至塊 102 的第一快閃記憶體通道。塊 102 的第一快閃記憶體通道可以被配置為對各個塊 104a 至 104n 提供獨立的晶片啟用（CE）信號。塊 106a 至塊 106n 可以被實現為第二數量的快閃記憶體件或元件。塊 106a 至塊 106n 可耦接至塊 102 的第二快閃記憶體通道。塊 102 的第二快閃記憶體通道可以被配置為對各個塊 106a 至塊 106n 提供獨立的晶片啟用（CE）信號。儘管 FMC 102 以兩個快閃記憶體通道的示例進行了說明，對本領域技術人員顯而易見的是，可以相應地實現另外的快閃記憶體通道以滿足特定實現的設計標準。快閃記憶體器件 104a 至 104n 和 106a 至 106n 可以被實現為包括一個或多個裸片的單個快閃記憶體

組 (flash package)。快閃記憶體器件 104a 至 104n 和 106a 至 106n 通過使用 NAND 和/或 NOR 快閃記憶體器件來實現。塊 102 可以包括用於 NAND 快閃記憶體和/或 NOR 快閃記憶體的適當的實體層支持 (PHY)。

塊 108 可以實現可耦接至塊 102 的外部 FMC 處理器 (FARM)。塊 110 可以實現可被配置為將靜態隨機存取記憶體 (SRAM) 和/或動態隨機存取記憶體 (DRAM) 耦接至塊 102 的記憶體控制器。塊 112 可以被實現為一個或多個 SRAM 器件。塊 114 可以被實現為一個或多個 DRAM 裝置。塊 116 可以實現耦接塊 110 和塊 114 的雙倍數據速率實體層 (PHY) 介面。在一個示例中，塊 102、108、110、112、114 和 116 可以實現單晶片系統 (SOC) 結構。

塊 102 可以實現為被配置為協助各種應用程式使用快閃記憶體器件 104a 至 104n 和快閃記憶體器件 106a 至 106n 的軟 IP 塊。正如本文使用的，術語“軟 IP 塊”通常是指可以以軟體 (例如，HDL 代碼、RTL 代碼等) 提供的積體電路的構建塊 (building block)。塊 102 通常支援與快閃記憶體器件的多個快閃記憶體介面。塊 102 通常不包括處理器 (例如 ARM)。然而，在一個示例中，塊 102 可以實現被配置為將塊 102 耦接至外部處理器 108 的介面 (例如 32 位元的 AHB 等)。塊 102 通常被配置為處理由塊 104a 至 104n 和塊 106a 至 106n 形成的快閃記憶體介質海量儲存陣列的管理。在一個示例中，塊 102 可以利用多例示 (multiply-instantiated) 快閃記憶體通道控制器 (FLC)，其能夠執行與附接有多個獨立快閃記憶體器件的單個快閃記憶體資料通道相關聯的大部分管理功能。從塊 102 可能對

快閃記憶體訪問瞭解甚少這個意義上說，塊 102 的功能可能有點寬泛。塊 102 通常更多地涉及將快閃記憶體感知（flash-aware）通道編織（weave）成單個硬體實體。在一個示例中，實現塊 102 的軟 IP 可以進行參數化以支援用於應用程式的最大可能通道。例如，在一個實現中，通道的數量可以為 2。在另一實現中，數量可以為 8。

在一個示例中，塊 102 可以支援的特徵包括：(i) 兩個快閃記憶體通道；(ii) 在每個快閃記憶體通道上的高達八個晶片啟用信號（CE）；(iii) 快閃記憶體介面，包括非同步正常模式、非同步擴展模式、Toggle1.0、ONFI 2.3、ONFI 2.1、Toggle2.0；(iv) 硬體可配置的多個通道之間的專用 ECC 或共用 ECC（例如實現塊 102 的軟 IP 包的參數化特徵）；(v) 快閃記憶體介面上的 8 位元資料；(vi) Toggle2.0 或 ONFI 2.3 的快閃記憶體介面規範的快閃記憶體介面上的高達 200 MHz 的 DDR 速率；(vii) 部分讀取命令，(viii) 隨機讀取命令；(ix) 關於快閃記憶體寫入/讀取的 CRC 刪除/插入（strip/insert）選項；(x) 對 4K 位元組資料高達 64 位元的校正；(xi) 512、2K、4K 位元組資料上的可配置的 n 位元校正（n 最大值=64）；(xii) 用於寄存器程式設計的 32 位元 AHB 介面；(xiii) 上下文命令在外部記憶體（如 DRAM 或 SRAM）上的儲存；(xiv) 在快閃記憶體通道控制器中的直通緩衝器（cut-through buffer）；(xv) 提供更好性能的獨立快閃記憶體讀寫資料路徑；(xvi) 對各個快閃記憶體單元號（FUN）報告的有序狀態；(xvii) 針對每個快閃記憶體通道的資料路徑支援一個讀取緩衝控制器（BC）介面和一個寫入緩衝控制器介面；(xviii) 支援用於上下文

檢索的讀取 BC 介面；(xix) 支援用於上下文更新的寫入 BC 介面；(xx) 支援用於空間資源指針 (CFRP) 的讀取/寫入 BC 介面。

參考圖 2，圖 2 示出了圖 1 的塊 102 的更詳細的框圖，該框圖示出了根據本發明實施方式的示例快閃記憶體介質控制器 (FMC) 結構。在一個示例中，塊 102 可以實現三個主要功能介面：緩衝控制器 (BC) 介面、快閃記憶體器件介面以及處理器介面 (例如，32 位元 AHB 等)。在框圖的左側和左上側示出了緩衝控制器 (BC) 介面。在一個示例中，可以實現七個緩衝控制器介面 (例如，三個讀取介面 BC_RD_I/F、三個寫入介面 BC_WR_I/F 和一個讀取/寫入介面 BC_RD/WR_I/F)。在框圖的右側示出了快閃記憶體器件介面。在一個示例中，可以實現兩個快閃記憶體通道介面 (例如，FLASH_I/F_0 和 FLASH_I/F_1)。在框圖的右上側示出了 32 位元 AHB 介面。在一個示例中，32 位元 AHB 介面可用於對塊 102 中的寄存器進行程式設計、讀取狀態及使用診斷寄存器。

塊 102 通常包括塊 (或電路) 150、塊 (或電路) 152、多個塊 (或電路) 154a 至 154n、多個塊 (或電路) 156a 至 156n、多個塊 (或電路) 158a 至 158n、塊 (或電路) 160、塊 (或電路) 162、塊 (或電路) 164、塊 (或電路) 166、塊 (或電路) 168、塊 (或電路) 170、多個塊 (或電路) 172a 至 172n 以及多個塊 (或電路) 174a 至 174n。電路 150 到 174a 至 174n 可以表示可實現為硬體、固件、軟體、以及硬體、固件和/或軟體的組合或者其他實施方式的模組和/或塊。塊 150 可以實現處理器介面邏輯 (PIL)。塊 152 可

以實現資料 DMA 管理器 (DDM)。塊 154a 至 154n 可以實現快閃記憶體匯流排控制器 (FBC)。塊 156a 至 156n 可以實現快閃記憶體通道控制器 (FLC)。塊 158a 至 158n 可以實現資料傳輸路徑 (DTP)。塊 160 可以實現上下文提取仲裁器 (contexts fetch arbiter, CA)。塊 162 可以執行上下文空閒指標資源 (CFPM)。塊 164 可以實現消耗上下文管理器 (CCM)。塊 166 可以實現上下文檢索埠 (CRP)。塊 168 可以實現上下文更新埠 (CUP)。塊 170 可以實現上下文指標列表埠 (CPLP)。塊 170 通常是可選的。塊 172a 至 172n 可以實現資料 DMA 讀取介面埠 (DDRIP)。塊 174a 至 174n 可以實現資料 DMA 寫入介面埠 (DDWIP)。並且，塊 172a 至 172n 和塊 174a 至 174n 通常形成資料 DMA 介面埠 (DDIP)。

在一個示例中，塊 150 可以提供從塊 108 至 102 的可定址資源（例如，經由 AMBAAHB-Lite 介面）的介面。塊 150 可以向所有可定址資源提供介面並且向塊 102 中的不位於塊 156a 至 156n 內的子模組的配置和狀態寄存器提供直接介面。塊 150 也可以向各個塊 156a 至 156n 中的可定址資源提供介面。此外，塊 150 可以包含一個上下文構成緩衝器 (CCB)，其中，處理器固件可以將實際介質上下文寫入塊 102 以經由塊 168 儲存到系統緩衝器。在一個示例中，塊 150 可以包括以下特徵：至 108 的 32 位元 AMBAAHB-Lite 從屬介面；可以為輸入時鐘值（例如，HCLK）的一些劃分（或相同）的系統時鐘（例如，SYS_CLK）；對塊 102 中的所有配置寄存器和狀態寄存器以及處理器可定址空間的訪問；由處理器固件用於構建儲存在系統緩衝器中的上

下文 (context) 的上下文構成緩衝器 (CCB)；分佈到塊 156a 至 156n 中的每一個的處理器介面，其中，對各個定址資源的訪問由處理器訪問埠 (PAP) 處理，並且其包含可被塊 102 中的多個子模組使用的寄存器。塊 150 可以對沒有邏輯地儲存在塊 156a 至 156n 中的可定址資源執行所有寄存器解碼和所有讀取資料複用 (multiplex)。

塊 152 通常管理兩個資料傳輸，一個用於快閃記憶體程式設計 (例如，從緩衝器到快閃記憶體器件的資料交易)，另一個用於快閃記憶體讀取 (例如，從快閃記憶體器件到緩衝器的資料交易)。DMA 資料路徑通常包括從塊 156a 至 156n 到相應的塊 158a 至 158n、資料 DMA 介面埠 (DDIP) 塊 172a 至 172n 以及塊 174a 至 174n 的分離的 32 位元讀寫資料匯流排。塊 158a 至 158n 可以包含 ECC 功能。DMA 資料傳輸通常包括一系列事件，該一序列事件可以包括通過塊 102 的其他子塊 (或埠塊) 訪問相應的上下文。在一個示例中，一個 DMA 傳輸可以包括 FLC 請求、檢索上下文操作、資料傳輸和 FLC 完成階段。

在 FLC 的請求步驟中，資料傳輸可以隨著塊 156a 至 156n 中的一個升高各自的請求線而開始。在檢索上下文操作中，可以經由上下文檢索埠 (CRP) 介面 166 從一個緩衝控制器檢索相應的上下文。資料傳輸可以發生在 DDIP、DTP 和 FLC 塊之間，在該過程中，上下文可以發送至 DDIP 並且可以被寫回或不被寫回。在 FLC 完成階段，到選定塊 156a 至 156n 的完成線可以升高以表示傳輸結束。DDM 152 可以執行檢索上下文並向 DTP 塊提供輸入，以方便資料交易。

塊 154a 至 154n 通常在相應的快閃記憶體通道上執行至一組 NAND 快閃記憶體器件的低級介面信令。通常對各個快閃記憶體通道控制器 (FLC) 156a 至 156n 存在一個快閃記憶體匯流排控制器 (FBC) 154a 至 154n。塊 154a 至 154n 通常管理用於幾個介面類別型的快閃記憶體介面協定的各個週期的時序以及給定類型的不同時序模式 (例如, 非同步、ONFI 2.0 同步、ONFI 2.3 同步、三星 Toggle1.0、三星 Toggle2.0 等)。在一個示例中, 通過一組內部時序寄存器中儲存的時序計數, 可以控制週期的定時。塊 154a 至 154n 的核心邏輯通常在與其餘的塊 102 不同的時鐘域下操作。一般地, 只有時序寄存器組 (set) 位於與其餘的塊 156a 至 156n 相同的時鐘域中。通常在寄存器和 FBC 核心之間通常不需要同步邏輯, 因為只有在 FBC 是靜態 (quiescent) 時 (例如, 沒有未完成 (outstanding) 操作) 寄存器才被寫入, 所以寄存器被視為靜態 (static) 的。

塊 156a 至 156n 通常執行對各個裸片的命令的調度。塊 156a 至 156n 管理各個相應快閃記憶體通道上的命令序列。塊 156a 至 156n 提供控制寄存器和狀態寄存器, 通過它們, 固件能夠對裸片 (die) 程式設計並觀察狀態。每個塊 156a 至 156n 均包括上下文管理和裸片管理。塊 156a 至 156n 通常負責處理上下文。

塊 158a 至 158n 的每一個路由資料流程量, 並針對塊 154a 至 154n 中的每一個、可選的內部 ECC 編碼器/解碼器以及相應的資料 DMA 介面埠 (DDIP) 之間的資料流程啟動每個介面的流控制。在一個示例中, 可在塊 158a 至 158n 內實現內部 ECC 編碼器/解碼器。可選地, 塊 158a 至 158n

中的每一個可被配置為共用單個 ECC 編碼器/解碼器模組。可以通過相應的資料 DMA 管理器 (DDM) 模組 152 和相應的資料 DMA 介面埠 (DDIP) 塊 172a 至 172n 和塊 174a 至 174n 針對每次傳送對塊 158a 至 158n 進行程式設計。各個塊 158a 至 158n 可以包括可在全雙工操作模式下工作的獨立快閃記憶體讀寫路徑。塊 158a 至 158n 保持資料傳輸中的當前區域計數以及各個區域中的當前雙字 (dword) 計數。塊 158a 至 158n 通常執行 DDIP、ECC 編碼器及解碼器和 FLC 塊之間的流控制轉化。塊 158a 至 158n 保持每次傳輸的運行可校正 (running correctable) ECC 錯誤和，並在傳輸結束後向塊 152 提供該最終值。塊 158a 至 158n 可以包含用於對 ECC 編碼器及解碼器程式設計的 FMC 寄存器。塊 150 可以通過寄存器介面來訪問寄存器。ECC 模組通常能夠進行 4K 位元組資料上的 64 位元校正。然而，可以相應地實現其他級別的校正以滿足特定實現的設計標準。在一個示例中，解碼器門計數可以為 415K 門，而編碼器門計數可以為 75K 門。

塊 160 通常負責從塊 156a 至 156n 接收對上下文的請求，從系統緩衝器（例如，通過緩衝控制器進行訪問的 DRAM）中檢索請求的上下文，然後將上下文分發給塊 156a 至 156n。檢索實際上可以經由對上下文檢索訪問埠 (CRP) 166 的請求來執行。上下文為 FMC 的基本控制單元。上下文通常包含 FLC 執行命令所需的、或者 FMC 執行到系統緩衝器或來自系統緩衝器的相關資料傳輸 (DMA) 所需的所有資訊。FLC 的動作完全自主；因此，FLC 需要仲裁經由緩衝控制器對系統緩衝器的訪問，其包含由固件構建的

上下文的連結清單 (linked list of context)。塊 160 通常提供仲裁，以及發起對塊 166 的請求。然後，塊 160 將檢索到的上下文清楚地路由到相應的 FLC 目的地。塊 162 通常被實現為塊 102 的子塊以提供空閒指針在其中對固件可用的單點 (single point)。

塊 164 通常被實現為塊 102 的子塊以提供由固件可以在完成後檢測已完成的上下文的單點。塊 164 通常在多個 FLC 源之間執行仲裁。FLC 提供與上下文指標相關聯的 PASS/FAILE CC 狀態。一旦獲得上下文，塊 164 更新上下文狀態欄位，然後將上下文提供給固件。在固件需要較長時間來讀取已完成的上下文、以及塊 164 內的內部記憶體將變滿的情況下，塊 164 可以使用緩衝器來儲存在當前報告的上下文之後進行排隊的已完成的上下文。

塊 166 至 174n 通常實現埠介面。埠介面可用於與緩衝控制器通訊。在一個示例中，在埠介面內可以實現 QBFIFO 塊。下面的埠介面也可以被實現為埠介面的一部分：上下文檢索埠 (CRP) 166、上下文更新埠 (CUP) 168、上下文指標清單介面埠 (CPLIP) 170 (可選)、資料 DMA 讀取介面埠 (DDRIP) 172a 至 172n、資料 DMA 寫入介面埠 (DDWIP) 174a 至 174n。在一個示例中，塊 102 的信號介面可被分為 4 個主要介面：AHB 介面、緩衝控制器介面、NAND 和/或 NOR 快閃記憶體實體層 (PHY) 介面以及混雜 (MISC) 介面。緩衝控制器介面可以包括 (i) 用於通道 0 和通道 1 的 DDIP BC 寫入介面，(ii) 用於通道 0 和通道 1 的 DDIP BC 讀取介面 (iii) CRP BC 讀取介面，(iv) CUP BC 寫入介面，以及 (v) CPLIP BC 讀取/寫入介面。

在一個示例中，塊 102 可以以三個時鐘實現。塊 102 中的大部分邏輯可以在被稱為系統時鐘（例如，SYS_CLK）的時鐘域上工作。系統時鐘可以為 AHB 時鐘。系統時鐘通常具有 FMC 處理器（FARM）112 的工作頻率的一半的頻率。第二時鐘可以為所謂的快閃記憶體時鐘（例如，FBC_CLK）。快閃記憶體匯流排控制器（FBC）154A 至 154n 可以完全工作在快閃記憶體時鐘域。在一個示例中，可在塊 154a 至 154n 的資料流程管理器（DM）模組中實現先進先出緩衝器（FIFO），以管理時鐘 FBC_CLK 和 SYS_CLK 之間的頻率。第三時鐘可以為緩衝控制器時鐘（例如，BC_CLK）。所有帶有 BC 的介面埠均工作在緩衝控制器時鐘域。可以在緩衝控制器時鐘 BC_CLK 和系統時鐘 SYS_CLK 之間實現緩衝器元件（例如，QBFIFO）。

參考圖 3，其示出了圖解根據本發明實施方式的示例快閃記憶體通道控制器結構的塊 200 的示圖。在一個示例中，塊 200 可以用於實現圖 2 中的塊 154a 至 154n 和塊 156a 至 156n。在一個示例中，塊（或電路）200 可以包括塊（或電路）202、塊（或電路）204、塊（或電路）206、塊（或電路）208、塊（或電路）210、塊（或電路）212 以及塊（或電路）214。電路 202 至 210 可以表示被實現為硬體、固件、軟體、以及硬體和固件和/或軟體的組合或其他實施方式的模組和/或塊。在一個示例中，塊 202 可以實現上下文處理協調器（CPC）。在一個示例中，塊 204 可以實現上下文管理器（CM）。在一個示例中，塊 206 可以實現裸片管理模組（DMM）。在一個示例中，塊 208 可以實現快閃記憶體操作管理器（FOM）。在一個示例中，塊 210 可以實現處理

器訪問埠 (PAP)。在一個示例中，塊 212 可以實現快閃記憶體匯流排控制器 (FBC)。在一個示例中，塊 214 可以實現資料流程管理器 (DFM)。

塊 202 可以說明上下文資訊流入和流出塊 200。上下文流可以由塊 204 發起。塊 202 主要涉及回應於提取或配置上下文的請求。為了獲取上下文，塊 202 回應塊 204 對新的上下文的請求。首先，塊 202 可以向在塊 200 管理的裸片中進行仲裁並將選定的裸片或邏輯單元號 (LUN) 轉發至塊 202 的塊 206 發起請求。然後，塊 202 發出一個試圖從系統緩衝器提取上下文的提取至上下文提取仲裁器 (CFA) (例如，圖 2 中的塊 160)。

一旦提取到上下文，將上下文提交給塊 202。塊 202 對上下文執行一些解釋並轉發上下文至塊 204。如果塊 206 沒有可用來發起上下文執行的裸片 (LUN)，則塊 206 通知塊 202 缺乏可用的裸片，然後塊 202 通知 (communicate) 塊 204 缺乏可用的裸片。塊 202 還協助塊 200 完成上下文的配置。此外，啟動該流程的是塊 204，並且，向實現消耗上下文管理器 (CCM) 的塊 (例如，圖 2 中塊 164) 發出配置消息的是塊 202。當由 CCM 接收到配置消息並啟動工作時，塊 202 通知塊 204，然後塊 204 可以繼續處理上下文的執行。

塊 202 通常執行上下文的一些解釋。具體地，為了確定上下文是否為處理器控制模式 (PCM) 上下文，塊 202 可以解釋上下文。當接收到 PCM 上下文時，上下文的提取 (追加) 應當停止。然後，塊 202 等待塊 204 開始執行 PCM 上下文並且在處理器控制模式完成時繼續 (resume) “標

準”操作。在處理器控制模式間隔期間，塊 202 確定提取到的上下文是否是 15 個雙字上下文，而不是 4 個雙字快閃記憶體上下文，塊 202 在“標準”操作下將其發送至塊 204。

在一個示例中，塊 204 可以包括上下文狀態機 (CSM)、上下文提取管理器 (CFM)、上下文配置引擎 (CDE)、上下文解譯器 (CI)。塊 204 通常負責管理正在由塊 200 有效處理的上下文。塊 204 通常執行有效上下文的簿記 (bookkeeping)。上下文是向系統緩衝器提供快閃記憶體介質控制器 (FMC) 執行快閃記憶體交易和 DMA 所需的所有資訊的資料結構。塊 204 管理在快閃記憶體通道控制器級別上的上下文，由此主要涉及快閃記憶體交易有關的上下文管理。塊 204 維持由塊 208 執行對快閃記憶體通道上的快閃記憶體裸片執行命令和資料傳輸所用的資訊。

塊 206 通常負責維持塊 200 的操作所需的基於裸片的資訊。塊 206 管理裸片管理表中的各個裸片的資訊並且在裸片之間仲裁對上下文表排隊的訪問。在一個示例中，塊 206 可以包括更新裸片狀態的裸片狀態機。塊 206 可以執行/監控多裸片操作。塊 206 通常負責快閃記憶體命令，包括但不僅限於：READ、COPYBACK READ/COPYBACK WRITE、BLOCK ERASE、PAGE PROGRAM，以及目標級命令，其中，目標級命令包括但不僅限於 READ ID、READ PARAMETER PAGE、GET FEATURES、SET FEATURES、SYNCHRONOUS RESET、以及 RESET。

塊 208 通常處理應用到快閃記憶體通道的各個快閃記憶體操作序列。通常針對快閃記憶體介質控制器的每個快閃記憶體通道控制器 (FLC) 來實現一個塊 208。塊 208 在

塊 204 的上下文表中的命令之間進行仲裁，並應用命令至塊 212。在一個示例中，塊 208 本身支持來自 ONFI 2.0 命令列表中的最常用的命令，以及在三星 NAND 快閃記憶體器件中出現的一些特定的（和類似的）命令。此外，可以通過奈米序列器（nano-sequencer）（在下面圖 9 到圖 11 中詳細說明）支持其他現有和將來的命令。自身支援的命令可以無需處理器干預來操作，但其他命令通常使用一些級別的處理器支援。

快閃記憶體命令可以被分解成可串列地應用於由塊 208 控制的實際快閃記憶體裸片的原子“週期”。因為快閃記憶體命令通常涉及漫長的等待時間（例如，在資料從晶片中有效讀取之前，頁讀取可能需要 $25\ \mu\text{s}$ ），“命令週期”可以經常針對快閃記憶體通道的不同裸片“一個接一個”地（back-to-back）操作，從而減少了有效的、累積的等待時間。塊 208 通常通過隨著應用每個快閃記憶體迴圈而更新裸片的狀態來管理快閃記憶體裸片。然後塊 208 讀取更新的上下文表來確定接下來什麼迴圈應該（或可以）執行。NAND 快閃記憶體記憶體操作通常包括一個或多個快閃記憶體週期。通常存在四種類型的快閃記憶體週期：命令、位址、資料輸出（w.r.t 快閃記憶體器件，例如，讀取）、資料登錄（w.r.t 快閃記憶體器件，例如，寫入）。週期類型大致轉化為在塊 208 和塊 212 之間定義的操作類型。

塊 210 通常實現提供了從 FMC 100 的 AHB-Lite 從屬介面至 200 的可定址資源的處理器訪問的介面塊。在本文討論的大部分資源主要用於診斷目的，正如所有配置信號採用全域級別（作為共用的配置寄存器塊的一部分）。例

如，可以通過塊 210 實現快閃記憶體通道資料緩衝器的完全訪問。訪問可以單純作為早期驗證支架（scaffold）而提供。然而，對快閃記憶體通道資料緩衝器的訪問，也可以支援需要直接訪問內部表的固件補丁（patch）。這樣的訪問可以通過塊 210 提供。

塊 210 的特點可以包括：簡單的訪問介面，符合 AHB-Lite 從屬協定並且由 FMC 中的處理器介面邏輯（PIL）進行緩衝；提供對寄存器資源、上下文表、上下文快取記憶體以及裸片管理表的讀寫訪問；提供對位於塊 214 中的快閃記憶體通道資料緩衝器記憶體資源的讀寫訪問。塊 210 通常支援添加每通道配置寄存器的能力，儘管大部分配置寄存器通常被提供為塊 200 的輸入。類似地，可以支援狀態寄存器和中斷寄存器訪問，儘管大多數狀態寄存器和中斷寄存器通常在塊 200 以外產生。塊 210 的主要邏輯組可以包括：介面管理器（IF_MGR）、資料流程管理介面（DM_IF）、寄存器塊解碼器（REG_DEC）、寄存器塊複用器（REG_MUX）、中斷處理器（INT_HND）和 FLC 全域寄存器（GLOB_REGS）。

參照圖 4，示出了圖解圖 3 的上下文管理模組 204 的子模組的示圖。在一個示例中，塊 204 可以包括上下文表（CT）220、上下文狀態機（CSM）222、上下文快取記憶體（CC）224 和上下文佇列控制器（CQC）226。塊 204 通常劃分和執行快閃記憶體通道控制器上的操作的階段，維持快閃記憶體通道上的所有有效上下文的優先順序，維持各個快閃記憶體通道上下文的狀態，提供（例如，通過上下文快取記憶體）執行完整交易所需的上下文的臨時片上儲存的最

低量，維持正在執行的處理中的各個上下文的緩衝器指標，並通過使用上下文狀態機 (CSM) 222 確定下一狀態的上下文以為各個上下文提供代理 (agency)。可以在上下文表 (CT) 220 中保持最小的上下文資訊。表 220 通常提供了目前正在執行的上下文的優先順序佇列。上下文佇列控制器 (CQC) 226 可被配置為從上下文表 220 中移除已完成的上下文並壓縮上下文表 220，以消除間隙。

參照圖 5，示出了圖解圖 3 的裸片管理模組 206 的子模組的示圖。在一個示例中，塊 206 可以包括裸片狀態機 230、裸片服務仲裁器 232 以及裸片管理表 234。

參照圖 6，示出了圖解圖 3 的快閃記憶體操作管理器 (FOM) 208 的子模組的示圖。在一個示例中，塊 208 可被分為四個子模組：命令仲裁器 (CA) 240、資料傳輸仲裁器 (DTA) 242、快閃記憶體操作格式化器 (FOF) 244、奈米序列器 246。命令仲裁器 240 通常掃描上下文表以得到要應用的命令，然後與快閃記憶體操作格式化器 (FOF) 244 通訊以發送信號至快閃記憶體緩衝控制器 (FBC)。一旦所有的“命令”部分已經運行，快閃記憶體為“資料階段”準備就緒，資料傳輸仲裁器 242 發起 FBC 和資料流程管理 (DM) 214 之間的傳輸。最後，奈米序列器 246 解釋特殊的“軟上下文”以應用任何快閃記憶體可能需要的命令序列，即使命令序列本身不支援。

參照圖 7，示出了圖解圖 3 的資料流程管理子模組 214 的示圖。資料流程管理 214 通常提供快閃記憶體通道資料緩衝器記憶體資源。在一個示例中，快閃記憶體通道資料緩衝器記憶體資源可以包括直通緩衝器 250 和 252。在一個

示例中，直通緩衝器 250 和 252 可以被實現為其大小是可程式設計的。例如，緩衝器 250 和 252 的大小可以調整，以滿足頻寬指標。在一個示例中，緩衝器 250 和 252 可以包括靜態隨機存取記憶體 (SRAM)。然而，可以相應地實現其他類型的記憶體以滿足特定實施的設計標準。通常地，各個快閃記憶體通道實現兩個直通緩衝器。

參照圖 8，示出了圖 3 的上下文管理器 (CM) 204 的示例實施的示圖。上下文管理器 (CM) 204 通常負責管理相應的快閃記憶體通道控制器 (FLC) 正在有效地處理的上下文。CM 204 通常執行有效上下文的簿記。如前所述，上下文是向系統緩衝器提供快閃記憶體介質控制器 (FMC) 102 執行快閃記憶體交易和 DMA 所使用的所有資訊的資料結構。CM 204 管理 FLC 級別處的上下文，由此主要涉及與快閃記憶體交易有關的上下文管理。CM 204 維持快閃記憶體操作管理器 (FOM) 對快閃記憶體通道上的快閃記憶體裸片執行命令和資料傳輸所用的資訊。

CM 204 通常被配置為：(i) 發起並執行各自的快閃記憶體通道控制器上的操作的階段，(ii) 維持相應的快閃記憶體通道上的所有有效上下文的優先順序，(iii) 維持相應的快閃記憶體通道上的各上下文的狀態，(iv) 提供用於執行交易的上下文的臨時片上儲存的最小量 (或將該量最小化) (例如，通過上下文快取記憶體 224)，(v) 維持正在執行的處理中的各上下文的緩衝器指標，(vi) 通過使用上下文狀態機 (CSM) 222 確定下一狀態的上下文以為各上下文提供代理，(vii) 維持目前正在執行的上下文的優先順序佇列 (例如，上下文表 220) 中的最小的上下文資訊。上下

文佇列控制器 226 通常被配置為從上下文表 220 中移除已完成的上下文並且壓縮上下文表 220，以消除間隙。

上下文佇列控制器 (CQC) 226 是對上下文表 (CT) 220 執行修改的邏輯塊。在一個示例中，CT220 可以被實現為寄存器塊，其針對每個排隊上下文被組織成一個實體。CQC 226 是對按照優先順序佇列組織的表執行操作的塊。CQC 226 通常啟動和執行上下文處理，並負責對上下文表上執行處理。主要處理通常包括追加、等待、修改、配置和壓縮。處理由 CQC 226 進行發起和執行。

追加階段是 FMC 提取新上下文並將這些上下文的條目添加至上下文表 220 的階段。CQC 226 檢查快閃記憶體上下文的內容以及由 CPC 202 提供的上下文資訊，並且基於內容和上下文資訊來追加和創建條目。在一個示例中，上下文表的條目可以包括表示上下文表的條目是否有效的位元（或標誌）、表示上下文的狀態的值、表示上下文快取記憶體索引的值、表示快閃記憶體操作值、表示快閃記憶體裸片的值、上下文指針、指示是否禁用資料傳輸的位元（或標誌）以及表示平面位址的值。新條目通常以“有效”位設置（例如，為“1”）以及被設置為“QUEUED”的“上下文狀態”的值開始。如果快閃記憶體操作是非法的，初始狀態可以被設置為值“ILLEGAL”，並且該上下文條目會在處理階段被刪除。通常，通過 CQC 226 所提供的上下文和資訊來確定其他欄位。新的條目通常都附加到壓縮的上下文表 220 的末尾。因此，CQC 226 通常知道 220 上下文表的深度。

當 CQC 226 不再等待未完成的資料傳輸完成並且 CQC 226 在給定的快閃記憶體操作週期內已經試圖進行至少一次追加操作的時候，CQC 226 通常退出“追加”階段。當上下文表 220 或上下文快取記憶體 224 中不再有任何有效空間時，CQC 226 還可以離開“追加”階段。

上下文管理器 204 在全快閃記憶體操作週期之間可以或可以不被強制等待。上下文管理器 204 通常能夠強制（enforce）最低快閃記憶體操作時期（例如，通過快閃記憶體操作週期寄存器）。例如，在快閃記憶體裡除了程式設計或擦除命令之後的輪詢以外基本上是閒置的情況下，這樣的最小週期是所期待的。在這種情況下，因為沒有追加或配置，所以上下文階段需要很短的時間來執行。因此，通道傾向於處於這樣的狀態，其中，通道為忙碌的連續輪詢快閃記憶體裸片（continuously polling flash die），從而在不應該有能量消耗時在快閃記憶體介面上消耗能量。CQC 226 通常停留在等待階段，直到預定的時間已經過期（例如，時間可在“快閃記憶體操作計時器”寄存器中指定）。當預定的時間已過期時，CQC 226 可以進入“修改”階段。

CQC 發起的下一階段通常為“修改”階段。在修改階段，上下文表 220 基於由快閃記憶體操作管理器（FOM）執行的快閃記憶體操作以及通過來自資料路徑傳輸的結果而被修改。更新通常涉及到上下文的狀態並因此通常通過上下文狀態機（CSM）222 發起。當狀態更新發生時，CSM 222 發送更新狀態和上下文表索引至 CQC 226。然後，CQC 226 更新上下文表 220 中的條目。當 FOM 結束其快閃記憶體介面處理週期時，修改階段結束。FOM 可通過發出一個

信號（例如，FOM_CM_FLASH_PROC_CMPLT）通知上下文管理器 204 快閃記憶體介面處理已完成。一旦修改階段完成，CQC 226 可以對上下文表 220 上的上下文執行配置、壓縮和追加。在此期間，上下文表 220 對 FOM 是不可訪問的。CQC 226 可通過在特定的時鐘週期內解除（de-assert）向 FOM 表示上下文表讀取條目和上下文快取記憶體讀取資料有效的信號（例如，CM_FOM_CT_VALID）的方式，使上下文表 220 對 FOM 是不可訪問的。

當修改階段完成後，CPC 202 發起“配置”動作。配置動作將 CQC 226 置入 CQC 226 搜尋檢索已完成執行的條目的上下文表 220 的模式。CQC 226 將條目是否已完成執行的確定建立在上下文狀態上。在上下文處於“完成”狀態時，上下文可由 CQC 226 配置。在一個示例中，上下文可以處於這樣的狀態，其中 CQC 226 正在等待來自資料路徑的有關上下文完成狀態的通知。例如，在讀取操作的情況下，上下文可以處於 DATA_TRANSFER_DONE 狀態中，並等待 ECC 校驗的結果。在這種情況下，CQC 226 可以臨時暫停配置處理並等待從資料路徑返回的狀態。在此期間，CQC 226 允許“追加”發生。然而，一旦等候狀態返回，上下文可由 CQC 226 配置，並且消耗的上下文記錄可以轉發給 CPC 202（並最終到消耗上下文管理器（CCM）164）。

當 CQC 226 配置了上下文，CQC 226 清除上下文表 220 相應的條目的“有效”位。這個過程一直持續到 CQC 226 已審閱了上下文表 220 中的每個上下文。當 CQC 226 到達上下文表 220 中的有效上下文的末尾時，配置階段完成。

已由 CQC 226 配置的上下文清除各自的表條目中的“有效”位。在沒有一個機制來移動該表以填滿空位(hole)的情況下，有效條目會在上下文表 220 中變得分散（或分段）。分散的上下文將使得上下文表難以掃描以及“追加”階段更為複雜。為了確保上下文表 220 維持其優先順序佇列的特徵，上下文表 220 可以被壓縮。在壓縮過程中，當 CQC 226 配置了上下文，CQC 226 立即將被釋放的條目之後的所有條目上移一個位置。當該處理完成後，所有有效條目都在優先順序清單的前面並且所有的空位被移除。與其他動作的情況一樣，當壓縮過程完成時，CQC 226 維護“完成”信號（或位元）。在最後壓縮階段結束之後，CQC 226 可以開始追加階段。

CQC 226 通常知道處理器的控制模式。在處理器控制模式中，整個 CM 204 暫停標準操作並且進入這樣的模式，其中，FLC 的操作本質上被快閃記憶體操作管理器 208 中的奈米序列器 246 執行的“軟上下文”所驅動。軟上下文具有與標準快閃記憶體上下文不同的尺寸。在一個示例中，軟上下文可以包括全部的十五個 32 位雙字，然而“快閃記憶體上下文”，即 FLC 執行的全部介質上下文的部分，通常僅包括四個 32 位雙字。

通常，當處理器控制模式（PCM）的“快閃記憶體操作”欄位被設置為 PROCESSOR_CONTROL_MODE 的上下文出現在上下文佇列的頂部時，處理器控制模式（PCM）開始。通常，在上下文表 220 中，在 PCM 上下文後面應當沒有有效條目，因為一旦 CQC 226 對 PCM 上下文排隊，CQC 226 應當暫停標準上下文的檢索。當 PCM 開始時，CQC

226 可以經由信號（例如 CM_CPC PROC_CNTL_MODE）通知 CPC 202。回應於該通知，CPC 202 可以取得在 PCM 上下文中的位置出現的“軟上下文”。從提供給 FOM 的角度來看，FOM 通常不知道在上下文表 220 中存在 PCM 上下文，而 PCM 上下文是在上下文表 220 中的其他有效條目的後面。上下文表 220 中的 PCM 上下文條目將其“有效”位作為 0 提供給 FOM，直到 CM 204 為 FOM 做好開始執行軟上下文的準備。

當 FOM 開始讀取軟上下文時，因為操作由儲存軟上下文的上下文快取記憶體 224 提供給 FOM 208，CQC 226 監視（snoop）操作。當操作涉及 DMA 上下文（例如預取資料，設置讀取資料緩衝器，或配置上下文指標）時，CQC 226 在上下文表 220 中指定（co-opt）上下文表中現在未使用的儲存，並在上下文表中放置指針以用於跟蹤。在這些 DMA 上下文完成時，FOM 208 通知上下文管理器 204，其之後用標準方式配置上下文。

CQC 226 在監視的同時，還尋找“取得下一軟上下文”操作。當 CQC 226 發現一個時，CQC 226 維持至取得下一軟上下文的 CPC 202 的信號（例如 CM_CQCPCM_NEXT_CONTEXT）。在 FOM 208 通知 CM 204 軟上下文執行已完成時，FOM 208 在“FOM/CM”命令介面上通知 CM 204。然後，CQC 226 解除到 CPC 的信號（例如 CM_CPC PROC_CNTL_MODE），然後，標準操作繼續。在一個示例中，CM_CPC PROC_CNTL_MODE 可以被維持為表示 CM 204 已經進入處理器控制模式並且現在準備好接收軟上下文的信號的級別。

CQC 226 的另一重要功能為監控超時情況。在一個示例中，CQC 226 可以包括計數器，其被配置為對系統時鐘（SYS_CLK）週期的數量進行計數，使得同樣的上下文表的條目位於上下文表 220 的頂部（即，在條目 0）。如果計數值達到一個可程式設計“超時”計數器的值，上下文表 220 頂端的條目可以被認為已經超時。當條目被認為已經超時時，條目可以從上下文表 220 中移除，上下文指標返回到消耗上下文介面上的上下文處理協調器（CPC）202。

上下文的返回狀態是兩個可能的“超時”狀態之一。在第一種情況中，超時會可能起因於這樣的情形，其中，快閃記憶體通道上的另一裸片忙碌並且正在降低 R/B 線。在這種情況下，狀態表示超時可能是起因於另一裸片的超時。在第二種情況中，上下文的裸片被視為事故原因（culprit）。在這裡，可以返回表示裸片是事故原因的不同狀態。

上下文表 220 本質上為條目的儲存介質。上下文表的深度是參數化的。例如，在能支持每通道十六個裸片）的晶片的情況下，可以實現十六個條目。如果每個裸片（die）可以管理一個以上的操作，增加深度可以是有利的。上下文表 220 有最小函數（minimal function）。CQC 226 對上下文表 220 實現大部分更深入的處理。然而，可以通過多重讀取介面以及各個讀取介面的複用邏輯來實施上下文表 220。在一個示例中，針對讀取訪問能力，可以通過 FOM 208 的介面以及到上下文狀態機（CSM）222 的介面來實施上下文表 220。上下文表 220 也可以具有到 CQC 226 的讀取介面。上下文表 220 也可以被處理器訪問。

上下文表 220 還具有用於表的壓縮階段的“移動 (shift)”能力。除此之外，CQC 226 可以使用簡單的寫入介面來更新上下文表 220。在一個示例中，上下文表 220 可以在觸發器 (flip-flop) 中實施。當上下文表 220 在觸發器中實施時，不需要讀取訪問所需的仲裁。如果上下文表 220 的規模增加到超過大約 1000 個觸發器，上下文表 220 可以在寄存器堆或 SRAM 中實現，但還應當實現額外的管理和訪問仲裁。

上下文快取記憶體 224 是類似於上下文表 220 的另一上下文資料記憶元件。上下文快取記憶體 224 通常包括參數化的條目數。在一個示例中，條目的數量可以為八個。然而，可以實現其他數量的條目以達到特定實施方式的設計標準。例如，條目的數量可以被設置為比實際上是全流水線操作所需的數量多一個或兩個。數量通常應當被設置得足夠大，以允許在處理器控制模式中用於全“軟上下文”的足夠空間。如上所述，一個完全的上下文可以包括十五個 32 位雙字。全部介質上下文的子集稱為“快閃記憶體上下文”。快閃記憶體上下文通常是全部介質上下文的前四個雙字 (或 DWORD/雙字)。快閃記憶體上下文的四個雙字通常包含由 FLC 用來執行由固件指定的完整操作的所有資訊。在標準操作 (例如，當 FLC 不處於處理器控制模式) 中，只有快閃記憶體上下文的前兩個雙字儲存在上下文快取記憶體 224。快閃記憶體上下文的其餘部分一般儲存在上下文表 220 中。

上下文快取記憶體 224 通常維持各個條目上的狀態。在一個示例中，狀態可以包括表示條目是空閒 (FREE) 還

是已用 (USED) 的位。在一個示例中，可以在上下文快取記憶體 224 中實現 8 個這樣的位。當快閃記憶體上下文被寫入到上下文快取記憶體 224 的位置時，位置的狀態變為 USED。當 CQC 226 在狀態變換時接收到使位置清空的資訊時，位置狀態返回到 FREE。在標準操作期間，上下文快取記憶體 224 基於狀態位元通知 CQC 226 上下文快取記憶體 224 具有空閒條目的空間。如果存在空閒的位置，CQC 226 可自由地從 CPC 202 請求上下文。在 CPC 202 取得新的快閃記憶體上下文時，CPC 202 將快閃記憶體上下文作為一串 (a burst) 32 位元雙字資料提供給上下文快取記憶體資料 224。當資料有效時，可以維持信號 (例如 CPC CM_ENQ_CTX_VALID)。上下文快取記憶體 224 將資料寫入空閒的位置。上下文快取記憶體 224 預期 CPC 202 將僅寫入一個快閃記憶體上下文。

在上下文表 220 頂端處的條目被表示為 PROCESSOR_CONTROL_MODE 操作的處理器控制模式中，上下文快取記憶體 224 應當是完全空閒的。在處理器控制模式中，上下文快取記憶體 224 應當預期從 CPC 202 接收軟上下文。上下文快取記憶體 224 也可以預期軟上下文包括 15 個雙字。實質上，上下文快取記憶體 224 用作從屬，接收由 CPC 202 提供的任何資料。CPC 202 負責將適量資料寫入上下文快取記憶體 224。上下文快取記憶體 224 對 FOM 208 是可訪問的，其在對快閃記憶體單元實現實際的命令時使用全部的快閃記憶體上下文資訊。FOM 208 向 32 位雙字提供位址，並且上下文快取記憶體 224 在後續時鐘週期回應請求的雙字。在處理器控制模式期間，來自上

下文快取記憶體 224 的讀取回應被可以基於操作的內容實現行動的上下文佇列控制器 (CQC) 226 監控。正如上下文表 220，上下文快取記憶體 224 也可以通過處理機介面訪問。

FOM 208 讀取來自上下文表 220 的條目並且執行操作。在執行操作之後，FOM 208 更新上下文狀態機 (CSM) 222。CSM 222 將該狀態儲存在上下文表 220 的特定條目中。FOM 208 然後繼續執行下一條目等。在到達上下文的末尾之後，FOM 208 回滾並且再一次執行條目以檢查執行的下一部分。執行上下文表 220 中的多條目的處理通常提供對快閃記憶體介面上的命令的流水線執行。快閃記憶體介面上的命令的流水線執行通常提供快閃記憶體介面的有效利用。通過一部分一部分地執行多個條目以及恢復上下文表 220 中的狀態，FOM 208 提供比常規的技術更有效的快閃記憶體介面的利用。

參考圖 9，示出了圖解根據本發明實施方式的示例快閃記憶體介質上下文佈局 300 的示圖。各個快閃記憶體交易通常由上下文表示。上下文是包括系統硬體執行與快閃記憶體庫 (flash bank) 的交易和/或將移動資料到系統緩衝器中的位置或從中移動該資料所使用的所有資訊的資料結構。上下文通常由固件構建，並被作為到上下文內容實際所處的緩衝控制器 (BC) 裡的指針而提供給快閃記憶體通道控制器 (FLC)。固件可以選擇構建這些上下文的連結清單 (例如上下文清單) 從而允許更大的快閃記憶體操作的硬體自動化。各個被管理的快閃記憶體單元 (例如裸片、LUN 等) 通常有一個上下文列表。

通常，在普通操作期間，全部上下文只有一部分被 FLC 用於執行快閃記憶體交易。因此，只有被 FLC 所使用的部分儲存在 FLC 的上下文快取記憶體中。在正常操作期間均被儲存在 FLC 的上下文快取記憶體中的所有上下文的一部分通常被稱為“快閃記憶體上下文”。正如可以從快閃記憶體介質上下文佈局 300 中可以看到，在一個示例中，快閃記憶體上下文可以僅包括全部十五個雙字上下文的前四個雙字。

在一個示例中，根據本發明實施方式實現的上下文可以包括下列內容和/或欄位：快閃記憶體操作欄位、快閃記憶體行位址欄位、塊描述指針/回拷（copyback）行位址欄位、構成位欄位、下一上下文指針欄位、DMA 跳過（skip）遮罩欄位、資料緩衝器指標欄位、備用（alternate）資料緩衝器指標欄位、邏輯塊位址（LBA）欄位、狀態欄位、快閃記憶體單元號（FUN）欄位、可以包括中繼資料或構成資料指標、中繼資料、和/或快閃記憶體構成資料的欄位、可以包括中繼資料或者快閃記憶體構成資料的欄位、如果使用 64 位元 LBA 模式欄位則可以包括中繼資料或邏輯塊位址（LBA）的上部的欄位、可以包括上下文的錯誤校正編碼技術（ECC）的欄位。快閃記憶體操作欄位可以包括操作碼。在一個示例中，操作碼可以包括八個位。操作碼可以由固件產生，以向硬體傳遞要執行的操作。通常，操作涉及對快閃記憶體行列的至少一次訪問。固件可用的基本操作碼可以包括表示下列操作的值，包括例如 RESET、SYNCHRONOUS_RESET、READ_ID、READ_PARAMETER_PAGE、GET_FEATURES、

SET_FEATURES 、 READ_PAGE 、 PROGRAM_PAGE 、 ERASE_BLOCK 、 COPYBACK_READ/PROGRAM 、 READ_STATUS 、 READ_STATUS_ENHANCED 、 PROCESSOR_CONTROL_MODE 、 MUILT PLANE PROGRAM PAGE 以及 MUILT PLANE PROGRAM PAGE END 。

快閃記憶體行位址欄位可以包括快閃記憶體中的訪問的頁的行位址。在一個示例中，快閃記憶體行位址欄位可以包括與頁面位址串接的塊位址。快閃記憶體行位址可以在三（3）個行位址操作週期期間提供給快閃記憶體陣列。對於清除操作，僅提供快閃記憶體中的訪問的塊位址。對於僅使用一個位元組位址的 READ_ID 操作，在一個示例中，位元組可以被放入快閃記憶體行位址的最左邊的位元組（MSB）。在快閃記憶體操作：為 PROCESSOR_CONTROL_MODE 時，快閃記憶體行位址欄位也可以用作軟上下文指標。在遇到處理器控制模式操作時，FLC 可以使用快閃記憶體行位址欄位的值作為軟上下文的系統緩衝器位址。

在將資料移至系統緩衝器的位元時，DMA 跳過遮罩欄位可以基於位元的狀態（例如‘1’或‘0’）而允許轉發或者跳過頁磁區（分區）。在一個示例中，DMA 跳過遮罩欄位可以被實現為低有效（active low）跳過遮罩或轉發遮罩（例如‘1’表示發送而‘0’表示跳過相應頁）。DMA 跳過遮罩欄位可以主要用於讀取/修改/寫入（RMW）操作，這對少量磁區的交易而言是共同的。例如，在 8K 的頁器件上，頁通常被分成十六（16）個磁區。在 DMA 跳過遮罩欄

位的特定位為 1 時，在一個示例中，相應的磁區可以被寫入系統緩衝器或從中讀出。在該位元為 0 時，相應的磁區可以從被寫入系統緩衝器中或從系統緩衝器讀出中省略。在一個示例中，也可以存在允許資料從兩個分離的源寫入的模式：包含未修改的頁數據的緩衝器塊，以及包括修改的頁數據緩衝器塊。對於這些情況，狀態（例如 '0'）可以用於表示磁區從包含更新的頁數據的塊而寫入，其他狀態（例如 '1'）用於表示磁區從包含未修改的頁數據的塊而寫入。位的位置也可以是有意義（significant）的。例如，最高有效位（MSB）通常對應於磁區中的第一頁或最小數量的頁的位。最低有效位元（LSB）通常是對應於磁區的最大數量的頁的位。如果在頁中存在小於 16 個的分區，最低有效位可以被視為是可忽略的。然而，可以實現其他數量的條目以達到特定實施方式的設計標準。在一個示例中，在實現博斯喬赫裡霍克文黑姆（bose_chaudhuri_hocquenghem）錯誤校正碼（ECC）時，遮罩細微性可以是一（1）個資訊字。

下一上下文指標欄位可以指向包括由固件構建的上下文清單（例如上下文的連結清單）中的下一上下文的指標。如果“下一上下文指針”等於被固件程式設計到 FLC 裡的“清單末尾指標”，硬體可以假定檢索已到達末尾。硬體在繼續遍歷連結清單之前可以等待“列表末尾指標”值的改變。也可以定義“空指標”值，其將停止硬體的表檢索。

在一個示例中，塊描述指標（chunk descriptor pointer）/回拷行位址欄位，通常對於回拷命令將要回寫入的緩存資料提供快閃記憶體頁的行位址。行位址為塊位址和頁面位

址的串接。在另外的示例中，回拷快閃記憶體行位址欄位與非回拷上下文的未使用的欄位共用。例如，塊描述符指標/回拷行位址欄位可以用來提供緩衝器分配管理器（BAM）的輔助欄位。BAM 輔助欄位可以包括由緩衝器分配管理器（BAM）管理的資料緩衝器中的資料塊的描述符的指標。

塊描述符欄位可以用於緩存管理。塊描述符可以包括緩衝器管理中所用的塊位址（例如在系統緩衝器中）、有效位元、髒（dirty）位、傳輸暫停計數、狀態、LBA 和指標。在 DMA 已經完成之後，塊描述符指標通常被快閃記憶體介質控制器（FMC）中的 DMA 管理器傳送至 BAM。塊描述符指標也可以被傳送到 BAM，以便如果標誌位元（例如 BAM 查找所需要的位元）被設置則獲得緩衝器資料指標以開始 DMA。塊描述符指標/BAM 輔助欄位也可以被固件設置為通用 BAM 輔助欄位，並且內容可以由固件根據 BAM 序列器具體程式設計而確定。通常，塊描述符指標/BAM 輔助欄位對硬體是完全顯而易見的。

資料緩衝器指標欄位通常提供指向將要從緩衝控制器傳送到快閃記憶體介質或者從快閃記憶體介質傳送到緩衝控制器的實際資料的指標。在上下文起初被取得時，資料緩衝器指標欄位存在於上下文中，或者如果設置 BAM 查找所需要的位元，資料緩衝器指標欄位可以被 BAM 通過 BAM 查找而填入（populate）。資料緩衝器指標欄位通常提供塊中的第一個位元組的位址，而不一定為第一個有效 LBA。

備用資料緩衝器指標欄位也是從緩衝控制器傳送到快閃記憶體介質或者從快閃記憶體介質傳送到緩衝控制器的

資料的指標。在操作使用進/出緩衝器的多源或多目的地時，使用備用資料緩衝器指標欄位。備用資料緩衝器指標主要可以用於讀取/修改/寫入 (RMW) 操作。在主機 (host) 執行小於整個頁的操作時，主機進行 RMW 操作以更新頁。備用資料緩衝器指標可以用於讀取操作，以便將舊的頁數據儲存在一個臨時塊中。然後，在實施寫入操作時，跳過遮罩可以用於從包括未修改的頁數據的介質塊或包括要被更新的資料的主機塊中選擇磁區 (或分區) 的寫入源。

中繼資料欄位通常包括與快閃記憶體頁有關的中繼資料 (例如，諸如 LBA、順序編號、壞塊指示符等)。通常可以預期所有的中繼資料會容納在上下文中。否則，一個中繼資料緩衝器指標可以包含在上下文中以代替中繼資料，從而中繼資料可以儲存在系統緩衝器中或從系統緩衝器中檢索。對於寫入，中繼資料欄位通常被固件填入並且被硬體插入到頁中。對於讀取，對於固件來說，通常期望請求讀取頁中的中繼資料的內容。對於這些情況，上下文可以被配置為從頁中讀取中繼資料到上下文中。在一個示例中，可以由中繼資料大小寄存器確定以位元組表示的中繼資料的大小。

快閃記憶體配置資料欄位通常與中繼資料欄位共用位元組位置，並通常用於傳輸有限數量位元組的操作 (例如 READ_ID 、 GET_FEATURES 、 SET_FEATURES 、 READ_STATUS 等)。由於與這樣的傳輸有關的位元組數通常較小 (例如 SET_FEATURES 和 GET_FEATURES 可以使用 4 個位元組；READ_ID 通常使用 5 個位元組；READ_STATUS 可以僅使用 1 個位元組)，資料僅在上下文

中而不是在一個獨立的緩衝器位置中傳輸。如果與這樣的傳輸有關的資料超出在上下文中分配的空間，可以使用快閃記憶體配置資料指標欄位。“GET_FEATURES 和 SET_FEATURES”命令往往假定使用 4 個位元組。在一個示例中，從 READ_ID 命令寄存器的讀取位元組的數量中可以獲得 READ_ID 命令所需的位元組的數量。在快閃記憶體配置資料欄位用於配置資料時，所有的 7 個雙字均被硬體更新，並且固件僅需要讀取適當的位元組。

中繼資料緩衝器指標欄位包括頁中繼資料（例如包含在快閃記憶體頁的使用者資料中的管理資料）的位置的地址。因為在許多應用中所有的中繼資料可以儲存在上下文自身中是預期的，中繼資料緩衝器指標欄位可以省略。在要從外部的系統緩衝器中檢索中繼資料時，可以使用中繼資料緩衝器指標欄位。通常只有中繼資料被儲存在外部並且不在上下文中，才使用中繼資料緩衝器指針欄位。在一個示例中，可以實現配置位元，以指定中繼資料是儲存在外部還是儲存在上下文之內。在一個示例中，外部系統緩衝器可以被實現為包括快閃記憶體介質控制器（FMC）的晶片的外部的記憶體（例如 DDR RAM）。在又一示例中，外部的系統緩衝器可以被實現為 FMC IP 的外部的片上 RAM。在另一示例中，外部的系統緩衝器可以包括 FMC IP 內的記憶體。通常，外部的系統緩衝器可以為上下文的外部的任何儲存。

快閃記憶體配置資料指標欄位通常提供取得的或需要被寫入一個快閃記憶體單元的構成資料的位置地址。由於中繼資料被分配給上下文欄位以用於資料交易，所以與

READ_ID、GET_FEATURES 和 SET_FEATURES 命令有關的快閃記憶體配置資料可以被儲存在上下文中。然而，就像中繼資料的情況那樣，如果資料大小超過上下文中為快閃記憶體配置資料所分配的空間，系統緩衝器的資料的指標可以被用於訪問。

邏輯塊位址（LBA）欄位通常提供頁中的第一個資料分區的 LBA。針對系統緩衝器和快閃記憶體的各個磁區，LBA 通常被編碼到資料保護。由於頁為連續的 LBA 組，只有該組中的第一個 LBA 用作上下文的一部分。LBA 可以用於為磁區頁的緩衝器 CRC 做種（seed）。針對中繼資料的 LBA 部分，LBA 也可以有選擇地進行校驗。例如，可以實現配置位元以選擇是否相對於中繼資料的 LBA 部分來校驗 LBA。例如，在配置位元被設置時，LBA 可以對中繼資料的 LBA 部分進行校驗。在一個示例中，只有低 32 位可以用於做種。

快閃記憶體單元號（FUN）欄位可以由固件用作用於確定哪個快閃記憶體單元將應用上下文的識別字。該確定對硬體而言是清楚的。快閃記憶體單元號欄位被固件單獨地用於管理目的，使得在上下文已經被硬體消耗之後，一旦識別字被提供回固件，固件可以協調上下文。

構成位元欄位通常包括用於構成上下文並以硬體流中的各種點確定上下文（以及上下文表示的傳輸）的處理的所有位。在一個示例中，上下文配置位元欄位中的可用的上下文位和欄位可以包括但不限於以下：消耗上下文管理器中斷啟用；部分命令啟用位元，使用快閃記憶體介面上的部分命令功能啟用/禁用執行 DMA 跳過遮罩；禁用對系

統緩衝器的 DMA；禁用任何從或到 FLC 本地緩衝器的資料傳輸；擾碼器功能啟用，啟用/禁用擾碼器功能；ECC 錯誤檢測中斷啟用；ECC 宏旁路，啟用/禁用讀取資料的解碼或附加奇偶性至寫入資料；緩衝器 CRC 啟用；忽略中繼資料信號（位元），使中繼資料在讀取時不被轉發到系統資料緩衝器、系統緩衝器或上下文，並在寫入時防止從任何源插入中繼資料（例如，葉子中繼資料欄位空白）；信號（位元），使用於 DMA 的使用者資料保持中繼資料（例如，在讀取時轉發中繼資料到資料緩衝器，以及在寫入時從資料緩衝器接收中繼資料）；信號（位元），指示是否要將中繼資料中的“開始 LBA”欄位與上下文中的開始 LBA 欄位相校驗；信號（位元），指示是否在緩衝器中保持 ECC 同位欄位（例如，在讀取時將 ECC 同位位元組傳輸到系統緩衝器，以及在寫入時將 ECC 從系統緩衝器傳輸到快閃記憶體）；信號（位元），指示是否使用平面緩衝器（例如，資料傳輸進/出非託管記憶體區域）而不是託管資料緩衝器（例如，可用於確定在量子突發中傳輸多少資料到系統緩衝器）；信號（位元），指示是否使用使用者資料磁區長度配置以確定磁區的資料長度（例如，如果該位是被清除的，磁區的資料長度可以根據保留區域磁區長度配置而確定）；信號（位元），指示是否傳輸快閃記憶體配置資料（例如，將快閃記憶體資料讀取入到上下文中，或寫入來自上下文的快閃記憶體資料）；信號（位元）指示是否傳輸全部（full）原始快閃記憶體頁面到系統緩衝器或從中傳輸全部（full）原始快閃記憶體頁面；信號（位元）指示是否使用備用緩衝器跳過遮罩（例如，使跳躍遮罩用於標識（mark）將被傳輸

進/出被備用資料緩衝器的指標所指向的緩衝器塊的磁區（分區），而不是省略磁區的傳輸；在啟用擾亂器時為各個分區定義擾亂器種子的欄位。指示是否傳輸一個全部原始快閃記憶體頁面到或從系統緩衝器的信號，其實質上與大多數其他選項是互斥的。指示是否傳輸一個完整的原始快閃記憶體頁面到或從系統緩衝器的信號通常超越於（override）於其他位的設置。通常傳輸一個完整的原始快閃記憶體頁到或從系統緩衝器的特徵使固件掌握不屬於任何分區的頁的未使用區域。傳輸快閃記憶體配置資料信號可用於諸如 ops、READID 命令，GETFEATURES，以及 SETFEATURE。資料的大小，可由配置資料長度寄存器確定。資料將出現在中繼資料中通常由上下文佔據的位置。

狀態欄位通常包括可用於向固件返回狀態的位元。在一個示例中，在狀態欄位可以包含程式設計/擦除操作所用的通過（pass）/失敗（fail）狀態。在另一示例中，狀態欄位還可以包含讀取操作中 ECC 邏輯檢測到的錯誤數量。然而，可以實現該欄位的其他用途，以滿足特定實現的設計標準。在一個示例中，狀態欄位可配置為表示快閃記憶體頁面中的錯誤數量和用於上下文的管理器的完成代碼（例如、清除（clean）、程式設計/擦除錯誤、校正的讀取錯誤、無法校正的讀取錯誤、從系統緩衝器中的預取（prefetch）上的緩衝器 CRC 錯誤、操作超時、LBA/中繼資料不匹配、非法操作等）。

如上所述，上下文是確定了命令執行的資料結構。上下文為固件和硬體之間的通訊單元。參考圖 2 和圖 3，一般的上下文流可以總結如下。固件與 150 記憶體指標一起寫

入 FMC 102 的處理器介面邏輯 (PIL) 的上下文結構緩衝器 (CCB) 中的上下文。多個上下文可以通過使用上下文結構中的下一指標欄位而由上下文中的固件連結。硬體通過上下文更新埠 (CUP) 168 來執行到記憶體指標相關聯的位置的上下文的記憶體寫入。例如，固件可以通過各自的快閃記憶體通道控制器 (FLC) 156a 至 156n 中的裸片管理模組 (DMM) 206 中的裸片管理寄存器來啟用特定的裸片的執行。可以為各個裸片提供一套獨立的管理裸片寄存器。DMM 206 將寄存器中的資訊發送 (communicate) 至各自的快閃記憶體通道控制器 (FLC) 156a 至 156n 中的上下文管理器 (CM) 204。CM 204 可以通過上下文檢索埠 (CRP) 166 從記憶體中提取啟用上下文，並且調度對各自的快閃記憶體通道匯流排上的命令的執行。CM 204 通常調度命令並且指示用於面向資料操作的資料 DMA 管理器 (DDM) 塊 152。DDM 塊 152 通常從記憶體中提取上下文以通過 CRP 166 從上下文中提取資料參數。在由 DDM 152 和 CM 204 進行的上下文成功地完成以後，狀態被更新到消耗上下文管理器 (CCM) 164。在完成後，可由硬體產生中斷並且固件可以讀取出給定上下文下的完成狀態。

包括塊 172a 至 172n 和塊 174A 至 174n 的資料 DMA 介面埠 (DDIP) 通常負責 DTP 158a 到 DTP 158n、系統緩衝控制器和相關上下文之間的即時資料路由。各個資料傳輸可包括一個或多個分區。各個分區可以包括一個或多個區域。實際格式來自 FMC (例如，使用寄存器) 以及來自相關上下文的配置設置而確定。設置可按各傳輸、各分區以及各區域基礎進行分類。路由可根據資料傳輸格式的區

欄位型別以及其他配置而確定。路由通常包括合併和分片（padding and stripping）功能。各個資料傳輸涉及的所有上下文的雙字。因此，DDM 152 發起上下文對 DDIP 的訪問，其中 DDIP 在實際資料移動之前，將所有上下文雙字讀取入其自己的上下文快取記憶體區域。

一旦檢索到相關上下文，DDIP 以適當的配置設置來程式設計其內部控制邏輯，並提供一些配置資訊至相應的 DTP 158a 到 DTP 158n。然後 DDIP 跟蹤各個分區內的各個區域，並且建立用於適當路由的邏輯。在實際資料傳輸中，如果資料被重定向到上下文，則 DDIP 會切換上下文訪問至寫入模式。當傳輸完成後，DDIP 會通知 DDM 152 傳輸和上下文訪問都已完成。DDIP 可以執行錯誤校驗。例如，DDIP 可配置為執行系統緩衝器 CRC 校驗和/或確認接收到的 LBA 符合來自上下文的預期的 LBA。這些校驗以及系統緩衝器 ECC 位元組錯誤（啟用時）的結果通常都傳回 DDM 塊 152。DDM 塊 152 可以轉而將資訊傳至選定的 FLC 156a 至 156n。DDIP 也可以配置為生成和插入 CRC。可以通過從各分區收集所有使用者資料位元組而構建整個使用者資料。同樣，可以通過從各分區收集中繼資料位元組而構建整個中繼資料。在一個示例中，可以收集中繼資料直到達到預定的上限。在一個示例中，DDIP 可以具有預設配置，其中 DDIP 僅路由已用使用者資料區域的部分進/出系統緩衝器，並且僅路由已用資料區域部分進/出上下文元。ECC 區域可以分片/合併。可以修改預設配置以提供多種變化。例如，DDIP 可以被配置為：（1）保持整個使用者資料區完好，包括未使用的位元組，（2）使進/出系統緩衝器域的中

繼資料區域保持使用者資料，(3)分片/合併中繼資料區域，
(4)保持 ECC 完好，和/或(5)保持整個分區完好(例如，
沒有分片/合併)。

上下文佈局結構 300(在上面結合圖 9 所述的)可用於
任何目標中的頁的程式設計。頂端模組之間的示例程式設
計資料流程可以概括如下。固件程式以 CCB 中的關聯記憶
體指標、在處理器邏輯介面(PIL) 150 中、以命令對上下
文程式設計。CCB 通過 CUP_168 執行到記憶體의寫入操
作。固件可以啟用各自 FLC 156a 至 156n 中的 DMM 206 以
允許上下文的執行。各自的 FLC 156a 至 156n 中的 CM 204
通過 CRP 166 從記憶體提取上下文，並且處理用於調度各
自的快閃記憶體匯流排控制器(FBC) 154a 至 154n 上的命
令的上下文部分。DDM 與 FLC 152 針對上下文進行通訊，
DDM 152 通過 CRP 166 提取上下文，並且提供資料塊指針
至各自的 DTP 塊 158a 至 158n。各自的 DTP 塊 158a 至 158n
通過從上下文中解碼的指標從記憶體請求資料。該請求是
通過塊 172a 至 172n 和塊 174a 至 174n 組成的 DMA 介面資
料埠(DDIP)進行的。資料 DMA 介面埠(DDIP)在量子
突發中從記憶體讀取資料。

從記憶體中讀取的資料通常通過由塊 172a 至 172n 和
塊 174a 至 174n 形成的 DDIP 傳遞到 DTP。在 DTP 中，如
果啟用的話，資料可以進行 CRC 校驗，並且如果啟用的話，
ECC 可以添加到使用者資料並傳遞到各自的 FLC 156a 至
156n。如果資料的完整性失敗，狀態更新到 CCM 塊 164。
各自的 FLC 156a 至 156n 中的快閃記憶體操作管理器
(FOM)208 調度程式設計週期有關的命令和資料至各自的

快閃記憶體匯流排控制器(FBC)154a至154n。各自的FBC 154a至154n以快閃記憶體介面規範對快閃記憶體匯流排界面執行程式設計操作。各自的FBC 154a至154n讀取快閃記憶體操作完成的狀態。在操作完成時，各自FBC 154a至154n與各自FLC 156A至156N通訊，並且各自的FLC 156a至156n與CCM 164通訊。CCM 164維持中斷至固件以通知位於在CCM 164相關的上下文寄存器中的上下文已完成，並且準備好固件的檢查。然後，固件從CCM 164讀取上下文。當固件完成上下文的讀取和處理時，固件可以維持允許載入另一消耗的上下文的信號（例如，位元）。

基本的快閃記憶體讀取資料流程可描述如下。一個上下文結構用於讀取任何目標頁。固件程式以CCB中的關聯記憶體指標在處理器邏輯介面(PIL)150中以命令對上下文程式設計。CCB通過CUP_168執行到記憶體的寫入操作。CCB通過CUP 168執行對存取器的寫入。固件啟用各自的FLC 156a至156n中的DMM_206以允許執行上下文。各自的FLC 156a至156n中的CM 204通過CRP 166從記憶體提取上下文，並且處理調度被用於各自的FBC 154a至154n的命令所需的上下文部分。各自的FLC 156a至FLC 156n與各自的FLC 154a至154n進行通訊以執行對目標的讀取命令。各自的FLC 156a至156n與DDM 152針對上下文進行通訊，DDM 152通過CRP 166提取上下文，並且提供資料塊的指針至各自的DTP塊158a至158n。

在接收到從快閃記憶體通過各自的FBC 154a到FBC 154n到各自的DTP 158a到DTP 158n的資料時，各自的DTP 158a到DTP 158n通過來自上下文的解碼的指針請求要寫

入記憶體的资料。各自的 DTP 158a 到 DTP 158n 也通過由塊 172a 至 172n 和塊 174a 至 174n (DDIP) 形成的 DMA 介面資料埠這樣做。DDIP 在量子突發中將資料寫入到記憶體。在 DTP 中，如果啟用的話，資料進行 ECC 校驗，並且如果啟用的話，CRC 添加到使用者資料並且該數據傳到 DDIP。如果資料的完整性失敗，狀態更新到 CCM 塊 164。在操作完成後，讀取操作的狀態被提供到 CCM 塊 164。CCM 塊 164 維持中斷至固件以通知固件，在 CCM 塊 164 的上下文寄存器中位於的上下文是完整的，並以為固件檢查做好準備。固件讀取來自 CCM 塊 164 的上下文。當固件完成上下文的讀取和處理，固件可以維持允許載入另一消耗上下文的信號（例如，位元）。

根據本發明的快閃記憶體控制器硬體架構總體上被設計用於提高快閃記憶體系統的整體性能。該設計也提高了快閃記憶體匯流排界面效率，並通過固件程式設計與上下文交互。由多個硬體特徵所定義的獨特的硬體體系結構了提高了快閃記憶體匯流排界面的效率。通過獨特的上下文流提高了固件的交互。通過支持對經由由固件程式設計的更高層快閃記憶體命令上下文到快閃記憶體器件的多重快閃記憶體的命令序列的自動硬體處理，根據本發明的硬體結構也可以有助於支援更有效的固件設計。

根據本發明實施方式的快閃記憶體介質控制器可包括以下特徵：1) 各個快閃記憶體交易的上下文；2) 上下文處理；3) 經由消耗上下文管理器 (CCM) 的狀態報告；4) 各個快閃記憶體的通道控制器內的裸片管理表以及上下文管理器塊；5) 獨立通道結構，包括專用資料傳輸路徑；6)

支援在快閃記憶體通道控制器和緩衝控制器介面中的全雙工操作；7) 處理器控制模式。

對於每個快閃記憶體交易的上下文，每個快閃記憶體交易由上下文表示。上下文是包含硬體執行與快閃記憶體庫的交易和/或移動資料到系統緩衝器的位置或從中移動資料所需的全部資訊的資料結構。上下文一般由固件構建，並以指向緩衝控制器的上下文內容實際所處位置的指針而提交給各自的快閃記憶體通道控制器。固件可以選擇構建上下文列表，以便允許更大的快閃記憶體操作的硬體自動化。通常，各託管快閃記憶體單元（裸片，LUN）存在一個上下文。因為各個 LUN 存在獨立的上下文，使之能夠產生流水線平行作業。

根據本發明實施方式的快閃記憶體介質控制器還可以提供上下文處理。快閃記憶體介質控制器可以從多個上下文鏈（例如，可專用於 LUN 的上下文鏈）中提取上下文。這將產生執行緒並行處理。並行處理執行緒有助於執行多個上下文，這意味著在以下幾個方面中的流水線操作：(一) 在多重快閃記憶體通道之間內，(b) 在快閃記憶體通道內 (c) 在快閃記憶體目標內，以及 (d) 通過使用多通道命令在 LUN 內。

通常，按照本發明實施方式的消耗上下文管理器 (CCM) 提供可以報告來自所有 LUN 的所有完成狀態的單一介面。CCM 可以被實現為快閃記憶體介質控制器 (FMC) 的子塊。CCM 通常提供在完成後可以通過固件檢查已完成的上下文的單點。CCM 通常在多個 FLC 源之間執行仲裁。各個 FLC 源提供上下文指針有關的 PASS/FAIL 和 ECC 的

狀態。一旦取得上下文，CCM 更新上下文狀態欄位。然後 CCM 提交該上下文至固件。當固件需要較長時間來讀取已完成的上下文以及內部記憶體內的 CCM 即將變滿時，CCM 使用緩衝器來儲存在當前的報告上下文之後排隊的已完成的上下文。

在一個示例中，裸片管理表和上下文管理器塊可位於快閃記憶體通道控制器內。裸片管理表可以實現為保持各個裸片（或 LUN）的提取上下文的當前狀態的硬體。通過實現這一方法，硬體保持通道內目前正在進行的平行線程的完整資訊。這有助於管理上下文的並行執行緒。上下文管理器可以實現為管理上下文在快閃記憶體匯流排界面上的執行的硬體模組。這有助於在快閃記憶體匯流排界面上執行多個命令。如圖 5 中所示，裸片管理表可以保持多個條目，其中條目數取決於在給定的快閃記憶體通道上的 LUN 數量。各個條目可以專用於一個 LUN。各個條目可以保持鏈的下一指標、鏈的尾指標和上下文當前狀態的資訊。

上下文管理器通常保持多個條目，其中，條目數量通常確定了可以在通道上執行的並行快閃記憶體交易的數量。這裡的各個條目專門用於快閃記憶體操作。各個條目保持上下文指標、裸片數量、操作類型和上下文當前狀態。

本發明提供獨立通道結構。獨立通道結構包括專用的資料傳輸路徑。專用的資料傳輸路徑特徵有助於在各個快閃記憶體通道上獨立地執行上下文執行緒。使用根據本發明的結構，通過增加快閃記憶體通道的數量可以增加資料頻寬。例如，各個快閃記憶體通道可以支援多達 8 個快閃

記憶體目標（例如，啟用 8 個晶片）。各個快閃記憶體目標可以具有多個 LUN。

本發明還可以提供在快閃記憶體通道控制器和緩衝控制器介面內的全雙工操作支援。快閃記憶體程式設計和讀取交易可以在快閃記憶體匯流排界面上順序地執行，這也意味著快閃記憶體匯流排界面是半雙工的。然而，快閃記憶體控制器內部實現全雙工資料路徑從而使控制器是全雙工的。全雙工控制器有助於減少在快閃記憶體介面的方向變化時可能發生的延遲。例如，在快閃記憶體上的匯流排界面的程式設計命令中，這意味著資料在匯流排上從快閃記憶體控制器傳輸到快閃記憶體器件，並且在快閃記憶體控制器內部的同一時間，先前執行的讀取命令所接收的資料可以傳輸到緩衝器，反之亦然。這有助於減少在快閃記憶體匯流排界面上的方向變化中的周轉時間。

本發明還提供了一個處理器控制模式。FMC 自身只支持獲得最大標稱（maximum-quoted）性能所需的最基本命令的子集。即，硬體自動化特徵只對那些獲得最高性能所需的命令進行了優化。其目的是為了簡化硬體自動化和簡化固件設計，同時保證與所有現有的 NAND 快閃記憶體的互通性。然而，這並不是說硬體限制發佈這些命令。相反，硬體可直接由固件指示來執行幾乎所有可以在快閃記憶體上執行的原子操作，並且固件可以承擔 FMC 內嵌的硬體資源的直接控制，以促進快閃記憶體的控制和資料移動的控制。該能力被稱為處理器控制模式。

正如相關領域技術人員所顯而易見的，圖 1 到圖 8 所示的功能可以使用一個或多個傳統的通用處理器、數位式

電腦、微處理器、微控制器、RISC（精簡指令集電腦）處理器、CISC（複雜指令集電腦）處理器、SIMD（單指令多資料）處理器、數位訊號處理器、中央處理單元（CPU）、算數邏輯單位（ALU）、視頻數位訊號處理器（VDSP）和/或類似電腦來實現，並且可以根據本說明書的教導進行程式設計。還正如相關領域技術人員所顯而易見的，熟練的程式設計員可以基於本發明的說明來編制合適的軟體、固件、編碼、程式設計、指令、操作碼、微碼、和/或程式設計模組。軟體通常從一個中等或多個介質中由機器實施的一個或多個處理器來執行。

本發明也可以通過 ASIC（專用積體電路）、平臺 ASIC、FPGA（現場可程式設計閘陣列）、PLD（可程式設計邏輯器件）、CPLD（複雜可程式設計邏輯器件）、海量門（sea-of-gates）、RFIC（射頻積體電路）、ASSP（特定應用標準產品）、一個或多個單片積體電路、排列為倒裝晶片（flip-chip）模組和/或多晶片模組的一個或多個晶片或裸片、或與常規部件電路網路適當互連的晶片的準備方式而實現，如本文所描述的，其修改對於本領域技術人員是顯而易見的。

因此，本發明還可以包括電腦產品，其可以是包括指令的儲存介質和/或傳輸介質，其中，該指令可用於對機器程式設計以執行一個或多個根據本發明的處理或方法。由機器進行的電腦產品中所含指令的執行，隨著周圍電路的操作，可以將輸入資料轉換成儲存介質上的一個或多個檔，和/或轉換成表示物理物件或物質的諸如音訊和/或視覺描述（depiction）的一個或多個輸出信號。儲存介質可以包

括但不僅限於軟碟、硬碟、磁片、光碟、CD-ROM DVD 和磁光碟的任何類型的圓盤，諸如 ROM（唯讀取記憶體）、RAM（隨機存取記憶體）、EPROM（可擦除可程式設計 ROM）、EEPROM（電可擦除可程式設計 ROM）、UVPROM（紫外線可擦除可程式設計 ROM）、快閃記憶體、磁卡、光卡的電路，和/或任何合適的用於儲存電子指令的介質類型。

本發明的元件可以形成一個或多個裝置、單元、部件、系統、機器和/或裝置的一部分或全部。這些裝置可以包括但不限於伺服器、工作站、儲存陣列控制器、儲存系統、單個電腦、筆記型電腦、筆記型電腦、掌上型電腦、單個數位助理、可攜式電子器件、電池供電器件、機上盒編碼器、解碼器、轉碼器、壓縮機、解壓縮、前置處理器、後處理器、發射器、接收器、收發器、密碼電路、蜂窩電話、數碼相機、定位和/或導航系統、醫療器件、頭戴式顯示器、無線器件、錄音、音訊儲存和/或音訊播放機件、錄影、視頻儲存和/或視頻播放機件、遊戲平臺、週邊器件和/或多晶片模組。相關領域技術人員應當瞭解，本發明的元件可以在其他類型的裝置中實現，以滿足特定應用的標準。

儘管本發明已參考其優選實施方式進行了特別說明和描述，但是相關領域技術人員應當理解，在不背離本發明的範圍的前提下可以在形式和細節上進行各種變化。

【圖式簡單說明】

圖 1 是示出了在單晶片系統（SOC）環境（context）下實現的快閃記憶體介質控制器的框圖。

圖 2 是示出了根據本發明實施方式的示例快閃記憶體介質控制器（FMC）結構的框圖。圖 3 是示出了根據本發明實施方式的示例快閃記憶體通道控制器結構的框圖。

圖 4 是示出了圖 3 的上下文管理器模組的示例子模組的示圖。

圖 5 是示出了圖 3 的裸片管理模組的示例子模組的示圖。

圖 6 是示出了圖 3 的快閃記憶體操作管理器模組的示例子模組的示圖。

圖 7 是示出了圖 3 的資料流程管理器模組的示例子模組的示圖。

圖 8 是示出了實現了圖 3 的上下文管理器模組的示例子模組的示圖。

圖 9 是示出了根據本發明實施方式的示例快閃記憶體介質上下文佈局的示圖。

【主要元件符號說明】

- 100 系統
- 102 塊（或電路）
- 104 塊（或電路）
- 106 塊（或電路）
- 108 塊（或電路）
- 110 塊（或電路）
- 112 塊（或電路）
- 114 塊（或電路）
- 116 塊（或電路）
- 150 塊（或電路）

152	塊（或電路）
154	塊（或電路）
156	塊（或電路）
158	塊（或電路）
160	塊（或電路）
162	塊（或電路）
164	塊（或電路）
166	塊（或電路）
168	塊（或電路）
170	塊（或電路）
172	塊（或電路）
174	塊（或電路）
200	塊（或電路）
202	塊（或電路）
204	塊（或電路）
206	塊（或電路）
210	塊（或電路）
212	塊（或電路）
214	塊（或電路）
220	上下文表
222	上下文狀態機
224	上下文快取記憶體
226	上下文佇列控制器
230	裸片狀態機
232	裸片服務仲裁器
234	裸片管理表

- 240 命令仲裁器
- 242 資料傳輸仲裁器
- 244 快閃記憶體操作格式化器
- 246 奈米序列器
- 250 直通緩衝器
- 252 直通緩衝器
- 300 快閃記憶體介質上下文佈局

七、申請專利範圍：

1. 一種快閃記憶體介質控制器，包括：
 - 一個或多個專用資料傳輸路徑；
 - 一個或多個快閃記憶體通道控制器，耦接至所述一個或多個專用資料傳輸路徑；以及
 - 一個或多個快閃記憶體匯流排控制器，耦接至所述一個或多個快閃記憶體通道控制器。
2. 如申請專利範圍第 1 項所述之快閃記憶體介質控制器，其中所述快閃記憶體介質控制器實現包含執行與快閃記憶體庫的交易所需的資訊的上下文。
3. 如申請專利範圍第 2 項所述之快閃記憶體介質控制器，其中所述快閃記憶體介質控制器實現所述快閃記憶體庫中每個邏輯單元的獨立的上下文的連結清單。
4. 如申請專利範圍第 1 項所述之快閃記憶體介質控制器，其中所述快閃記憶體介質控制器被配置為從多個上下文鏈中提取上下文。
5. 如申請專利範圍第 1 項所述之快閃記憶體介質控制器，還包括被配置為提供單個介面的消耗上下文管理器，在所述單個介面中，報告來自與所述快閃記憶體介質控制器相關聯的所有邏輯單元的所有完成狀態。
6. 如申請專利範圍第 1 項所述之快閃記憶體介質控制器，其中所述一個或多個快閃記憶體通道控制器均包括：裸片管理表，保持附加到所述快閃記憶體通道控制器的各個裸片的提取上下文的當前狀態；以及上下文管理器，被配置為對由所述快閃記憶體介質控制器執行上下文進行管理。

7. 如申請專利範圍第 1 項所述之快閃記憶體介質控制器，其中在所述一個或多個快閃記憶體通道控制器的每一個中均支持全雙工操作。
8. 如申請專利範圍第 1 項所述之快閃記憶體介質控制器，其中所述快閃記憶體介質控制器實現多個快閃記憶體通道，每個快閃記憶體通道均具有包括一個相應的專用資料傳輸路徑的獨立通道結構。
9. 一種裝置，包括：
 - 至少兩個專用資料傳輸路徑；
 - 至少兩個快閃記憶體通道控制器，耦接至所述至少兩個專用資料傳輸路徑；以及
 - 至少兩個快閃記憶體匯流排控制器，耦接至所述至少兩個快閃記憶體通道控制器。
10. 如申請專利範圍第 9 項所述之裝置，還包括對應於至少兩個獨立通道被配置的多個快閃記憶體記憶體件。
11. 如申請專利範圍第 10 項所述之裝置，其中所述裝置包括片上系統。
12. 如申請專利範圍第 9 項所述之裝置，其中每個快閃記憶體交易均由上下文表示。
13. 如申請專利範圍第 12 項所述之裝置，其中所述上下文包括一資料結構，該資料結構包含由所述裝置執行與快閃記憶體庫的交易或者將資料移動到系統緩衝器中的位置或從所述系統緩衝器中的位置移出所述資料所需的所有資訊。

14. 如申請專利範圍第 13 項所述之裝置，其中所述資料結構進一步被配置為對附接至所述裝置的每一快閃記憶體單元提供上下文的連結清單

八、圖式：

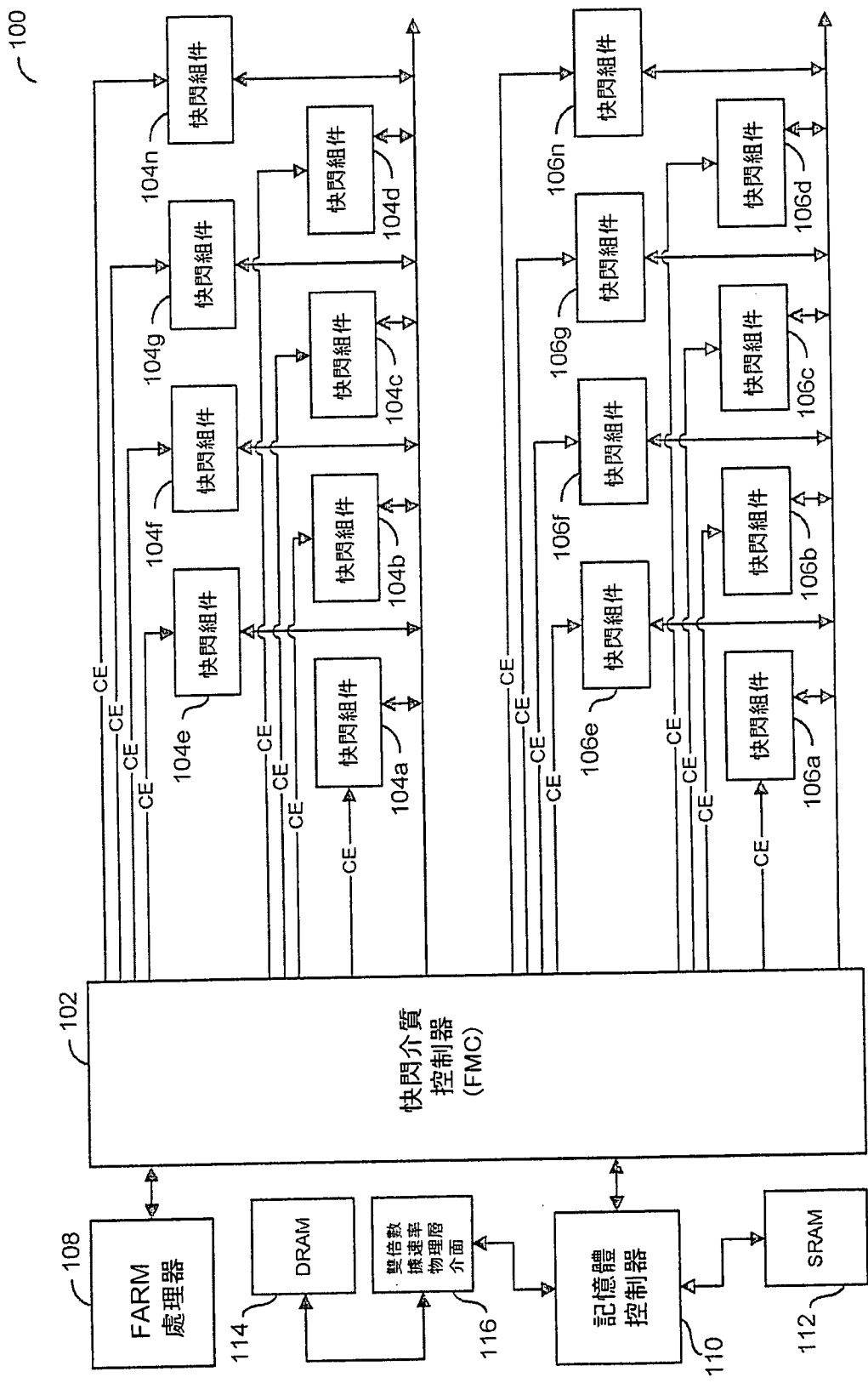


圖 1

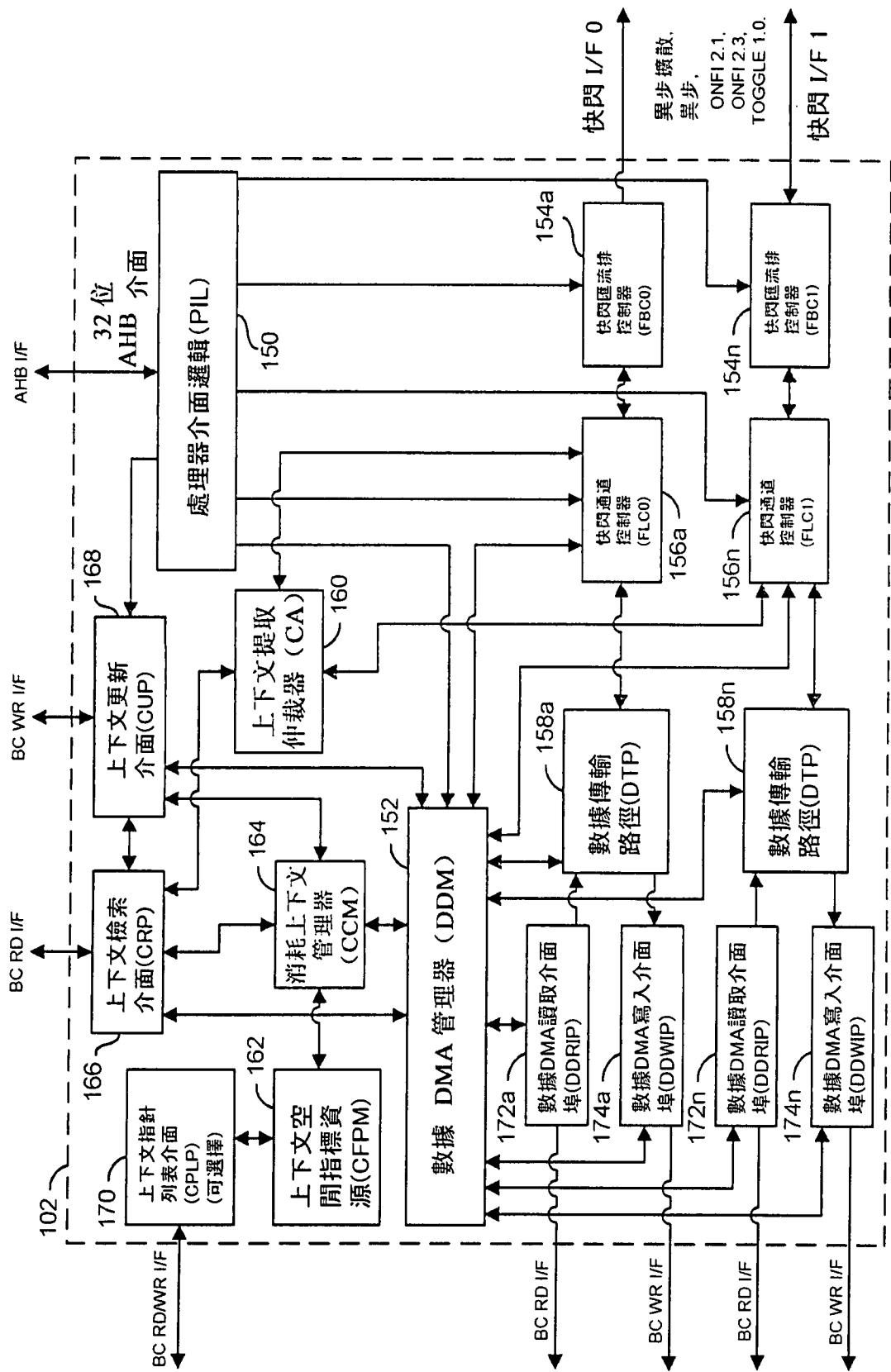


圖 2

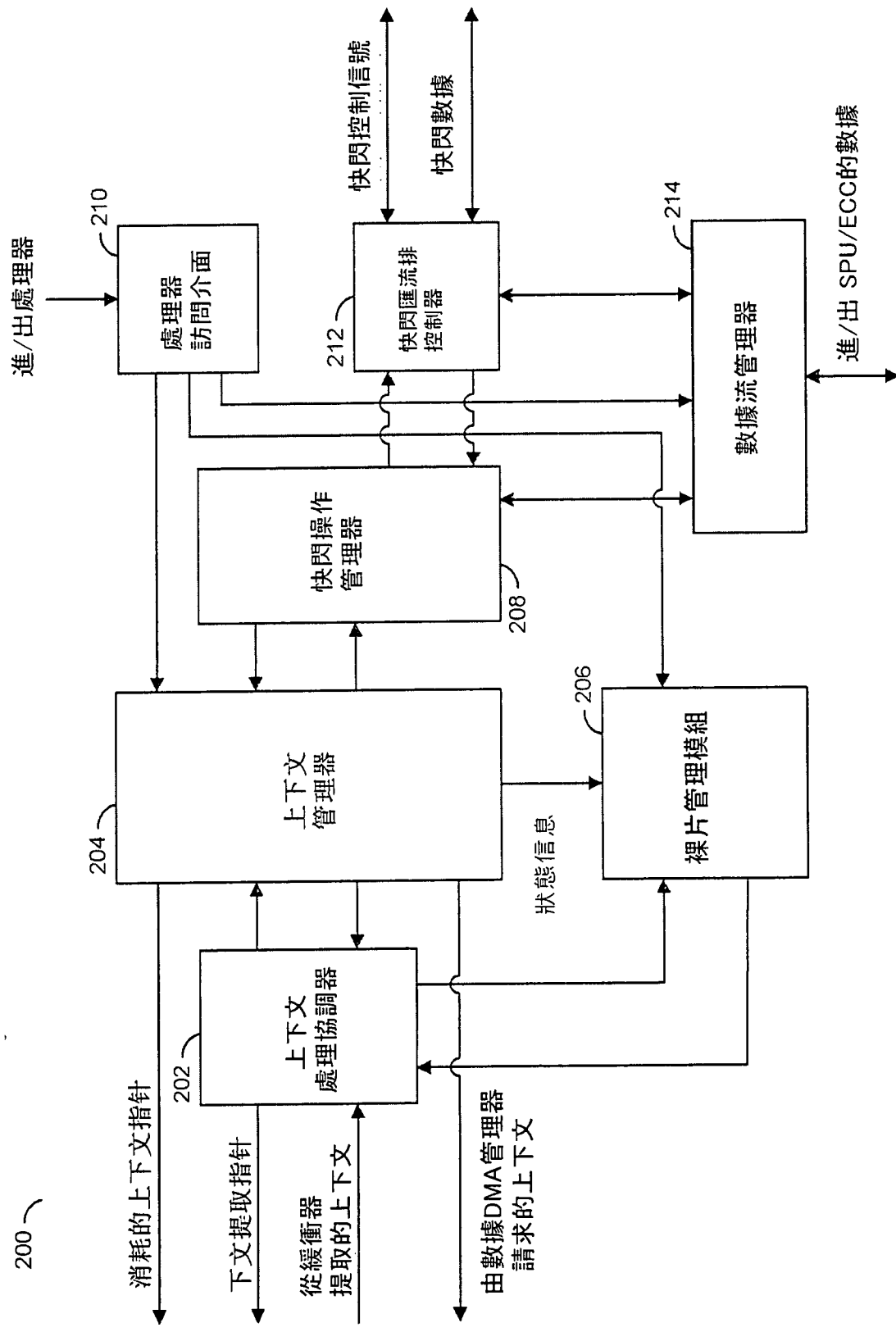


圖3

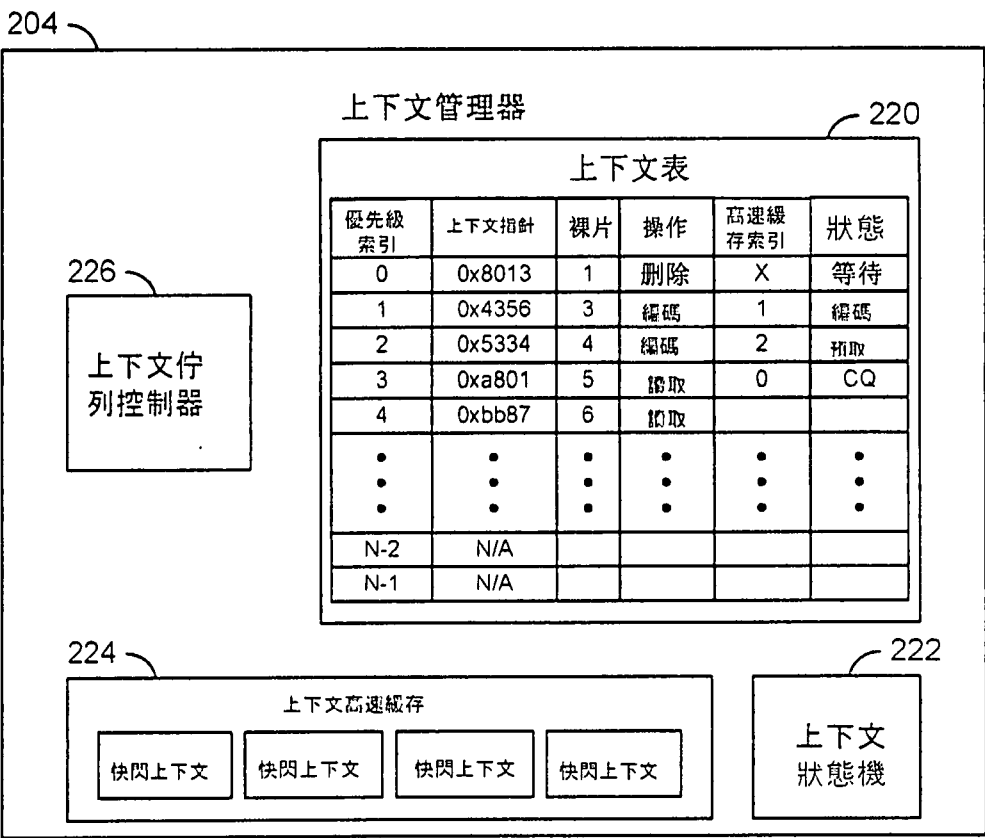


圖 4

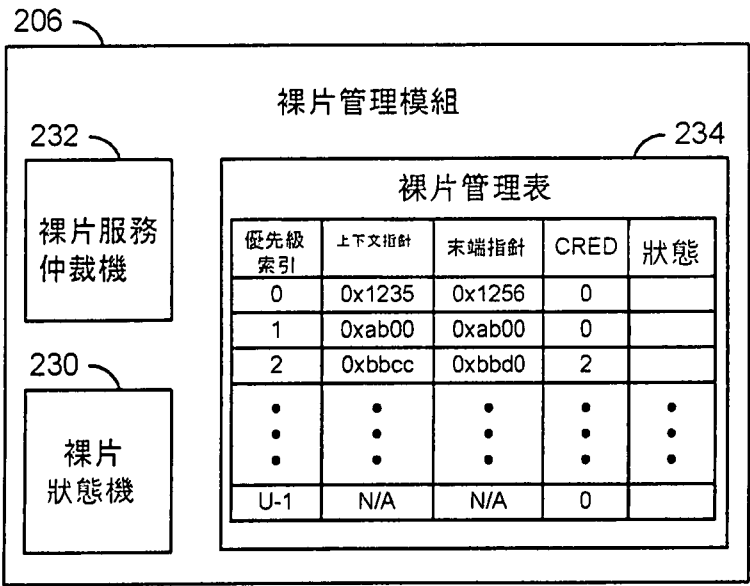


圖 5

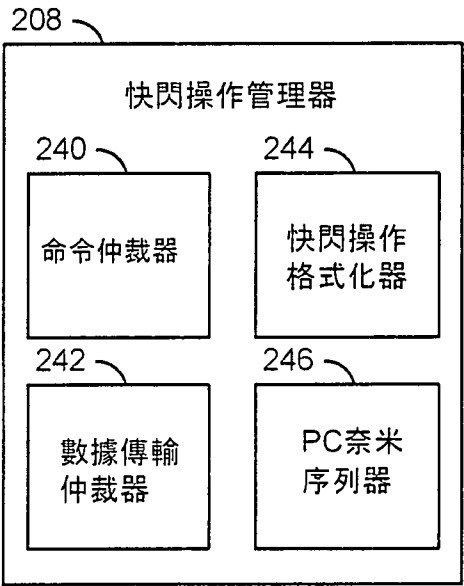


圖6

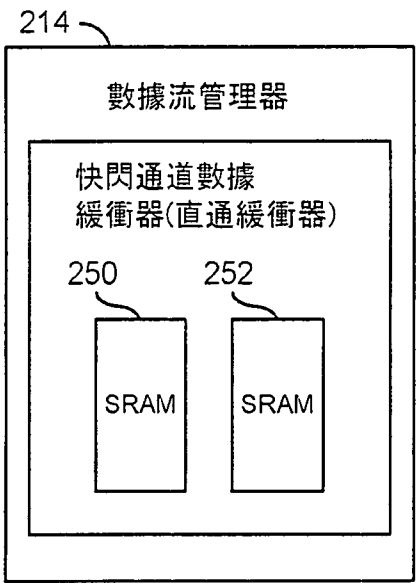


圖7

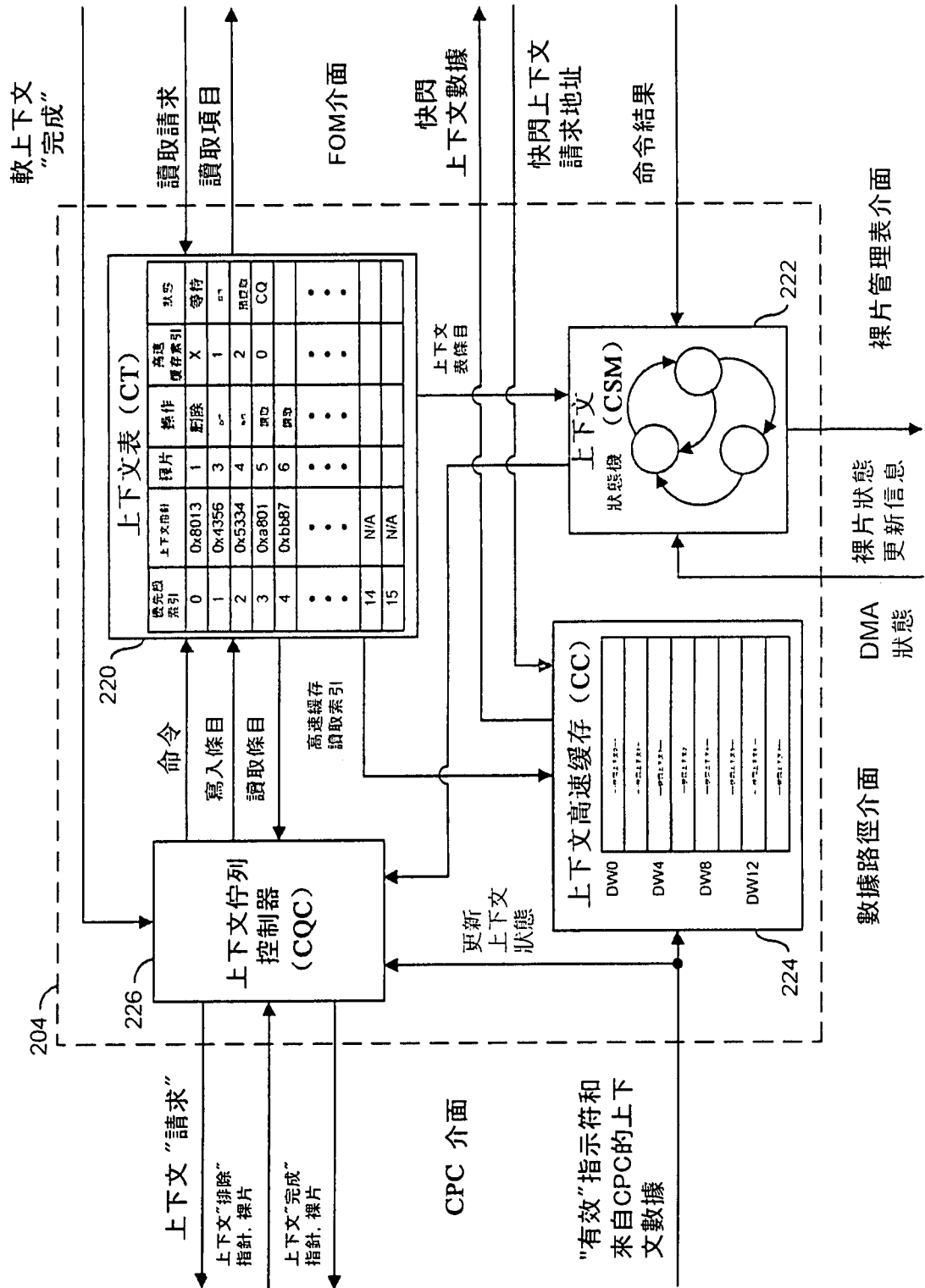


圖 8

300

	字節3	字節2	字節1	字節0
雙字0	快閃行地址 (24)		快閃操作 (8)	
雙字1	塊描述指針 / 回拷行地址 (32)			
雙字2	構成位 (31:0)			
雙字3	DMA跳過掩碼 (16)		下一上下文指針(16)	
雙字15	數據緩衝器指針 (32)			
雙字5	備用數據緩衝器指針 (32)			
雙字6	邏輯塊地址 (LBA) (32)			
雙字7	快閃單元號 (12)		狀態 (20)	
雙字8	元數據或構成數據指針/元數據/快閃構成數據			
雙字9:13	元數據或快閃構成數據			
雙字14	元數據或LAB (63:32) (如果為64位LAB模式)			
雙字15	ECC32 (32)			



對固件透明



用於快閃交易

圖9