(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0009097
(43) 공개일자 2010년01월27일

(51) Int. Cl.
H03F 3/20 (2006.01)
(21) 출원번호 10-2008-0069805
(22) 출원일자 2008년07월18일
심사청구일자 2008년07월18일

(71) 출원인
충남대학교산학협력단
대전광역시 유성구 궁동 220번지 충남대학교
(72) 발명자
홍성용
대전광역시 서구 삼천동 국화아파트 202-1106
이희민
대전광역시 서구 탄방동 한가람아파트 8동 1402호
(뒷면에 계속)
(74) 대리인
이은철

전체 청구항 수 : 총 3 항

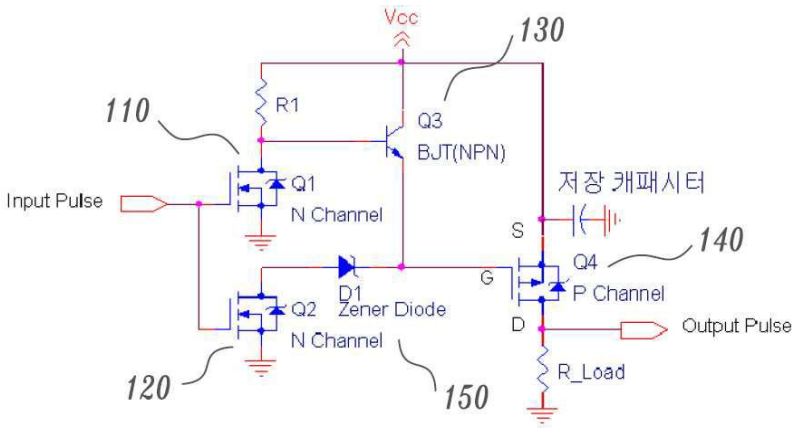
(54) LDMOS FET를 이용한 L-대역 고속 펄스 고전력증폭기

(57) 요 약

본 발명은 LDMOS FET를 이용한 L-대역 고속 펄스 고전력 증폭기에 관한 것으로서, 입력펄스를 상기 스위치의 ON/OFF에 따라 스위칭하는 제 1 스위칭부 및 제 2 스위칭부와, 제 1 스위칭부로부터 인가받은 입력펄스를 소정의 임계전압으로 유지시키는 BJT부, 및 내부에 충전된 전압을 방전함과 아울러 제 2 스위칭부 및 BJT부로부터 인가받은 낮은 임계전압의 입력펄스에 따라 fall 시간을 단축시키는 커패시터부를 포함한다.

본 발명에 따르면, FET 소자를 BJT 소자로 대체함으로써, 입력된 펄스의 rise 시간 대비 fall 시간을 단축시켜 펄스폭이 좁은 신호를 효율적으로 생성하도록 하며, 스위칭부와 커패시터부 사이에 접속된 제너다이오드를 통해 커패시터부의 임계전압을 일정하게 유지하도록 함으로써, Vcc가 높더라도 커패시터부의 전압이 최대 허용전압을 초과하지 않도록 하는 효과가 있다.

대 표 도 - 도4



(72) 발명자

신영섭

대전광역시 서구 도마2동 경남아파트 113동 202호

이형구

대전광역시 중구 유천2동 173-26번지

특허청구의 범위

청구항 1

내부에 구비된 스위치를 통해 전원으로부터 인가받은 입력펄스를 고속으로 스위칭하는 증폭기에 있어서,

상기 입력펄스를 상기 스위치의 ON/OFF에 따라 스위칭하는 제 1 스위칭부(110) 및 제 2 스위칭부(120);

상기 제 1 스위칭부(110)로부터 인가받은 입력펄스를 소정의 임계전압으로 유지시키는 BJT(Bipolar Junction Transistor)부(130); 및

내부에 충전된 전압을 방전함과 아울러 상기 제 2 스위칭부(120) 및 BJT부(130)로부터 인가받은 낮은 임계전압의 입력펄스에 따라 fall 시간을 단축시키는 커패시터부(140); 를 포함하는 것을 특징으로 하는 LDMOS FET를 이용한 L-대역 고속 펄스 고전력 증폭기.

청구항 2

제 1 항에 있어서,

상기 제 2 스위칭부(120) 및 커패시터부(140)와 접속되도록 구비되어 상기 커패시터부(140)의 전압이 최대 허용전압을 초과하지 않도록 일정하게 유지시키는 제너다이오드부(150); 를 더 포함하는 것을 특징으로 하는 LDMOS FET를 이용한 L-대역 고속 펄스 고전력 증폭기.

청구항 3

제 2 항에 있어서,

상기 제너다이오드부(150)의 역전압은 [수학식 1]을 통해서 도출되며, 상기 커패시터부(140)의 임계전압이 -4V이고, 상기 최대 허용전압 20V인 경우, 상기 역전압은 6V 내지 22V인 것을 특징으로 하는 LDMOS FET를 이용한 L-대역 고속 펄스 고전력 증폭기.

[수학식 1]

$$\left|\text{커패시터부(140)의 } Vgs_{(th)}\right| < Vcc - V_{BR,Zener} < \left|\text{커패시터부(140)의 최대} Vgs\right|$$

명 세 서

발명의 상세한 설명

기 술 분 야

<1> 본 발명은 LDMOS(Laterally Diffused Metal Oxide Semiconductor) FET(Field Effect Transistor)를 이용한 L-대역 고속 펄스 고전력 증폭기에 관한 것으로서, 더욱 상세하게는 입력된 펄스의 상승시간(rise) 대비 하강시간(fall)을 단축시키고, 커패시터부의 임계전압을 일정하게 유지토록 하여 Vcc가 높더라도 커패시터부의 전압이 최대 허용전압을 초과하지 않도록 하는 LDMOS FET를 이용한 L-대역 고속 펄스 고전력 증폭기에 관한 것이다.

배 경 기 술

<2> 펄스 레이더용 Solid state 고출력 펄스 증폭기는 입력신호를 변조한 후 변조된 RF 펄스 신호를 C급 증폭기로 증폭하는 방법이 가장 많이 사용되고 있다.

<3> 이러한 방법에 대한 연구는 효율과 출력전력을 높이는 것에 집중되어 왔으며, 최근 S-밴드에서 수 kW의 출력을 내는 결과들이 발표되고 있다[1].

<4> C급 증폭기는, 바이어스(BIAS)에 따라 낮은 입력신호에서는 동작하지 않는 증폭기를 의미하는데, 신호의 크기에 따라 소자의 바이어스 상태가 ON/OFF 되기 때문에 입/출력 정합회로를 설계하는데 어려움이 있고, 다단의 고출력 드라이브 증폭기와 고조파를 제거하기 위한 필터가 필요하다.

<5> 아울러, C급 증폭기는 입력 신호의 크기에 따라 바이어스 조건이 결정되기 때문에 신호 입력에 의해 바이어스가 ON 상태로 되는데 까지 순차적인 시간이 필요하며, 소자 내에 충전되어 있던 전하가 방전되는 시간 때문에 하강

시간(fall)이 느려지기 때문에 펄스폭이 좁은 신호를 증폭하기가 어렵다.

<6> 또한, 상술한 바와 같은 특성을 개선하기 위한 상승시간(rise)/하강시간(fall) 개선 회로를 사용할 경우 증폭기의 구조가 복잡해진다[2].

<7> 도 1 은 스위칭 방식을 이용한 펄스 증폭기를 도시한 도면이다. 이러한 펄스 증폭기는 입력펄스에 따라 SOLID STATE 소자의 전원을 ON/OFF 스위칭 하여 펄스신호를 출력하는데, 이때 출력펄스의 rise/fall 시간은 주로 전원을 ON/OFF하는 스위칭 회로의 성능에 따라 결정된다.

<8> 이 방식은 100ns 이하의 빠른 rise/fall 시간을 얻을 수 있으며, 각 동작점 마다 소자를 동시에 스위칭하기 때문에 다단 연결에 의한 시간지연을 감소시킬 수 있으며, 대부분의 펄스증폭기가 GaAs FET를 사용하여 제작되고 있다.

<9> 그러나, GaAs FET는 LDMOS FET에 비해 가격이 비싸고, 소자의 이득과 출력 낮아 증폭기의 단수를 증설해야만 하고, 이에 따라 바이어스 회로가 복잡해지는 단점이 있다.

<10> 아래의 [표 1]을 참조하여 GaAs FET 펄스 전력 증폭기의 측정결과를 살피면, rise/fall 특성이 매우 좋지 못함을 알 수 있다. 상용 펄스 전력 증폭기는 전체 4단으로 구성되었고, 출력을 높이기 위해 최종 단은 FET 4개를 병렬로 연결되며, 도 2 에 도시된 바와 같은 스위칭 회로를 통해 4단의 증폭기의 전원을 ON/OFF하도록 구성된다.

<11> [표 1]

<12>

항 목	규 격	측정결과
주파수[MHz]	1215~1260	동일
RF 첨두전력[W]	100W	동일
PRF[kHz] (Pulse Repetition Frequency)	40kHz	동일
펄스폭[us]	2us, 4us	동일
펄스듀티	20% 이하	동일
rise/fall 시간[ns]	150 이하	200/180
공급전압	28V	동일

<13> GaAs FET는 드레인-소스간 전압이 인가되기 전에 게이트-소스간 바이어스 음(-)전압이 먼저 인가되어야 하는 공핍형 소자이기 때문에, 바이어스 회로에는 음전압을 만들기 위한 회로와 별도의 순차회로를 사용하였다.

<14> 이러한 펄스 전력증폭기는 2층 구조로 구성되어 있는데, 1층 기판에는 RF 증폭기와 도 2 에 도시된 Q4가 포함되어 있다. 2층에는 스위칭 회로의 Q1~Q3와 스위칭 회로를 분리하기 위한 버퍼 IC 및 제어회로, GaAs FET 바이어스를 위한 음전원 회로 및 순차 회로, 28V 전원을 12V로 낮추기 위한 DC/DC 변환기로 구성되며, 이러한 부가회로들간의 스위칭 연결선을 접속시키면, 도 2 에 도시된 바와 같이 각각 스위칭 회로간의 연결선이 길어지게 된다.

<15> R2는 OFF 상태에서 발생하는 Q3에 흐르는 첨두전류, 즉 스위칭 소자가 견딜 수 있는 한계전류를 낮추어 소자를 보호하기 위한 저항으로, 저항 값이 커지면 소비전류를 줄일 수 있으나 fall 시간이 느려진다. R2를 0Ω에서 15Ω으로 증가하여 rise/fall 시간을 시뮬레이션한 결과 rise 시간은 거의 변화가 없었으나 fall 시간은 72.6ns에서 176.5ns로 100ns이상 길어짐을 확인하였다.

<16> 또한, delay line을 인덕터로 대체하여 시뮬레이션한 결과 인덕터가 없을 때와 인덕터가 5uH일 때 rise 시간은, 28.5ns에서 109ns까지 길어진다. 따라서, 스위칭 방식의 펄스 증폭기의 스위칭 시간을 빠르게 하기 위해서는 R2와 delay line의 영향을 최소화 하는 수단이 별도로 필요하다.

<17> 선행 문헌 정보

<18> [1]. J. H. Woo and G. W. Choi, "1.5kW solid-state pulse microwave amplifier for S-band radar application," IEEE Radio and wireless Symposium 2006, pp. 171-174, Jan. 2006.

<19> [2]. Timothy P. Hulick, "Rise time/fall time enhancement of class C bipolar common base transistor amplifiers," RF Design, pp. 44-53, June. 1993.

발명의 내용

해결 하고자하는 과제

<20> 본 발명은 상기와 같은 문제점을 해소하고자 안출된 것으로서, 입력된 펄스의 rise 시간 대비 fall 시간을 단축시켜 펄스폭이 좁은 신호를 효율적으로 생성토록하고, 커패시터부의 임계전압을 일정하게 유지토록 하여 Vcc가 높더라도 커패시터부의 전압이 최대 허용전압을 초과하지 않도록 하는 LDMOS FET를 이용한 L-대역 고속 펄스 고전력 증폭기를 제공함에 특징적인 목적이 있다.

과제 해결수단

<21> 이러한 기술적 과제를 달성하기 위한 본 발명에 따른 LDMOS FET를 이용한 L-대역 고속 펄스 고전력 증폭기는, 입력펄스를 상기 스위치의 ON/OFF에 따라 스위칭하는 제 1 스위칭부 및 제 2 스위칭부와, 제 1 스위칭부로부터 인가받은 입력펄스를 소정의 임계전압으로 유지시키는 BJT부, 및 내부에 충전된 전압을 방전함과 아울러 제 2 스위칭부 및 BJT부로부터 인가받은 낮은 임계전압의 입력펄스에 따라 fall 시간을 단축시키는 커패시터부를 포함한다.

<22> 또한, 제 2 스위칭부 및 커패시터부와 접속되도록 구비되어 커패시터부의 전압이 최대 허용전압을 초과하지 않도록 일정하게 유지시키는 제너다이오드를 더 포함한다.

<23> 또한, 제너다이오드의 역전압은 [수학식 1]을 통해서 도출되며, 커패시터부의 임계전압이 -4V이고, 최대 허용전압 20V인 경우, 역전압은 6V 내지 22V인 것을 특징으로 한다.

<24> [수학식 1]

<25> $$|\text{커패시터부(140)의 } Vgs_{(th)}| < Vcc - V_{BR,Zener} < |\text{커패시터부(140)의 최대} Vgs|$$

효 과

<26> 상기와 같은 본 발명에 따르면, FET 소자를 BJT 소자로 대체함으로써, 입력된 펄스의 rise 시간 대비 fall 시간을 단축시켜 펄스폭이 좁은 신호를 효율적으로 생성토록 하는 효과가 있다.

<27> 또한, 스위칭부와 커패시터부 사이에 접속된 제너다이오드를 통해 커패시터부의 임계전압을 일정하게 유지하도록 함으로써, Vcc가 높더라도 커패시터부의 전압이 최대 허용전압을 초과하지 않도록 하는 효과가 있다.

발명의 실시를 위한 구체적인 내용

<28> 본 발명의 구체적인 특징 및 이점들은 첨부도면에 의거한 다음의 상세한 설명으로 더욱 명백해질 것이다. 이에 앞서, 본 명세서 및 청구범위에 사용된 용어나 단어는 발명자가 그 자신의 발명을 가장 최선의 방법으로 설명하기 위해 용어의 개념을 적절하게 정의할 수 있다는 원칙에 입각하여 본 발명의 기술적 사상에 부합하는 의미와 개념으로 해석되어야 할 것이다. 또한, 본 발명에 관련된 공지 기능 및 그 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는, 그 구체적인 설명을 생략하였음에 유의해야 할 것이다.

<29> 본 발명에 따른 LDMOS FET를 이용한 L-대역 고속 펄스 고전력 증폭기를 설명하기에 앞서 [표 2]를 참조하여 L-대역 펄스 증폭기에 사용되는 고출력 solid state 소자의 특성과, 도 3 을 참조하여 본 발명에 따른 LDMOS FET를 이용한 L-대역 고속 펄스 고전력 증폭기의 HPA(High Power Amplifier) 펄스를 살피면 아래와 같다.

<30> 먼저, 고출력 solid state 소자의 특성을 살피면, 실리콘 BJT(Bipolar Junction Transistor)는 주로 베이스 접지 C급 증폭기 형태로 변조방식의 펄스 증폭기에 가장 많이 사용되는데, GaAs FET의 드레인과 소스간의 정상전압은 보통 10~12V이고, 드레인-소스간 최대전압은 15V로 정상 전압과 차이가 크지 않기 때문에, 스위칭 회로가 동작 시 순간적으로 발생할 수 있는 첨두전압에 의해 RF 증폭기 동작이 위험해 질 수 있다.

<31> 그러나, LDMOS FET는 다른 두 소자에 비해 사용전압 대비 최대 허용전압이 2~3배 높기 때문에 스위칭 시 RF 증폭기를 안전하게 사용할 수 있다. 또한, LDMOS FET는 전원전압이 28V로 DC/DC 변환기가 필요 없다.

<32> [표 2]

<33>

항 목	GaAs FET	LDMOS FET	Si BJT
최대 허용전압 (Vds/Vce)	15V	68V	55~65V
사용전압 (Vds/Vce)	10~12V	26~28V	36~50V
바이어스회로 (Vg/Ib)	음전압순차	전압분배	전류제어
이득	중	고	저(Class-C)
가격	고	저	저

<34> 상기 [표 2]에서 알 수 있듯이, LDMOS FET는 바이어스 회로가 간단하고, 이득과 단일 소자의 최대출력 또한 높기 때문에 적은 소자를 사용하여 원하는 출력을 얻을 수 있다. 따라서, 회로 배치에 여유가 있고 각종 line 을 최소화하기가 쉽기 때문에 상용 증폭기에 비해 스위칭 속도를 개선할 수 있다. 또한, 사용전압(28V)이 높기 때문에 효율 면에서 유리하다.

<35> 또한, 도 3 에 도시된 바와 같은 펄스 HPA의 설계에 사용된 LDMOS FET는 전원 공급 시 GaAs FET와 순차회로가 필요하지 않고, 게이트 전원 또는 드레인 전원을 스위치 하여 바이어스를 ON/OF할 수 있도록 구성하였다.

<36> 구체적으로, 초단의 AH102는 게인 블록용이고, 두 번째 단은 945MHz에서 30W 출력을 갖는 MRF9030을 사용하여 설계되었고, 마지막 단은 880MHz 대역에서 출력이 90W인 MRF9085를 두 단으로 구성하였다.

<37> 또한, 게이트 전원을 스위칭하면 5V/1mA이하의 작은 신호를 스위칭하기 때문에 스위칭회로 설계가 용이하나, 이 경우 대신호 입력시 LDMOS FET가 C급 증폭기로 동작할 수 있기 때문에 각각 소자의 드레인 전원을 스위칭하도록 구성하였다.

<38> 또한, 스위칭 도작 시 RF 소자를 보호하기 위해 각 동작점별 소자의 최대 출력이 다음 단 최대허용입력 보다 낮도록 구체적으로, 이를 위해 MRF9030은 마지막 단 소자 보호를 위해 전원전압을 24V로 낮춰서 설계하였다.

<39> 하지만, LDMOS FET를 이용하기 위해 24V와 26V를 스위칭할 수 있는 회로가 필요하기 때문에, 도 2 에 나타낸 기존의 스위칭 회로는 주전원 스위칭 소자인 Q4의 게이트-소스간 전압이 최대 ±20V로 20V이상의 고전압을 스위칭하기에는 부적절하다.

<40> 이하, 도 4 를 참조하여 본 발명에 따른 LDMOS FET를 이용한 L-대역 고속 펄스 고전력 증폭기(100)에 대해 설명한다.

<41> 본 발명에 따른 LDMOS FET를 이용한 L-대역 고속 펄스 고전력 증폭기(100)는 도 4 에 도시된 바와 같이, 제 1 스위칭부(110), 제 2 스위칭부(120), BJT(Bipolar Junction Transistor)부(130), 커패시터부(140) 및 제너다이오드(150)를 포함하여 이루어진다.

<42> 구체적으로 제 1 스위칭부(110) 전원으로부터 인가받은 입력펄스를 내부에 구비된 스위치의 ON/OFF에 따라 스위칭하여 BJT부(130)로 인가하고, 제 2 스위칭부(120)는 전원으로부터 인가받은 입력펄스를 내부에 구비된 스위치의 ON/OFF에 따라 스위칭하여 커패시터부(140)로 인가하며, 제 1 및 제 2 스위칭부는 FET 소자 또는 Power MOSFET로 구성된다.

<43> BJT부(130)는 제 1 스위칭부(110)로부터 인가받은 입력펄스를 소정의 임계전압으로 유지시킨다. 여기서, BJT부는 입력펄스에 있어서, FET 소자보다 낮은 임계전압을 유지시키며, 소정의 임계전압은 0.5V 내지 0.7V로 유지된다.

<44> 커패시터부(140)는 내부에 충전된 전압을 방전함과 아울러 제 2 스위칭부(120) 및 BJT부(130)로부터 인가받은 임계전압의 입력펄스에 따라 fall 시간을 단축시킨다.

<45> 제너다이오드(150)는 상기 제 2 스위칭부(120) 및 커패시터부(140)와 접속되도록 구비되어 커패시터부(140)의 전압이 최대 허용전압을 초과하지 않도록 일정하게 유지시킨다.

<46> 제너다이오드부(150)의 역전압은 아래의 [수학식 1]의 범위 내에서 도출되는데, Vcc가 26V이고, 커패시터부(140)의 임계전압($Vgs_{(th)}$)이 -4V이며, 최대 허용전압이 20V인 경우, 제너다이오드(150)의 역전압은 6V보다 커야

하고, 22V보다 작아야 한다.

<47> [수학식 1]

<48> $$\left|\text{커패시터부(140)의 } Vgs_{(th)}\right| < Vcc - V_{BR,Zener} < \left|\text{커패시터부(140)의 최대} Vgs\right|$$

<49> 한편, 도 5 는 도 4 에 도시된 본 발명에 따른 LDMOS FET를 이용한 L-대역 고속 펄스 고전력 증폭기(100)의 스위칭 회로가 ON/OFF될 때 제 2 스위칭부(120)와 BJT부(130)의 동작특성을 나타낸 도면이다.

<50> 도 5 를 참조하여 살피면, 제 2 스위칭부(120)는 rise 시간, BJT부(130)는 fall 시간에만 전력을 소모하는 것을 알 수 있으며, PRF가 40kHz, rise/fall 시간이 150ns일 때 제 2 스위칭부(120)와 BJT부(130)의 펄스 듀티(duty)는 0.6%이다.

<51> 스위칭 소자가 견딜 수 있는 첨두전력은 펄스의 듀티에 따라 결정되는데, 보통 최대평균전력이 200mW정도이며, 듀티가 작을수록 소자의 허용전력이 증가하기 때문에 최대평균전력이 첨두전력을 초과하지 않는다.

<52> 이하, 도 4 및 [표 3]을 참조하여 본 발명에 따른 LDMOS FET를 이용한 L-대역 고속 펄스 고전력 증폭기(100)의 스위칭 회로를 시뮬레이션한 결과를 살핀다.

<53> 고속 스위칭을 위해 가능한 속도가 빠른 소자를 사용하였고, 구동회로인 제 1 스위칭부(110)와 제 2 스위칭부(120)는 International Rectifier사의 IRLML2803, BJT부(130)는 Onsemi사의 MMBT2222, 커패시터부(140)는 LDMOS FET의 드레인 전원을 스위칭 할 수 있는 용량을 갖는 Intersil사의 RFP30P05를 선택하였다.

<54> 또한, 13V의 제너다이오드(150)를 사용하였으며, SPICE를 이용하여 스위칭 회로의 rise/fall 시간을 시뮬레이션한 결과 제너다이오드부(150) 사용에 따른 스위칭 속도 변화는 2ns인 것으로 확인하였다.

<55> [표 3]

<56>

MRF9030 (24V/1A)		MRF9085 (26V/5A)	
Rise 시간	Fall 시간	Rise 시간	Fall 시간
17.5	66.6	18.5	34.7

<57> 스위칭 시간의 증가를 억제하기 위해 스위칭회로와 증폭기간의 간격을 최소화 하였으며, 펄스파형을 유지하기 위해 필요한 저장 커패시턴스는 아래의 [수학식 2]를 통해 도출하였다.

<58> [수학식 2]

<59> $$C = \frac{I \times dt}{dv}$$

<60> 이때, I는 전류이고, dt는 펄스폭, dv는 펄스내의 전압차를 나타내는 변수이고, 설계한 RF 증폭기 중 MRF9085의 드레인 전압을 변화시키며 시뮬레이션 결과 드레인 전압이 0.4V 변할 때 출력이 0.1dB 줄어들었음을 확인하였다.

<61> 펄스폭 내의 전력변화를 0.1dB로 유지하기 위해서는 dv가 0.4V를 초과하지 않도록 유지해야하며, 상기 [수학식 2]를 통해 전류가 5A이고, 최대 펄스 듀티일 때의 펄스폭을 5ns 로 설정하여 저장 커패시턴스를 계산한 결과 62.5uF으로 나타났다. 이에 따라 저장 커패시턴스의 용량을 고려하여 100uF를 갖도록 설정하였고, 스위칭 시간에 영향을 주지 않는 커패시터부(140)의 소스단에 부착하였다.

<62> 한편, 펄스신호의 스위칭에 의해 발생하는 스위칭 잡음의 최대/최소 주파수는 [수학식 3] 및 [수학식 4]를 통해 도출된다.

<63> [수학식 3]

<64> $$\text{스위칭잡음 최대주파수} = \frac{1}{\text{최소펄스폭} \times 2}$$

<65> [수학식 4]

$$\text{스위칭잡음 최소주파수} = \frac{1}{(PRI - \text{최소펄스폭}) \times 2}$$

<66>

<67> 이때, PRI 는 Pulse Repetition Interval(=1/PRI)이다.

<68> 이러한 스위칭 잡음이 LDMOS FET의 내부 피드백 커패시턴스(Cgd)로 인해 게이트 단으로 전달되어 게이트 바이어스 전압이 변동될 수 있으며, 상기 [수학식 3] 및 [수학식 4]를 통해 스위칭 잡음의 최고주파수와 최저주파수를 계산한 결과 각각 250kHz와 21.7kHz의 값을 얻었다.

<69> 이하, 본 발명에 따른 LDMOS FET를 이용한 L-대역 고속 펄스 고전력 증폭기(100)의 제작 및 제작된 증폭기의 측정결과를 도 6 내지 도 8 을 참조하여 설명한다.

<70> 도 6 에 도시된 바와 같이, 제작된 LDMOS FET를 이용한 L-대역 고속 펄스 고전력 증폭기(100)는 190 X 160 X 50mm 이다.

<71> 스위칭에 의한 잡음이 RF 증폭기에 미치는 영향을 최소화하기 위해 펄스 증폭기를 2층으로 구성하였으며, 1층에는 RF HPA와 전원 스위치 및 커패시터부(140)를 2층에는 스위칭 구동회로인 제 1 및 제 2 스위칭부(110, 120)와 BJT부(130), 및 제어회로를 배치하였다.

<72> 또한, 스위칭 시간을 최소화하기 위해 1층과 2층의 연결지점을 한 곳으로 통합하지 않고, 네 곳의 스위칭 회로마다 수직 최단거리로 회로를 배치하였으며, RF HPA에 스위칭 잡음이 섞이지 않도록 커패시터부(140)(Q4)의 회로와 RF 증폭기 사이는 접지면과 via 홀을 충분히 배치하여 분리하였다.

<73> 그리고, 1층의 회로 배치는 커패시터부(140)의 위치가 스위칭을 담당하는 각 소자에 최대한 가깝게 위치시켰고, 드레인 단 바이패스 커패시턴스는 커패시터부(140)의 등가 커패시턴스 보다 작은 100pF의 RF 커패시터를 사용하였고, R_Load에 24Ω(1A/24V)과 4.7Ω(5A/26V)의 저항을 연결하였다.

<74> 상기 [표 3]과 아래의 [표 4]를 살피면, 전류가 증가할수록 측정된 스위칭 시간과 시뮬레이션 결과가 유사해짐을 알 수 있다.

<75> [표 4]

<76>

MRF9030 (24V/1A)		MRF9085 (26V/5A)	
Rise 시간	Fall 시간	Rise 시간	Fall 시간
26.2	32.9	36.3	24.9

<77> 또한, 아래의 [표 5]를 통해 본 발명에 따라 제작된 LDMOS FET를 이용한 L-대역 고속 펄스 고전력 증폭기(100)의 rise/fall 시간을 측정한 결과를 살피면 다음과 같다.

<78> [표 5]

<79>

펄스폭	Rise 시간(ns)	Fall 시간(ns)	소비전류(28V)
2us	28.1	26.6	1.4A
4us	28.8	25.2	2.7A

<80> 측정결과 LDMOS FET를 이용한 증폭기는 종래의 증폭기에 비해 rise/fall 시간이 150ns 이상 개선되었고, 펄스폭의 변화에도 스위칭 시간은 거의 변화가 없었다. 또한, 소비전력은 100W출력에서 2us 펄스일 때, 1.4A/28V, 4us 펄스일 때 2.7A/28V로 20%이상의 효율을 보인다.

<81> 한편, 도 7 은 본 발명에 따른 LDMOS FET를 이용한 L-대역 고속 펄스 고전력 증폭기(100)의 출력특성을 도시한 도면이다. 도 7 을 참조하면, 애질런트사의 54854A 모델 오실로스코프를 이용하여 출력된 100W의 2us 펄스 신호를 측정한 결과이다. 채널 1은 입력펄스 신호이고, 채널 2는 증폭기의 출력 RF 펄스이다. 입력펄스와 출력펄스 간의 시간지연은 스위칭 회로 간 격리를 위해 사용한 버퍼 IC의 지연시간(>20ns) 때문에 발생한다.

<82> 그리고, 도 8 은 본 발명에 따른 본 발명에 따른 LDMOS FET를 이용한 L-대역 고속 펄스 고전력 증폭기의 출력펄스의 파형을 나타낸 도면이다. 도 8 의 (a)에서 채널 1은 입력펄스신호, 채널 2는 펄스 고전력 증폭기의 출력

파형을 나타낸다. 또한, 펄스 내부의 RF 캐리어 신호의 파형은 도 8 의 (b)와 같이 왜곡 없는 정현파를 유지하고 있는 것을 확인할 수 있다.

<83> 이상으로 본 발명의 기술적 사상을 예시하기 위한 바람직한 실시 예와 관련하여 설명하고 도시하였지만, 본 발명은 이와 같이 도시되고 설명된 그대로의 구성 및 작용에만 국한되는 것이 아니며, 기술적 사상의 범주를 일탈함이 없이 본 발명에 대해 다수의 변경 및 수정이 가능함을 당업자들은 잘 이해할 수 있을 것이다. 따라서, 그러한 모든 적절한 변경 및 수정과 균등 물들도 본 발명의 범위에 속하는 것으로 간주되어야 할 것이다.

도면의 간단한 설명

<84> 도 1 은 종래의 스위칭 방식을 이용한 펄스 증폭기를 도시한 도면.

<85> 도 2 는 종래의 펄스 증폭기에 대한 회로를 도시한 도면.

<86> 도 3 은 LDMOS FET를 사용하여 펄스 HPA를 설계한 도면.

<87> 도 4 는 본 발명에 따른 LDMOS FET를 이용한 L-대역 고속 펄스 고전력 증폭기를 도시한 회로도.

<88> 도 5 는 본 발명에 따른 LDMOS FET를 이용한 L-대역 고속 펄스 고전력 증폭기의 스위칭 회로 ON/OFF 시 동작특성을 도시한 도면.

<89> 도 6 은 본 발명에 따라 제작된 LDMOS FET를 이용한 L-대역 고속 펄스 고전력 증폭기를 도시한 도면.

<90> 도 7 은 본 발명에 따른 LDMOS FET를 이용한 L-대역 고속 펄스 고전력 증폭기의 출력특성을 도시한 도면.

<91> 도 8 은 본 발명에 따른 본 발명에 따른 LDMOS FET를 이용한 L-대역 고속 펄스 고전력 증폭기의 출력 펄스의 파형을 나타낸 도면.

<92> ** 도면의 주요 부분에 대한 부호의 설명 **

<93> 100: PPA를 위한 고속 스위칭 장치

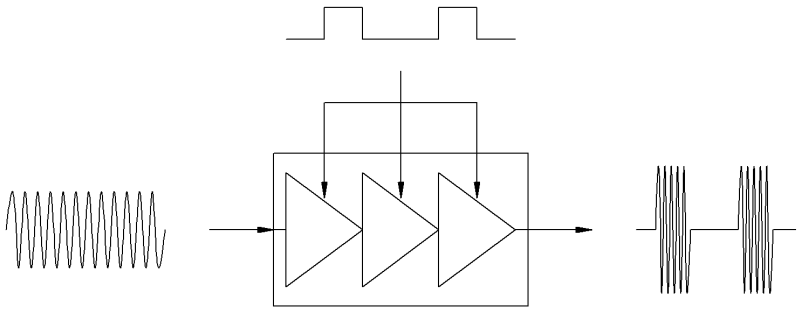
<94> 110: 제 1 스위칭부 120: 제 2 스위칭부

<95> 130: BJT부 140: 커패시터부

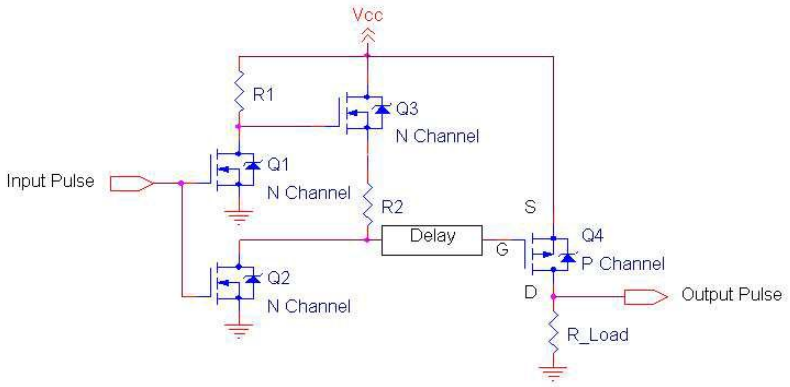
<96> 150: 제너다이오드부

도면

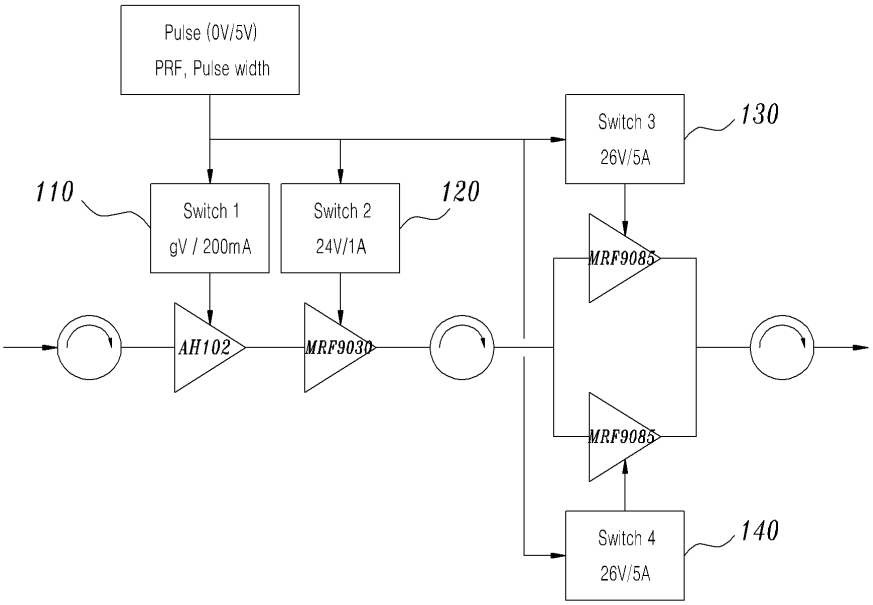
도면1



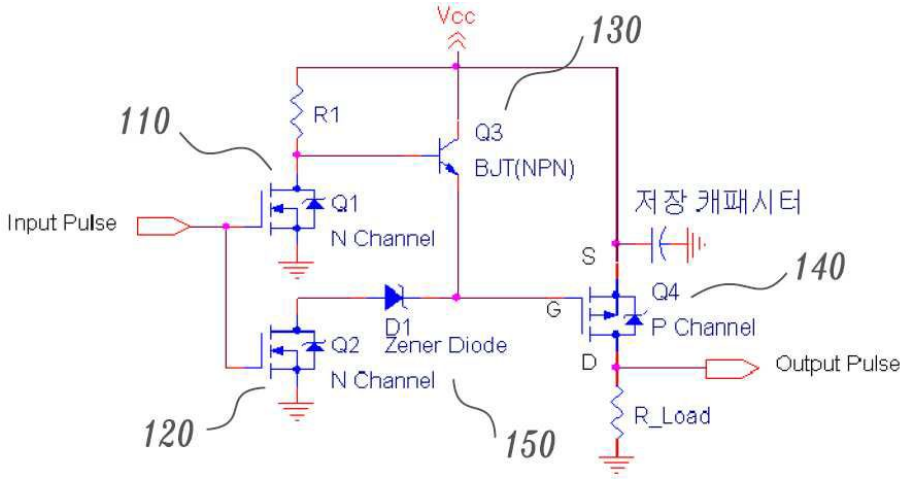
도면2


Vcc
R1
Q3
N Channel
Input Pulse
Q1
N Channel
R2
S
Delay
G
Q4
P Channel
D
Output Pulse
Q2
N Channel
R_Load

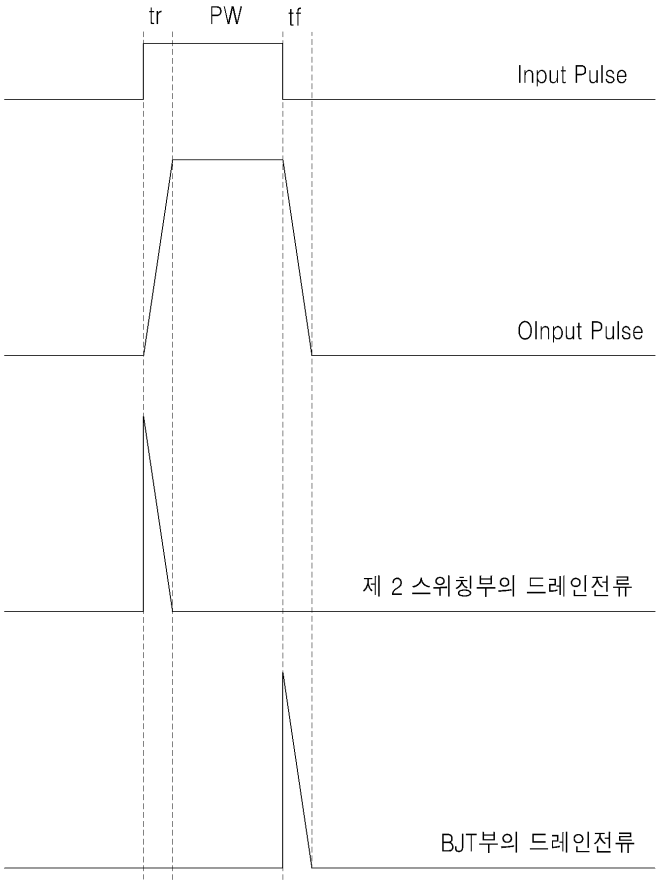
도면3


Pulse (0V/5V)
PRF, Pulse width
Switch 3
26V/5A
130
110
Switch 1
gV / 200mA
Switch 2
24V/1A
120
MRF9085
AH102
MRF9030
MRF9085
Switch 4
26V/5A
140

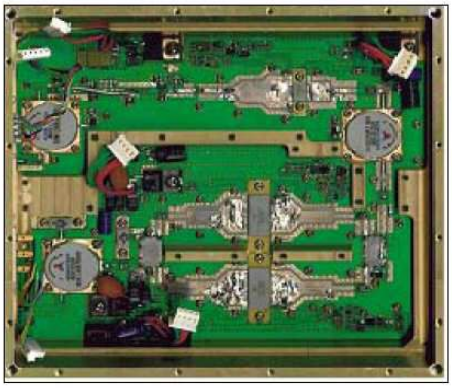
도면4


Vcc
130
110
R1
Q3
BJT(NPN)
Input Pulse
Q1
N Channel
저장 캐패시터
S
140
Q4
G
P Channel
D1
Zener Diode
Q2
N Channel
D
Output Pulse
R_Load
120
150

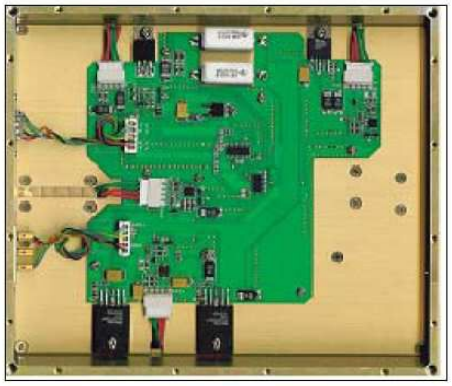
도면5


tr
PW
tf
Input Pulse
OInput Pulse
제 2 스위칭부의 드레인전류
BJT부의 드레인전류

도면6



(a) RF HPA 층



(b) 스위칭 회로 층

도면7

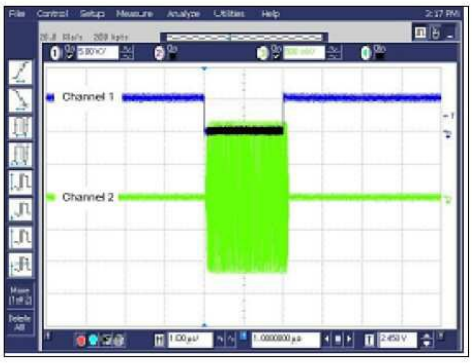


(a) Rise 시간

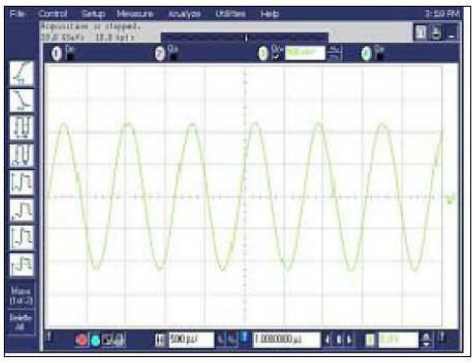


(b) Fall 시간

도면8



(a) 펄스 파형



(b) RF 캐리어 신호