(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H01L 21/322

(45) 공고일자 1999년12월01일
(11) 등록번호 10-0232914
(24) 등록일자 1999년09월09일

(21) 출원번호 10-1994-0017349
(22) 출원일자 1994년07월19일
(65) 공개번호 특1995-0004449
(43) 공개일자 1995년02월18일

(30) 우선권주장 93-181602 1993년07월22일 일본(JP)
94-128959 1994년06월10일 일본(JP)

(73) 특허권자 가부시키가이샤 도시바 니시무로 타이죠
일본국 가나가와껭 가와사끼시 사이와이꾸 호리가와쪼 72반지

(72) 발명자 구보다 아츠코
일본국 가나가와켄 가와사키시 사이와이쿠 호리가와 쵸오 72 가부시키가이샤 도시바 호리가와 쵸오 공장 내
고지마 마사가투
일본국 가나가와켄 가와사키시 사이와이쿠 호리가와 쵸오 72 가부시키가이샤 도시바 호리가와 쵸오 공장 내
츠치야 노리히코
일본국 가나가와켄 가와사키시 사이와이쿠 호리가와 쵸오 72 가부시키가이샤 도시바 호리가와 쵸오 공장 내
사마타 슈이치
일본국 가나가와켄 가와사키시 사이와이쿠 호리가와 쵸오 72 가부시키가이샤 도시바 호리가와 쵸오 공장 내
누마노 마사노리
일본국 가나가와켄 가와사키시 사이와이쿠 호리가와 쵸오 72 가부시키가이샤 도시바 호리가와 쵸오 공장 내
우에노 요시로
일본국 가나가와켄 가와사키시 사이와이쿠 호리가와 쵸오 72 가부시키가이샤 도시바 호리가와 쵸오 공장 내

(74) 대리인 나영환, 이상섭

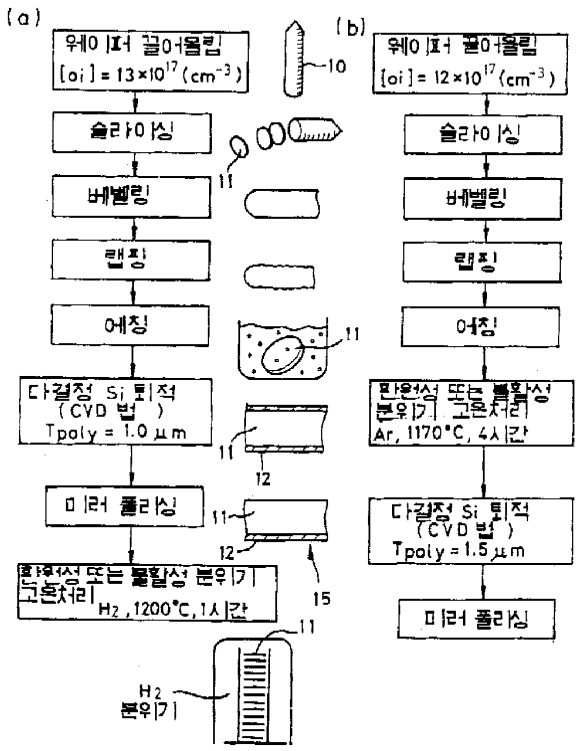
심사관 : 권인희

(54) 반도체 실리콘 웨이퍼 및 그 제조 방법

요약

내부 게터링 효과를 향상시킬 수 있을 뿐만 아니라, 표면얼 무결함으로 할수 있는 반도체 실리콘 웨이퍼의 제조방법을 제공하는 것으로, 실리콘 인코트(10)를 만든 후, 이 실리콘 인코트(10)를 절단해 실리콘 웨이퍼(11)를 만든다. 다음으로, 실리콘 웨이퍼(11)의 한쪽면에 다결정 실리콘 퇴적층(12)을 만들고, 불활성 가스나 환원성 가스 또는 이들의 혼합가스 중에서 열처리 해 실리콘 웨이퍼(11)의 다른쪽 면의 근방에서 산소를 방출한다. 이외에, 열처리 해 실리콘 웨이퍼(11)로부터 산소를 방출한 후에 실리콘 웨이퍼(11)의 한쪽면에 다결정 실리콘 퇴적층(12)을 만들어도 좋다.

대표도



명세서

[발명의 명칭]

반도체 실리콘 웨이퍼 및 그 제조 방법

[도면의 간단한 설명]

제1도는 본 발명의 제1실시예에 의한 반도체 실리콘 웨이퍼의 제조 방법을 도시한 흐름도.

제2도는 본 발명의 제1실시예에 의해 얻어진 반도체 실리콘 웨이퍼의 산소 농도를 도시한 도면.

제3도는 H_2 분위기에서 만들어진 반도체 실리콘 웨이퍼의 CMOS 열처리후 산소 석출물의 밀도를 도시한 도면.

제4도는 Ar 분위기에서 만들어진 반도체 실리콘 웨이퍼의 CMOS 열처리후 산소 석출물의 밀도를 도시한 도면.

제5도는 He 분위기에서 만들어진 반도체 실리콘 웨이퍼의 CMOS 열처리후 산소 석출물의 밀도를 도시한 도면.

제6도는 Co 분위기에서 만들어진 반도체 실리콘 웨이퍼의 CMOS 열처리후 산소 석출물의 밀도를 도시한 도면.

제7도는 본 발명에 의해 얻어진 반도체 실리콘 웨이퍼의 막내압 시험의 측정 결과를 도시한 도면.

제8도는 본 발명에 의해 얻어진 반도체 실리콘 웨이퍼의 산소 석출물 농도를 도시한 도면.

제9도는 본 발명의 제1실시예의 변형예를 도시한 흐름도.

제10도는 제9도에 대응하는 다른 실시예를 도시한 흐름도.

제11도는 본 발명과 비교하기 위한 종래 제조 방법의 흐름도.

제12도는 종래 반도체 실리콘 웨이퍼를 도시한 도면.

제13도는 종래 반도체 실리콘 웨이퍼의 산소 석출물 농도를 도시한 도면.

제14도는 본 발명의 제2실시예에 의한 반도체 실리콘 웨이퍼 및 그 제조 방법의 실시예를 개략적으로 도시한 단면도.

제15도는 열처리 시간에 대한 다결정 실리콘층의 막두께의 감소 비율을 도시하기 위해, 횡축으로 열처리 시간을 취하고, 종축으로 다결정 실리콘층의 막두께를 취한 실험예의 그래프도.

제16도는 열처리를 할 때 다결정 실리콘층의 두께 감소를 반도체 실리콘 웨이퍼 뒷면의 산화막 두께와의 관계로 나타내기 위해, 횡축에 산화막의 두께를 취하고, 종축에 다결정 실리콘층의 두께를 취한 시험 결

과의 그래프도.

제17도는 Ni 오염에 기인하는 반도체 실리콘 웨이퍼 표면 결함이 본 발명에 의해 감소한 것을 예증한 시험 결과의 그래프도.

제18도는 Fe 오염에 기인하는 반도체 실리콘 웨이퍼 표면 결함이 본 발명에 의해 감소한 것을 예증한 시험 결과의 그래프도.

*도면의 주요부분에 대한 부호의 설명

10 : 실리콘 잉곳 11, 15, 21 : 반도체 실리콘 웨이퍼

12, 25 : 다결정 실리콘 퇴적층 21a : 반도체 실리콘 웨이퍼 표면

21b : 반도체 실리콘 웨이퍼 뒷면 26 : 산화막

[발명의 상세한 설명]

본 발명은 반도체 실리콘 웨이퍼 및 그 제조 방법에 관한 것으로, 특히 높은 게터링 능력을 가질 뿐만 아니라, 표면에 무결함층을 얻을 수 있는 반도체 실리콘 웨이퍼 및 그 제조 방법에 관한 것이다.

반도체 실리콘 웨이퍼는 실리콘 잉곳을 웨이퍼 모양으로 절단함으로써 얻어지지만, 그 후 반도체 실리콘 웨이퍼에 대한 디바이스 프로세서 중에 여러 가지의 열처리가 실시된다.

디바이스 프로세스에서 반도체 실리콘 웨이퍼가 받는 금속 오염을 소자 활성 영역 이외에서 거두어 들이는 것을 목적으로 여러 가지의 게터링 방법이 행해지고 있다. 이 게터링 방법에는 크게 2가지의 방법이 있다.

제12(a)도에 도시한 바와 같이, 내부 게터링(Intrinsic Gettering, 즉, IG)이 있는데, 이 IG는 반도체 실리콘 웨이퍼에 $1\times10^{18}(cm^{-3})$정도로 포함되는 산소가 열처리 중에 생성되는 석출물을 이용하는 것이다. 고온, 저온, 중온의 순서로 열처리를 행함으로써, 반도체 실리콘 웨이퍼 표면 산소의 외부 방향 확산, 산소 석출물의 핵 형성 산소 석출물의 성장이 일어나고, 반도체 실리콘 웨이퍼의 내부에만 산소 석출물이 형성된다. 이와같이하여 표면의 소자 활성층이 무결함으로 되는 IG 반도체 실리콘 웨이퍼가 얻어진다. IG는 다음에 서술하는 외부 게터링(Extrinsic Gettering, 즉, EG)보다도 게터링 능력이 높다고 일반적으로 알려져 있지만, 표면 무결함층을 완전히 무결함으로 하는 것은 대단히 어렵다.

상기 EG 중에서 가장 일반적으로 행해지는 것은 샌드 블라스트(Sand blast)법인데, 이것은 반도체 실리콘 웨이퍼 뒷면에 실리콘의 미립자를 충돌시켜 1㎛정도 또는 그 이하의 크기의 미세한 상처를 형성하는 방법이다. 그 후, 반도체 실리콘 웨이퍼를 산화시킴으로써, 이 상처로부터 산화 유기 적층 결함(OSF)이나 전위가 발생하고, 반도체 실리콘 웨이퍼 뒷면이 금속 게터링 사이트로 된다(제12(b)도). 단, 상처 부분으로부터 실리콘(Si)이 벗겨져서 미세한 먼지가 발생할 수 있다.

최근, 게터링 능력이 높은 EG로서 주목되고 있는 방법으로 뒷면 다결정 실리콘 부착 반도체 실리콘 웨이퍼가 있다. 이것은 실리콘 잉곳을 웨이퍼 모양으로 절단한 실리콘 웨이퍼의 뒷면에 화학 기상 성장법(CVD) 등에 의해 다결정 실리콘을 퇴적하는 방법이다. 이 방법에 의하면, 다결정 입계에서의 게터링 작용과, 디바이스 프로세스 중의 열처리에 의해 산소 석출물을 유지할 수 있고, EG + IG 효과를 기대할 수 있다(제12(c)도).

그런데, 동일 잉곳으로부터 절취한 함유 산소 농도 $[Oi] = 13 \times 10^{17}(cm^{-3})$의 실리콘 웨이퍼의 뒷면에 다결정 실리콘을 퇴적한 반도체 실리콘 웨이퍼와, 샌드 블라스트법에 의해 EG를 행한 반도체 실리콘 웨이퍼에 CMOS 열처리 시뮬레이션을 수행하여 발생한 산소 석출물 밀도를 반도체 실리콘 웨이퍼 단면 방향으로 측정하였다. 이 측정 결과를 제13도에 도시한다. 제13도에 도시한 바와 같이, 뒷면 다결정 실리콘 부착 반도체 실리콘 웨이퍼는 샌드 블라스트 반도체 실리콘 웨이퍼에 비해 산소 석출물 밀도가 2게터 정도 높기 때문에, 큰 IG 효과를 기대할 수 있다. 그 반면, 뒷면 다결정 실리콘 부착 웨이퍼에서는 표면 근방에서 산소 석출물 밀도가 높게 된다. 이와 같은 표면 근방의 산소 석출물은 캐리어의 재결합 중심으로 되고, 디바이스 특성을 열화시키거나 결정 결함 발생의 원인으로 된다.

또, 종래의 실리콘 웨이퍼 뒷면에 다결정 실리콘층을 형성하는 외부 게터링 법은 표면 무결함화를 위해 고온 환원성 분위기에서 열처리하면, 뒷면 다결정 실리콘층이 재결정화하고, 다결정 실리콘층의 두께가 크게 저하하게 되어 게터링 능력이 극히 저하하게 된다는 것도 생각할 수 있다.

또한 실제 반도체 디바이스 제조 공정에서도 여러 종류의 고온 열처리 공정이 존재하고, 이것에 의해서도 다결정 실리콘층의 재결정화가 일어나며, 게터링 능력이 저하해 버린다.

본 발명의 이러한 점들을 고려해 이루어진 것으로, 높은 게터링 능력을 가질 뿐만 아니라 표면에 무결함층을 형성할수 있으며, 고온 열처리에 의해 다결정 실리콘층의 감소를 충분히 억제할수 있는 반도체 실리콘 웨이퍼 및 그 제조 방법을 제공하는 것을 목적으로 한다.

발명의 제1면에 따르면, 반도체 웨이퍼의 한쪽 면에 다결정 실리콘층을 형성하는 공정과, 이 다결정 실리콘층이 형성된 반도체 웨이퍼를 불활성 가스, 환원성 가스 또는 이들의 혼합 가스 중에서 열처리하여 상기 반도체 웨이퍼의 다른쪽 면에서 산소를 방출시켜 무결함층을 형성하는 공정을 구비한 것을 특징으로 하는 반도체 웨이퍼의 제조 방법이 제공된다.

발명의 제2면에 따르면, 반도체 웨이퍼를 불활성 가스, 환원성 가스 또는 이들의 혼합 가스 중에서 열처리하여 반도체 웨이퍼의 적어도 한쪽 면에서 산소를 방출시켜 무결함층을 형성하는 공정과, 반도체 웨이

퍼의 다른쪽 면 위에 다결정 실리콘층을 형성하는 공정을 구비하는 것을 특징으로 하는 반도체 웨이퍼의 제조 방법이 제공된다.

청구범위 제3항 기재의 발명은 반도체 웨이퍼의 한쪽 면에 H_2O_2/H_2SO_4, 희석 HF(HF:H_2O), H_2O_2/HCl/H_2O 및 콜린/H_2O_2/H_2O의 약액 중 하나에 의해 산화막을 형성하는 공정과, 상기 산화막 위에 다결정 실리콘 층을 형성하는 공정과, 상기 반도체 웨이퍼를 불활성 가스, 환원성 가스 또는 이것들의 혼합 가스 중에서 열처리하여 상기 반도체 웨이퍼의 다른쪽 면 및 그 근처에서 산소를 방출하여 무결함층을 형성하는 공정을 포함하는 것을 특징으로 하는 반도체 웨이퍼 제조 방법이다.

이러한 반도체 실리콘 웨이퍼의 제조 방법에서는, 상기 다결정 실리콘층에 붕소, 비소, 인 중에서 적어도 하나가 도핑되는 것이 바람직하다.

또, 상기 열처리는 1100℃ 이상의 온도로 10분간 행해지며, 상기 다결정 실리콘층의 두께는 상기 고온 열처리 후에도 약 0.5㎛ - 2.5㎛ 잔존해 있는 것이 바람직하다.

청구범위 제6항에 기재된 발명은 반도체 웨이퍼와, 상기 반도체 웨이퍼의 한쪽면에 H_2O_2/H_2SO_4, 희석 HF(HF:H_2O), H_2O_2/HCl/H_2O 및 콜린/H_2O_2/H_2O의 약액 중 하나에 의해 산화막과, 상기 산화막 위에 형성된 다결정 실리콘 층을 갖는 것을 특징으로 하는 반도체 웨이퍼이다,

본 발명에 따른 반도체 웨이퍼와, 이 반도체 웨이퍼의 한쪽 면에 형성된 두께 약 1㎚ - 3㎚의 산화막과, 이 산화막상에 형성된 다결정 실리콘층을 갖는데, 상기 다결정 실리콘 퇴적층은 두께가 약 0.5㎛ - 2.0㎛인 것이 바람직하다.

본 발명의 제1, 제2면에 따른 반도체 웨이퍼 제조 방법에 의하면, 실리콘 웨이퍼의 한쪽 면에 다결정 실리콘 퇴적층을 만들고, 또 실리콘 웨이퍼의 다른쪽 면으로부터 산소를 외부로 방출시킴으로써 디바이스 프로세스 중의 열처리에 있어서 산소 석출물을 생성시켜 게터링 효과를 향상시킬수 있을 뿐만 아니라 다른쪽 면을 무결함으로 할 수가 있다.

또한, 본 발명에 의하면, 반도체 실리콘 웨이퍼의 뒷면에 두께 1㎚ - 3㎚의 산화막을 형성한 후에 상기 반도체 실리콘 웨이퍼 뒷면에 다결정 실리콘층을 퇴적하기 때문에, 그 후 고온 열처리를 할 때 다결정 실리콘의 재결정화가 산화막의 작용에 의해 억제된다. 따라서, 반도체 제조 프로세서 전체에 걸쳐 높은 게터링 능력이 유지된다.

[제1 실시예]

이하, 도면을 참조해 본 발명의 실시예에 대해 설명한다.

제1도 내지 제8도는 본 발명에 의한 반도체 실리콘 웨이퍼의 제조 방법인 제1 실시예를 도시하는 도면이다. 먼저, 본 발명의 제1 실시예에 따른 방법의 흐름도를 제1도에 도시한다. 제1(a)도에 도시한 바와 같이, Cz법(인상법)으로 끌어올려 [Oi] = 13 × 10^{17}(cm^3)을 목표로 하는 실리콘 잉곳(10)을 생성한다.

다음에, 실리콘 잉곳(10)을 웨이퍼 모양으로 절단해 실리콘 웨이퍼(11)를 생성한다(슬라이싱). 그 후, 실리콘 웨이퍼(11)의 단부에 원형 처리(베벨링)를 행한후, 랩핑하여 실리콘 웨이퍼(11)의 두께를 규정 두께에 가깝게 하고, 랩핑에 의한 파쇄층을 에칭으로 제거한다.

다음에 실리콘 웨이퍼(11)의 앞뒷면에 CVD 법에 의해 두께 1㎛의 다결정 실리콘층(12)을 최적시킨다. 그 후, 표면만을 미러 폴리싱하여 표면으로부터 다결정 실리콘(12)을 제거한다. 최종적으로, H_2 분위기에서 1200℃, 1시간 동안 열처리를 행하여 표면 근방의 산소를 외부로 방출한다.

이와 같이하여 얻어진 반도체 실리콘 웨이퍼(15)의 표면 근방의 산소 농도 두께 분포를 제2도에 도시한다. 제2도에 도시한 바와 같이, H_2 환원성 분위기 중의 열처리에 의해 표면 근방(-20㎛)의 산소 농도가 극히 낮아지고, 이 때문에 반도체 실리콘 웨이퍼(15) 표면의 무결함화가 달성된다는 것을 알았다. 또한, 제2도에서, 열처리 후의 산소 농도를 실선으로 나타내고, 열처리 전의 산소 농도를 점선으로 도시한다. 다음에 이와 같은 반도체 실리콘 웨이퍼(15)의 CMOS 열처리를 가하여, 그때 발생하는 표면 산소 석출물을 측정하였다. 그 결과를 제3도에 도시한다. 제3도를 제13도와 비교하면, 본 발명의 실시예에 의한 제조 방법을 이용하여 표면의 무결함화가 달성된다는 것을 알았다.

다음으로 제1(b)도에 다른 실시예를 도시한다. 제1(b)도에 도시한 바와 같이, 실리콘 웨이퍼(11)에 대해 열처리를 행하여 실리콘 웨이퍼(11) 앞뒷면 근방에서 산소를 바깥쪽으로 방출한 후, 실리콘 웨이퍼(11)의 앞뒷면에 CVD법에 의해 다결정 실리콘(12)을 1.5㎛ 퇴적시켜 표면만을 미러 폴리싱한다. 이 경우의 열처리는 Ar의 불활성 분위기에서 1170℃, 4시간 동안 행해진다. 이와같이하여 얻어진 반도체 실리콘 웨이퍼에 대해, 그 후 CMOS 열처리가 행해지고, 이 때의 표면 산소 석출물을 측정하였다. 측정 결과는 제4도에 도시한다.

또, 제1(a)도에 도시한 제조 방법에서, 다결정 실리콘(12)을 퇴적시킨 다음에 H_2 분위기 대신에 He 분위기 중서 1200℃, 2시간 동안 열처리하여도 좋다. 또, H_2 분위기 대신에 CO 분위기에서 1150℃, 30분간 열처리하여도 좋다. 각각의 경우의 반도체 실리콘 웨이퍼(15)에 대해, 그후 CMOS 열처리했을 때의 표면 산소 석출물의 측정 결과를 제5도 및 제6도에 도시한다.

또, 상기 각 제조 방법에서, 환원성 분위기 또는 불활성 분위기에서 열처리를 행하여, 실리콘 웨이퍼(11)로부터 산소를 외부로 방출한 예를 도시하였지만, 환원성 가스 및 불활성 가스의 혼합 가스 분위기에서 열처리하여도 좋다.

다음에, 본 발명에 의해 얻어진 반도체 실리콘 웨이퍼와, 종래의 다결정 실리콘 부착 반도체 실리콘 웨이퍼와, 종래의 환원성 분위기에서 고온 열처리를 행한 반도체 실리콘 웨이퍼(1200℃, H_2, 1시간)와, 종래의 샌드 블라스트 처리를 행한 반도체 실리콘 웨이퍼의 4종류의 반도체 실리콘 웨이퍼에 대해 CMOS 열처리를

행하여, 산소 석출물 밀도의 두께 방향 분포를 측정하였다. 기판 산소 농도는 모두 13 × 10^{17}(cm^{-3})의 반도체 실리콘 웨이퍼를 이용하였다. 그 결과를 제8도에 도시한다.

제8도에 도시한 바와 같이, 기판 산소 농도가 낮기 때문에 샌드 블라스트 처리를 행한 반도체 실리콘 웨이퍼에는 대부분 산소 석출물이 발생하지 않는다. 열처리에 의해 산소 석출물을 유기하는 성질이 있는 다결정 실리콘 부착 반도체 실리콘 웨이퍼와, 환원성 분위기에서 고온 열처리를 행한 반도체 실리콘 웨이퍼에서는 샌드블라스트의 반도체 실리콘 웨이퍼에 비해 2게터 높은 산소 석출물이 내부에 발생하고 있다. 이것에 대해 본 발명에서는, 다결정 실리콘 부착 반도체 실리콘 웨이퍼와, 환원성 분위기에서 열처리를 행한 반도체 실리콘 웨이퍼에 비해 약 1게터 많은 산소 석출물이 발생하고 있으며, 보다 많은 게터링 능력을 가질수 있음이 판명되었다.

다음에 제1(a)도에 도시한 제조 방법에 의해 얻어진 반도체 실리콘 웨이퍼와 종래의 다결정 실리콘 부착 반도체 실리콘 웨이퍼를 각 5장씩 이용해 산화막 내압을 측정하였다. 측정 조건은 산화막 두께를 30㎚, 커패시터 면적을 10㎟로 하였다. 그 측정 결과를 제7도에 도시한다. 제7도에 도시한 바와 같이 본 발명에 의한 반도체 실리콘 웨이퍼는 종래의 다결정 실리콘 부착 반도체 실리콘 웨이퍼에 비해 내압 양품율(C+)이 높고 양호하다는 것이 확인되었다. 제7도는 내압 양품율 (C+), 내압 불량품율(B-), 중간품율(B+) 각각의 빈도를 도시한 도면이다.

다음에, 본 발명의 변형예에 대해 설명한다.

제9도 내지 제11도는 본 발명의 변형예를 도시한 도면이다. 먼저, 비교를 위해, 일반적인 반도체 실리콘 웨이퍼의 제조 방법을 제11도에 도시한다.

제11도에 도시한 바와 같이, 처음으로 ① Cz법(인상법)에 의해 실리콘 잉곳(10)을 생성한다. 다음에, ② 실리콘 잉곳(10)을 슬라이스하여 실리콘 웨이퍼(11)를 생성한다. 이때의 두께는 약 1㎜ 정도이다. 그 후, ③ 웨이퍼단의 원형 처리(베벨 형성)를 행한다. 다음에, ④ 랩핑에 의해 실리콘 웨이퍼(11)의 두께를 규정 두께(625㎛)에 근접하게 한다. 다음에, ⑤ 랩핑에 의한 파쇄층을 에칭에 의해 제거하고, ⑦ 마지막으로 한쪽 면(표면)만 미러 폴리싱을 행하여 끝낸다.

이 공정 가운데[, 산소에 의한 열 도우너를 제거하기 위해 ④의 랩핑 공정 또는 ⑤의 에칭 공정 후에, 650℃의 도우너 킬러 열처리를 행함과 동시에, EG 처리를 행하는 경우에는 ⑤의 에칭 공정 후에 ⑥의 샌드 블라스트 처리 또는 ⑥a의 다결정 실리콘 퇴적 처리를 행하고, 최종적으로 ⑦의 미러 폴리싱을 행하여 끝낸다.

다음에, 본 발명의 제조 방법에 대해 제9도를 참조하여 설명한다. 제9도에 도시한 바와 같이, ① Cz법에 의해 실리콘 잉곳(10)을 생성한 다음, ② 실리콘 잉곳(10)을 웨이퍼 모양으로 절단하여 실리콘 웨이퍼(11)를 생성한다. 이때의 실리콘 웨이퍼(11)의 두께는 약 1㎜ 정도로 한다.

다음에, ⑥a 실리콘 웨이퍼(11)의 한쪽 면에 CVD1법에 의해 1㎛의 다결정 실리콘의 퇴적층(12)을 형성한다. 다결정 실리콘의 퇴적 처리는 620℃ - 650℃의 온도 범위에서 행해지므로, 이 사이에 실리콘 웨이퍼(11)내의 열 도우너가 소멸하기 때문에 별개의 도우너 킬러 처리를 행할 필요가 없다.

다음으로, ⑥b 1000℃에서 10시간 동안 열처리를 행하여 다결정 실리콘의 퇴적층에 먼저 산소 퇴적물을 형성한다.

그 후에는 일반 공정과 동일하게, ③ 실리콘 웨이퍼단의 원형 처리(베벨 형성) 및 ④ 랩핑에 의한 실리콘 웨이퍼(11)의 두께 조정을 행한다. 이와 같이하여, 실리콘 웨이퍼(11)의 한쪽 면에 형성된 다결정 실리콘의 퇴적층(12)을 제거하고, 실리콘 웨이퍼의 두께를 625㎛로 한다.

다음에, ⑤ 랩핑에 의해 생성된 파쇄층을 에칭에 의해 제거하고, ⑦ 미러 폴리싱을 행하여 끝내고, 이와 같이하여 반도체 실리콘 웨이퍼(15)가 얻어진다.

이어서, 제10도를 참조하여 본 발명의 다른 실시예를 설명한다. 제9도에 도시한 제조 방법은 ② 실리콘 잉곳(10)의 절단 공정 및 ③ 베벨 형성 공정 후에, ⑥a 실리콘 웨이퍼(11)의 한쪽 면에 다결정 실리콘의 퇴적층을 형성하는 것으로, 그외에는 제9도에 도시한 제조 방법과 거의 동일하다.

또, 제10도에서 ⑥a의 다결정 실리콘의 퇴적 처리는 630℃에서 행해져 막 두께가 0.8㎛로 된다. 또 ⑥b의 다결정 실리콘의 퇴적층(12)에 먼저 산소 석출물을 형성하기 위한 열처리는 950℃에서 8시간 동안 행해진다.

제10도에 도시한 제조 방법에 의해 얻어진 반도체 실리콘 웨이퍼는 제9도에 도시한 제조 방법에 의해 얻어진 반도체 실리콘 웨이퍼와 동일한 효과를 갖는 것이 확인되었다.

[제2 실시예]

이하에, 본 발명의 제2 실시예를 제14도 내지 제18도를 참조하여 설명한다.

제14도에서, 반도체 실리콘 웨이퍼(21)는 산소를 약 13 × 10^{17}(cm^{-3}) 함유한 것이 사용된다. 이 실리콘 웨이퍼(21)에 약액 처리를 행하여 산화막(26)을 형성한다. 이 약액 처리는 약액 SH(H_2O_2/H_2SO_4)를 사용하며, 70° 의 온도에서 20분간 행하고, 이것에 의해 두께 2㎚의 산화막(26)이 형성된다. 또, 이 산화막(26)의 두께 2㎚는 XPS에 의해 측정된 값이다. 이 약액은 상기 약액 SH 이외에, 희석 HF(HF: H_2O),

SC2(H_2O_2/HCl/H_2O) 또는 NC2(콜린/H_2O_2/H_2O) 등도 사용할 수 있다.

이 약액 처리 후에, 산화막(26)이 형성된 실리콘 웨이퍼(21)의 뒷면(21b)에는 화학 기상 성장(CVD)법에 의해 두께 1㎛ - 2㎛인 도핑되지 않은 다결정 실리콘층(25)이 퇴적된다.

이 다결정 실리콘(25)의 퇴적 후에, 실리콘 웨이퍼(21)는 환원성 가스로서 수소를 사용한 분위기에서 1100℃ 이상의 온도로 10분 이상의 고온 열처리를 받는다. 또, 이 고온 열처리에서는 환원성 가스 외에

Ar, He, Xe, Kr 또는 Ne 등의 불활성 가스 또는 이들 불활성 가스와 환원성 가스의 혼합 가스를 사용할 수도 있다.

이와같이 하여 제조된 실리콘 웨이퍼(21)는 실리콘 웨이퍼 뒷면(21b)에 퇴적된 다결정 실리콘층(25)의 다결정 입계에서의 외부 게터링 작용과, 고온 열처리에 의한 내부 게터링 작용에 의해, 표면(21a)에 표면 무결함층(22)이 형성된다.

또, 다결정 실리콘층(25)은 그 후의 고온 열처리를 받아도 산화막(26)의 존재에 의해 재결정화가 억제되기 때문에 충분한 두께를 유지하고 있다.

다음에, 산화막(26)이 다결정 실리콘층(25)의 재결정화를 억제하는 것을 실험예로서 예증한다.

실험은 본 발명에 의한 2종류의 반도체 실리콘 웨이퍼와 종래 기술에 의한 2종류의 반도체 실리콘 웨이퍼를 사용하여 실시되었다. 본 발명에 의한 2종류의 반도체 실리콘 웨이퍼는 상기 실시예와 동일한 약액 처리에 의해 형성된 두께 2㎚의 산화막에 기상 성장법에 의해 각각 두께 1㎚ 및 2㎚의 다결정 실리콘층이 퇴적된 것이다. 종래의 2종의 반도체 실리콘 웨이퍼는 상기 산화막을 형성하지 않고 기상 성장법에 의해 각각 두께 1㎛ 및 2㎛의 다결정 실리콘층이 퇴적된다. 이들 본 발명에 의한 2종류의 반도체 실리콘 웨이퍼와 종래의 2종류의 반도체 실리콘은 고온 처리를 받는다. 이 고온 열처리는 수소 분위기중에서 온도 1200℃로 시간을 0시간, 0.5시간, 1시간, 2시간, 3시간 및 4시간으로 변화시키며 행해졌다.

제15도는 이 실험예를 예시한 그래프로, 횡축은 고온 열처리 시간이고, 종축은 다결정 실리콘층의 막두께이다. 이 그래프로부터 명확해지는 바와 같이 종래의 반도체 실리콘 웨이퍼는 고온 열처리를 받으면, 다결정 실리콘층이 재결정화하여 그 두께가 급격히 감소해 버린다. 이에 대해, 본 발명의 2종의 반도체 실리콘 웨이퍼는 고온 열처리를 받아도 다결정 실리콘층의 두께가 거의 불변이고, 산화막이 다결정 실리콘이 재결정화를 충분히 억제하는 것을 알 수 있다.

다음에 산화막(6)의 막두께는 약 1㎚ - 3㎚가 최적치인 것을 실험예로서 예증한다.

반도체 실리콘 웨이퍼는 4종의 약액, 즉, 희석 HF(HF: H_2O), SC2(H_2O_2/HCl/H_2O) 또는 NC2(콜린/H_2O_2/H_2O) 및 SH(H_2O_2/H_2SO_4)를 각각 사용하여, 막두께가 0.1㎚, 0.5㎚, 1㎚ 및 3㎚인 4가지의 산화막을 형성한다. 이들 4가지의 산화막이 형성된 반도체 실리콘 웨이퍼에 각각 다결정 실리콘층을 두께 1㎛ 퇴적한 후에, 수소 분위기에서 온도 1200℃로 1시간 동안 고온 열처리를 행하고, 이 고온 열처리후의 다결정 실리콘층의 두께를 측정한다.

제16도는 이 실험 결과를 예시한 그래프로서, 횡축은 산화막의 두께이며, 종축은 다결정 실리콘층의 두께이다. 이 그래프로부터 알 수 있는 바와 같이, 산화막의 두께를 약 1㎚ - 3㎚로 함으로써 다결정 실리콘층은 고온 열처리에 의한 재결정화가 충분히 억제된다. 또, 산화막의 두께가 약 3㎚를 크게 초과하면, 금속 불순물이 이 산화막에 의해 블록화되어 다결정 실리콘층에 확산되지 않고, 따라서 게터링 효과가 크게 저하해 버린다.

이어서, 본 발명의 실시예의 변형예를 설명한다.

제14도에서, 다결정 실리콘층(25)의 퇴적시에 B_2H_6을 사용하여 붕소를 도핑(10^{19}atms/㎤)한다. 이 도핑 재료로는 붕소 외에 비소 또는 인 등도 사용할 수 있다.

또, 퇴적시의 다결정 실리콘층(25)의 막두께는 그 퇴적 후에 1100℃ 이상의 온도로 10분 이상 고온 열처리를 행한 때에, 다결정 실리콘층(25)의 막두께가 0.5㎛ - 2.5㎛만 잔존하도록 선정되는 것이 바람직하다.

다음에, 본 발명에 의한 반도체 실리콘 웨이퍼의 표면 결함이 종래의 반도체 실리콘 웨이퍼에 비해 대폭 저감하는 것을 실험예로써 도시한다.

반도체 실리콘 웨이퍼는 P형, 붕소 도핑으로 산소 13 × 10^{17}(cm^{-3}), ρ = 2 - 5(Ω · ㎝)의 것을 사용하고, 본 발명의 제1예 A에서는, 이 반도체 실리콘 웨이퍼 뒷면에 두께 2㎚의 산화막을 형성한 후에, 두께 1㎛의 다결정 실리콘층을 퇴적하였다. 또, 본 발명이 제2예 B에서는, 반도체 실리콘 웨이퍼 뒷면에 두께 2㎚의 산화막을 형성한 후에, 붕소 도핑(10^{19}atms/㎤) 다결정 실리콘층을 두께 1㎛ 퇴적하였다. 다른 한편으로 비교예서의 종래품은 상기 반도체 실리콘 웨이퍼 뒷면에 산화막의 형성없이 두께 1㎛의 다결정 실리콘층을 퇴적하였다.

이와같은 본 발명에 의한 2종 A, B의 반도체 실리콘 웨이퍼와 종래품의 반도체 실리콘 웨이퍼는 수소 분위기에서 온도 1200℃로 1시간 동안 열처리한 후에, 예컨대, 1200℃로 10시간; 800℃로 3시간; 1000℃로 16시간에 상당하는 CMOS 열처리를 행하고, 그 후에 NH_4F로 표면의 산화막을 박리한다. 이어서, Fe 및 Ni에 의해 표면을 금속 오염한 후에, 산소 분위기에서 1000℃로 16시간 동안의 고온 열처리를 행하고, 표면에 발생하는 결함(OSF)을 측정하였다.

제17도 및 제18도는 Ni 및 Fe에 의한 오염을 각각 나타낸 상술한 실험 결과를 도시한 그래프이고, 횡축은 본 발명에 의한 2종의 반도체 실리콘 웨이퍼 A 및 B와 종래품의 반도체 실리콘 웨이퍼를 취하고, 종축은 반도체 실리콘 웨이퍼 표면의 산화 유기 적층 결함 밀도(OSF)이다.

이들 그래프로부터 알 수 있는 바와 같이, 종래품의 반도체 실리콘 웨이퍼에서는 고온 열처리,CMOS 열처리 및 산화막의 박리에 의해, 다결정 실리콘층이 완전히 제거되어 게터링 능력이 소실되고, 표면 결함이 다수 발생하고 있다. 이것에 대해, 본 발명의 반도체 실리콘 웨이퍼에서는 실리콘 웨이퍼 뒷면에 형성한 산화막의 존재에 의해 다결정 실리콘층의 재결정화가 억제되고, 고온 열처리 및 CMOS 열처리 후에도 다결정 실리콘층이 충분히 잔존하며, 높은 게터링 능력을 가지고 있으므로 반도체 실리콘 웨이퍼 표면의 산화 유기 적층 결함 밀도(OSF)가 크게 저하된다.

또한, 제18도로부터 알 수 있는 바와 같이, Fe에 대한 게터링 능력은 본 발명에 의한 반도체 실리콘 웨이퍼 B쪽이 A보다도 높다. 이것에 의해, 다결정 실리콘층으로의 붕소 도핑은 Fe에 대한 게터링 능력을 높일 수 있다는 것이 판명되었다.

또, 상술한 본 발명에 의한 반도체 실리콘 웨이퍼와 종래품의 반도체 실리콘 웨이퍼를 각각 사용하여 16M DRAM을 제조한 바, 본 발명에 의한 반도체 실리콘 웨이퍼쪽이 종래품보다도 $Y_{D/S}$에서 10% 향상된 것으로 판명되었다.

또한, 본 발명의 청구범위의 각 구성 요소에 병기한 도면 참조 부호는 본원 발명의 이해를 용이하게 하기 위한 것으로, 본원 발명의 기술적 범위를 도면에 도시한 실시예에 한정하기 위한 의도로 병기한 것은 아니다.

이상 설명한 바와 같이, 본 발명에 의하면, 반도체 실리콘 웨이퍼를 디바이스 프로세스에서 열처리할 때, 반도체 실리콘 웨이퍼의 한쪽 면에 형성된 다결정 실리콘 퇴적층에서 산소 석출물을 생성하여 내부 게터링 효과를 향상시킬 수 있을뿐만 아니라, 다른쪽 면을 무결함으로 할 수 있다. 이 때문에 정밀도가 높은 반도체 장치를 얻을수가 있다.

또한 본 발명에 의하면, 반도체 실리콘 웨이퍼의 뒷면에 두께 약 1㎚ - 3㎚의 산화물을 형성한 후에 다결정 실리콘층을 퇴적하기 때문에, 그 후의 고온 열처리시에 산화막의 작용에 의해 다결정 실리콘의 재결정화가 억제된다. 따라서, 반도체 제조 프로세스 전체에 걸쳐 높은 게터링 능력이 유지되고, 금속 오염에 의한 반도체 실리콘 웨이퍼의 표면 결함의 발생을 저감할 수 있다.

(57) 청구의 범위

청구항 1

반도체 웨이퍼의 한쪽 면에 H_2O_2/H_2SO_4, 희석 HF(HF:H_2O), H_2O_2/HCl/H_2O 및 콜린/H_2O_2/H_2O의 약액 중 하나에 의해 산화막을 형성하는 공정과, 상기 산화막 위에 다결정 실리콘 층을 형성하는 공정과, 상기 반도체 웨이퍼를 불활성 가스, 환원성 가스 또는 이것들의 혼합 가스 중에서 열처리하여 상기 반도체 웨이퍼의 다른쪽 면 및 그 근처에서 산소를 방출하여 무결함층을 형성하는 공정을 포함하는 것을 특징으로 하는 반도체 웨이퍼 제조 방법.

청구항 2

제1항에 있어서, 상기 열처리는 1100℃ 이상에서 행해지는 것을 특징으로 하는 반도체 웨이퍼 제조 방법.

청구항 3

제1항에 있어서, 상기 다결정 실리콘 층은 기상 성장법에 의해 형성되는 것을 특징으로 하는 반도체 실리콘 웨이퍼 제조 방법.

청구항 4

반도체 실리콘 웨이퍼와, 상기 반도체 웨이퍼의 한쪽면에 H_2O_2/H_2SO_4, 희석 HF(HF:H_2O), H_2O_2/HCl/H_2O 및 콜린/H_2O_2/H_2O의 약액 중 하나에 의해 형성된 산화막과, 상기 산화막 위에 형성된 다결정 실리콘 층을 갖는 것을 특징으로 하는 반도체 웨이퍼.

청구항 5

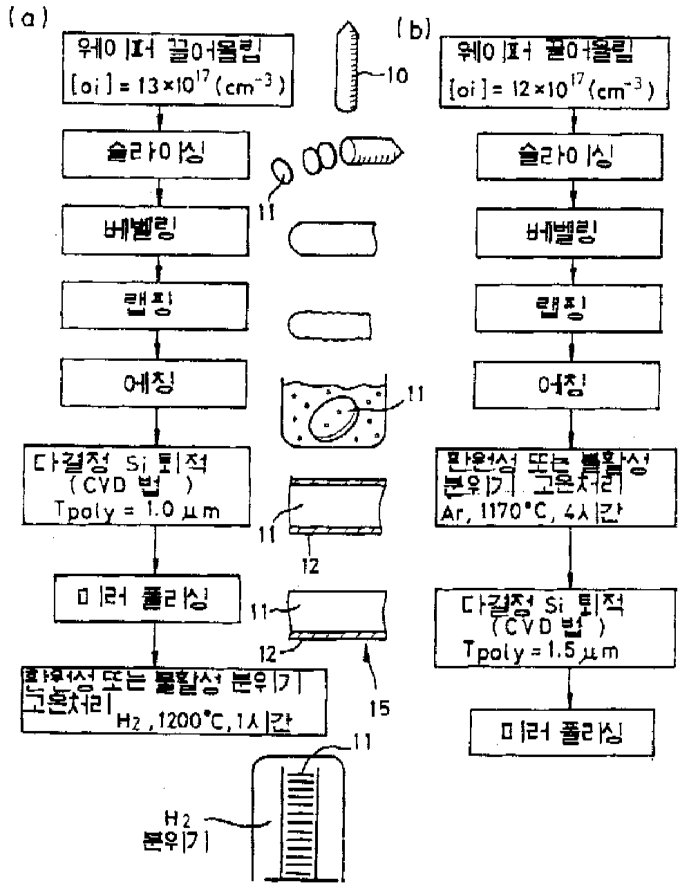
제4항에 있어서, 상기 산화막의 두께는 1㎚ - 3㎚인 것을 특징으로 하는 반도체 웨이퍼.

청구항 6

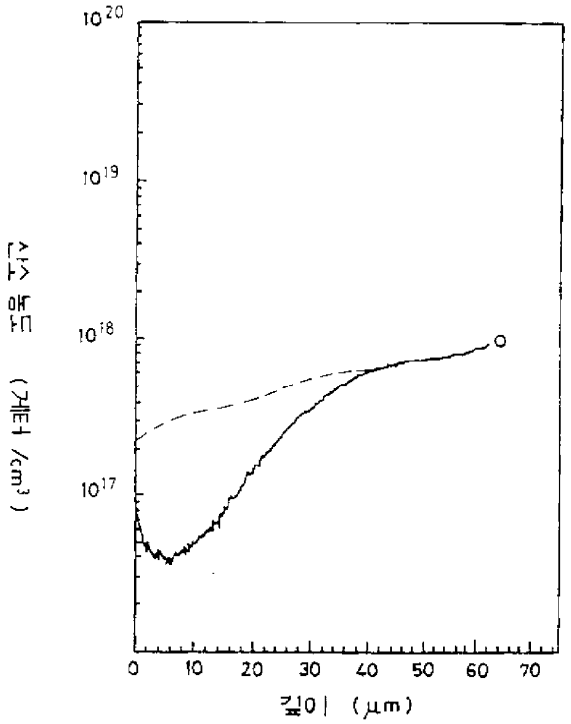
제1항에 있어서, 상기 산화막의 두께는 1㎚ - 3㎚인 것을 특징으로 하는 반도체 실리콘 웨이퍼 제조 방법.

도면

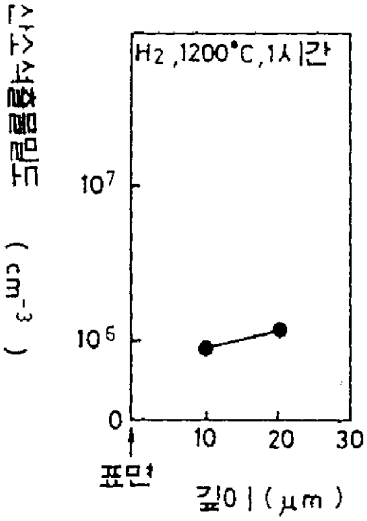
도면1


(a)
웨이퍼 끌어올림
[oi] = 13×10^17 (cm^-3)
슬라이싱
베벨링
랩핑
에칭
다결정 Si 퇴적
(CVD 법)
Tpoly = 1.0 μm
미러 폴리싱
환원성 또는 불활성 분위기 고온처리
H2, 1200°C, 1시간
H2
분위기
(b)
웨이퍼 끌어올림
[oi] = 12×10^17 (cm^-3)
슬라이싱
베벨링
랩핑
에칭
환원성 또는 불활성
분위기 고온처리
Ar, 1170°C, 4시간
다결정 Si 퇴적
(CVD 법)
Tpoly = 1.5 μm
미러 폴리싱
10
11
12
15

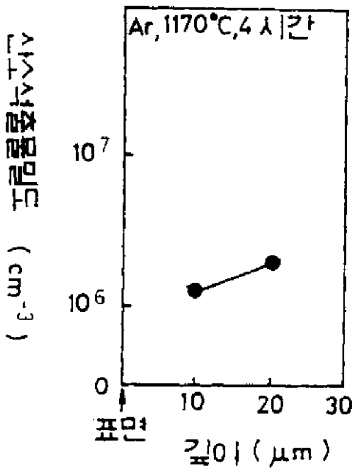
도면2


10^20
10^19
10^18
10^17
산소 농도 (개수/cm^3)
0
10
20
30
40
50
60
70
깊이 (μm)

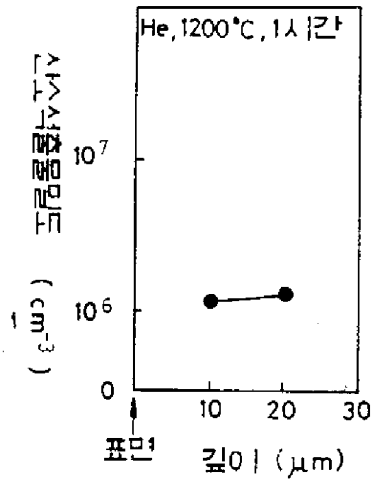
도면3


H2 ,1200°C,1시간
10^7
10^6
0
10
20
30
표면
깊이 (μm)
(cm^{-3})

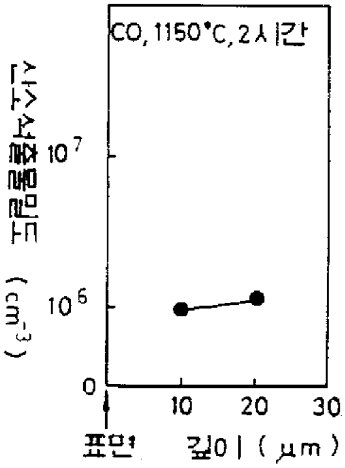
도면4


Ar,1170°C,4시간
10^7
10^6
0
10
20
30
표면
깊이 (μm)
(cm^{-3})

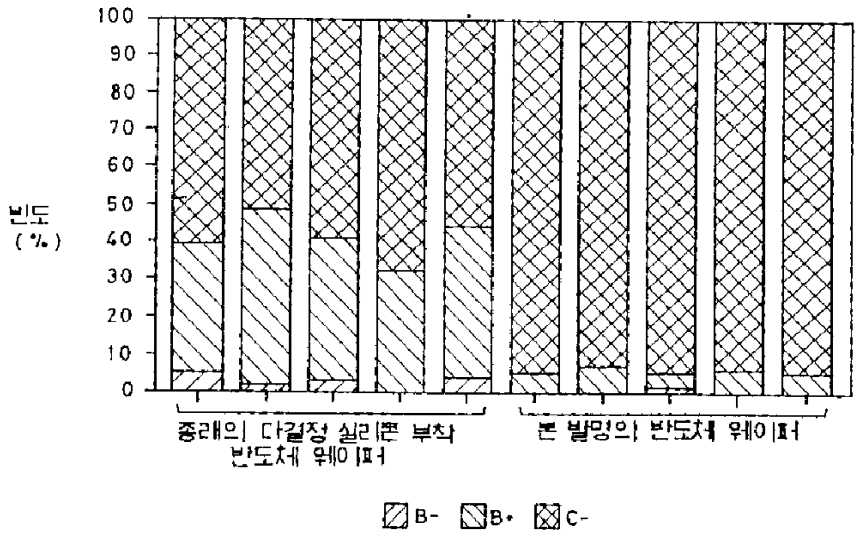
도면5


He,1200°C,1시간
10^7
10^6
0
10
20
30
표면
깊이 (μm)
(cm^{-3})

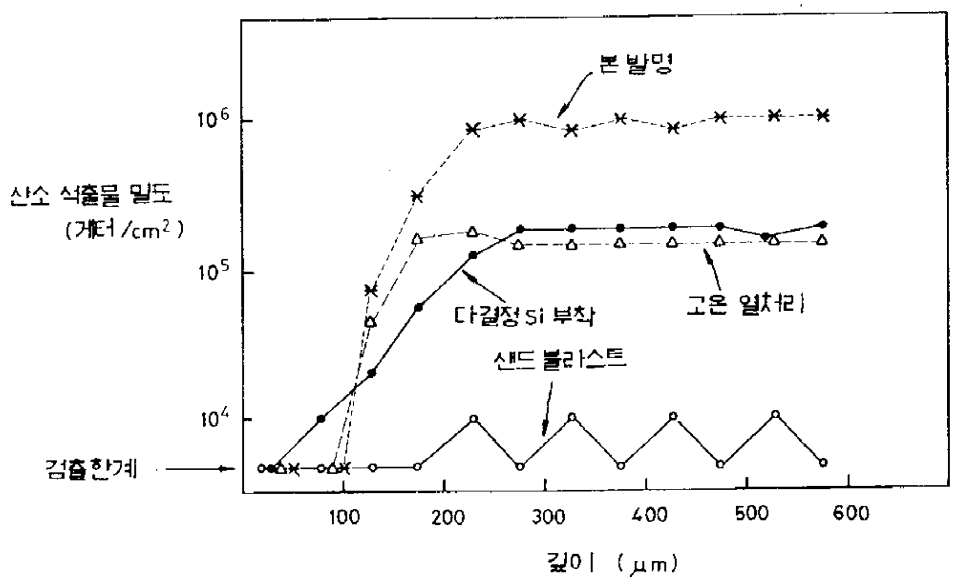
도면6


CO, 1150°C, 2시간
산소석출물밀도 (cm^{-3})
10^7
10^6
0
10
20
30
표면
깊이 (μm)

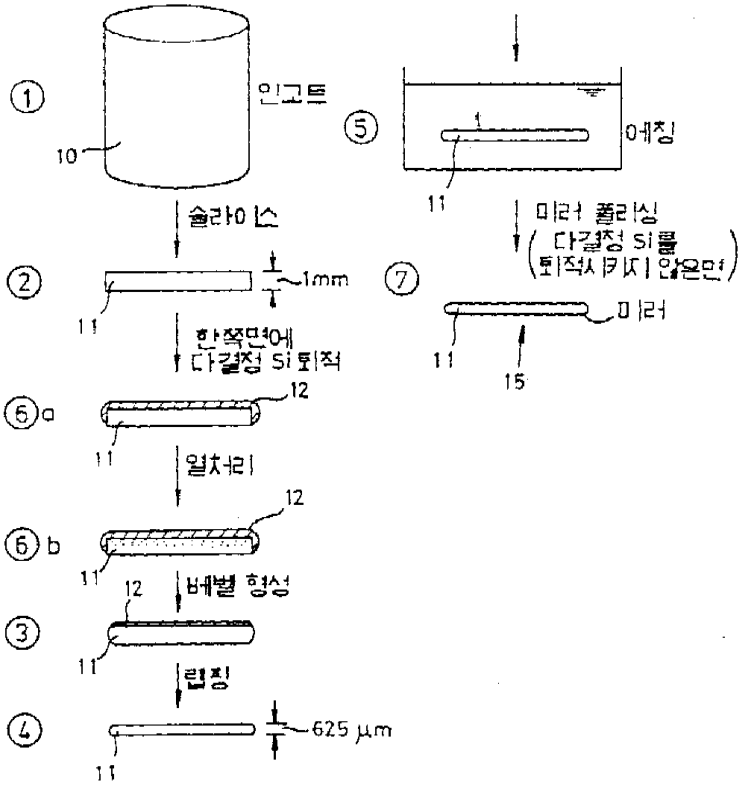
도면7


빈도 (%)
100
90
80
70
60
50
40
30
20
10
0
종래의 다결정 실리콘 부착 반도체 웨이퍼
본 발명의 반도체 웨이퍼
B-
B+
C-

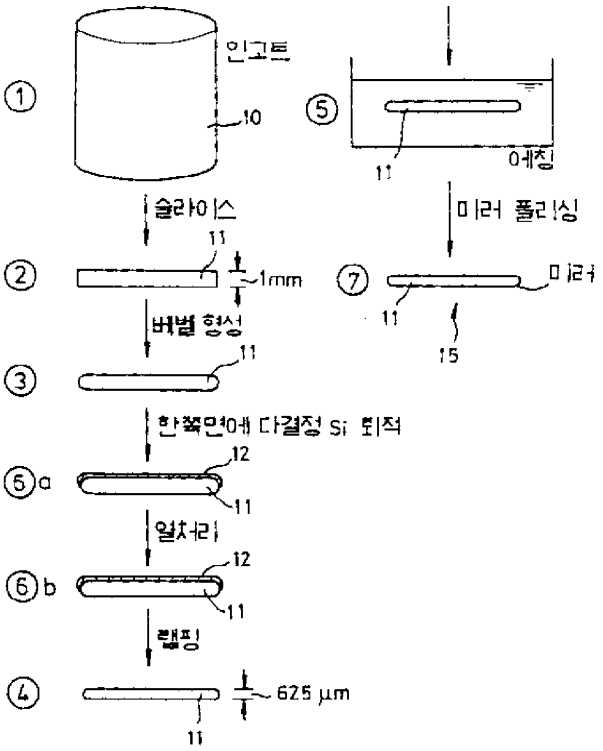
도면8


본 발명
10^6
산소 석출물 밀도
(개수/cm^2)
10^5
다결정 Si 부착
고온 열처리
샌드 블라스트
10^4
검출한계
100
200
300
400
500
600
깊이 (μm)

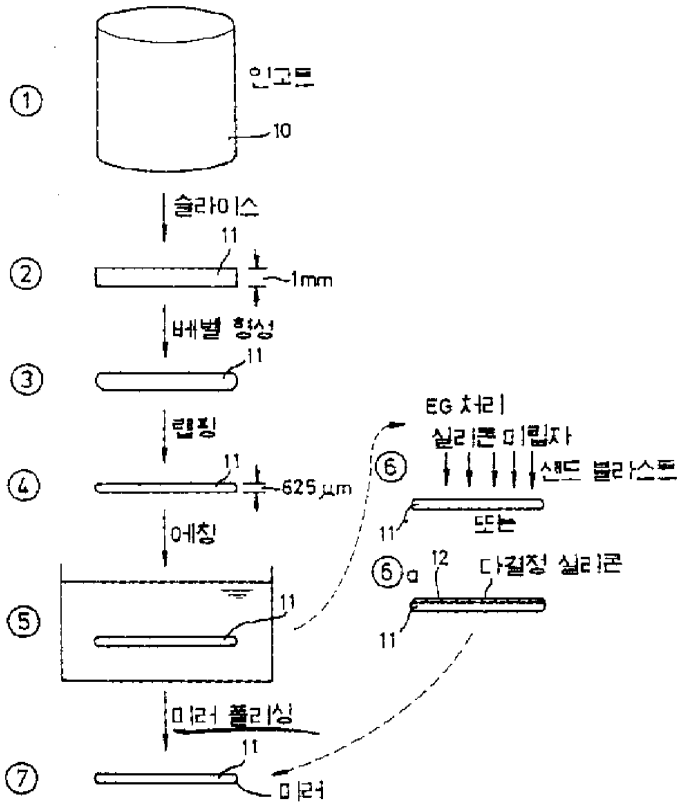
도면9


①
인고트
10
슬라이스
②
1mm
11
한쪽면에
다결정 Si 퇴적
⑥a
12
열처리
⑥b
베벨 형성
③
랩핑
④
625 μm
⑤
에칭
미러 폴리싱
(다결정 Si를
퇴적시키지 않은면)
⑦
미러
15

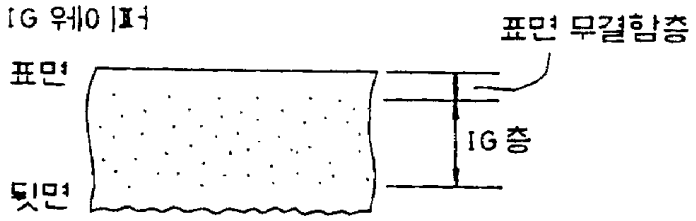
도면10


①
인고트
10
⑤
에칭
11
슬라이스
11
②
1mm
미러 폴리싱
⑦
미러
11
15
버벌 형성
③
11
한쪽면에 다결정 Si 퇴적
⑥a
12
11
열처리
⑥b
12
11
랩핑
④
625 μm
11

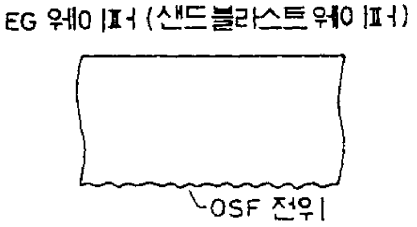
도면11


①
인고트
10
슬라이스
11
②
1mm
버벌 형성
③
11
랩핑
④
11
625 μm
에칭
⑤
11
미러 폴리싱
11
⑦
미러
EG 처리
실리콘 미립자
⑥
샌드 블라스트
또는
11
⑥a
12
다결정 실리콘
11

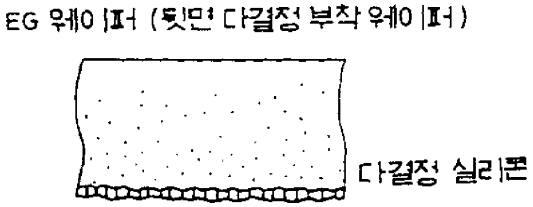
도면12a



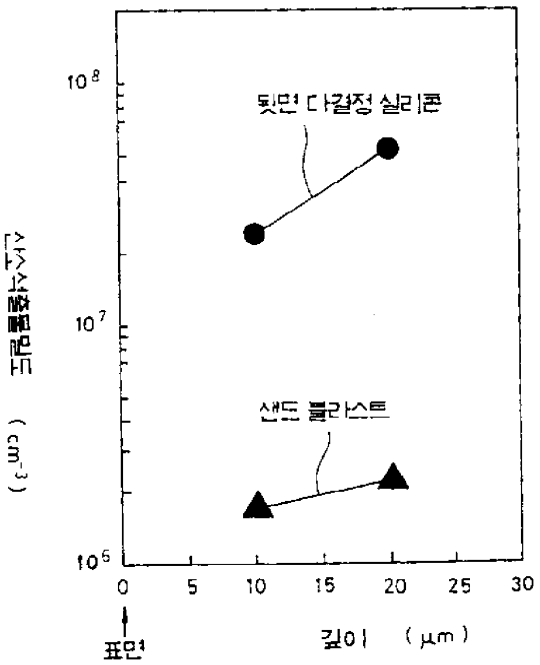
도면12b



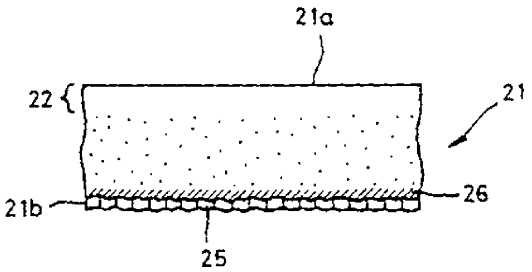
도면12c



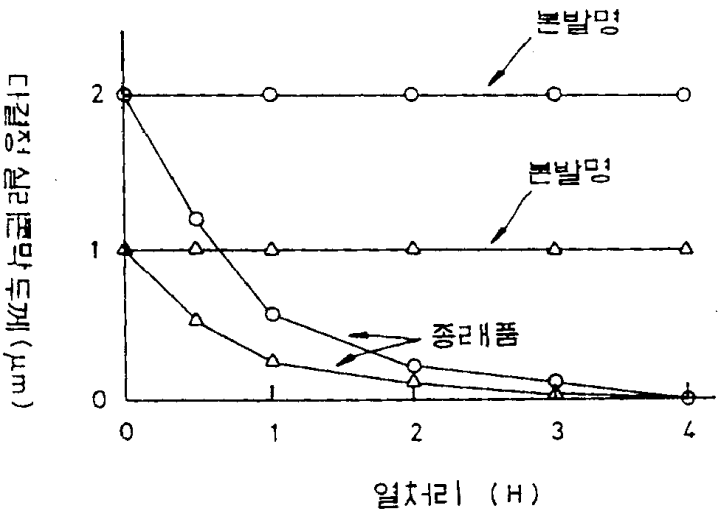
도면13



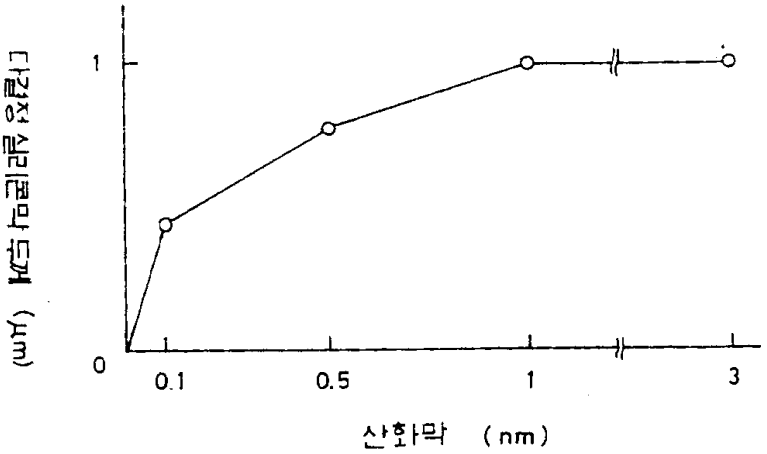
도면14



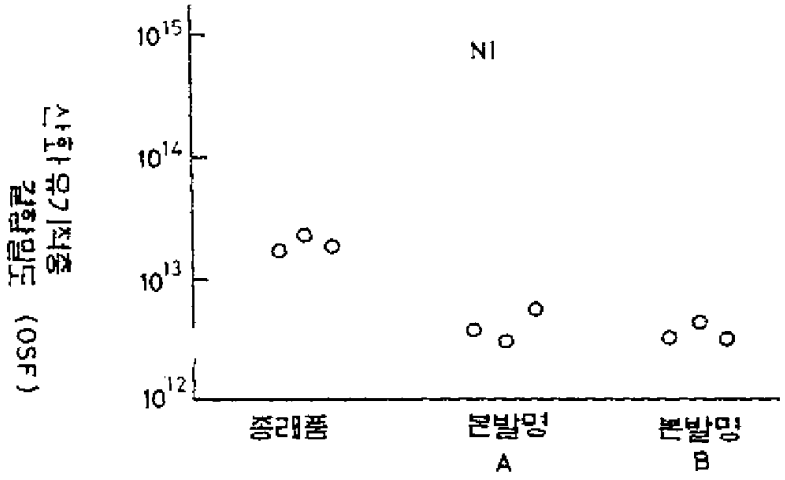
도면15



도면16



도면17



도면18

