

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4076706号  
(P4076706)

(45) 発行日 平成20年4月16日(2008.4.16)

(24) 登録日 平成20年2月8日(2008.2.8)

(51) Int.Cl.			F I		
GO1D	1/02	(2006.01)	GO1D	1/02	C
GO1D	3/028	(2006.01)	GO1D	3/04	F
GO1L	1/22	(2006.01)	GO1L	1/22	A
GO1G	23/37	(2006.01)	GO1G	23/37	C
HO3H	17/02	(2006.01)	HO3H	17/02	655Z

請求項の数 4 (全 15 頁)

(21) 出願番号 特願2000-151232 (P2000-151232)  
 (22) 出願日 平成12年5月23日(2000.5.23)  
 (65) 公開番号 特開2001-330468 (P2001-330468A)  
 (43) 公開日 平成13年11月30日(2001.11.30)  
 審査請求日 平成16年4月2日(2004.4.2)

(73) 特許権者 000001052  
 株式会社クボタ  
 大阪府大阪市浪速区敷津東一丁目2番47号  
 (74) 代理人 100104215  
 弁理士 大森 純一  
 (74) 代理人 100117330  
 弁理士 折居 章  
 (74) 代理人 100072350  
 弁理士 飯阪 泰雄  
 (72) 発明者 中本 昭  
 大阪府八尾市神武町2番23号 株式会社  
 クボタ 久宝寺工場内

最終頁に続く

(54) 【発明の名称】 デジタル計器の信号処理回路

(57) 【特許請求の範囲】

【請求項1】

アナログ信号をデジタル信号に変換するA/D変換部と、該A/D変換部にて形成されるデジタルデータを取り込んで、前記アナログ信号に含まれるノイズ成分を除去するデジタルフィルタとを有するデジタル計器の信号処理回路において、前記デジタルフィルタは、前記A/D変換部の出力データを積和演算処理する積和演算手段と、該積和演算手段の出力データを平均化する平均化手段と、これら積和演算手段と平均化手段との間に設けられるデータ選択手段とから成り、前記データ選択手段は、前記積和演算手段の出力データのうちの使用するデータを少なくとも1つおきに規則的にとびとびに前記平均化手段に入力させて、該平均化手段に前記積和演算手段の出力データが取り込まれるサンプリング周波数を小さくして、前記デジタルフィルタにおけるカットオフ周波数を小さくするようにしたことを特徴とするデジタル計器の信号処理回路。

【請求項2】

前記デジタル計器は荷重を検出してデジタル表示するデジタルロードセルであり、起歪体に貼付されたブリッジ回路より出力されるアナログ信号を前記A/D変換部にてデジタル信号に変換することを特徴とする請求項1に記載のデジタル計器の信号処理回路。

【請求項3】

前記ブリッジ回路には周期的なパルス状の電圧が印加されることを特徴とする請求項2に記載のデジタル計器の信号処理回路。

**【請求項 4】**

前記ブリッジ回路のアナログ出力信号を増幅する増幅器を設け、該増幅器をC-MOSトランジスタで構成し、このC-MOSトランジスタに発生するノイズを低減させるべくソースとドレイン間の面積を大としたことを特徴とする請求項3に記載のデジタル計器の信号処理回路。

**【発明の詳細な説明】****【0001】****【発明の属する技術分野】**

本発明は、例えばデジタルロードセルなどのデジタル計器に使用される信号処理回路に関し、更に詳しくはデジタルフィルタにおけるカットオフ周波数を小さくして低ノイズ化を図るようにしたデジタル計器の信号処理回路に関する。

10

**【0002】****【従来の技術】**

図14は、デジタル計器として、例えば特開平1-250028号公報に示されているデジタルロードセル1を示す。荷重検出部としての起歪体40(図15に示される)に信号処理回路基板16が、起歪体40に形成されたねじ孔41bにねじ41aを螺着させることにより取り付けられている。起歪体40の中央部の小径部40cの周面には4つのストレーンゲージ(図示では2つであるがこの裏面に更に2つある)42が貼付されている。これら4つのストレーンゲージ42は電氣的に接続されブリッジ回路2を構成している。起歪体40の両端面の荷重受け面40a、40bに荷重が作用すると小径部40cはひずみ、このひずみはストレーンゲージ42にて検出され、ひずみの大きさに応じた電圧がブリッジ回路2より出力される。

20

**【0003】**

図16は、従来のデジタルロードセルにおける信号処理回路のブロック図の一例を示す。

**【0004】**

ブリッジ回路2の出力側はプリアンプ3の入力側に接続され、プリアンプ3の出力側はローパスフィルタ5の入力側に接続され、ローパスフィルタ5の出力側はA/D変換部6の入力側に接続されている。A/D変換部6の出力側はデジタルフィルタ24の入力側に接続され、デジタルフィルタ24の出力側はCPU7に接続している。CPU7には、クロック信号発生器13より例えば4.19MHzのクロック信号が与えられる。また、CPU7は温度センサ10の出力側と接続され温度センサ10の検出信号が入力される。更に、CPU7は表示部9と接続され、CPU7によって各種演算処理された値は表示部9へと出力される。

30

**【0005】**

ブリッジ回路2及びA/D変換部6にはロードセル電圧印加回路8bが接続され、ブリッジ回路2に電圧を供給するとともにA/D変換部6に基準電圧を供給する。

**【0006】**

図17は、A/D変換部6の詳細な構成を示すブロック図である。最前段には差動増幅器21が配設され、その正極入力端子にはローパスフィルタ5からのアナログ信号が入力する。負極入力端子には1ビットD/A変換器25から例えば+3.8Vまたは0Vの電圧が入力する。差動増幅器21の出力側には積分器22が接続されている。積分器22の出力側は比較器23の正極入力端子に接続され、比較器23の負極入力端子にはロードセル電圧印加回路8bより基準電圧が供給される。比較器23の出力側はデジタルフィルタ24の入力側に接続されている。また、比較器23の出力信号は1ビットD/A変換器25を介して差動増幅器21の負極入力端子にフィードバックされる。

40

**【0007】**

次に、デジタルロードセル1の作用について説明する。

**【0008】**

デジタルロードセル1の電源としては、例えば6Vの電池が使用され、これからレギュレータ11によって3Vと5Vの2つの電圧が形成される。このうち3VはCPU7の電源

50



19} = 0.6 がアナログ入力値 0.6 V になる。

【0015】

以上の A/D 変換部 6 より出力された 1 ビットのデータ列はデジタルフィルタ 24 へと入力する。

【0016】

次に、図 19 を参照してデジタルフィルタ 24 での作用について説明する。

【0017】

図 19 は例えば FIR 型のデジタルフィルタの構成を示し、遅延素子（遅延メモリ）27 と、フィルタ係数  $a_1 \sim a_N$  の乗算器 29 と、加算器 28 とから成る。最新のデータは図の一番左側から入力し、一番左の乗算器 29 にてフィルタ係数  $a_1$  がかけられ加算器 28 へと送られる。そして、この 1 回の処理後、入力したデータは遅延素子 27 に送られ、そこで保持遅延されて 1 つ右の位置へ移動し、この位置に対応する乗算器 29 にてフィルタ係数  $a_2$  がかけられ加算器 28 へと送られる。そして、あらためて最新のデータを一番左の位置へ入力する。入力されたデータは 1 回の処理後、右の位置へ移動していき、各データにはそれぞれ対応するフィルタ係数をかけ合わせ、その結果を加算器 28 にて加算して、デジタルフィルタ 24 の出力となる（例えば 16 ビット）。フィルタ係数の個数や、どのような値にするかによって各種フィルタの特性は決められるが、デルタ・シグマ方式の A/D コンバータでは、ローパスフィルタとしてデジタルフィルタ 24 を用いている。すなわち、上述の積和演算処理によって原信号（アナログ信号）に含まれる高周波成分を取り除いてノイズカット効果を得るようにしている。

【0018】

そして、デジタルフィルタ 24 の出力は CPU 7 へと送られ、温度補正などの各種補正が行われて、表示部 9 に出力されデジタル表示される。

【0019】

【発明が解決しようとする課題】

ブリッジ回路 2 からのアナログ出力は微弱であり、よってノイズの影響を受けやすい。上述した従来例ではアナログローパスフィルタ 5 やデジタルローパスフィルタ 24 で高周波成分を除去するようにしているが、重量の計量に用いられるロードセルのような場合には静荷重の検出が行われるので、よってブリッジ回路 2 からのアナログ出力が一定となった、すなわち直流のときの値を被計量物の荷重として検出する。従って、高周波のノイズに限らず、より低い周波数のノイズでも混入すると精度良く安定した値が得られなくなってしまう。

【0020】

そこで、本発明は容易にデジタルフィルタにおけるノイズカット効果の向上を図れるデジタル計器の信号処理回路を提供することを課題とする。

【0021】

【課題を解決するための手段】

以上の課題を解決するにあたり、本発明では、デジタルフィルタは、A/D 変換部の出力信号を受け積和演算処理を行う積和演算手段と、この出力データを平均化する平均化手段と、これら積和演算手段と平均化手段との間に設けられるデータ選択手段とから成る。そして、データ選択手段における選択により、積和演算手段の出力データのうちの使用するデータを少なくとも 1 つおきに規則的にとびとびに平均化手段に入力させる。すなわち、データ列の間を少なくとも 1 つ以上抜いて平均化手段に取り込ませることによりサンプリング周波数を小さくして、これと比例関係にあるデジタルフィルタのカットオフ周波数を小さくするようにしている。これにより、平均化手段に取り込むべきデータ列の間を抜いて選択的に取り込むという簡単な操作で、実質的にサンプリング周波数を小さくでき、よってカットオフ周波数も小さくしてノイズカット効果を高められる。

【0022】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して説明する。

## 【 0 0 2 3 】

本実施の形態では、従来と同様、デジタル計器として図 1 4 に示すデジタルロードセルに発明を適用して説明する。図 1 は、その信号処理回路の構成を示すブロック図であり、図 2 はその要部のブロック図である。従来と同じ構成部分には同一の符号を付しその詳細な説明は省略する。

## 【 0 0 2 4 】

ブリッジ回路 2 の出力側はプリアンプ ( 増幅器 ) 3 の入力側に接続され、プリアンプ 3 の出力側はスイッチ回路 1 7 の入力側に接続され、スイッチ回路 1 7 の出力側はサンプル・ホールド回路 4 の入力側に接続され、サンプル・ホールド回路 4 の出力側はローパスフィルタ 5 の入力側に接続され、ローパスフィルタ 5 の出力側は A / D 変換部 6 の入力側に接続されている。

10

## 【 0 0 2 5 】

A / D 変換部 6 は、図 2 に示されるように従来と同じ構成であり、ローパスフィルタ 5 の出力と 1 ビット D / A 変換器 2 5 の出力  $V_3$  とを比較しその差を増幅する差動増幅器 2 1、差動増幅器 2 1 の出力  $V_1$  を 1 サイクル前の出力値  $V_2$  に加算して新たな  $V_2$  として出力する積分器 2 2、積分器 2 2 の出力  $V_2$  と基準電圧とを比較し、その比較結果により「 0 」か「 1 」かの 1 ビット信号を出力する比較器 2 3、比較器 2 3 の 1 ビット信号を受け「 0 」か「 1 」かに応じて 0 V か + 3 . 8 V のアナログ電圧を差動増幅器 2 1 にフィードバックする 1 ビット D / A 変換器 2 5 とから構成される。

## 【 0 0 2 6 】

A / D 変換部 6 の出力側、すなわち比較器 2 3 の出力側にはデジタルフィルタ 2 6 が接続されている。デジタルフィルタ 2 6 は、A / D 変換部 6 の出力信号を受け積和演算処理を行う、上述した図 1 9 に示す構成の積和演算手段 2 6 a と、この出力の平均をとる平均化手段 2 6 c と、これら積和演算手段 2 6 a と平均化手段 2 6 c との間に設けられたデータ選択手段 2 6 b とから成る。

20

## 【 0 0 2 7 】

デジタルフィルタ 2 6 の平均化手段 2 6 c は C P U 7 に接続され、平均化手段 2 6 c の出力は C P U 7 にて温度補正などの各種補正が行われ、表示部 9 に伝送されデジタル表示される。C P U 7 には、クロック信号発生器 1 3 より例えば 4 . 1 9 M H z のクロック信号が与えられる。

30

## 【 0 0 2 8 】

ブリッジ回路 2 には、これに電圧を供給するロードセル電圧印加回路 8 b が接続され、このロードセル電圧印加回路 8 b の入力側にはロジック回路 8 a の出力側が接続されている。更にロジック回路 8 a の入力側には、例えば 5 0 0 H z のクロック信号発生器 1 2 が接続されている。

## 【 0 0 2 9 】

また、ロードセル電圧印加回路 8 b の出力側はサンプル・ホールド回路 8 c、ローパスフィルタ 8 d を介して A / D 変換部 6 にも接続されている。これにより、ロードセル電圧印加回路 8 b から A / D 変換部 6 に基準電圧が与えられる。

## 【 0 0 3 0 】

次に、本実施の形態によるデジタルロードセルの作用について説明する。

40

## 【 0 0 3 1 】

デジタルロードセルの電源としては、例えば 6 V の電池が使用され、これからレギュレータ 1 1 によって 3 V と 5 V の 2 つの電源電圧が形成される。このうち、3 V は C P U 7 の電源電圧として用いられる。5 V はロードセル電圧印加回路 8 b に供給され、ここで更に例えば 3 . 8 V の電圧が形成される。ブリッジ回路 2 には、例えば特開昭 6 2 - 2 6 6 4 6 9 号公報に示されているように間欠的に電圧が印加される。これにより、ブリッジ回路 2 にて消費される電力を小さくすることができる。すなわち、ロードセル電圧印加回路 8 b はスイッチ回路であり、ロジック回路 8 a によってタイミングをとられて例えば 5 0 0 H z の周波数で、図 3 A に示されるように正負両極性のパルス状で 3 . 8 V の電圧がブリ

50

ッジ回路 2 に印加される。図 3 A において T は 1 周期を示し、 $1 / T = 500 \text{ Hz}$  である。

【 0 0 3 2 】

上述した起歪体 4 0 に荷重が加わることによりブリッジ回路 2 の平衡はくずれ、その荷重に比例した電圧がプリアンプ 3 へと出力される。このアナログ出力信号は、ブリッジ回路 2 に印加される電圧と同様、 $500 \text{ Hz}$  の周波数でパルス状に出力されプリアンプ 3 にて増幅される。図 3 B はそのプリアンプ 3 の出力信号を示す。

【 0 0 3 3 】

プリアンプ 3 の出力信号はスイッチ回路 1 7 に入力する。スイッチ回路 1 7 では図 3 C に示されるように同一の極性をもつパルス列に変えられる。

【 0 0 3 4 】

スイッチ回路 1 7 の出力信号はサンプル・ホールド回路 4 に入力される。サンプル・ホールド回路 4 においては、パルス状の信号の出力レベルを次のパルスの立ち上がりまで保持して図 3 D に示されるように連続的な信号にする。

【 0 0 3 5 】

そして、この連続的なアナログ信号はローパスフィルタ 5 にて平滑化されて ( 図 3 E )、A / D 変換部 6 へと入力される。

【 0 0 3 6 】

ロードセル電圧印加回路 8 b からの  $3.8 \text{ V}$  の間欠的な電圧は、サンプル・ホールド回路 8 c にも印加されており、上述したサンプル・ホールド回路 4 での作用と同様に連続的なアナログ信号とされ、ローパスフィルタ 8 d にて平滑化され、A / D 変換部 6 に基準電圧として供給される。これにより、ロードセル電圧印加回路 8 b において形成される電圧に変動が生じて、A / D 変換部 6 では、ブリッジ回路 2 側から入力する信号と、サンプル・ホールド回路 8 c 及びローパスフィルタ 8 d を介して入力する信号とにより変動分が打ち消され、電圧変動の影響を相殺できる。

【 0 0 3 7 】

A / D 変換部 6 においては、従来と同様、最後段に配設された比較器 2 3 より 1 ビットのデジタル信号が所定のクロック周期で出力される。そして、デジタルフィルタ 2 6 の積和演算手段 2 6 a に取り込まれ積和演算処理され、例えば 1 6 ビットのデータが出力される。そして、出力された 1 6 ビットのデータは例えば 1 6 個ずつの平均を平均化手段 2 6 c にて演算される。このとき、積和演算手段 2 6 a より出力される全てのデータ列を平均化手段 2 6 c に入力させるのではなく、データ選択手段 ( これは CPU 7 からの制御信号を受けて動作するスイッチ回路 ) 2 6 b により、少なくとも 1 つおきに平均化手段 2 6 c へと入力させる。

【 0 0 3 8 】

すなわち、積和演算手段 2 6 a より出力されるデータを全て順次、平均化手段 2 6 c に送り込むのではなく、例えば 1 つ入力させたら次のデータをとばして 2 つ後のデータを入力させる。あるいは間を抜かずデータの数は 1 つに限らず 2 つ、3 つ、4 つ・・・というようにデータ列をとびとびに入力させていく。そして、平均化手段 2 6 c ではそれら取り込まれたデータのみを用いて平均化を行う。取り込むデータ列間の間を抜くことにより、平均化手段 2 6 c にデータが取り込まれるサンプリング周期が大きくなり、すなわちサンプリング周波数が小さくなり、これと比例関係にあるカットオフ周波数が小さくなる。例えば、1 つおきにデータを取り込むとカットオフ周波数は  $1 / 2$  に、2 つおきにするとカットオフ周波数は  $1 / 3$  に、3 つおきにするとカットオフ周波数は  $1 / 4$  というように小さくなっていく。従って、起歪体に一定の静荷重が作用してブリッジ回路 2 のアナログ出力信号が一定 ( 直流 ) であるべき状態においてノイズが混入している場合には、より低い周波数成分まで除去できるようになるのでデジタルフィルタ 2 6 のローパスフィルタとしての性能が向上することになる。

【 0 0 3 9 】

次に、平均化手段 2 6 c にて、例えば 2 つずつのデータの移動平均を演算処理していく例

10

20

30

40

50

を用いて上記の作用について説明する。

【0040】

図4はアナログ信号の時間経過による出力の変移を示すグラフである。図5は、図4に示すアナログ信号を量子化したグラフである。図6は、図5に示す量子化データ列の間を抜くことなく順次平均化手段26cに入力させて、1番目のデータと2番目のデータ、2番目のデータと3番目のデータ、・・・というように2個ずつの移動平均演算を行ったときのグラフである。図7は、図5に示す量子化データを1つおきに平均化手段26cに入力させて、1番目のデータと3番目のデータ、3番目のデータと5番目のデータ、・・・というように1つおきの2個の移動平均演算を行ったときのグラフである。1つおきの移動平均をとっていったときのサンプリング周期 $2t$ は、全てのデータについて順次移動平均をとっていったときのサンプリング周期 $t$ の2倍となる。

10

【0041】

順次連続的に2個ずつの移動平均をとっていった場合は、図10Aに示すように、積和演算手段26aよりデータが周期 $t$ で出力されており、例えば1番目のデータが平均化手段26cに入力すると、この $t$ 秒後に次の2番目のデータが入力し、1番目と2番目のデータの平均が演算される。本実施の形態では、図10Bに示すように、1番目のデータが入力後、2番目のデータは入力させないで、3番目のデータを次に入力させる。従って、平均化手段26cにデータが取り込まれるサンプリング周期は $2t$ となり図10Aに示す従来の2倍となり、よってサンプリング周波数は $1/2$ 小さくなる。従って、平均化手段26cにおいてサンプリング周波数と比例関係にあるカットオフ周波数も $1/2$ 小さくなる。

20

【0042】

このことは、図8及び図9を参照することでも理解できる。図8は、図4のアナログ信号の一定値部分にノイズが混入している状態を示し、図9はその部分を量子化したグラフである。図9の量子化データのうちで順次隣接する2個のデータの移動平均をとっていくよりも、データ列の間を抜いて例えば8番目のデータと15番目のデータの平均をとった方がアナログ信号の変動分をより平滑化できる。

【0043】

以上のように、デジタルフィルタ26における平均化手段26cに入力するデータを選択的にするという簡単な方法でカットオフ周波数を小さくすることができ、ノイズカット効果を高めることができる。従って、信頼性の高い計量が行える。

30

【0044】

また、本実施の形態ではブリッジ回路2での消費電力を低減するために、例えば500Hzの周波数で間欠的に電圧が印加されている。更に、プリアンプ(オペアンプ)3を構成するトランジスタとして、バイポーラトランジスタに比べて低消費電力なC-MOSトランジスタを用いている。

【0045】

図11はC-MOSトランジスタとバイポーラトランジスタそれぞれについて、動作される周波数と発生するノイズレベルとの関係を示すグラフである。これによると、500Hzにて動作されるC-MOSトランジスタは同じ周波数にて動作されるバイポーラトランジスタに比べて発生するノイズのレベルが大きくなっている。また、ある周波数以上ではC-MOSトランジスタとバイポーラトランジスタのノイズレベルはほぼ同レベルとなるが、この周波数域での使用は動作が不安定になってしまう。

40

【0046】

そこで、本実施の形態ではC-MOSトランジスタにおけるソースとドレイン間の面積を大きくすることにより、発生するノイズを低減させるようにした。図13は、例えばn型のシリコン基板31上に形成されたC-MOS回路の平面図を示す。n型のシリコン基板31上にp型不純物を拡散させることによってソース34とドレイン35を形成したpMOS37と、n型のシリコン基板31上にp型不純物を拡散させてp-ウェル36を形成した後、このp-ウェル36にn型の不純物を拡散させてソース34とドレイン35を形

50

成した nMOS 38 とから C-MOS 回路は構成される。pMOS 37 と nMOS 38 とはアルミニウム配線 32 によって接続されている。また、ゲートはシリコン基板 31 上に酸化シリコン及びこの上にポリシリコン 33 を積層して形成されている。

【0047】

図 12 に示されるように、C-MOS トランジスタにおいてそのソースとドレイン間の面積とノイズレベルとの関係は反比例にあり、本実施の形態では、図 13 において符号 S で示されるソース 34 とドレイン 35 間の平面的に見た面積を、標準的なサイズの C-MOS トランジスタに比べて、約 400 倍の大きさとしている。これにより、500 Hz で動作させてもノイズレベルをバイポーラトランジスタを用いた場合とほぼ同レベルとすることができ、低消費電力化と低ノイズ化の両方の効果が得られる。

10

【0048】

以上、本発明の実施の形態について説明したが、勿論、本発明はこれに限定されることなく、本発明の技術的思想に基づいて種々の変形が可能である。

【0049】

デジタルロードセルに限らず、例えばデジタル温度計やデジタル電圧計などの他のデジタル計器の信号処理回路にも本発明は適用可能である。特に、直流の微小電圧を計測するデジタル計器に有効となる。

【0050】

また、以上の実施の形態では、ブリッジ回路 2 へは、例えば 500 Hz の周波数で間欠的に電圧を印加したが、連続的な電圧を印加させた場合にも、デジタルフィルタ 26 でのカットオフ周波数を小さくするという効果は得られる。また、プリアンプ 3 を C-MOS トランジスタではなくバイポーラトランジスタで構成しても同様の効果が得られる。

20

【0051】

また、上記実施の形態ではデルタ・シグマ変調方式の A/D コンバータを用いたが、これに限らず、2重積分型や逐次比較型の A/D コンバータを用いてもよい。

【0052】

【発明の効果】

以上述べたように本発明によれば、デジタルフィルタにおける平均化手段に取り込むデータ列を選択して、少なくとも 1 つおきに取り込むという簡単な操作にて、サンプリング周波数を小さくして、よってデジタルフィルタのカットオフ周波数を小さくできる。これにより、安定的な直流電圧が検出されている状態において、より低い周波数成分まで除去でき、精度の良い安定的な検出出力が得られる。

30

【図面の簡単な説明】

【図 1】本発明の実施の形態によるデジタル計器の信号処理回路の構成を示すブロック図である。

【図 2】図 1 における要部のブロック図である。

【図 3】図 1 における各部の入出力波形図であり、A はブリッジ回路 2 への印加電圧、B はプリアンプ 3 の出力波形、C はスイッチ回路 17 の出力波形、D はサンプル・ホールド回路 4 の出力波形、E はローパスフィルタ 5 の出力波形を示す。

【図 4】アナログ出力信号の時間経過を示すグラフである。

40

【図 5】図 4 のアナログ信号を量子化したグラフである。

【図 6】図 5 の量子化データを順に 2 個ずつの移動平均をとっていったグラフである。

【図 7】図 5 の量子化データを 1 つおきに 2 個ずつの移動平均をとっていったグラフである。

【図 8】図 4 のアナログ信号における一定値部分にノイズが混入したグラフである。

【図 9】図 8 におけるノイズ混入部分を量子化したグラフである。

【図 10】本発明によるデジタルフィルタのサンプリング周波数が小さくなる作用を説明するための模式図であり、A は入力データ列の間をとばさない全てのデータ列の取り込みをした場合、B は 1 つおきのデータの取り込みをした場合を示す。

【図 11】C-MOS トランジスタとバイポーラトランジスタそれぞれについて、取り扱

50

う信号の周波数とノイズレベルとの関係を示すグラフである。

【図 1 2】C - MOS トランジスタにおけるソースとドレイン間の面積とノイズレベルとの関係を示すグラフである。

【図 1 3】シリコン基板上につくられた C - MOS 回路の平面図である。

【図 1 4】デジタルロードセルの側面図である。

【図 1 5】ストレインゲージが貼付された起歪体の側面図である。

【図 1 6】従来のデジタルロードセルの信号処理回路の構成を示すブロック図である。

【図 1 7】図 1 6 における要部のブロック図である。

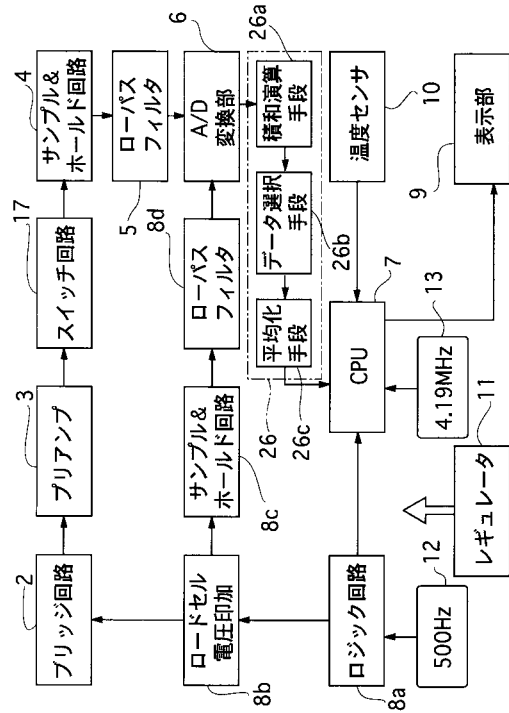
【図 1 8】デルタ・シグマ方式 A / D コンバータの作用を説明するための表であり、図 2 及び図 1 6 における差動増幅器 2 1 の出力 V 1、積分器 2 2 の出力 V 2、1 ビット D / A 変換器 2 5 の出力 V 3 のそれぞれのクロックサイクルごとの値の一例を示す。 10

【図 1 9】デジタルフィルタの構成を示すブロック図である。

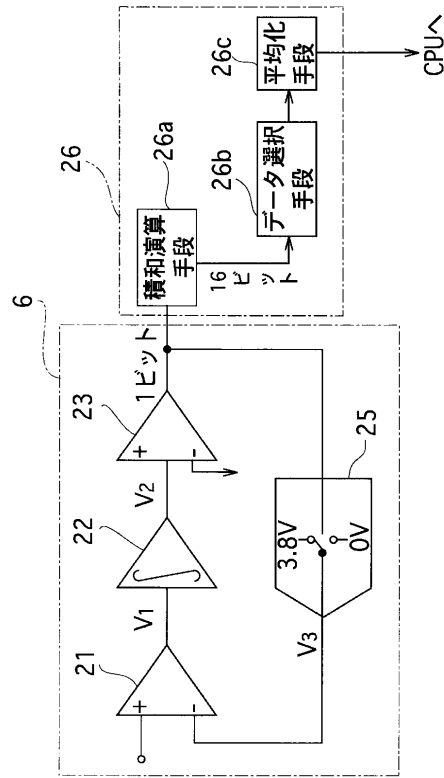
【符号の説明】

1	デジタルロードセル	
2	ブリッジ回路	
3	増幅器	
6	A / D コンバータ	
2 1	差動増幅器	
2 2	積分器	
2 3	比較器	20
2 5	1 ビット D / A コンバータ	
2 6	デジタルフィルタ	
2 6 a	積和演算処理手段	
2 6 b	データ選択手段	
2 6 c	平均化手段	
3 4	ソース	
3 5	ドレイン	
4 0	起歪体	
4 2	ストレインゲージ	
S	ソース・ドレイン間面積	30

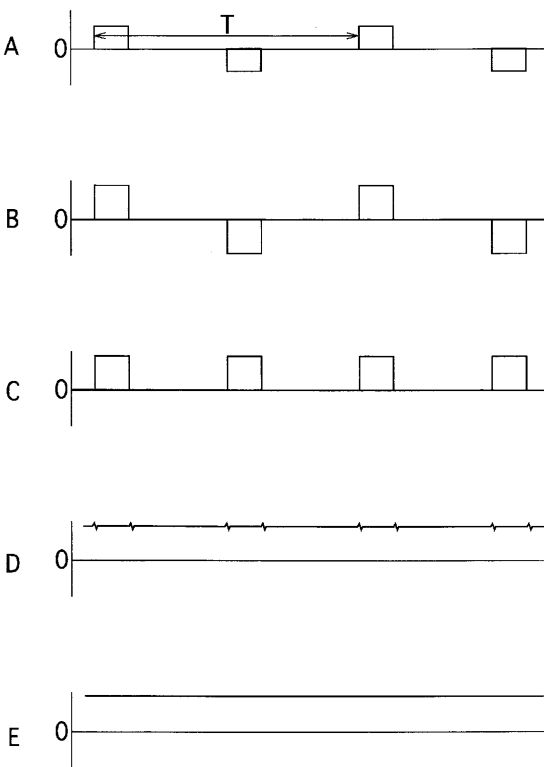
【図1】



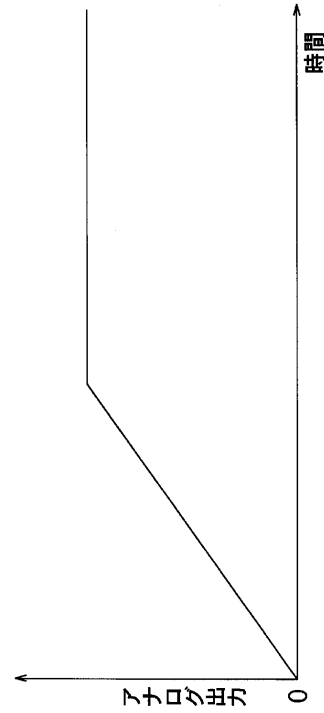
【図2】



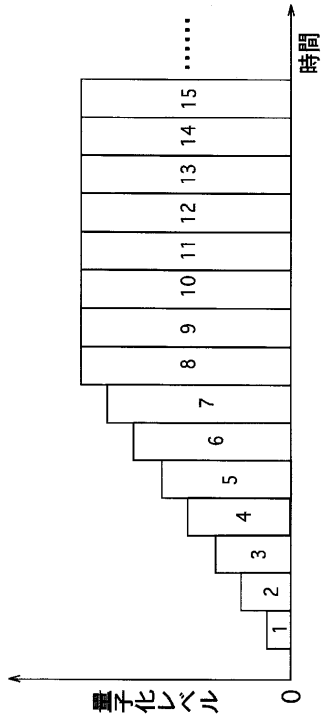
【図3】



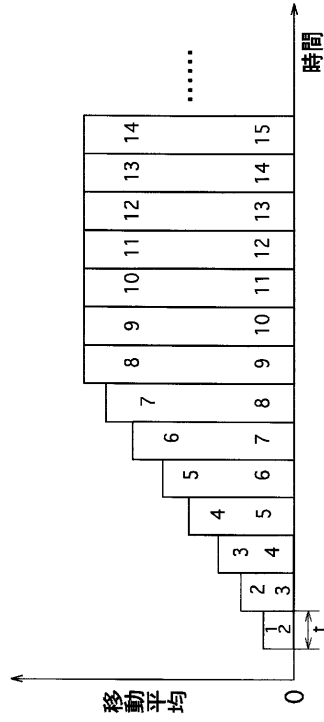
【図4】



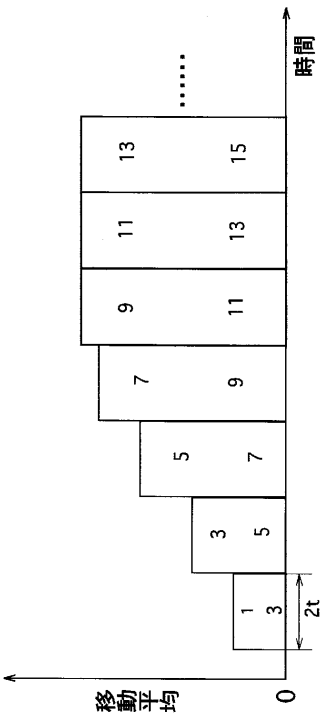
【図5】



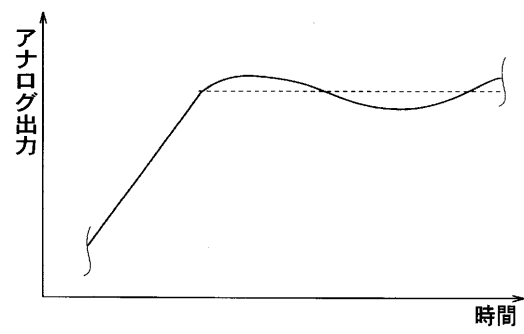
【図6】



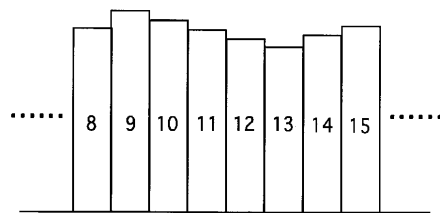
【図7】



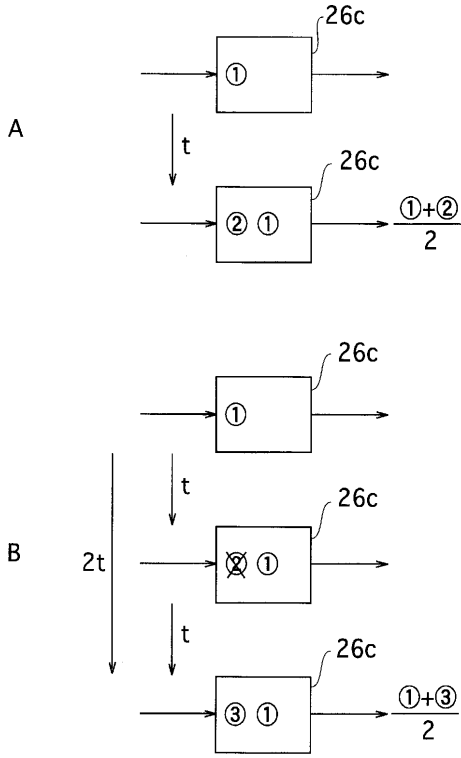
【図8】



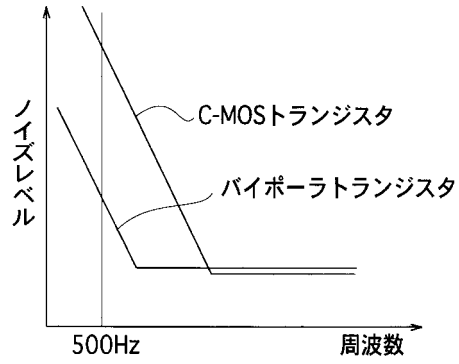
【図9】



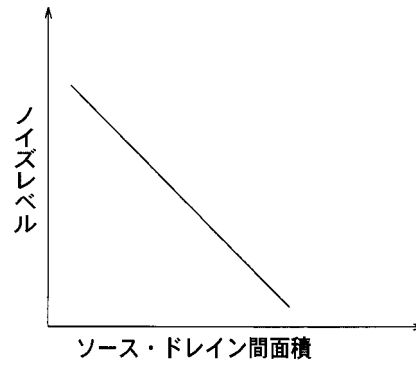
【図10】



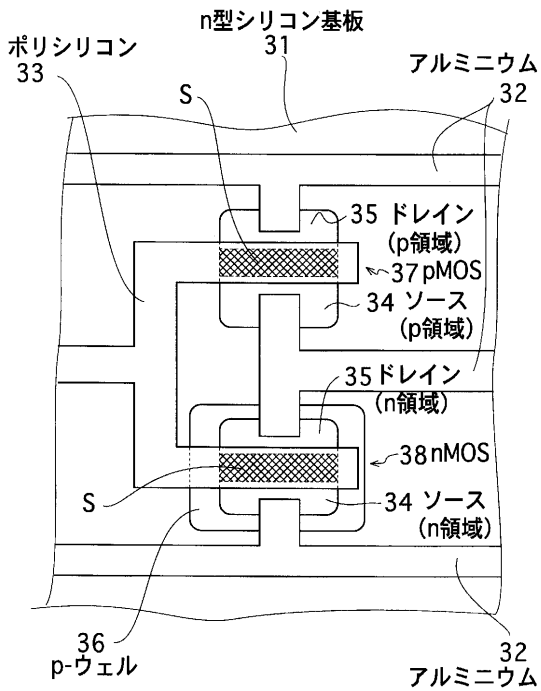
【図11】



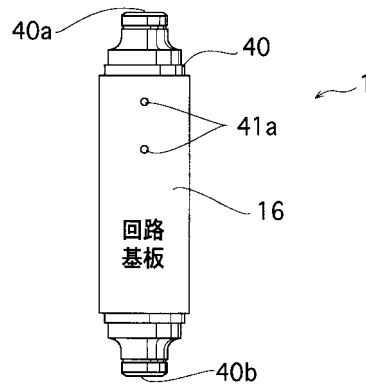
【図12】



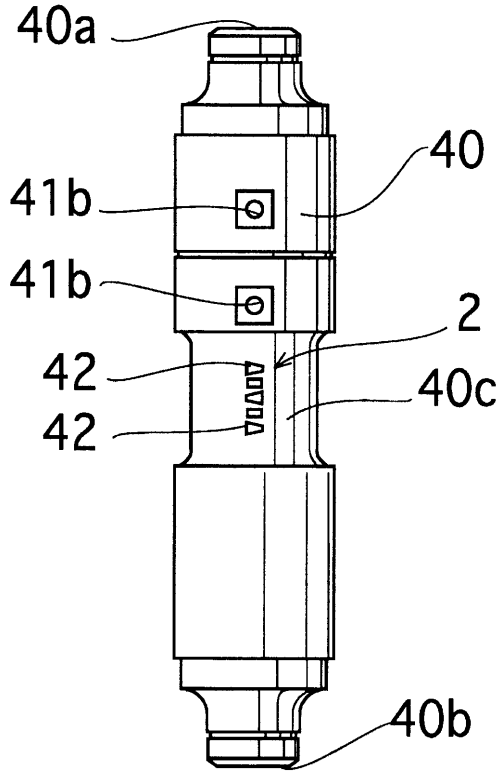
【図13】



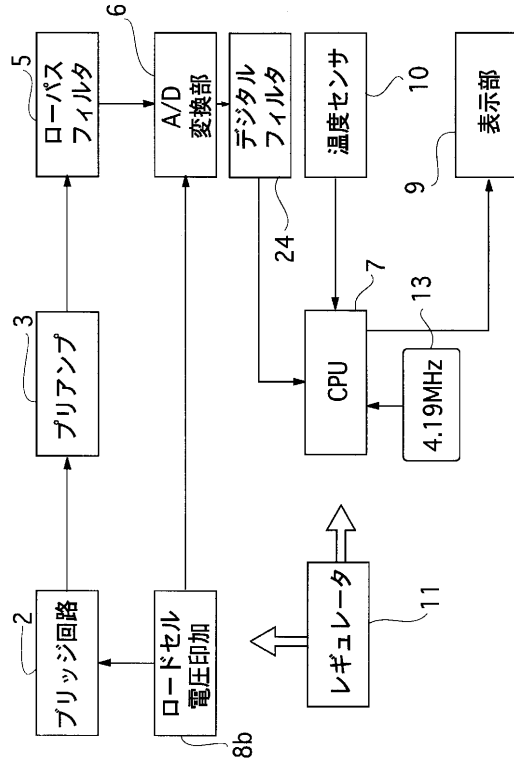
【図14】



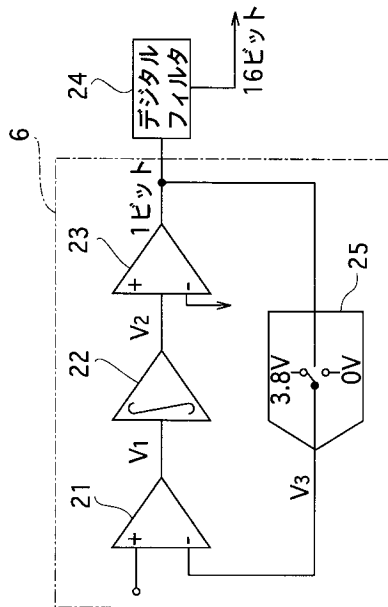
【図15】



【図16】



【図17】

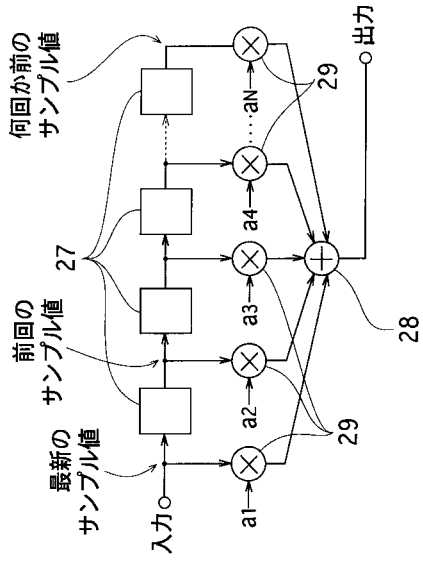


【図18】

クロックサイクル	V <sub>1</sub>	V <sub>2</sub>	V <sub>3</sub>
0	0	0	0
1	0.6	0.6	0
2	0.6	1.2	0
3	0.6	1.8	0
4	0.6	2.4	0
5	0.6	3	0
6	0.6	3.6	0
7	0.6	4.2	3.8
8	-3.2	1	0
9	0.6	1.6	0
10	0.6	2.2	0
11	0.6	2.8	0
12	0.6	3.4	0
13	0.6	4	3.8
14	-3.2	0.8	0
15	0.6	1.4	0
16	0.6	2	0
17	0.6	2.6	0
18	0.6	3.2	0
19	0.6	3.8	3.8
20	-3.2	0.6	0
21	0.6	1.2	0

0.6

【 図 1 9 】



---

フロントページの続き

- (72)発明者 島田 好昭  
大阪府八尾市神武町2番23号 株式会社クボタ 久宝寺工場内
- (72)発明者 瀬川 浩一  
大阪府八尾市神武町2番23号 株式会社クボタ 久宝寺工場内
- (72)発明者 成山 桂一  
大阪府八尾市神武町2番23号 株式会社クボタ 久宝寺工場内

審査官 榮永 雅夫

- (56)参考文献 特開昭57-079600(JP,A)  
実公昭59-014737(JP,Y1)  
特開昭60-211318(JP,A)  
特開昭62-280625(JP,A)  
特開昭55-162019(JP,A)

(58)調査した分野(Int.Cl., DB名)

G01D 1/00 - 02  
G01D 3/028  
G01G 3/14 - 147  
G01G 23/36 - 37  
G01L 1/22  
H03H 17/02