

①9 RÉPUBLIQUE FRANÇAISE  
—  
**INSTITUT NATIONAL  
DE LA PROPRIÉTÉ INDUSTRIELLE**  
—  
COURBEVOIE  
—

①1 N° de publication :  
(à n'utiliser que pour les  
commandes de reproduction)

**3 097 367**

②1 N° d'enregistrement national : **19 06449**

⑤1 Int Cl<sup>8</sup> : **H 01 L 21/335 (2019.01)**

⑫

**BREVET D'INVENTION**

**B1**

⑤4 PROCÉDE DE REALISATION DE TRANSISTORS MIS EN ŒUVRE A FAIBLE TEMPERATURE.

②2 Date de dépôt : 17.06.19.

③0 Priorité :

④3 Date de mise à la disposition du public de la demande : 18.12.20 Bulletin 20/51.

④5 Date de la mise à disposition du public du brevet d'invention : 02.07.21 Bulletin 21/26.

⑤6 Liste des documents cités dans le rapport de recherche :

*Se reporter à la fin du présent fascicule*

⑥0 Références à d'autres documents nationaux apparentés :

Demande(s) d'extension :

⑦1 Demandeur(s) : COMMISSARIAT A L'ENERGIE ATOMIQUE ET AUX ENERGIES ALTERNATIVES Etablissement public — FR.

⑦2 Inventeur(s) : COLINGE Jean-Pierre.

⑦3 Titulaire(s) : COMMISSARIAT A L'ENERGIE ATOMIQUE ET AUX ENERGIES ALTERNATIVES Etablissement public.

⑦4 Mandataire(s) : BREVALEX.

**FR 3 097 367 - B1**



## **Description**

### **Titre de l'invention : PROCEDE DE REALISATION DE TRANSISTORS MIS EN ŒUVRE A FAIBLE TEMPERATURE**

#### **Domaine technique**

[0001] L'invention concerne le domaine de la microélectronique, et plus particulièrement la réalisation de transistors à faible température, c'est-à-dire sans la mise en œuvre de recuit ou de traitement thermique. L'invention s'applique avantageusement pour la réalisation d'un ou plusieurs niveaux supérieurs de composants électroniques pour des circuits intégrés 3D monolithiques (c'est-à-dire formant, à l'issue de la réalisation des composants, un seul bloc intégré), ou plus généralement la réalisation de transistors sur tout support ne pouvant pas être exposé à des températures importantes.

#### **Technique antérieure**

[0002] La réalisation de transistors MOSFET (« Metal Oxide Semiconductor Field Effect Transistor » en anglais, ou transistor à effet de champ à structure métal-oxyde-semi-conducteur), même du type sans jonction, ou « junctionless » en anglais, implique nécessairement l'exposition du support sur lequel les transistors sont réalisés à des températures importantes du fait que l'oxyde de grille de ces transistors doit être soumis, lors de la croissance du matériau ou après son dépôt, à un recuit mis en œuvre à une température d'au moins 600°C pour avoir des propriétés diélectriques satisfaisantes et fiables. Cela pose un problème lorsque le support sur lequel les transistors sont réalisés comporte des éléments ou des matériaux ne devant pas être exposés à des températures importantes, comme par exemple des composants électroniques d'un niveau inférieur sur lesquels se trouvent des couches d'interconnexions électriques qui ne doivent pas être exposées à des températures supérieures à environ 450°C ou lorsque le support correspond à un substrat comprenant au moins un matériau polymère qui se dégrade à des températures par exemple supérieures à environ 100°C.

#### **Exposé de l'invention**

[0003] Un but de la présente invention est de proposer un procédé de réalisation de transistors qui soit compatible avec une réalisation sur un support ne devant pas être exposées à des températures importantes, par exemple supérieures à environ 100°C.

[0004] Pour cela, la présente invention propose un procédé de réalisation d'au moins un premier transistor JFET, comprenant au moins les étapes suivantes :

[0005] a) réalisation, sur un premier substrat, d'un empilement formé d'au moins une première couche comprenant un premier semi-conducteur dopé selon un premier type de conductivité et d'une deuxième couche comprenant un deuxième semi-conducteur dopé selon un deuxième type de conductivité opposé au premier type de conductivité,

- la première couche étant disposée entre le premier substrat et la deuxième couche, puis
- [0006] b) solidarisation de l'empilement contre un deuxième substrat tel que l'empilement soit disposé entre le premier substrat et le deuxième substrat, puis
- [0007] c) retrait du premier substrat, puis
- [0008] d) gravure de la première couche telle qu'au moins une portion restante de la première couche forme une grille avant du premier transistor JFET, puis
- [0009] e) gravure de la deuxième couche telle qu'au moins une première portion restante de la deuxième couche soit disposée sous la grille avant du premier transistor JFET et forme le canal, la source et le drain du premier transistor JFET.
- [0010] Dans ce procédé, le deuxième substrat, qui correspond au support définitif sur lequel le premier transistor est réalisé, n'est pas exposé à des budgets thermiques importants. Les étapes b) à e) sont mises en œuvre à des faibles températures, par exemple inférieures à environ 100°C. Ainsi, lorsque le deuxième substrat comporte par exemple des composants électroniques avec des niveaux d'interconnexions métalliques et/ou des matériaux pouvant se dégrader lorsqu'ils sont exposés à des températures importantes tels que des polymères, ce deuxième substrat ne subit aucune dégradation liée à la réalisation du premier transistor JFET. Au cours du procédé, seule l'étape a) peut être mise en œuvre à des températures importantes. Toutefois, le deuxième substrat n'est pas exposé à la mise en œuvre de cette étape.
- [0011] Le procédé permet de réaliser un ou plusieurs transistors de type, ou à canal, N, ou de type P.
- [0012] Lorsque le deuxième substrat correspond à une plaque comprenant des composants CMOS déjà réalisés, ce procédé permet de réaliser un circuit monolithique 3D avec process dit « froid » pour la réalisation de la couche active supérieure.
- [0013] Le deuxième substrat peut comporter des composants électroniques de type CMOS, et/ou le deuxième substrat peut comporter au moins un matériau se dégradant à une température supérieure à environ 100°C.
- [0014] Le premier semi-conducteur peut être du silicium ou du SiGe, et le deuxième semi-conducteur peut être du silicium ou du SiGe.
- [0015] Le procédé peut être tel que :
- [0016] - l'empilement comporte une troisième couche comprenant un troisième semi-conducteur dopé selon le premier type de conductivité et telle que la deuxième couche soit disposée entre la première couche et la troisième couche ;
- [0017] - l'étape e) est mise en œuvre telle qu'au moins une deuxième portion restante de la deuxième couche forme une grille avant d'un deuxième transistor JFET ;
- [0018] et le procédé comporte en outre, après l'étape e), une étape f) de gravure de la troisième couche telle qu'au moins une première portion restante de la troisième couche soit disposée sous le canal, la source et le drain du premier transistor JFET et

qu'au moins une deuxième portion restante de la troisième couche soit disposée sous la grille avant du deuxième transistor JFET et forme le canal, la source et le drain du deuxième transistor JFET.

- [0019] Dans ce cas, la mise en œuvre de ce procédé permet de réaliser sur le deuxième substrat un ou plusieurs transistors de type N et un ou plusieurs transistors de type P. De plus, la présence de la première portion restante de la troisième couche sous le canal, la source et le drain du premier transistor JFET permet d'augmenter la déplétion dans le canal du premier transistor JFET.
- [0020] Les premier et troisième semi-conducteurs peuvent être identiques.
- [0021] De manière avantageuse :
- [0022] - les premier et troisième semi-conducteurs peuvent être du silicium et le deuxième semi-conducteur peut être du SiGe, ou
- [0023] - les premier et troisième semi-conducteurs peuvent être du SiGe et le deuxième semi-conducteur peut être du silicium.
- [0024] Ainsi, le premier semi-conducteur peut être gravé sélectivement vis-à-vis du deuxième semi-conducteur, et le deuxième semi-conducteur peut être gravé sélectivement vis-à-vis du troisième semi-conducteur.
- [0025] L'empilement peut comporter une quatrième couche comprenant un quatrième semi-conducteur dopé selon le deuxième type de conductivité et telle que la troisième couche soit disposée entre la deuxième couche et la quatrième couche, et le procédé peut comporter en outre, après l'étape f), une étape g) de gravure de la quatrième couche telle qu'au moins une première portion restante de la quatrième couche soit disposée sous la première portion restante de la troisième couche et qu'au moins une deuxième portion restante de la quatrième couche soit disposée sous le canal, la source et le drain du deuxième transistor JFET. Dans ce cas, la présence de la deuxième portion restante de la quatrième couche sous le canal, la source et le drain du deuxième transistor JFET permet d'augmenter la déplétion dans le canal du deuxième transistor JFET.
- [0026] Les deuxième et quatrième semi-conducteurs peuvent être identiques, c'est-à-dire peuvent correspondre à un même matériau semi-conducteur (même composition chimique).
- [0027] De manière avantageuse, la solidarisation de l'empilement contre le deuxième substrat peut comporter un collage direct entre une première couche d'oxyde réalisée sur l'empilement et une deuxième couche d'oxyde réalisée sur le deuxième substrat.
- [0028] Selon un premier mode de réalisation, l'étape c) peut comporter une élimination du premier substrat par abrasion et par attaque chimique.
- [0029] Le premier substrat peut être de type SOI.
- [0030] Selon un deuxième mode de réalisation, le procédé peut comporter en outre, avant

l'étape b), une étape de réalisation d'une interface de séparation dans le premier substrat, et dans lequel l'étape c) comporte une séparation du premier substrat au niveau de l'interface de séparation.

- [0031] La réalisation de l'interface de séparation dans le premier substrat peut comporter au moins une implantation d'ions, par exemple des ions hydrogène, dans le premier substrat.
- [0032] Le procédé peut comporter en outre, après l'étape e), la réalisation d'interconnexions électriques reliées électriquement au moins à la grille avant, la source et au drain du premier transistor JFET.
- [0033] Les étapes a) à e) peuvent être répétées une ou plusieurs fois en utilisant, comme deuxième substrat, la structure obtenue lors de la mise en œuvre précédente des étapes a) à e). Ainsi, il est possible de réaliser plusieurs niveaux superposés de transistors sans dégrader, lors de chaque mise en œuvre des étapes a) à e), les niveaux inférieurs formant le support sur lequel chaque niveau de transistors JFET est réalisé.
- [0034] Le procédé peut comporter en outre, entre les étapes a) et b), une étape de retournement de l'ensemble formé du premier substrat et de l'empilement tel que l'empilement soit disposé en regard du deuxième substrat.

### **Brève description des dessins**

- [0035] La présente invention sera mieux comprise à la lecture de la description d'exemples de réalisation donnés à titre purement indicatif et nullement limitatif en faisant référence aux dessins annexés sur lesquels :
- [0036] [fig.1A]
- [0037] [fig.1B]
- [0038] [fig.1C]
- [0039] [fig.1D]
- [0040] [fig.1E]
- [0041] [fig.1F]
- [0042] [fig.1G] représentent les étapes d'un procédé de réalisation de transistors JFET, objet de la présente invention, selon un premier mode de réalisation ;
- [0043] [fig.2A]
- [0044] [fig.2B]
- [0045] [fig.2C]
- [0046] [fig.2D]
- [0047] [fig.2E]
- [0048] [fig.2F]
- [0049] [fig.2G] représentent les étapes d'un procédé de réalisation de transistors JFET, objet de la présente invention, selon un deuxième mode de réalisation ;

- [0050] [fig.3A]
- [0051] [fig.3B]
- [0052] [fig.3C]
- [0053] [fig.3D]
- [0054] [fig.3E]
- [0055] [fig.3F] représentent les étapes d'un procédé de réalisation de transistors JFET, objet de la présente invention, selon une variante du premier mode de réalisation ;
- [0056] [fig.4A]
- [0057] [fig.4B]
- [0058] [fig.4C]
- [0059] [fig.4D]
- [0060] [fig.4E]
- [0061] [fig.4F]
- [0062] [fig.4G] représentent les étapes d'un procédé de réalisation de transistors JFET, objet de la présente invention, selon une autre variante du premier mode de réalisation ;
- [0063] [fig.5] représente schématiquement un transistor JET obtenu par la mise en œuvre du procédé selon l'invention ;
- [0064] [fig.6] représente les courants de drain et de grille dans un transistor JFET obtenu par la mise en œuvre du procédé selon l'invention.
- [0065] Des parties identiques, similaires ou équivalentes des différentes figures décrites ci-après portent les mêmes références numériques de façon à faciliter le passage d'une figure à l'autre.
- [0066] Les différentes parties représentées sur les figures ne le sont pas nécessairement selon une échelle uniforme, pour rendre les figures plus lisibles.
- [0067] Les différentes possibilités (variantes et modes de réalisation) doivent être comprises comme n'étant pas exclusives les unes des autres et peuvent se combiner entre elles.
- [0068] **EXPOSÉ DÉTAILLÉ DE MODES DE RÉALISATION PARTICULIERS**
- [0069] Un procédé de réalisation de transistors JFET selon un premier mode de réalisation est décrit ci-dessous en lien avec les figures 1A à 1G.
- [0070] Un empilement 102 de plusieurs couches de semi-conducteurs dopés est réalisé sur un premier substrat 104 (figure 1A).
- [0071] Dans ce premier mode de réalisation, le premier substrat 104 correspond à un substrat de type semi-conducteur sur isolant, par exemple SOI (« Silicon On Insulator », ou silicium sur isolant). Le premier substrat 104 comprend une couche support 106, par exemple de silicium, une couche diélectrique enterrée 108 également appelée BOX (« Buried Oxide », ou oxyde enterré) disposée sur la couche support 106 et comprenant par exemple du SiO<sub>2</sub>, et une couche superficielle de semi-conducteur 109, comprenant par exemple du silicium, disposée sur la couche diélectrique enterrée

108.

- [0072] Une première couche 110 de l'empilement 102 comprenant du SiGe dopé P est réalisée sur la couche superficielle 109. Le SiGe de la première couche 110 est par exemple obtenu par épitaxie.
- [0073] L'empilement 102 comporte également une deuxième couche 112 de silicium dopé N et une troisième couche 114 de SiGe dopé P. La deuxième couche 112 est disposée entre la première couche 110 et la troisième couche 114. Les deuxième et troisième couches 112, 114 sont par exemple réalisées par épitaxie, à une température comprise entre 600°C et 1000°C.
- [0074] Chacune des première, deuxième et troisième couches 110, 112, 114 a une épaisseur par exemple comprise entre environ 6 nm et 20 nm.
- [0075] Le dopage des semi-conducteurs des première, deuxième et troisième couches 110, 112, 114 est par exemple obtenu in-situ lors de la réalisation de ces couches. Les niveaux de dopage des semi-conducteurs des première, deuxième et troisième couches 110, 112, 114 sont par exemple compris entre environ  $10^{18} \text{ cm}^{-3}$  et  $5 \cdot 10^{19} \text{ cm}^{-3}$ .
- [0076] L'empilement 102 est ensuite solidarisé contre un deuxième substrat 116 tel que l'empilement 102 soit disposé entre le premier substrat 104 et le deuxième substrat 116 (figure 1B).
- [0077] Le deuxième substrat 116 comporte par exemple une couche 118 de semi-conducteur, par exemple du silicium, dans laquelle des composants électroniques 119 ont été intégrés préalablement à la solidarisation de l'empilement 102. Ces composants électroniques 119 sont par exemple de type CMOS et peuvent être réalisés comme décrit dans le document « First demonstration of a CMOS over CMOS 3D VLSI CoolCube™ integration on 300mm wafers » de L. Brunet et al., Symposium on VLSI Technology Digest of Technical Papers 2016, pp. 1–2.
- [0078] Le deuxième substrat 116 comporte également des couches d'interconnexions électriques 120 disposées sur la couche 118, au-dessus des composants électroniques 119 et formant des liaisons électriques reliées aux composants électroniques 119 présents dans la couche 118.
- [0079] La solidarisation entre le deuxième substrat 116 et l'empilement 102 comporte par exemple la mise en œuvre d'un collage direct entre une couche d'oxyde (non visible sur les figures 1A et 1B) réalisée sur la troisième couche 114 et une couche d'oxyde des couches d'interconnexions électriques 120, éventuellement suivi d'un recuit thermique à une température inférieure à celle qui peut être supportée par le deuxième substrat 116 (environ 450°C dans le cas d'un collage sur un matériau tel que le silicium ou inférieure à 100°C dans le cas d'un substrat 116 contenant un polymère organique ou plastique). Les couches d'oxyde comportent par exemple du  $\text{SiO}_2$ . D'autres types de collage peuvent être mis en œuvre pour réaliser cette solidarisation, en utilisant par

exemple des couches de SiCN ou de Si<sub>3</sub>N<sub>4</sub> ou d'autres matériaux diélectriques.

- [0080] Le premier substrat 104 est ensuite retiré (figure 1C). Dans le premier mode de réalisation, le retrait du premier substrat 104 est réalisé en supprimant les couches 106, 108 et 109 par exemple par abrasion (CMP ou planarisation mécano-chimique), puis par attaque chimique, par exemple dans du TMAH (hydroxyde de tétraméthylammonium) pour enlever le silicium restant de la couche 106 après rabotage, suivi d'une gravure à base d'HF pour enlever la couche 108, suivi d'une gravure au TMAH pour enlever la couche 109. Après ce retrait, la face de la première couche 110 qui était disposée contre le premier substrat 104 est accessible.
- [0081] La première couche 110 est ensuite gravée, en mettant en œuvre une étape de lithographie et une gravure plasma, telle qu'au moins une portion restante de la première couche 110 forme une grille avant 122 d'un premier transistor JFET (figure 1D). Du fait que la première couche 110 comporte du SiGe et que la deuxième couche 112 comporte du silicium, la gravure de la première couche 110 peut être réalisée de manière sélective vis-à-vis de la deuxième couche 112. Si le matériau de la première couche 110 ne peut pas être gravé de manière sélective vis-à-vis de celui de la deuxième couche 112, la durée de gravure est utilisée comme critère d'arrêt de gravure. Le nombre de portions restantes de la première couche 110 conservées à l'issue de cette gravure correspond au moins au nombre de grilles avant souhaitées, et donc au nombre de premiers transistors JFET à réaliser.
- [0082] Comme la première couche 110, la deuxième couche 112 est ensuite gravée telle qu'au moins une première portion restante 124 de la deuxième couche 112 soit disposée sous la grille avant 122 du premier transistor JFET et forme le canal, la source et le drain du premier transistor JFET (figure 1E). Du fait que la deuxième couche 112 comporte du silicium et que la troisième couche 114 comporte du SiGe, la gravure de la deuxième couche 112 peut être réalisée de manière sélective vis-à-vis de la troisième couche 114. Si le matériau de la deuxième couche 112 ne peut pas être gravé de manière sélective vis-à-vis de celui de la troisième couche 114, la durée de gravure est utilisée comme critère d'arrêt de gravure. La référence 126 visible sur la figure 1E désigne le premier transistor JFET qui est de type N.
- [0083] Dans le premier mode de réalisation décrit ici, cette gravure de la deuxième couche 112 est mise en œuvre telle qu'au moins une deuxième portion restante de la deuxième couche forme une grille avant 128 d'un deuxième transistor JFET. Le nombre de deuxièmes portions restantes de la deuxième couche 112 conservées à l'issue de cette gravure correspond au moins au nombre de grilles avant souhaitées, et donc au nombre de deuxièmes transistors JFET à réaliser.
- [0084] La troisième couche 114 est ensuite gravée telle qu'au moins une première portion restante 130 de la troisième couche 114 soit disposée sous le canal, la source et le drain

du premier transistor JFET 126 et qu'au moins une deuxième portion restante 132 de la troisième couche 114 soit disposée sous la grille avant 128 du deuxième transistor JFET et forme le canal, la source et le drain du deuxième transistor JFET (figure 1F). La référence 134 visible sur la figure 1F désigne le deuxième transistor JFET qui est de type P. La présence de la portion 130 dopé P sous le premier transistor JFET 126 permet d'augmenter la déplétion dans le canal du premier transistor JFET 126.

- [0085] Le procédé est achevé en réalisant sur les transistors JFET 126, 134 des interconnexions électriques 136 reliées aux grilles, aux sources et aux drains de ces transistors JFET 126, 134 (figure 1G). Ces interconnexions électriques 136 forment le BEOL (« Back End Of Line ») du circuit intégré 100 réalisé.
- [0086] Un procédé de réalisation de transistors JFET selon un deuxième mode de réalisation est décrit ci-dessous en lien avec les figures 2A à 2G.
- [0087] Comme dans le premier mode de réalisation, l'empilement 102 de plusieurs couches de semi-conducteur dopé est réalisé sur un premier substrat 104 (figure 2A). Dans ce deuxième mode de réalisation, le premier substrat 104 correspond à un substrat massif, ou bulk, de semi-conducteur, par exemple en silicium.
- [0088] Les couches 110, 112 et 114 sont réalisées par épitaxie sur le premier substrat 104, par exemple de manière analogue au premier mode de réalisation précédemment décrit. Les matériaux, dopages et dimensions sont par exemple identiques à ceux précédemment décrits en lien avec le premier mode de réalisation.
- [0089] Afin de pouvoir réaliser par la suite le retrait du premier substrat 104 vis-à-vis de l'empilement 102, une interface de séparation 202 est formée dans ou sur le premier substrat 104. De préférence, l'interface de séparation 202 est disposée le plus proche possible de la face supérieure du premier substrat 104 sur laquelle l'empilement 102 est réalisé, afin de limiter l'épaisseur restante du premier substrat 104 sur le produit final. Cette interface de séparation 202 est par exemple réalisée par implantation d'ions hydrogène dans le premier substrat 104.
- [0090] Cette interface de séparation 202 forme une région de faible résistance qui permettra une séparation des deux parties du premier substrat 104 qui se trouvent de part et d'autre de l'interface 202.
- [0091] Comme dans le premier mode de réalisation, l'empilement 102 est ensuite solidarisé contre le deuxième substrat 116 tel que l'empilement 102 soit disposé entre le premier substrat 104 et le deuxième substrat 116 (figure 2B). La solidarisation entre le deuxième substrat 116 et l'empilement 102 comporte par exemple la mise en œuvre d'un collage direct, comme dans le premier mode de réalisation.
- [0092] Le premier substrat 104 est ensuite retiré (figure 2C). Dans ce deuxième mode de réalisation, le premier substrat 104 est retiré au niveau de l'interface de séparation 202 par coalescence de bulles d'hydrogène obtenues sous l'effet d'un recuit thermique mis

en œuvre à une température inférieure à 450°C. Après cette séparation, le matériau restant du premier substrat 104 présent sur l'empilement 102 est retiré, par exemple par attaque chimique, en utilisant par exemple du TMAH.

- [0093] Les étapes ensuite mises en œuvre et représentées sur les figures 2D à 2G sont identiques à celles précédemment décrites en lien avec les figures 1D à 1G.
- [0094] Dans les premier et deuxième modes de réalisation décrits ci-dessus, les première et troisième couches 110, 114 comportent du SiGe et la deuxième couche 112 comporte du silicium. En variante, il est possible que les première et troisième couches 110, 114 comportent du silicium et que la deuxième couche 112 comporte du SiGe. Cette variante a pour avantage de pouvoir mettre en œuvre des gravures sélectives pour graver les première et deuxième couches de semi-conducteur 110, 112.
- [0095] Selon une autre variante, il est possible que les première, deuxième et troisième couches 110, 112, 114 comportent toutes du silicium, ou qu'elles comportent toutes du SiGe.
- [0096] Selon une autre variante, des semi-conducteurs différents du silicium et du SiGe peuvent être utilisés pour former les couches 110, 112 et 114.
- [0097] De plus, dans les premier et deuxième modes de réalisation décrits ci-dessus, les première et troisième couches 110, 114 comportent du semi-conducteur dopé P et la deuxième couche 112 comporte du semi-conducteur dopé N. En variante, il est possible que les première et troisième couches 110, 114 comportent du semi-conducteur dopé N et que la deuxième couche 112 comporte du semi-conducteur dopé P.
- [0098] De manière générale, la première couche 110 comporte un premier semi-conducteur dopé selon un premier type de conductivité, la deuxième couche 112 comporte un deuxième semi-conducteur (de nature identique ou non au premier semi-conducteur) dopé selon un deuxième type de conductivité opposé au premier type de conductivité, et la troisième couche comporte un troisième semi-conducteur (de nature identique ou non aux premier et deuxième semi-conducteurs) dopé selon le premier type de conductivité.
- [0099] Dans les premier et deuxième modes de réalisation précédemment décrits, le deuxième substrat 116 comporte une couche 118 incluant des composants électroniques 119, sur laquelle se trouvent des couches d'interconnexions électriques 120 et formant un niveau inférieur de composants électroniques 119. En variante, le deuxième substrat 116 peut comporter plusieurs niveaux superposés de composants électroniques pouvant être reliés électriquement entre eux.
- [0100] En variante, il est également possible que le circuit intégré 100 ne soit pas achevé après la mise en œuvre des étapes précédemment décrites, mais que ces étapes soient répétées une ou plusieurs fois afin de former au-dessus des transistors 126, 134 un ou

plusieurs autres niveaux supplémentaires de transistors JFET. Dans ce cas, lors de la mise en œuvre de ces étapes, le deuxième substrat 116 sur lequel l'empilement 102 est solidarisé correspond à la structure représentée sur l'une des figures 1G ou 2G, l'empilement 102 étant disposé au-dessus des transistors 126, 134 déjà réalisés. Ces étapes peuvent être répétées plusieurs fois pour former plusieurs niveaux superposés de transistors JFET.

- [0101] Dans les modes de réalisation et variantes précédemment décrits, le deuxième substrat 116 sur lequel les transistors JFET 126, 134 sont réalisés comporte des composants électroniques 119 et des niveaux d'interconnexions électriques 120 qui ne doivent pas être exposés à des budgets thermiques importants. En variante, il est possible que le deuxième substrat 116 corresponde à une ou plusieurs couches de matériaux qui se dégradent lorsqu'ils sont exposés à des températures trop importantes (par exemple supérieures à 100°C), comme par exemple des matériaux polymères tels que du polyimide et/ou du polyéthylène (PE) et/ou du polypropylène (PP) et/ou du poly(téréphtalate d'éthylène) (PET) et/ou du poly(chlorure de vinyle) (PVC).
- [0102] Dans les modes de réalisation et variantes précédemment décrits, l'empilement 102 comporte les trois couches 110, 112, 114 de semi-conducteur dopé pour réaliser, à partir de cet empilement, des transistors JFET de type N (à canal N) et des transistors JFET de type P (à canal P). En variante, le procédé décrit précédemment peut s'appliquer pour la réalisation d'un seul type de transistor JFET, N ou P. Une telle variante est décrite ci-dessous en lien avec les figures 3A à 3F.
- [0103] L'empilement 102 de couches de semi-conducteur dopé est réalisé sur le premier substrat 104 qui est par exemple identique à celui précédemment décrit en lien avec le premier mode de réalisation (figure 3A). En variante, il est possible que le premier substrat 104 soit identique à celui précédemment décrit en lien avec le deuxième mode de réalisation.
- [0104] L'empilement 102 comporte la première couche 110 qui comprend du semi-conducteur dopé P, par exemple du SiGe, et la deuxième couche 112 qui comprend du semi-conducteur dopé N, par exemple du silicium. Les matériaux, dopages et dimensions sont par exemple identiques à ceux précédemment décrits en lien avec les premier et deuxième modes de réalisation ainsi que leurs variantes.
- [0105] Comme dans les premier et deuxième modes de réalisation, l'empilement 102 est ensuite retourné puis solidarisé contre le deuxième substrat 116 (figure 3B).
- [0106] Le premier substrat 104 est ensuite retiré (figure 3C).
- [0107] La première couche 110 est ensuite gravée telle qu'une ou plusieurs portions restantes de la première couche 110 forment les grilles avant 122 des transistors JFET 126 (figure 3D).
- [0108] La deuxième couche 112 est ensuite gravée telle qu'une ou plusieurs portions

restantes 124 de la deuxième couche 112 soient disposées sous les grilles avant 122 des transistors JFET 126 et forment les canaux, les sources et les drains de ces transistors JFET 126 (figure 3E).

- [0109] Le procédé est achevé en réalisant sur les transistors JFET 126 des interconnexions électriques 136 reliées aux grilles, aux sources et aux drains de ces transistors JFET 126 (figure 3F). Ces interconnexions électriques 136 forment le BEOL (« Back End Of Line ») du circuit 100 réalisé.
- [0110] Dans la variante décrite ci-dessus en lien avec les figures 3A à 3F, le dopage des semi-conducteurs des couches 110 et 112 diffère selon que les transistors JFET 126 réalisés soient de type P ou N. Pour réaliser des transistors JFET 126 de type P, la première couche 110 comporte un semi-conducteur de type N et la deuxième couche 112 comporte un semi-conducteur de type P. Pour réaliser des transistors JFET 126 de type N, la première couche 110 comporte un semi-conducteur de type P et la deuxième couche 112 comporte un semi-conducteur de type N.
- [0111] Selon une autre variante, il est également possible que l'empilement 102 comporte plus de trois couches de semi-conducteur dopé superposées. Une telle variante est décrite ci-dessous en lien avec les figures 4A à 4F, selon un exemple de réalisation particulier dans lequel l'empilement 102 comporte quatre couches de semi-conducteur dopé superposées. Cette variante peut toutefois s'appliquer avec un empilement 102 comportant plus de quatre couches de semi-conducteur dopé superposées.
- [0112] L'empilement 102 de couches de semi-conducteur dopé est réalisé sur le premier substrat 104 qui est par exemple identique à celui précédemment décrit en lien avec le premier mode de réalisation (figure 4A). En variante, il est possible que le premier substrat 104 soit identique à celui précédemment décrit en lien avec le deuxième mode de réalisation.
- [0113] L'empilement 102 comporte la première couche 110 qui comprend du semi-conducteur dopé N, par exemple du silicium, la deuxième couche 112 qui comprend du semi-conducteur dopé P, par exemple du SiGe, la troisième couche 114 qui comprend du semi-conducteur dopé N, par exemple similaire à celui de la première couche 110, et une quatrième couche 115 qui comprend du semi-conducteur dopé P, par exemple similaire à celui de la deuxième couche 112. Les matériaux, dopages et dimensions sont par exemple identiques à ceux précédemment décrits en lien avec les premier et deuxième modes de réalisation ainsi que leurs variantes. L'épaisseur de la quatrième couche 115 est par exemple similaire à celle des autres couches 110, 112, 114 de l'empilement 102.
- [0114] Comme dans les premier et deuxième modes de réalisation, l'empilement 102 est ensuite retourné puis solidarisé contre le deuxième substrat 116 (figure 4B).
- [0115] Le premier substrat 104 est ensuite retiré (figure 4C).

- [0116] La première couche 110 est ensuite gravée telle qu'une ou plusieurs portions restantes de la première couche 110 forment les grilles avant 122 des transistors JFET 126 (figure 4D).
- [0117] La deuxième couche 112 est ensuite gravée telle qu'une ou plusieurs premières portions restantes 124 de la deuxième couche 112 soient disposées sous les grilles avant 122 des transistors JFET 126 et forment les canaux, les sources et les drains de ces transistors JFET 126, et telle qu'une ou plusieurs deuxièmes portions restantes de la deuxième couche 112 forme les grilles avant 128 des deuxièmes transistors JFET 134 (figure 4E).
- [0118] La troisième couche 114 est ensuite gravée telle qu'au moins une première portion restante 130 de la troisième couche 114 soit disposée sous le canal, la source et le drain du premier transistor JFET 126 et qu'au moins une deuxième portion restante 132 de la troisième couche 114 soit disposée sous la grille avant 128 du deuxième transistor JFET 134 et forme le canal, la source et le drain du deuxième transistor JFET 134.
- [0119] La quatrième couche 115 est ensuite gravée telle qu'au moins une première portion restante 131 de la quatrième couche 115 soit disposée sous la portion restante 130 de la troisième couche 114, et qu'au moins une deuxième portion restante 133 de la quatrième couche 115 soit disposée sous le canal, la source et le drain du deuxième transistor JFET 134 (figure 4F).
- [0120] La présence de la portion 130 sous le premier transistor JFET 126 et de la portion 133 sous le deuxième transistor JFET 134 permet d'augmenter la déplétion dans les canaux des premier et deuxième transistors JFET 126, 134.
- [0121] Le procédé est achevé en réalisant sur les transistors JFET 126, 134 des interconnexions électriques 136 reliées aux grilles, aux sources et aux drains de ces transistors JFET 126, 134 (figure 4G). Ces interconnexions électriques 136 forment le BEOL (« Back End Of Line ») du circuit intégré 100 réalisé.
- [0122] La variante décrite ci-dessus en lien avec les figures 4A-4G peut s'appliquer aux premier et deuxième modes de réalisation précédemment décrits, et peut être combinée aux autres variantes précédemment décrites.
- [0123] La figure 5 représente schématiquement un transistor JFET 126 de type N obtenu par la mise en œuvre du procédé selon l'un des premier et deuxième modes de réalisation. Sur cette figure, les différentes dimensions des éléments du transistor JFET 126 sont représentées par des flèches et sont nommées.
- [0124] Les courbes visibles sur la figure 6 représentent le courant de drain et le courant de grille obtenus dans un tel transistor JFET 126 en fonction de la tension de grille appliquée, et pour différentes valeurs de la largeur de canal  $W$  (non visible sur la figure 5, et qui correspond à la dimension du canal selon l'axe perpendiculaire au plan dans lequel le transistor 126 de la figure 5 est dessiné).

- [0125] Ces courbes sont obtenues pour un transistor JFET 126 comprenant :
- [0126] - une grille avant 122 formée par une portion de SiGe dopé P avec une concentration de dopants égale à  $5.10^{19}$  at/cm<sup>3</sup>,
- [0127] - un canal, une source et un drain formés par une portion 124 de silicium dopé N avec une concentration de dopants égale à  $1.10^{19}$  at/cm<sup>3</sup> et disposée sur une portion 130 de SiGe dopé P avec une concentration de dopants égale à  $2.10^{19}$  at/cm<sup>3</sup>,
- [0128] - une longueur de grille  $L_G$  égale à 30 nm,
- [0129] - une épaisseur  $T_{P1}$  de la portion 130 égale à 10 nm,
- [0130] - une épaisseur  $T_N$  de la portion 124 égale à 10 nm,
- [0131] - une épaisseur  $T_{P2}$  de la grille avant 122 égale à 12 nm,
- [0132] - une longueur de source et de drain  $L_{SD}$  égale à 30 nm,
- [0133] - un potentiel électrique appliqué sur la source égal à 0 V et un potentiel électrique appliqué sur le drain égal à 0,7 V.
- [0134] Les courbes 10, 12, 14, 16 et 18 représentent le courant de drain obtenu pour une largeur de canal  $W$  respectivement égale à 10 nm, 20 nm, 30 nm, 50 nm, 100 nm.
- [0135] Les courbes 20, 22, 24, 26 et 28 représentent le courant de grille obtenu pour une largeur de canal  $W$  respectivement égale à 10 nm, 20 nm, 30 nm, 50 nm, 100 nm.
- [0136] Ces courbes montrent le bon fonctionnement des transistors JFET obtenus par la mise en œuvre du procédé décrit ici. L'axe horizontal montre la tension appliquée à la grille 122 et l'axe vertical montre les courants de drain et de grille. En prenant par exemple le cas d'une largeur du JFET égale à 20 nm (courbes 12 et 22), on voit que le courant de drain du JFET à l'état « ON » pour une tension de grille de 0,7 V est environ 500.000 supérieur au courant du JFET à l'état « OFF » pour une tension de grille de 0 V. On notera également que le courant de grille 22 est négligeable par rapport au courant de drain 12.

## Revendications

- [Revendication 1] Procédé de réalisation d'au moins un premier transistor JFET (126), comprenant au moins les étapes suivantes :
- a) réalisation, sur un premier substrat (104), d'un empilement (102) formé d'au moins une première couche (110) comprenant un premier semi-conducteur dopé selon un premier type de conductivité et d'une deuxième couche (112) comprenant un deuxième semi-conducteur dopé selon un deuxième type de conductivité opposé au premier type de conductivité, la première couche (110) étant disposée entre le premier substrat (104) et la deuxième couche (112), puis
  - b) solidarisation de l'empilement (102) contre un deuxième substrat (116) tel que l'empilement (102) soit disposé entre le premier substrat (104) et le deuxième substrat (116), puis
  - c) retrait du premier substrat (104), puis
  - d) gravure de la première couche (110) telle qu'au moins une portion restante de la première couche (110) forme une grille avant (122) du premier transistor JFET (126), puis
  - e) gravure de la deuxième couche (112) telle qu'au moins une première portion restante (124) de la deuxième couche (112) soit disposée sous la grille avant (122) du premier transistor JFET (126) et forme le canal, la source et le drain du premier transistor JFET (126).
- [Revendication 2] Procédé selon la revendication 1, dans lequel le deuxième substrat (116) comporte des composants électroniques de type CMOS, et/ou dans lequel le deuxième substrat (116) comporte au moins un matériau se dégradant à une température supérieure à 100°C.
- [Revendication 3] Procédé selon l'une des revendications précédentes, dans lequel le premier semi-conducteur est du silicium ou du SiGe, et dans lequel le deuxième semi-conducteur est du silicium ou du SiGe.
- [Revendication 4] Procédé selon l'une des revendications précédentes, dans lequel :
- l'empilement (102) comporte une troisième couche (114) comprenant un troisième semi-conducteur dopé selon le premier type de conductivité et telle que la deuxième couche (112) soit disposée entre la première couche (110) et la troisième couche (114) ;
  - l'étape e) est mise en œuvre telle qu'au moins une deuxième portion restante de la deuxième couche (112) forme une grille avant (128) d'un deuxième transistor JFET (134) ;
- et le procédé comporte en outre, après l'étape e), une étape f) de gravure

- de la troisième couche (114) telle qu'au moins une première portion restante (130) de la troisième couche (114) soit disposée sous le canal, la source et le drain du premier transistor JFET (126) et qu'au moins une deuxième portion restante (132) de la troisième couche (114) soit disposée sous la grille avant (128) du deuxième transistor JFET (134) et forme le canal, la source et le drain du deuxième transistor JFET (134).
- [Revendication 5] Procédé selon la revendication 4, dans lequel les premier et troisième semi-conducteurs sont identiques.
- [Revendication 6] Procédé selon la revendication 5, dans lequel :
- les premier et troisième semi-conducteurs sont du silicium et le deuxième semi-conducteur est du SiGe, ou
  - les premier et troisième semi-conducteurs sont du SiGe et le deuxième semi-conducteur est du silicium.
- [Revendication 7] Procédé selon l'une des revendications 4 à 6, dans lequel l'empilement (102) comporte une quatrième couche (115) comprenant un quatrième semi-conducteur dopé selon le deuxième type de conductivité et telle que la troisième couche (114) soit disposée entre la deuxième couche (112) et la quatrième couche (115), et comportant en outre, après l'étape f), une étape g) de gravure de la quatrième couche (115) telle qu'au moins une première portion restante (131) de la quatrième couche (115) soit disposée sous la première portion restante (130) de la troisième couche (114) et qu'au moins une deuxième portion restante (133) de la quatrième couche (115) soit disposée sous le canal, la source et le drain du deuxième transistor JFET (134).
- [Revendication 8] Procédé selon l'une des revendications précédentes, dans lequel la solidarisation de l'empilement (102) contre le deuxième substrat (116) comporte un collage direct entre une première couche d'oxyde réalisée sur l'empilement (102) et une deuxième couche d'oxyde réalisée sur le deuxième substrat (116).
- [Revendication 9] Procédé selon l'une des revendications précédentes, dans lequel l'étape c) comporte une élimination du premier substrat (104) par abrasion et par attaque chimique.
- [Revendication 10] Procédé selon l'une des revendications précédentes, dans lequel le premier substrat (104) est de type SOI.
- [Revendication 11] Procédé selon l'une des revendications 1 à 8, comportant en outre, avant l'étape b), une étape de réalisation d'une interface de séparation (202) dans le premier substrat (104), et dans lequel l'étape c) comporte une séparation du premier substrat (104) au niveau de l'interface de séparation

- (202).
- [Revendication 12] Procédé selon la revendication 11, dans lequel la réalisation de l'interface de séparation (202) dans le premier substrat (104) comporte au moins une implantation d'ions dans le premier substrat (104).
- [Revendication 13] Procédé selon l'une des revendications précédentes, comportant en outre, après l'étape e), la réalisation d'interconnexions électriques (136) reliées électriquement au moins à la grille avant (122), la source et au drain du premier transistor JFET (126).
- [Revendication 14] Procédé selon l'une des revendications précédentes, dans lequel les étapes a) à e) sont répétées une ou plusieurs fois en utilisant, comme deuxième substrat (116), la structure obtenue lors de la mise en œuvre précédente des étapes a) à e).
- [Revendication 15] Procédé selon l'une des revendications précédentes, comportant en outre, entre les étapes a) et b), une étape de retournement de l'ensemble formé du premier substrat (104) et de l'empilement (102) telle que l'empilement (102) soit disposé en regard du deuxième substrat (116).

[Fig. 1A]

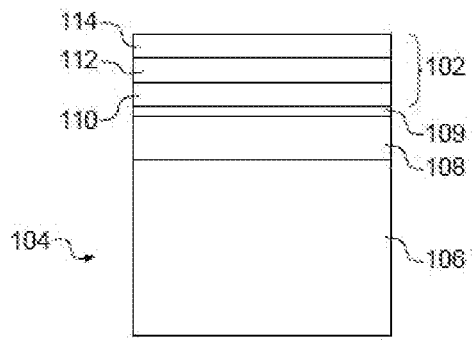


FIG. 1A

[Fig. 1B]

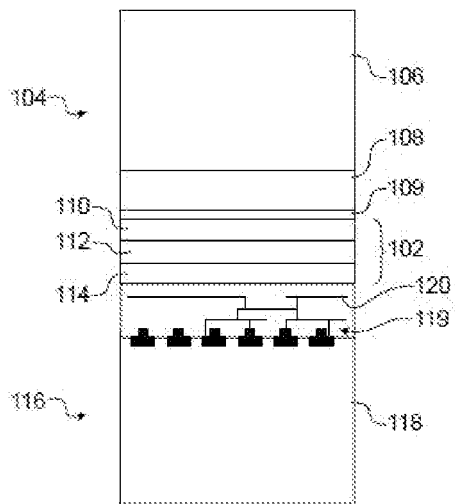


FIG. 1B

[Fig. 1C]

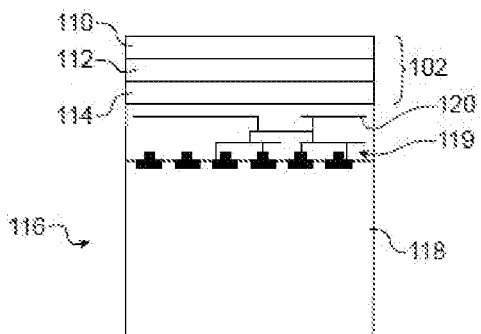


FIG. 1C

[Fig. 1D]

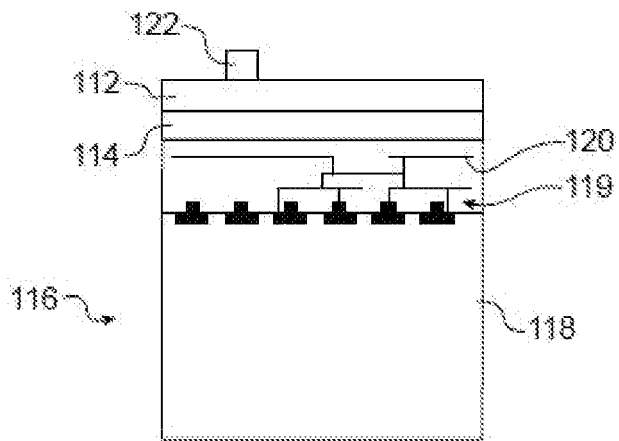


FIG. 1D

[Fig. 1E]

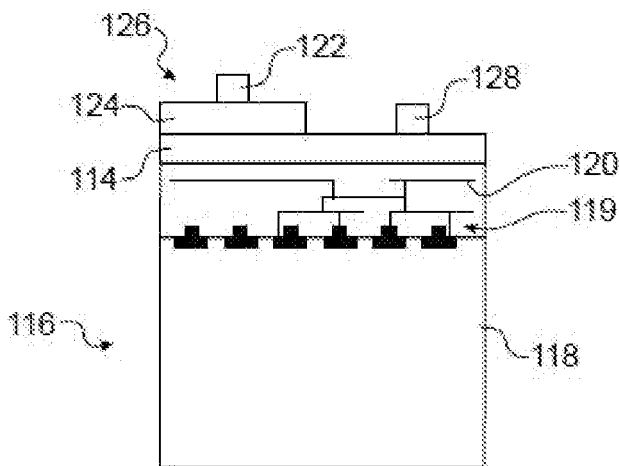


FIG. 1E

[Fig. 1F]

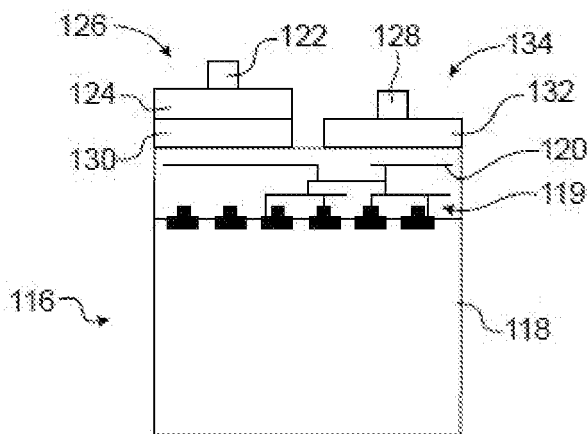


FIG. 1F

[Fig. 1G]

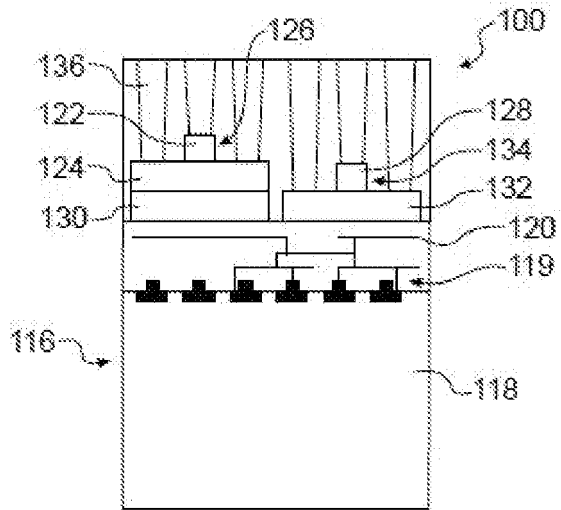


FIG.1G

[Fig. 2A]

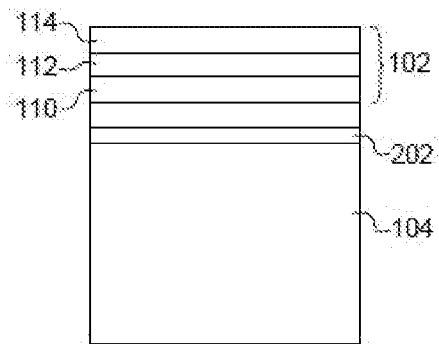


FIG.2A

[Fig. 2B]

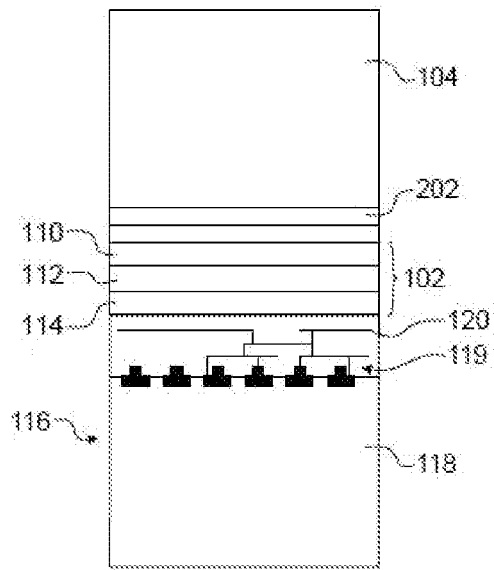


FIG.2B

[Fig. 2C]

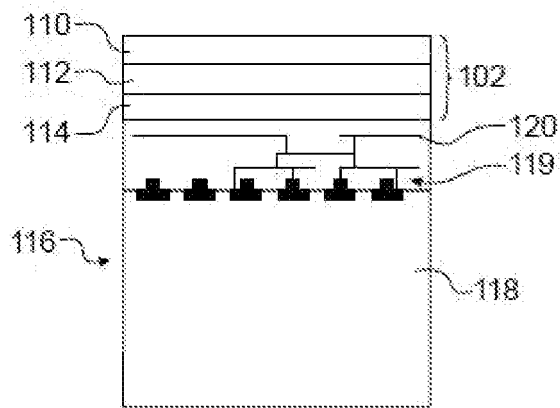


FIG.2C

[Fig. 2D]

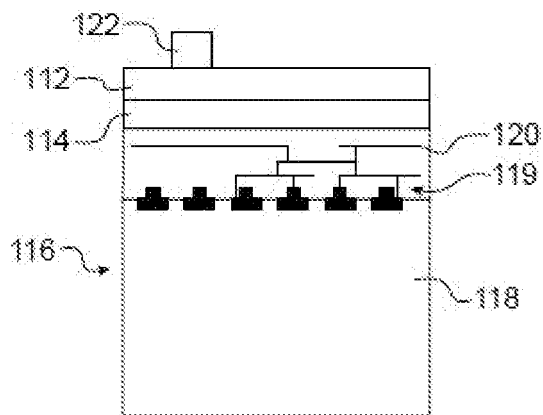


FIG.2D

[Fig. 2E]

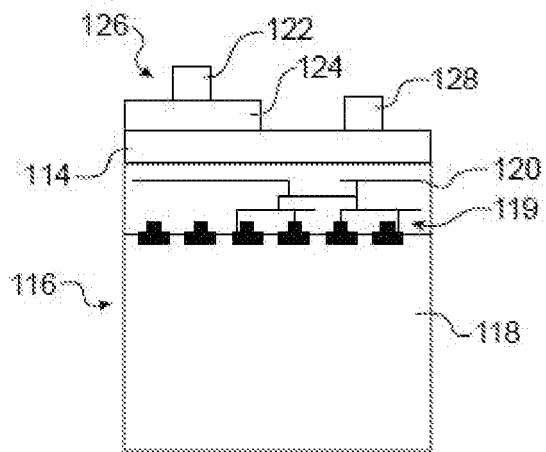


FIG. 2E

[Fig. 2F]

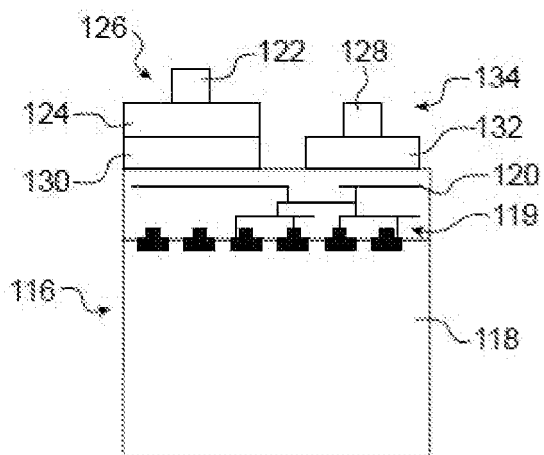


FIG. 2F

[Fig. 2G]

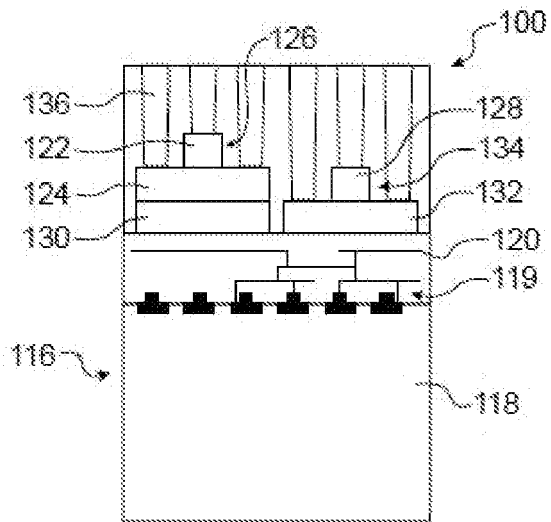


FIG. 2G

[Fig. 3A]

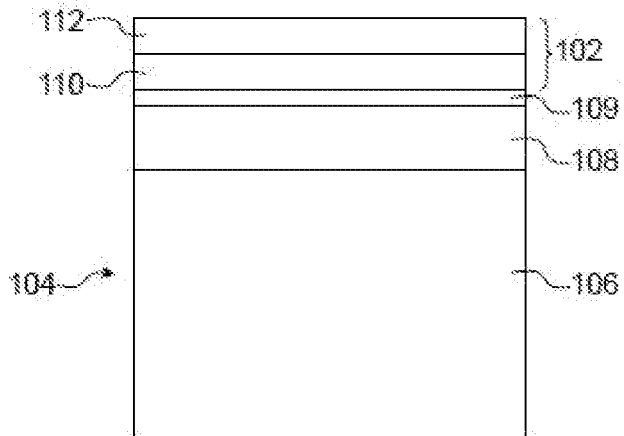


FIG. 3A

[Fig. 3B]

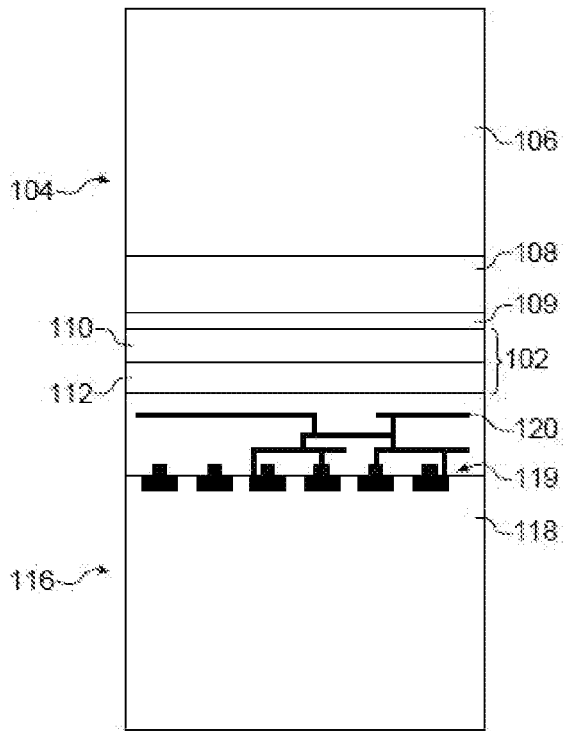


FIG.3B

[Fig. 3C]

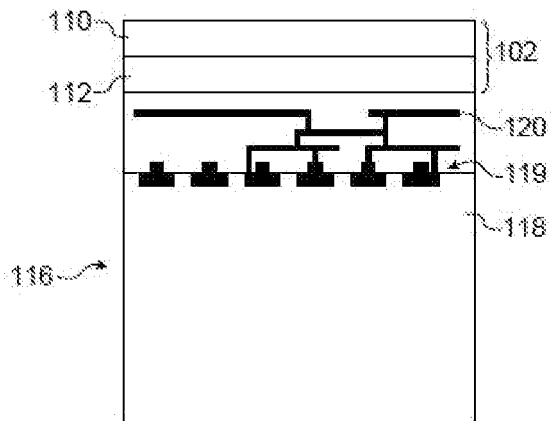


FIG.3C

[Fig. 3D]

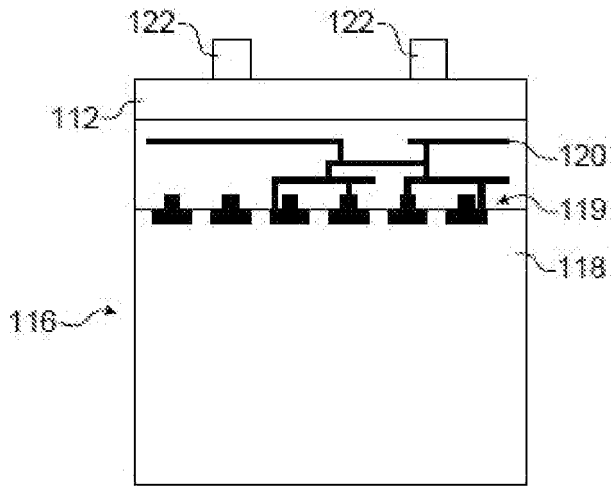


FIG.3D

[Fig. 3E]

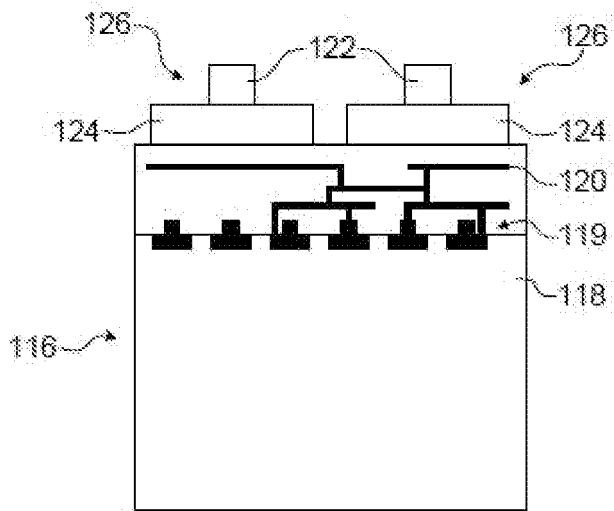


FIG.3E

[Fig. 3F]

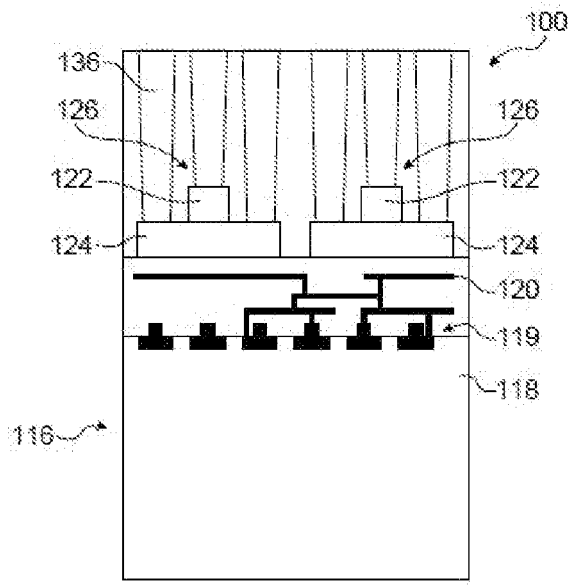


FIG.3F

[Fig. 4A]

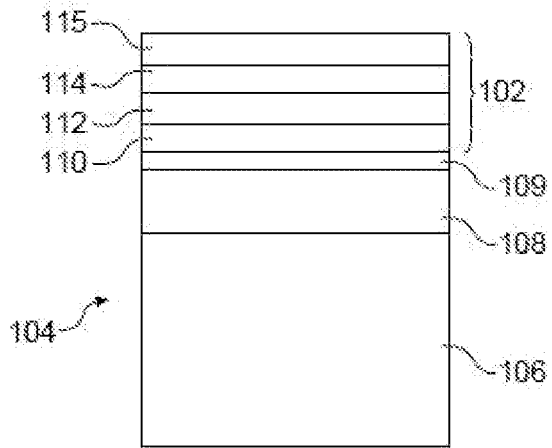


FIG.4A

[Fig. 4B]

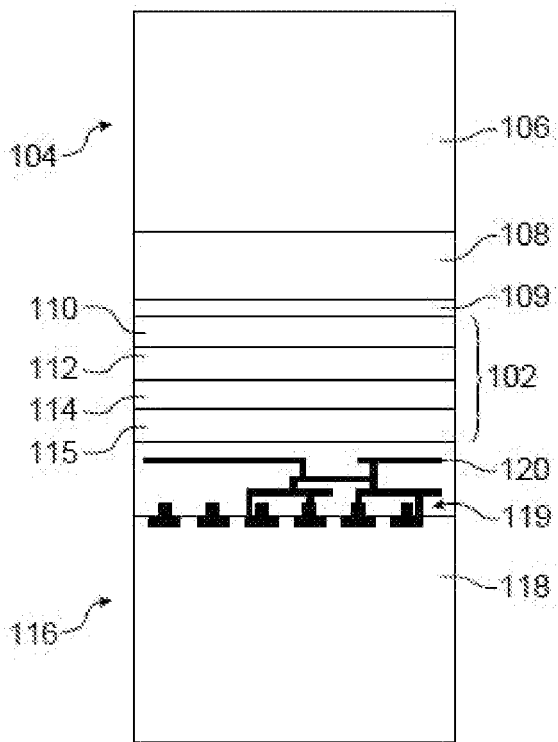


FIG.4B

[Fig. 4C]

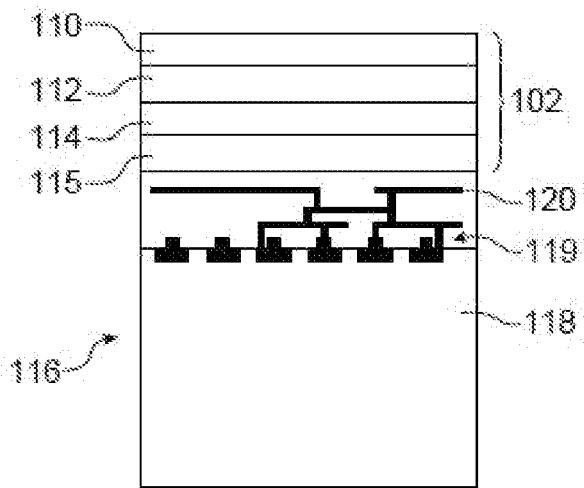


FIG.4C

[Fig. 4D]

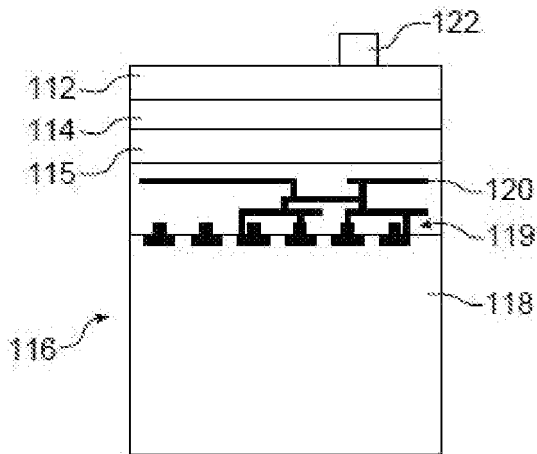


FIG.4D

[Fig. 4E]

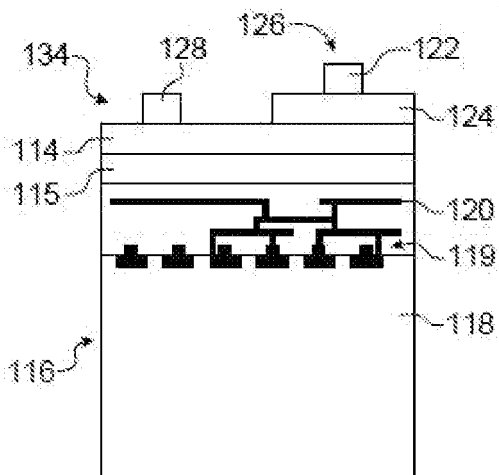


FIG.4E

[Fig. 4F]

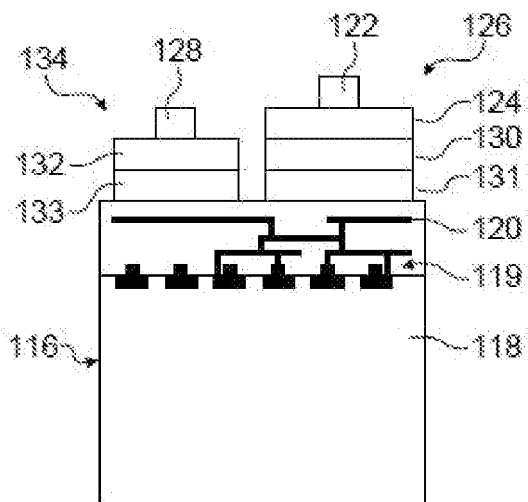


FIG.4F

[Fig. 4G]

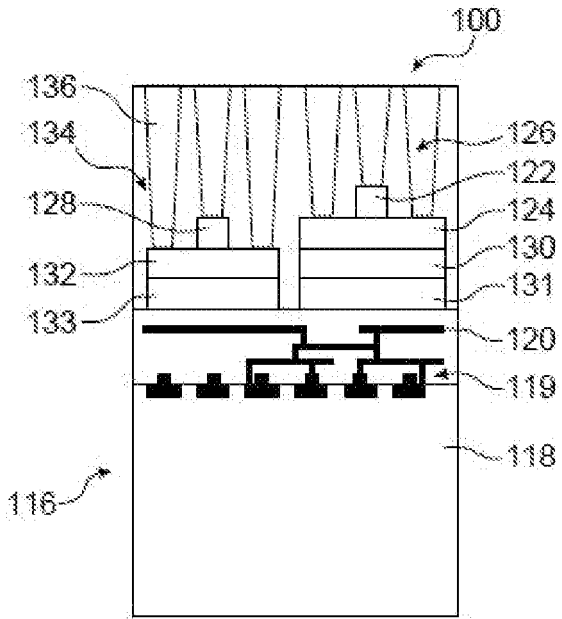


FIG.4G

[Fig. 5]

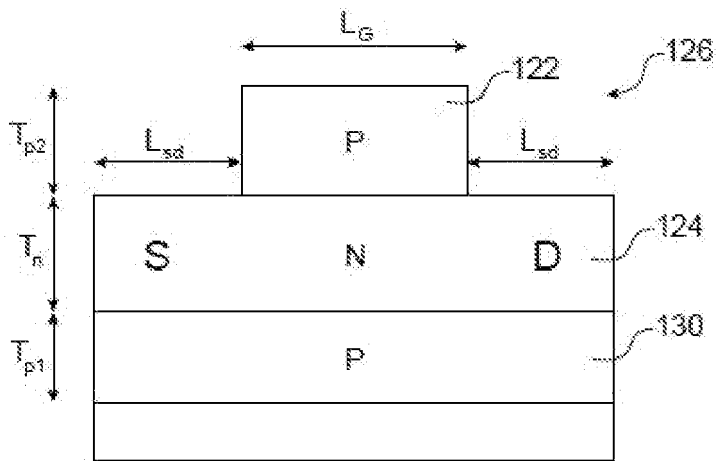


FIG.5

[Fig. 6]

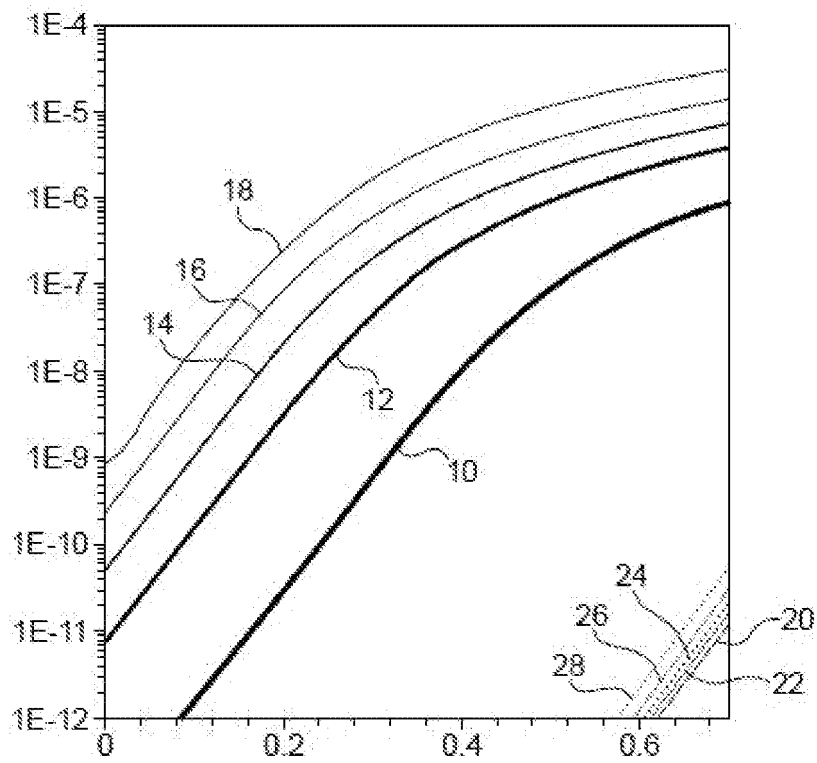


FIG.6

# RAPPORT DE RECHERCHE

articles L.612-14, L.612-53 à 69 du code de la propriété intellectuelle

## OBJET DU RAPPORT DE RECHERCHE

---

L'I.N.P.I. annexe à chaque brevet un "RAPPORT DE RECHERCHE" citant les éléments de l'état de la technique qui peuvent être pris en considération pour apprécier la brevetabilité de l'invention, au sens des articles L. 611-11 (nouveau) et L. 611-14 (activité inventive) du code de la propriété intellectuelle. Ce rapport porte sur les revendications du brevet qui définissent l'objet de l'invention et délimitent l'étendue de la protection.

Après délivrance, l'I.N.P.I. peut, à la requête de toute personne intéressée, formuler un "AVIS DOCUMENTAIRE" sur la base des documents cités dans ce rapport de recherche et de tout autre document que le requérant souhaite voir prendre en considération.

## CONDITIONS D'ETABLISSEMENT DU PRESENT RAPPORT DE RECHERCHE

---

Le demandeur a présenté des observations en réponse au rapport de recherche préliminaire.

Le demandeur a maintenu les revendications.

Le demandeur a modifié les revendications.

Le demandeur a modifié la description pour en éliminer les éléments qui n'étaient plus en concordance avec les nouvelles revendications.

Les tiers ont présenté des observations après publication du rapport de recherche préliminaire.

Un rapport de recherche préliminaire complémentaire a été établi.

## DOCUMENTS CITES DANS LE PRESENT RAPPORT DE RECHERCHE

---

La répartition des documents entre les rubriques 1, 2 et 3 tient compte, le cas échéant, des revendications déposées en dernier lieu et/ou des observations présentées.

Les documents énumérés à la rubrique 1 ci-après sont susceptibles d'être pris en considération pour apprécier la brevetabilité de l'invention.

Les documents énumérés à la rubrique 2 ci-après illustrent l'arrière-plan technologique général.

Les documents énumérés à la rubrique 3 ci-après ont été cités en cours de procédure, mais leur pertinence dépend de la validité des priorités revendiquées.

Aucun document n'a été cité en cours de procédure.

**1. ELEMENTS DE L'ETAT DE LA TECHNIQUE SUSCEPTIBLES D'ETRE PRIS EN CONSIDERATION POUR APPRECIER LA BREVETABILITE DE L'INVENTION**

US 2017/179155 A1 (OR-BACH ZVI [US] ET AL)  
22 juin 2017 (2017-06-22)

WO 2011/154360 A2 (COMMISSARIAT ENERGIE  
ATOMIQUE [FR]; ERNST THOMAS [FR] ET AL.)  
15 décembre 2011 (2011-12-15)

FR 3 073 667 A1 (COMMISSARIAT ENERGIE  
ATOMIQUE [FR]) 17 mai 2019 (2019-05-17)

US 2004/121549 A1 (DOKUMACI OMER H [US] ET  
AL) 24 juin 2004 (2004-06-24)

**2. ELEMENTS DE L'ETAT DE LA TECHNIQUE ILLUSTRANT L'ARRIERE-PLAN TECHNOLOGIQUE GENERAL**

NEANT

**3. ELEMENTS DE L'ETAT DE LA TECHNIQUE DONT LA PERTINENCE DEPEND DE LA VALIDITE DES PRIORITES**

NEANT