



(19) 대한민국특허청(KR)  
 (12) 등록특허공보(B1)

(45) 공고일자 2010년01월22일  
 (11) 등록번호 10-0938408  
 (24) 등록일자 2010년01월15일

(51) Int. Cl.

*H01L 23/12* (2006.01) *H01L 23/48* (2006.01)

(21) 출원번호 10-2008-0008433

(22) 출원일자 2008년01월28일

심사청구일자 2008년01월28일

(65) 공개번호 10-2008-0071497

(43) 공개일자 2008년08월04일

(30) 우선권주장

JP-P-2007-00020081 2007년01월30일 일본(JP)

(56) 선행기술조사문헌

JP11354554 A\*

JP12340717 A\*

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

후지쯔 마이크로일렉트로닉스 가부시끼가이샤

일본국 도쿄도 신주쿠구 니시신주쿠 2-7-1

(72) 발명자

니시무라 다카오

일본국 가나가와Ken 가와사키시 나카하라쿠 가미코  
다나카 4-1-1후지쯔 가부시끼가이샤 내

아이바 가즈유키

일본국 가나가와Ken 가와사키시 나카하라쿠 가미코  
다나카 4-1-1후지쯔 가부시끼가이샤 내

(74) 대리인

문기상, 문두현

전체 청구항 수 : 총 10 항

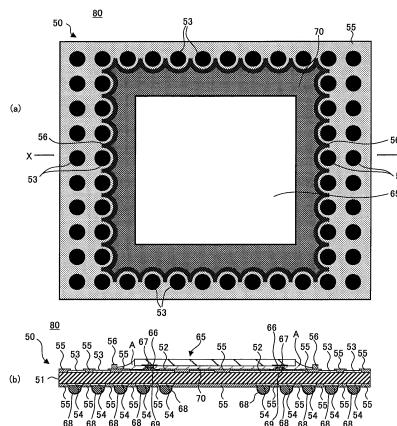
심사관 : 심재만

(54) 배선 기판 및 반도체 장치

**(57) 요 약**

본 발명은 전자 부품이 플립칩(flip-chip) 실장되고, 댐(dam)에 의해 배열 설치 영역이 확정(劃定)되는 언더필재(材)에 의해 상기 전자 부품이 고착되는 배선 기판으로서, 당해(當該) 댐과 언더필재의 휠레(fillet)의 계면에서의 박리를 방지하여 신뢰성을 향상시킬 수 있고, 또한 전자 부품 장치의 소형화에 대응할 수 있는 배선 기판, 및 상기 전자 부품의 당해 배선 기판으로의 실장 구조를 제공하는 것을 과제로 한다.

전자 부품(65)이 범프(67)를 통하여 플립칩 실장되고, 당해 전자 부품(65)의 주위의 적어도 일부가 수지(70)에 의해 밀봉되는 배선 기판(50)에서, 당해 배선 기판(50)의 상기 전자 부품(60)이 실장되는 표면의 적어도 일부에, 댐(56)이 배열 설치되고, 당해 댐(56)이 상기 수지(70)와 접하는 내벽면은 곡선부가 연속적으로 형성된 형상을 갖는다.

**대 표 도 - 도6**

## 특허청구의 범위

### 청구항 1

한쪽의 주면(正面)에, 전자 부품이 범프(bump)를 통하여 실장되고, 상기 전자 부품의 주위의 적어도 일부가 수지에 의해 회복되는 배선 기판으로서,

상기 주면에서, 상기 전자 부품이 실장되는 영역의 주위의 적어도 일부에, 댐(dam)이 배열 설치되고,

상기 댐에서의, 상기 수지와 접하는 면은 곡선부를 갖는 패턴이 연속적으로 반복되어 이루어지는 형상을 갖는 것을 특징으로 하는 배선 기판.

### 청구항 2

제 1 항에 있어서,

상기 댐은 적어도 일부가 상기 배선 기판에서의 상기 전자 부품의 실장 영역의 주위를 따라 배열 설치되어 이루어지는 것을 특징으로 하는 배선 기판.

### 청구항 3

제 2 항에 있어서,

상기 댐은 상기 전자 부품을 둘러싸도록 거의 직사각형 형상으로 배열 설치되고,

당해(當該) 댐의 거의 직사각형 형상의 네개의 모서리부는 상기 전자 부품의 실장 영역으로부터 가장 멀어진 개소(箇所)에 위치하고 있는 것을 특징으로 하는 배선 기판.

### 청구항 4

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 댐은 절연성 수지를 포함하는 것을 특징으로 하는 배선 기판.

### 청구항 5

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 전자 부품이 실장되는 당해 배선 기판의 면 상(上)에는, 상기 댐 보다도 외측에, 외부 접속 단자가 배열 설치되어 있는 것을 특징으로 하는 배선 기판.

### 청구항 6

제 5 항에 있어서,

상기 댐은 상기 외부 접속 단자의 외형 형상에 대응한 형상을 갖는 것을 특징으로 하는 배선 기판.

### 청구항 7

제 5 항에 있어서,

상기 댐은, 서로 인접하여 설치된 상기 외부 접속 단자 사이에서는, 당해 배선 기판에서의 상기 전자 부품의 실장 영역으로부터 멀어지는 방향을 향하는 형상을 갖고 배열 설치되어 있는 것을 특징으로 하는 배선 기판.

### 청구항 8

배선 기판의 한쪽의 주면에, 범프를 통하여 반도체 소자가 실장되고,

당해 배선 기판의 한쪽의 주면에서의, 상기 반도체 소자의 주위의 적어도 일부에, 곡선부를 갖는 패턴이 연속적으로 반복되어 이루어지는 댐이 배열 설치되며,

상기 반도체 소자와 상기 댐 사이에서의 상기 배선 기판의 표면이 수지에 의해 회복되어 이루어지는 것을 특징으로 하는 반도체 장치.

## 청구항 9

제 8 항에 있어서,

상기 반도체 소자가 실장되는 당해 배선 기판의 면 상에서, 상기 댐 보다도 외측에 외부 접속 단자가 배열 설치되고,

제 2 반도체 소자가 상기 반도체 소자 상에 적층 배치되는 동시에, 상기 외부 접속 단자에 접속되어 이루어지는 것을 특징으로 하는 반도체 장치.

## 청구항 10

제 9 항에 있어서,

상기 외부 접속 단자에, 수동 소자 부품이 실장되어 이루어지는 것을 특징으로 하는 반도체 장치.

## 명세서

### 발명의 상세한 설명

#### 기술 분야

<1> 본 발명은 배선 기판 및 반도체 장치에 관한 것으로서, 더 구체적으로는, 반도체 소자 등의 전자 부품이 실장되는 배선 기판 및 반도체 소자가 배선 기판에 범프(bump) 접속에 의해 실장된 반도체 장치에 관한 것이다.

#### 배경 기술

<2> 유리 애폭시 수지 등의 절연성 수지를 기재(基材)로 하고, 한쪽의 주면(正面)에 구리(Cu) 등으로 이루어지는 도전층이 선택적으로 배열 설치된 배선 기판을 사용하고, 상기 도전층에, 반도체 회로 소자(이하, 반도체 소자라고 함)의 주면에 배열 설치된 와이어 범프라고도 하는 볼록한 형상(돌기 형상) 외부 접속 단자가 접속되고, 한편, 상기 배선 기판의 다른 쪽의 주면에 선택적으로 형성된 전극의 표면에는 구형 전극 단자 등의 외부 접속 단자가 배열 설치되어 이루어지는 반도체 장치가 있다.

<3> 당해(當該) 반도체 장치에서는, 상기 반도체 소자는 소위 플립칩(flip-chip)(페이스 다운(face-down)) 상태를 가지고, 배선 기판에 탑재되어 있다.

<4> 이러한 플립칩 실장 구조에서는, 반도체 소자의 회로 형성면 및 상기 볼록한 형상(돌기 형상) 외부 접속 단자를 보호하여 접속 신뢰성을 향상하기 위해, 반도체 소자의 회로 형성면과 배선 기판의 간극(間隙)에 애폭시계 수지를 주체(主體)로 하는 언더필재(材)를 충전하고, 또한 당해 반도체 소자의 외주(外周) 측면의 일부 또는 전부를 당해 언더필재에 의해 피복함으로써, 반도체 소자와 배선 기판의 접속을 보강하는 것이 이루어져 있다.

<5> 이러한 언더필재는 반도체 소자를 배선 기판에 탑재·접속한 후에, 당해 반도체 소자의 주위로부터 반도체 소자의 회로 형성면과 배선 기판의 간극에 주입되거나, 배선 기판 상에 미리 언더필재를 도포하여 두고, 당해 언더필재를 개재(介在)시킨 상태에서, 반도체 소자를 배선 기판에 탑재함으로써, 반도체 소자의 회로 형성면과 배선 기판 사이에 배열 설치된다.

<6> 이러한 언더필재의 배열 설치 시에, 당해 언더필재의 배선 기판 상으로의 선택적 배열 설치가 필요해지는 경우가 있다.

<7> 당해 언더필재의 선택적인 배열 설치를 행하기 위해, 예를 들어 도 1에 나타낸 바와 같이, 배선 기판의 상면에서의 반도체 소자의 탑재 영역을 둘러싸는, 댐(dam)을 배열 설치하는 것이 제안되고 있다.

<8> 여기서, 도 1은 배선 기판 상에 반도체 소자가 플립칩 실장되고, 또한 당해 반도체 소자의 탑재부를 둘러싸고 댐이 배열 설치된 상태를 나타내고 있다. 또한, 도 1의 (b)는 도 1의 (a)에서 선 X-X로 나타낸 개소(箇所)의 단면을 나타낸다. 또한, 도 1에서는, 배선 기판의 하면(下面)에 선택적으로 배열 설치되는 외부 접속 단자의 도시가 생략되어 있다.

<9> 도 1에 나타내지는 반도체 장치(10)에서는, 배선 기판(1)의 주면에 배열 설치된 본딩 단자(2)에, 볼록한 형상(돌기 형상) 외부 접속 단자(3)를 통하여 반도체 소자(4)가 플립칩 실장되어 있다. 또한, 당해 반도체 소자

(4)와 배선 기판(1)의 주면 사이 및 반도체 소자(4)의 외주 측면에, 언더필재(5)가 충전·배열 설치되어 있다.

<10> 또한, 배선 기판(1)의 주면에는, 반도체 소자(4)의 탑재부를 둘러싸고, 언더필재(5)의 흐름을 차단하기 위한 댐(6)이 배열 설치되어 있다. 이에 따라, 언더필재(5)의 배열 설치 영역이 확정(劃定)되어 있다.

<11> 당해 언더필재(5)의 반도체 소자(4)의 주위에 슬로프 형상으로 형성되는 부위(A)는 필레(fillet)라고 한다. 이러한 필레는 배선 기판(1)과 반도체 소자(4)의 열팽창률의 차이에 의한 볼록한 형상(돌기 형상) 외부 접속 단자(3)와 본딩 단자(2)의 접속부로의 국소적인 응력 집중을 완화하고, 배선 기판(1)과 반도체 소자(4)의 접속의 신뢰성을 높이는 효과를 갖는다.

<12> 이러한 구조에서는, 배선 기판(1) 상의 반도체 소자(4)의 탑재 영역에 근접하여 다른 전자 부품을 탑재하는 단자를 배열 설치하는 경우일지라도, 상기 댐(6)에 의해 언더필재(5)의 유입을 저지할 수 있다.

<13> 또한, 당해 댐(6)을, 소정의 높이를 갖고 형성함으로써, 언더필재(5)의 두께(높이)를, 소정의 값으로 제어할 수 있다.

<14> 또한, 예를 들어 프린트 배선판용 기재에 설치된 전자 부품 수납·부착 예정부 및 본딩 홀을 둘러싸도록 하여, 적어도 내측 면의 평면 형상이 지그재그 형상 또는 요철(凹凸)의 연속 형상인 밀봉 수지 흐름 정지 프레임을 배치하는 구조(특허문헌 1 참조), 또는 칩 실장 영역의 주위에 형성된 전극 패드와, 당해 칩 실장 영역과의 사이에 댐이 설치된 실장 기판과, 당해 실장 기판의 칩 실장 영역에 플립칩 실장된 반도체 칩과, 실장 기판과 반도체 칩 사이에 충전된 언더필재를 구비하는 반도체 장치의 구조로서, 언더필재가 적하(滴下)되는 칩 실장 영역의 소정의 변(邊)과 이것에 대응하는 댐 사이의 거리를, 칩 실장 영역의 다른 변과 이것에 대응하는 댐 사이의 거리보다도 길게 설정한 구조(특허문헌 2 참조)가 제안되어 있다.

<15> 또한, 전자 부품의 실장 시에 언더필재가 사용되는 배선 기판으로서, 상기 전자 부품의 외부 접속 단자와 땜납을 통하여 접속되는 땜납 랜드(solder land)와, 상기 전자 부품의 실장 영역의 주위의 적어도 일부에 부설(敷設)된, 땜납 댐을 형성하기 위한 하지(下地)로 되는 댐용 랜드를 갖고, 땜납 댐의 외측에서도 전자 부품이 탑재 가능한 구조가 제안되어 있다(특허문헌 3 참조).

<16> 또한, IC칩이 실장되고, IC칩의 전극과 접속되는 기판 도체가 형성된 기판 본체와, 기판 본체 상에 형성되어 IC칩의 실장 위치에 개구부를 갖는 절연 보호막을 구비한 프린트 기판으로서, IC칩의 외형(外形) 각 변과 절연 보호막의 개구 애지(edge)의 거리를 0.2~0.5mm로 형성하고, 또한 개구부의 우측 모서리부를 국소적으로 넓게 개구한 구조가 제안되어 있다(특허문헌 4 참조).

<17> [특허문헌 1] 일본국 공개특허 평8-97535호 공보

<18> [특허문헌 2] 일본국 공개특허2005-276879호 공보

<19> [특허문헌 3] 일본국 공개특허2006-140327호 공보

<20> [특허문헌 4] 일본국 공개특허2005-175113호 공보

## 발명의 내용

### 해결 하고자하는 과제

<21> 그러나, 배선 기판의 상면에서, 반도체 소자의 탑재 영역을 둘러싸도록 하여, 반도체 소자보다도 대형의 언더필재 흐름 차단용의 댐을 배열 설치한 상기 종래의 형태에는 이하의 문제가 있다.

<22> 배선 기판의 상면에서, 반도체 소자의 탑재 영역을 둘러싸도록 댐을 배열 설치한 종래의 구조의 문제점을, 도 2 내지 도 4를 사용하여 설명한다. 또한, 도 2 및 도 3에서는, 배선 기판(1)의 하면(下面)에 선택적으로 배열 설치되는 외부 접속 단자의 도시를 생략하고 있다.

<23> 상기 도 1에 나타낸 반도체 장치 구성에서는, 언더필재(5)를 가열에 의해 경화시키면, 언더필재(5) 자체가 경화 수축된다.

<24> 당해 언더필재(5) 및 유기 기판인 배선 기판(1)은 반도체 소자(4)보다도 열팽창률이 크기 때문에, 가열에 의해 언더필재(5)를 경화시키고, 경화 완료 후 상온으로 되돌리면, 각 구성 부재는 내부 응력이 작은 상태에 있지만, 언더필재(5) 및 배선 기판(1)은 반도체 소자(4)보다도 크게 수축된다.

- <25> 이 결과, 도 2에 나타낸 바와 같이, 반도체 소자(4) 측이 볼록한 형상으로 되는 휘어짐이 생긴다. 또한, 이 때 각 구성 부재에 내재하는 내부 응력도 커진다.
- <26> 이와 같이 볼록한 형상으로 휘어진 상태의 반도체 장치(10)에, 온도 사이클 시험(급격한 온도 변화) 및/또는 흡습 리플로(reflow) 시험(고온 항습 환경에서 흡습시킨 후에 가열) 등의 시험을 행하면, 반도체 소자(4)의 주위에 위치하는 언더필재(5)의 휠레(fillet)부와 댐(6)의 계면(界面)(도 2에서 화살표로 나타낸 개소)에서 박리가 발생되기 쉽다.
- <27> 이러한 박리는 발생한 개소를 기점으로 하여 확대된다. 이 결과, 당해 박리된 개소를 통하여 반도체 장치 내부로 수분이 침입하기 쉬워진다. 당해 수분의 침입에 의해, 반도체 장치(10)의 내부의 배선 및/또는 볼록한 형상(돌기 형상) 외부 접속 단자(3)에는, 부식 및/또는 파단(破斷)이 생기게 된다.
- <28> 이러한 문제는 다(多)단자화에 의해 외형 치수가 대형화된 반도체 소자를 플립칩 실장할 경우 및/또는 배선 기판에 탑재되는 반도체 소자의 주위에 외부 접속 단자를 설치하고, SiP(시스템 · 인 · 패키지)형 등의 적층형 반도체 장치를 구성하는 경우 등 구성 부재의 수가 증가하여, 기계 구조가 복잡화된 경우에는 더 현저해진다.
- <29> 또한, 전자 기기에서의 반도체 장치의 고밀도 실장의 요청에 대응하기 위해, 반도체 장치의 외형 치수의 소형화가 도모되고 있다.
- <30> 한편, 상기 언더필재(5)는 반도체 소자(4)의 회로 형성면 및 볼록한 형상(돌기 형상) 외부 접속 단자(3)를 보호하는 동시에, 배선 기판(1)과 반도체 소자(4)의 접속을 보강하고, 양자의 접속 신뢰성을 확보 · 향상시킨다. 특히, 언더필재(5)의 휠레(A)의 배선 기판(1)과의 접촉 면적, 즉 반도체 소자의 주위에서의 슬로프 형상의 넓이 면적은 배선 기판(1)과 반도체 소자(4)의 접속 신뢰성에 대하여 영향을 준다(도 3의 (a) 참조).
- <31> 따라서, 반도체 장치(10)의 외형들의 소형화에 대응하기 위해, 댐(6)의 내벽 측을 반도체 소자(4)에 더 가깝게 위치시키면, 휠레(A)의 넓이가 작아져, 배선 기판(1)과 반도체 소자(4)의 접속 신뢰성을 확보할 수 없을 우려가 있다.
- <32> 한편, 반도체 장치의 외형 치수를 소형화하기 위해, 도 3의 (b)에 나타낸 바와 같이, 휠레(A)의 크기를 바꾸지 않고, 댐(6)의 폭을 작게 하는 형태도 생각할 수 있다.
- <33> 그러나, 이러한 구성에 의하면, 댐(6')은 그 높이에 대하여 폭이 작으면, 당해 댐(6')과 배선 기판(1)의 표면의 계면(도 3의 (b)에서 화살표로 나타낸 면)에 응력이 집중되어, 당해 계면에서의 댐(6')의 박리, 또는 댐(6') 및/또는 배선 기판(1)에서의 크랙의 발생이 생기기 쉽다.
- <34> 이러한 박리 또는 크랙이 생기면, 그 발생 개소로부터 반도체 장치 내부로 수분이 침입하기 쉽다. 그 결과, 반도체 장치(10')의 내부의 배선 및/또는 볼록한 형상(돌기 형상) 외부 접속 단자(3)에서 부식 및/또는 파단을 발생시켜, 원하는 신뢰성을 얻을 수 없다. 또한, 댐(6')을 구성하는 재료에 따라서는, 당해 댐(6')의 무너짐이 발생할 가능성도 있다.
- <35> 이에 대해, 상기 특허문헌 4에 기재된 형태, 즉 특히 응력이 집중되기 쉬운 네개의 모서리에서, 댐을 반도체 소자로부터 멀어지도록 배열 설치함으로써 휠레를 크게 하는 형태는 상기 접속의 신뢰성을 향상시키는 관점에서는 유효하다. 그러나, 당해 반도체 장치의 소형화에 대해서는 고려되지 않았다.
- <36> 한편, 반도체 장치의 고밀도 실장 형태의 하나로서, 복수의 반도체 장치를 적층 배치하여 구성하는 POP(Package On Package)형 반도체 장치도 제안되어 있다.
- <37> 당해 POP형 반도체 장치는, 도 4에 나타낸 바와 같이, 배선 기판(1) 상에 반도체 소자(4)가 플립칩 실장된 반도체 장치(10) 상에, 외부 접속 단자(13)를 통하여, 배선 기판(8)의 상면에 반도체 소자(9)가 탑재되고, 본딩 와이어(11)에 의해 배선 기판(8)과 반도체 소자(9)가 접속되는 반도체 장치(20)가 탑재된 형태를 갖는다.
- <38> 이러한 구성에서, 반도체 장치(20)에서는, 반도체 소자(9) 및 본딩 와이어(11)를 포함하는 배선 기판(8) 상면은 밀봉용 수지(12)에 의해 수지 밀봉되어 있다. 한편, 배선 기판(8)의 하면에서, 반도체 장치(10)의 외부 접속 단자(7)와 대응하는 개소에는, 선택적으로 형성된 전극의 표면에 설치된 구형 전극 단자 등의 외부 접속 단자(13)가 배열 설치되어 있다.
- <39> 당해 반도체 장치(20)의 외부 접속 단자(13)는 반도체 장치(10)의 외부 접속 단자(7)에 접속되고, 반도체 장치(10)에 적층 배치되어 있다. 또한, 반도체 장치(10)의 배선 기판(1)의 하면에는, 선택적으로 형성된 전극의 표

면에 설치되는 구형 전극 단자 등의 외부 접속 단자(14)가 배열 설치되어 있다.

<40> 이러한 구조에서, 온도 변화가 있으면, 각 구성 부재의 열팽창 계수의 상이에 의해, 도 4에 나타낸 바와 같이, 반도체 장치(10)에서 반도체 소자(4) 측이 솟아오른 볼록한 형상의 휘어짐이 발생하고, 한편, 반도체 장치(20)에서는 배선 기판(8) 측이 솟아오른 오목한 형상의 휘어짐이 발생한다.

<41> 이 결과, 각 구성 부재에 내재하는 내부 응력을 커지고, 반도체 소자(4)의 주위에 위치하는 언더필재(5)의 휠레부와 댐(6)의 계면에서 박리가 발생하기 쉽다.

<42> 이러한, POP형 반도체 장치에서도 외형 치수의 더 소형화의 요구가 높고, 외부 접속 단자(7)를 반도체 소자(4)에 더 근접하여 배열 설치하는 것이 요구된다. 또한, 도 4에 나타낸 구성에서, 상부 반도체 장치(20)를 탑재하는 대신에, 배선 기판(1)의 외부 접속 단자(7)에 용량 소자 등을 접속할 경우에도, 반도체 장치(10)의 전기적 특성의 향상을 도모하기 위해, 당해 외부 접속 단자(7)는 반도체 소자(4)에 더 근접하여 배치되는 것이 요구된다.

<43> 이러한 경우, 배선 기판(1) 상에서, 외부 접속 단자(7)와 반도체 소자(4) 사이에 배열 설치되는 댐(6)을 반도체 소자(4)에 근접하여 배치하게 되어, 휠레(A)는 충분한 확장을 얻을 수 없으며, 배선 기판(1)과 반도체 소자(4)의 접속 신뢰성을 저하를 초래하게 될 우려가 있다.

<44> 또한, 댐(6)의 폭을 작게 함으로써, 휠레(A)의 크기를 유지하면, 댐(6)과 배선 기판(1)의 표면의 계면에 응력이 집중되기 쉬워, 당해 계면에서 댐(6)재(材)의 박리를 발생시키고, 또는 당해 계면의 근방에서 댐(6) 및/또는 배선 기판(1)에 크랙이 발생하기 쉬워진다.

<45> 본 발명은 상기한 점을 감안하여 이루어진 것으로서, 그 표면에 전자 부품이 플립칩 실장되고, 당해 전자 부품과 상기 표면 사이에 언더필재가 배열 설치되는 배선 기판에서, 상기 댐의 배열 설치 형태를 바꾸고, 따라서 언더필재의 휠레에는 충분한 확장을 부여하고, 또한 당해 언더필재와 댐의 계면에서의 박리를 방지하여, 높은 신뢰성을 얻을 수 있는 동시에, 전자 기기의 소형화에 대응할 수 있는, 배선 기판, 및 전자 부품의 배선 기판으로의 실장 구조를 제공하는 것을 목적으로 한다.

### 과제 해결수단

<46> 본 발명의 일 관점에 의하면, 한쪽의 주면(主面)에, 전자 부품이 범프(bump)를 통하여 실장되고, 상기 전자 부품의 주위의 적어도 일부가 수지에 의해 피복되는 배선 기판으로서, 상기 주면에서, 상기 전자 부품이 실장되는 영역의 주위의 적어도 일부에, 댐(dam)이 배열 설치되고, 상기 댐에서의, 상기 수지와 접하는 면은 곡선부가 연속적으로 형성되어 이루어지는 형상을 갖는 것을 특징으로 하는 배선 기판이 제공된다.

<47> 상기 댐은 적어도 일부가 상기 배선 기판에서의 상기 전자 부품의 실장 영역의 주위를 따라 배열 설치될 수도 있다. 또한, 상기 댐은 상기 전자 부품을 둘러싸도록 거의 직사각형 형상으로 배열 설치되고, 당해 댐의 거의 직사각형 형상의 네개의 모서리부는 상기 전자 부품의 실장 영역으로부터 가장 떨어진 개소에 위치하고 있을 수도 있다. 또한, 상기 댐은 절연성 수지를 포함할 수도 있다. 또한, 상기 전자 부품이 실장되는 당해 배선 기판의 면 상(上)에는 상기 댐보다도 외측(外側)에, 외부 접속 단자가 배열 설치되어 있을 수도 있다. 또한, 상기 댐은 상기 외부 접속용 단자의 외형 형상에 대응한 형상을 갖고 있을 수도 있다. 또한, 상기 댐은 서로 인접하여 설치된 상기 외부 접속 단자 사이에서는, 당해 배선 기판에서의 상기 전자 부품의 실장 영역으로부터 멀어지는 방향을 향하는 형상으로 배열 설치되어 있을 수도 있다.

<48> 본 발명의 다른 관점에 의하면, 배선 기판의 한쪽의 주면에, 범프를 통하여 반도체 소자가 실장되고, 당해 배선 기판의 한쪽의 주면에서의, 상기 반도체 소자의 주위의 적어도 일부에, 곡선부가 연속적으로 배열 설치되어 이루어지는 댐이 배열 설치되고, 상기 반도체 소자와 상기 댐 사이에서의 상기 배선 기판의 표면이 수지에 의해 피복되어 이루어지는 것을 특징으로 하는 반도체 장치가 제공된다.

<49> 상기 반도체 소자가 실장되는 당해 배선 기판의 면 상에서, 상기 댐 보다도 외측에 외부 접속 단자가 배열 설치되고, 제 2 반도체 소자가 상기 반도체 소자 상에 적층 배치되는 동시에, 상기 외부 접속 단자에 접속되어 이루어지는 것으로 할 수도 있다. 또한, 상기 외부 접속용 단자에, 수동 소자 부품이 실장되어 이루어지는 것으로 할 수도 있다.

### 효과

<50> 본 발명에 의하면, 전자 부품이 범프 접속에 의해 실장되고, 댐에 의해 배열 설치 영역이 확정되는 언더필재에

의해 상기 전자 부품이 접합되는 배선 기판으로서, 램과 언더필재의 휠레의 계면에서의 박리를 방지하여 신뢰성을 향상시킬 수 있으며, 또한 전자 기기의 소형화에 대응할 수 있는 배선 기판, 및 반도체 장치를 제공할 수 있다.

### 발명의 실시를 위한 구체적인 내용

<51> 이하, 본 발명의 실시예에 대해서 설명한다.

<52> 또한, 본 발명의 각 실시예에서, 배선 기판에 탑재되는 전자 부품의 일례로서, 플립칩 실장되는 반도체 소자를 들고 있지만, 본 발명은 이러한 예에 한정되지 않고, 범프 접속 방식에 의해 배선 기판에 탑재되는 다른 전자 부품, 예를 들어 BGA(Ball Grid Array)형, 또는 LGA(Land Grid Array)형의 반도체 장치일 수도 있다.

<53> [제 1 실시예]

<54> 본 발명의 제 1 실시예에 따른 배선 기판의 구조를 도 5에 나타낸다. 도 5의 (b)는 도 5의 (a)의 선 X-X에서의 단면을 나타내고, 도 5의 (c)는 도 5의 (a)에서 점선(A)으로 둘러싼 부분을 확대하여 나타낸다. 또한, 도 5의 (a)에서, 점선(B)으로 둘러싼 직사각형 영역은 반도체 소자의 실장·탑재 영역을 나타낸다.

<55> 도 5의 (a) 및 도 5의 (b)를 참조하면, 본 발명의 제 1 실시예에 따른 배선 기판(50)은 유리-에폭시, 유리-BT(비스멀레이미드 트리아진), 폴리이미드 등의 유기 수지재, 세라믹스 또는 유리 등의 무기 재료, 또는 실리콘(Si) 등의 반도체 재료로 이루어지는 기판 기재(基材)(51)의 양면에, 구리(Cu), 알루미늄(Al) 등으로 이루어지는 배선 패턴이 다층 배선층 구조를 갖고 선택적으로 배열 설치되어 있다.

<56> 당해(當該) 배선 패턴의 일부로서, 기판 기재(51)의 한쪽의 주면(主面)(상면)에는, 당해 배선 기판(50) 상에 플립칩 실장되는 반도체 소자의 전극이 접속되는 전극 단자(52), 및 당해 배선 기판(50) 상에 적층 배치되는 반도체 장치의 접속용(이하에서는, 상부 반도체 장치 접속용이라고 함)의 외부 접속 단자(53)가 배열 설치되어 있다.

<57> 또한, 당해 기판 기재(51)의 다른 쪽의 주면(下면)에는, 당해 배선 기판(50)을 전자 기기의 마더보드 등으로의 접속용 구형 전극 단자가 배열 설치되는 외부 접속용 단자(54)가 복수 설치되어 있다.

<58> 상기 배선 패턴, 전극 단자(52), 및 외부 접속용 단자(53, 54)는 소위 포토 에칭법, 선택 도금법 등에 의해 형성된다.

<59> 당해 전극 단자(52) 및 외부 접속용 단자(53, 54)의 표면은 전해 도금법 또는 무전해 도금법에 의해, 하층으로부터 차례로, 니켈(Ni)/금(Au)의 2층 도금층, 또는 구리(Cu)/니켈(Ni)/금(Au)의 3층 도금층에 의해 회복될 수도 있다.

<60> 또한, 도 5의 (b)에서는, 다층 배선 구조에서의 내층 배선을 도시하고 있지 않다.

<61> 또한, 전극 단자(52)의 표면에는, 예를 들어 뼈납, 도전성 수지 등으로 이루어지는 재(再)용용성의 도전재가 회복될 수도 있다.

<62> 배선 기판(50)에서의, 다층 배선층의 최상층에는, 에폭시계, 아크릴계, 폴리이미드계 등의 수지, 또는 이들의 혼합 수지 등으로 이루어지는 절연성 수지층(55)이 배열 설치되어 있다.

<63> 당해 절연성 수지층(55)은 예를 들어, 감광성 포토레지스트 재료를, 인쇄법, 스프레이 코팅법, 열(熱) 롤을 사용한 라미네이팅법, 스판 코팅법 등에 의해 배선 기판(50)의 표면에 형성하고, 포토리소그래피법에 의해 개구(開口) 패턴을 형성한다. 이 결과, 배선 기판(50)의 상면의 거의 중앙부에 형성된 개구부(Op) 내에서 전극 단자(52)가 노출되고, 또한 배선 기판(50)의 상면의 외주(外周) 가장자리부 근방에서 반도체 장치 접속용의 외부 접속 단자(53)가 노출된다. 또한, 배선 기판(50)의 하면에서는, 외부 접속용 단자(54)가 노출된다.

<64> 당해 절연성 수지층(55)은 예를 들어,  $1\mu\text{m}$  내지  $30\mu\text{m}$ 의 두께로 설정된다. 더 두껍게 형성할 경우에는, 예를 들어 두께  $1\mu\text{m}$  내지  $15\mu\text{m}$ 의 수지층을 복수 중첩하여 형성한다.

<65> 본 발명의 제 1 실시예에 따른 배선 기판(50)에서는, 당해 배선 기판(50)의 상면에서, 외부 접속 단자(53)와, 파선(B)에 의해 나타내지는 반도체 소자 실장 영역 사이에, 램(56)이 선택적으로 배열 설치되어 있다. 당해 램(56)은 점선(B)으로 나타낸 반도체 소자의 실장 영역을 둘러싸도록, 절연성 수지층(55) 상에서 고리 형상으로 설치된다. 이에 따라, 언더필재의 배열 설치 영역이 설정된다.

- <66> 제 1 실시예에 따른 배선 기판(50)에서는, 이러한 고리 형상의 땜(56)에서의 형태·패턴이 특징적이다. 즉, 당해 땜(56)은 언더필재와 접하는 내측면(점선(B)으로 나타낸 반도체 소자(65)의 실장 영역 측의 면)은 배선 기판 상에 배열 설치된 외부 접속 단자(53)의 외형 형상(거의 원 형상)에 대응한, 원호 형상의 곡선부가 연속적으로 이루어지는 형상을 갖는다.
- <67> 또한, 인접하는 외부 접속 단자(53) 사이에서는, 당해 땜(56)의 원호 형상의 곡선부가 반도체 소자의 실장 영역으로부터 멀어지는 방향(외측)을 향하여 배열 설치되어 있다.
- <68> 당해 땜(56)은 솔더레지스트재 등의 절연성 수지, 또는 구리(Cu), 알루미늄(Al), 니켈(Ni), 주석(Sn) 등의 금속 또는 이들의 합금, 또는 세라믹스 등의 무기 재료로 형성된다. 절연성 수지로 형성될 경우에는, 배선 기판의 제조 방법에서의 절연성 수지층의 형성 방법과 동일한 방법에 의해 형성할 수 있고, 이 결과, 수지로 이루어지는 언더필재와의 밀착성이 우수하다. 또한, 당해 땜(56)을, 절연성 수지층(55)을 구성하는 수지 재료와 동일한 재료로 형성할 수도 있다.
- <69> 이러한 땜(56)의 배열 설치 구성에서, 당해 땜(56)이 솔더레지스트재로 이루어질 경우, 땜(56)의 높이(배선 기판(50)의 표면에 대하여 수직 방향의 길이)를, 예를 들어 약  $10\mu\text{m}$  내지  $300\mu\text{m}$ 로, 또한 폭(C)을 약  $0.1\text{mm}$  이상으로 설정한다. 또한, 당해 땜(56)의, 인접하는 원호 형상의 곡선부의 정점 사이의 거리(D)를, 약  $0.1\text{mm}$  이상  $3\text{mm}$  이하로 설정한다.
- <70> 또한, 당해 땜(56)의 내벽면(도 5의 (a)에서 점선(B)으로 나타낸 반도체 소자의 실장 영역 측의 면)에서, 원호 형상의 곡선부의 정점부와 골짜기 부분 사이에서의 반도체 소자의 실장 영역에 대한 거리의 차(E)를, 약  $0.1\text{mm}$  이상  $3\text{mm}$  이하로 설정한다. 또한, 당해 땜(56)에서의 원호 형상의 곡선부의 정점부와 당해 원호 형상부의 접속부 선단(先端) 사이의 거리(유효 폭이라고 함)(F)가  $0.3\text{mm}$  이상으로 설정된다.
- <71> 다음으로, 상술한 구조를 구비한 배선 기판(50)에, 반도체 소자가 페이스 다운으로 탑재(플립칩 실장)된 구조를, 도 6을 참조하여 설명한다.
- <72> 여기서, 도 6의 (b)는 도 6의 (a)의 선 X-X의 단면을 나타낸다.
- <73> 도 6을 참조하면, 배선 기판(50)의 한쪽의 주면(상면)에서, 상기 도 5의 (a)에서 점선(B)으로 나타낸 반도체 소자의 실장 영역에, 반도체 소자(65)가 페이스 다운 방식을 갖고 탑재되어 있다.
- <74> 당해 반도체 소자(65)는 소위 웨이퍼 프로세스가 적용되어, 실리콘(Si) 또는 갈륨 비소(GaAs) 등의 반도체 기판의 한쪽의 주면에, 트랜지스터 등의 능동 소자, 콘덴서 등의 수동 소자 및 이들 소자를 접속하는 배선층을 갖고 형성된 전자 회로를 구비하고, 당해 주면에는, 알루미늄(Al) 또는 구리(Cu)를 주체로 하는 금속으로 이루어지는 전극 패드(66)가 배열 설치되어 있다.
- <75> 당해 전극 패드(66) 상에는, 금(Au), 구리(Cu) 또는 이들의 합금 또는 땜납 등으로 이루어지는 볼록한 형상(돌기 형상) 외부 접속 단자인 범프(67)가 형성되어 있다.
- <76> 또한, 도 6에서는, 반도체 소자(65)에서의 회로 소자부 및 배선층 등의 도시는 생략하고 있다.
- <77> 한편, 배선 기판(50)의 표면에 배열 설치된 전극 단자(52)의 표면에는, 접속되는 반도체 소자(65)의 전극 형태 등에 대응하여, 땜납, 또는 도전성 수지 등으로 이루어지는 재용융성의 도전 부재(69)가 피복되어 있다. 당해 도전 부재(69)는 인쇄법, 전사법, 증착법, 또는 화학 반응 석출법 등에 의해 피착(被着)된다. 상기 배선 기판(50)의 전극 단자(52)와 반도체 소자(65)의 범프(67)는 이러한 도전 부재(69)를 통하여 접속되어 있다.
- <78> 또한, 배선 기판(50)의 다른 쪽의 주면(하면)에 복수 배열 설치된 구형 전극 단자 접속용의 외부 접속용 단자(54)에는, 구형 전극 단자(68)가 설치되어 있다.
- <79> 그리고, 배선 기판(50)과 반도체 소자(65)의 전자 회로 형성면이 대향하는 간극, 및 당해 반도체 소자(65)의 외주 부분과 상기 땜(56) 사이에는, 언더필재(70)가 배열 설치되어 있다.
- <80> 당해 언더필재(70)에 의해, 배선 기판(50)과 반도체 소자(65)의 전자 회로 형성면의 간극은 밀봉되고, 또한 당해 반도체 소자(65)의 외주 부분과 땜(56) 사이도 밀봉되어, 당해 반도체 소자(65)는 배선 기판(50) 상에 고착되어 있다. 또한, 언더필재(70)는 상기 반도체 소자(65)의 주위에서는, 땜(56)과의 사이에서, 훨레라는 슬로프 형상으로 형성된 부위(A)를 갖는다.
- <81> 당해 언더필재(70)는 예폭시 수지, 폴리이미드 수지, 또는 아크릴 수지 등으로 이루어지는 열경화성

접착제이고, 경화 후의 수지의 열팽창률, 점도 또는 유동성을 조정하기 위해, 실리카 또는 세라믹스 등의 무기 물 필러를 함유할 수도 있다. 또한, 당해 언더필재(70)는 플립칩 실장의 방법에 따라서는, 은(Ag) 입자 또는 표면에 금속이 피복된 플라스틱 입자 등의 도전성 필러를 함유할 수도 있다.

- <82> 상술한 바와 같이, 반도체 소자(65)가 플립칩 실장되는 배선 기판(50) 상에는, 당해 반도체 소자(65)의 실장부와 그리드(grid) 형상으로 배열 설치된 복수개의 외부 접속 단자(53) 사이에서, 땜(56)이 배열 설치되어 있다.
- <83> 당해 땜(56)의 배열 설치에 의해, 언더필재(70)가 유출되어 외부 접속 단자(53)에 도달하는 것을 방지할 수 있고, 당해 외부 접속 단자(53)를, 반도체 소자(65)의 실장부에 더 근접하여 배열 설치할 수 있다. 따라서, 반도체 장치의 소형화를 도모할 수 있고, 또한 기판 설계의 자유도를 높일 수 있다.
- <84> 특히, 본 제 1 실시예에서는, 상술한 바와 같이, 땜(56)은 원호 형상의 곡선부가 연속적으로 형성된 형상을 갖고, 또한 당해 원호 형상부의 접속부는 인접하는 외부 접속 단자(53)의 사이에 위치하여 배열 설치되어 있다.
- <85> 따라서, 당해 땜(56)과 외부 접속 단자(53) 사이의 거리를 크게 하지 않아, 반도체 장치로서의 소형화를 방해하지 않는다.
- <86> 또한, 땜(56)은 원호 형상의 곡선부가 연속적으로 형성된 형상을 갖기 때문에, 땜(56)의 내벽면(도 5의 (a)에서 점선(B)으로 나타낸 반도체 소자의 실장 영역 측의 면)과 언더필재(70)가 접촉하는 면적이 크다. 또한, 당해 형상에 의한 앵커 효과에 의해, 언더필재(70)의 접착성이 증가하기 때문에, 언더필재(70)와 땜(56)의 밀착성을 향상시킬 수 있다.
- <87> 또한, 땜(56)은 평면적으로 보아 원호 형상의 곡선부가 연속되는 형상을 갖기 때문에, 땜의 유효 폭(도 5의 (c)에서 설명한 F의 치수)은 땜의 폭(도 5의 (c)에서 설명한 C의 치수) 보다도 크고, 땜(56)과 배선 기판(50)의 계면 근방에서의 응력 집중을 저감할 수 있다. 따라서, 당해 계면에서의 당해 땜(56)의 박리, 또는 땜(56) 및/또는 배선 기판(50)에 크랙이 발생하는 것을 방지할 수 있다.
- <88> 따라서, 언더필재(70)의 휠레(A)와 땜(56)의 계면에서의 박리의 발생을 방지할 수 있고, 반도체 장치의 신뢰성을 향상시킬 수 있다.
- <89> 또한, 땜(56)의 언더필재(70)와 접하는 내벽면(도 5의 (a)에서 점선(B)으로 나타낸 반도체 소자(65)의 실장 영역 측의 면)은 평면적으로 보아 원호 형상부가 연속적으로 형성된 형상을 갖고, 또한 땜(56)은 인접하여 설치된 외부 접속 단자(53) 사이에서는, 도 5의 (a)에서 점선(B)으로 나타낸 반도체 소자(65)의 실장 영역으로부터 멀어지는 방향(외측)을 향하도록 배열 설치되어 있다.
- <90> 따라서, 언더필재(70)의 휠레(A)의 배선 기판(50)과의 접촉 면적, 즉 반도체 소자(65)의 주위에서의 스커트 형상(skirt shape)의 확장 면적을 크게 형성할 수 있고, 배선 기판(50)과 언더필재(70)의 밀착성을 향상시킬 수 있기 때문에, 반도체 장치의 신뢰성을 향상시킬 수 있다.
- <91> 또한, 땜(56)의 원호 형상부는 상부 반도체 장치 접속용의 외부 접속 단자(53)의 외형 형상(거의 원 형상)에도 대응하여 형성되어 있기 때문에, 당해 외부 접속 단자(53)를, 반도체 소자(65)에 더 근접하여 배열 설치할 수 있고, 반도체 장치의 소형화를 도모할 수 있다.
- <92> 또한, 땜(56)은 도 5의 (a)에서 점선(B)으로 나타낸 반도체 소자의 실장 영역을 둘러싸도록 고리 형상으로 배열 설치되어 있다. 따라서, 언더필재(70)가 유출되어 상부 반도체 장치 접속용의 외부 접속 단자(53)에 접촉되게 되는 것을, 반도체 소자의 외주 전체 둘레에 걸쳐, 땜(56)에 의해 회피할 수 있다.
- <93> 따라서, 외부 접속 단자(53)를, 배선 기판(50)에 실장하는 반도체 소자에 근접하여 배열 설치할 수 있다. 따라서, 반도체 장치의 소형화를 도모할 수 있고, 또한 기판 설계 자유도를 향상시킬 수 있다.
- <94> 특히, 상기 고리 형상은 거의 직사각형 형상이고, 당해 거의 직사각형 형상의 네개의 모서리 근방에서는, 땜(56)은 도 5의 (a)에서 점선(B)으로 나타낸 반도체 소자(65)의 실장 영역으로부터 멀어지는 방향(외측)을 향하도록 배열 설치되고, 그 단부(端部)는 상기 실장 영역으로부터 가장 멀어진 개소(箇所)에 위치하고 있다.
- <95> 일반적으로, 반도체 소자를 배선 기판에 플립칩 실장할 경우, 당해 반도체 소자를 둘러싸는 영역의 네개의 모서리 부분에서 응력이 가장 집중되기 때문에, 본 예와 같이, 당해 네개의 모서리의 근방에서, 반도체 소자(65)의 실장 영역으로부터 멀어지는 방향(외측)을 향하여 땜(56)을 배열 설치하고, 언더필재(70)의 휠레(A)를 당해 네개의 모서리 부분에서 크게 함으로써, 언더필재(70)와 배선 기판(50)의 접합 강도를 충분히 확보할 수 있고, 반도체 장치의 신뢰성을 향상시킬 수 있다.

- <96> 또한, 땜(56)은 절연성 수지층(55) 상에 배열 설치되어 있기 때문에, 반도체 소자(65)를 접속하기 위한, 배선 기판(50)의 본딩 전극(52)을 개구 노출한 절연성 수지층(55)과 땜(56)을 일체로 형성할 수 있다.
- <97> 본 발명에서의 상기 땜(56)은 상기 실시예에 한정되지 않고, 도 7 내지 도 9에 나타낸 형상으로 할 수도 있다.
- <98> 또한, 도 9의 (b)는 도 9의 (a)에 나타낸 땜 구조체를, 경사 상방으로부터 본 상태를 나타낸다.
- <99> 당해 땜(56)의 제 1 변형예에 따른, 땜(56-1) 및 상부 반도체 장치 접속용의 외부 접속 단자(53)를, 도 7에 나타낸다.
- <100> 본 변형예에서는, 땜(56-1)은 평면적으로 보아, 원호 형상의 곡선부가 연속적으로 형성되고, 인접하여 설치된 외부 접속 단자(53) 사이에서, 도 5의 (a)에서 점선(B)으로 나타낸 반도체 소자의 실장 영역으로부터 멀어지는 방향(외측)을 향하도록 배열 설치되어 있지만, 당해 원호 형상부의 접속부는 외부 접속 단자(53) 사이에 침입되어 있지 않다.
- <101> 당해 도 7에 나타낸 형상에서도, 언더필재(70)의 훨레(A)의 배선 기판(50)과의 접촉 면적, 즉 반도체 소자의 주 위에서의 스커트 형상의 확장 면적은 크게 형성되기 때문에, 배선 기판(50)과 언더필재(70)의 밀착성을 향상시킬 수 있고, 반도체 장치의 신뢰성을 높일 수 있다.
- <102> 당해 땜(56)의 다른 변형예에 따른, 땜(56-2 내지 56-5)을, 도 8의 (a) 내지도 8의 (d)에 나타낸다.
- <103> 각 도면에서, 모든 땜(56)의 상방이 도 5의 (a)에서 점선(B)으로 나타낸 반도체 소자(65)의 실장 영역 측에 대응하고, 땜(56)의 하방이 배선 기판(50)의 외주 측에 대응하고 있다.
- <104> 즉, 당해 땜(56)의 평면 형상은, 도 8의 (a)에 나타낸 바와 같이, 반도체 소자(65)의 실장 영역 측에 예각부가 배열 설치된 톱니 형상, 도 8의 (b)에 나타낸 바와 같이, 예각부를 갖는 톱니 형상의 커팅(cutting)이 일정한 간격을 갖고 배열 설치된 형상, 또는 도 8의 (c)에 나타낸 바와 같이, 거의 직사각형 형상의 커팅이 연속적으로 배열 설치된 형상일 수도 있다. 또한, 당해 땜(56)의 평면 형상은, 도 8의 (d)에 나타낸 바와 같이, 거의 사인파(sine waves) 형상으로 연속되는 과형(波形)의 형태로 될 수도 있다.
- <105> 또한, 당해 땜(56)은, 도 9에 나타낸 바와 같이, 땜(56-6a) 및 땜(56-6b)의 2층 구조로 할 수도 있다.
- <106> 즉, 반도체 소자(65)의 실장 영역 측에, 평면적으로 보아 거의 사인파 형상의 과형 형상이 연속적으로 형성된 땜(56-6a) 상에, 인접하는 과형 형상의 곡선부끼리의 사이의 길이(피치)를 약 1/2 피치 어긋나게 하여 거의 사인파 형상의 곡선부가 연속적으로 형성된 땜(56-6b)을 적층하여 이루어지는 형태일 수도 있다.
- <107> 이러한 형상은 도 5의 (c)에 나타낸 예에 비해, 과형 형상의 곡선부의 수가 약 2배로 되어 있기 때문에, 땜(56)의 내벽면과 언더필재(70)의 접촉 면적이 크게 증가한다.
- <108> 또한, 복수개의 과형 형상의 곡선부에 의한 앵커 효과에 의한 언더필재(70)의 접착성이 증가하고, 당해 언더필재(70)와 땜(56)의 밀착성을 더 향상시킬 수 있다.
- <109> 다음으로, 이러한 구조를 갖는 반도체 장치(80)의 상부에 다른 반도체 장치(90)를 적층 배치하여 이루어지는 POP(Package On Package)형의 반도체 장치에 대해서, 도 10을 참조하여 설명한다.
- <110> 도 10에 나타낸 바와 같이, 상기 반도체 장치(80) 상에는, 제 2 BGA(Ball Grid Array)형 반도체 장치(90)가 적층 배치되어 있다.
- <111> 당해 반도체 장치(90)에서는, 하면의 외주 근방에 설치된 외부 접속용 단자(91)에 땜납을 주체로 하는 구형 전극 단자(92)가 설치된 배선 기판(93) 상에, 제 1 반도체 소자(94)가 제 1 접착제(95)를 통하여 탑재 배치되어 있다.
- <112> 또한, 당해 제 1 반도체 소자(94) 상에는, 제 2 반도체 소자(96)가 제 2 접착제(97)를 통하여 탑재 배치되어 있다.
- <113> 제 1 반도체 소자(94) 및 제 2 반도체 소자(96)는 전자 회로 형성면이 위를 향한 상태에서, 배선 기판(93) 상에 탑재 배치되어 있다.
- <114> 그리고, 당해 제 1 반도체 소자(94)의 전극 패드(98) 및 제 2 반도체 소자(96)의 전극 패드와, 배선 기판(93)의 본딩 패드(101) 사이는 본딩 와이어(102)에 의해 각각 접속되어 있다.
- <115> 또한, 제 1 반도체 소자(94) 및 제 2 반도체 소자(96)는 본딩 와이어(102)와 함께, 배선 기판(93) 상에서 밀봉

수지(103)에 의해 밀봉되어 있다.

<116> 이러한 반도체 장치(90)는 반도체 장치(80) 상에 적층 배치되고, 그 구형 전극 단자(92)는 반도체 장치(80)의 외부 접속 단자(53)에 접속되어, POP(Package On Package)형의 반도체 장치가 구성되어 있다.

<117> 이러한 구성에서, 온도 변화가 생기고, 반도체 장치(80)와 반도체 장치(90) 사이에 휘어짐이 발생하여, 반도체 장치(90)의 구형 전극 단자(92)의 근방부에 응력이 집중해도, 반도체 장치(80)에서는, 상기 땜(56)이 배열 설치되어 있기 때문에, 반도체 소자(65)의 주위에 위치하는 언더필재(70)의 휠레(A)와 땜(56)의 계면에서의 박리를 발생시키지 않는다.

<118> 또한, 땜(56)과 땜 배열 설치부의 계면에서의 박리, 및 당해 계면의 근방에서의 땜(56) 및/또는 배선 기판(50)에서의 크랙의 발생을 방지할 수 있다.

<119> 다음으로, 상기 배선 기판(50)으로의 반도체 소자(65)의 실장 방법에 대해서, 도 11 및 도 12를 참조하여 설명한다.

<120> 우선, 본딩 스테이지(도시 생략) 상에, 배선 기판(50)을 흡착하여 유지한다. 이 때, 당해 본딩 스테이지를 가열하여, 배선 기판(50)을 예를 들어, 약 50°C 내지 100°C로 가열할 수도 있다(도 11의 (a) 참조).

<121> 또한, 당해 배선 기판(50)의 본딩 전극(52)의 표면에는, 미리 땜납 등의 재용융성의 도전재(69)가 피복되어 있다.

<122> 또한, 당해 배선 기판(50)의 상면에서, 상부 반도체 장치 접속용의 외부 접속 단자(53)와, 도 5의 (a)에서 점선(B)으로 나타낸 반도체 소자(65)의 실장 영역 사이에는, 평면적으로 보아, 원호 형상부가 연속적으로 배열 설치되어 이루어지는 땜(56)이 배열 설치되어 있다.

<123> 당해 땜(56)은 절연성 수지층(55)과 동일한 재료 및 동일한 제법(製法)에 의해, 당해 절연성 수지층(55) 상에 중첩되고, 일체로 형성될 수도 있다.

<124> 즉, 절연성 수지층(55)과 동일한 재료 및 동일한 제법에 의해 땜(56)을 형성함으로써, 절연성 수지층(55)과 땜(56)을 일체로 형성할 수 있다. 이에 따라, 절연성 수지층(55)과 땜(56)의 밀착성을 향상시키고, 절연성 수지층(55)과 땜(56)의 계면 응력을 저감시킬 수 있으며, 응력 집중에 의한 당해 계면에서의 크랙 등의 발생을 방지할 수 있다. 또한, 배선 기판(50)의 구성 재료 수를 줄일 수 있다.

<125> 당해 땜(56)은 미리 에칭, 기계 가공, 주조 또는 편평 가공법 등에 의해 형성한 프레임 형상, L자 형상, D자 형상, 또는 막대 형상의 판재(板材)를, 배선 기판(50) 상에 접합함으로써 형성할 수 있다. 당해 막대 형상 또는 판재에 적용하는 재료로서는, 구리(Cu), 알루미늄(Al), 니켈(Ni), 또는 주석(Sn) 등의 금속 또는 이들의 합금, 에폭시 등의 유기 재료, 또는 세라믹스 등의 무기 재료로부터 선택할 수 있다.

<126> 또한, 당해 땜(56)은 페이스트(paste) 상태의 수지를 디스펜싱법에 의해 배선 기판(50) 상에 퍼착하고, 경화시켜 형성할 수도 있다.

<127> 또한, 당해 땜(56)은 배선 기판(50)의 땜 형성 예정 부위에, 미리 더미(dummy) 패턴을 형성하여 두고, 당해 더미 배선 패턴 상에 땜납 페이스트를 도포하여, 리플로잉(reflowing)함으로써 형성할 수도 있다.

<128> 한편, 전극 패드(66) 상에 범프(67)가 형성된 반도체 소자(65)를, 예를 들어 약 250°C 내지 320°C로 가열한 본딩 툴(130)에, 흡착 구멍(131)을 통하여 흡착하여 유지한다.

<129> 또한, 범프(67)는 와이어 본딩 기술을 사용한, 소위 볼 본딩법을 이용하여 형성할 수 있다. 또한, 당해 범프(67)의 형성 방법으로서는, 당해 볼 본딩법 외에, 도금법, 전사법, 인쇄법 등, 다른 제법을 사용할 수도 있다.

<130> 이어서, 반도체 소자(65)의 범프(67)와 배선 기판(50)의 본딩 전극(52)이 대향하도록 위치 맞춤한다.

<131> 이어서, 반도체 소자(65)를 흡착하여 유지하는 본딩 툴(130)을 강하(降下)하고, 반도체 소자(65)의 범프(67)를 배선 기판(50)의 본딩 전극(52)에 압착하여 접촉시키고, 본딩 전극(52)의 표면에 코팅되어 있는 도전재(69)를 가열 용융하며, 반도체 소자(65)의 범프(67)와 배선 기판(50)의 본딩 전극(52)을 접속한다(도 11의 (b) 참조). 이 때, 본딩 툴(130)의 인가 하중으로서, 예를 들어 약 1gf/bump 내지 140gf/bump를 선택할 수 있다.

<132> 다음으로, 디스펜서(도시 생략)를 사용하여 노즐(132)로부터, 페이스트 상태의 언더필재(70)를 주입한다(도 12의 (c) 참조). 즉 반도체 소자(65)와 땜(56) 사이에, 노즐(132)로부터 페이스트 상태의 언더필재(70)를 토출하고, 당해 언더필재(70)를, 모세관 현상에 의해, 반도체 소자(65)와 배선 기판(50)의 간극 부분 및 반도체 소자

(65)의 외주 부분에 충전 주입한다.

<133> 또한, 언더필재(70)의 주입 시에, 언더필재(70)의 경화가 개시되지 않는 온도(예를 들어, 약 30°C 내지 100°C)로 배선 기판(50)을 가열할 수도 있다. 이에 따라, 언더필재(70)는 높은 유동성을 유지하고, 충전 시간을 짧게 할 수 있다. 또한, 당해 언더필재(70)의 미충전 개소 및/또는 보이드(void)의 발생을 방지·저감할 수 있다.

<134> 다음으로, 언더필재(70)를 오븐 등에 의해 가열 경화시킨다. 이 공정에서는, 가열 온도를, 예를 들어 약 120°C 내지 200°C로 설정할 수 있고, 또한 가열 시간을, 약 30분 내지 90분으로 설정할 수 있다. 이에 따라, 반도체 소자(65)의 배선 기판(50)으로의 실장이 이루어진다(도 12의 (d) 참조).

<135> 그 후, 배선 기판(50)의 다른 쪽의 주면(이면(裏面))에, 구형 전극 단자(68)(도 6의 (b) 참조)를 구성하는 땜납 볼을 복수개 설치하여, 도 6의 (b)에 나타낸 반도체 장치(80)가 형성된다.

#### [ 제 2 실시예 ]

<137> 본 발명의 제 2 실시예에 따른, 배선 기판의 구조를 도 13에 나타낸다. 도 13의 (b)는 도 13의 (a)의 선 X-X에서의 단면을 나타내고, 또한 도 13의 (a)에서, 점선(B)으로 둘러싼 부분은 당해 배선 기판에서의 반도체 소자의 실장 영역을 나타낸다.

<138> 도 13을 참조하면, 본 발명의 제 2 실시예에 따른 배선 기판(150)은, 폴리이미드 등의 유기 수지재로 이루어지는 테이프 형상의 기재(151)를 구비하고, 그 한쪽의 주면(상면)에만 배선 패턴(152)이 형성되어 있다. 그리고, 당해 배선 패턴(152)의 일부로서, 배선 기판(150)의 상면의 외주 측의 단부에는, 본딩 전극(153)이 배열 설치되어 있다.

<139> 또한, 당해 배선 패턴(152)의 타단(他端)(152A)에는, 기재(151)에 형성된 관통 구멍(154)이 배열 설치되어 있다. 당해 관통 구멍(154)에는, 마더보드 등의 외부 회로 접속용의 땜납을 주체로 하는 구형 전극 단자(155)가 배열 설치된다.

<140> 본 실시예에서의 배선 기판(150)의 상면에는, 그 외주부 근방에, 땜(156)이 선택적으로 배열 설치되어 있다. 즉, 당해 땜(156)은 점선(B)으로 나타낸 반도체 소자(65)의 실장 영역(B)의 외측에 배열 설치되어 있다.

<141> 당해 땜(156)은 반도체 소자(65)를 배선 기판(50)에 플립칩 실장할 때에, 상기 반도체 소자(65)와 배선 기판(50) 사이의 간극에 충전되는 언더필재(70)의 흐름을 차단하기 위한 것이고, 점선(B)으로 나타낸 반도체 소자(65)의 실장 영역을 둘러싸고, 기재(151) 상에 고리 형상으로 배열 설치된다. 이에 따라, 언더필재(70)의 배열 설치 영역이 확정된다.

<142> 이러한 땜(156)의, 언더필재(70)와 접하는 내벽면(점선(B)으로 나타낸 반도체 소자(65)의 실장 영역 측의 면)은 평면적으로 보아, 연속되는 과정의 요철 형상을 갖는다. 또한, 당해 땜(156)의 언더필재(70)와 접하는 내벽면의 평면 형상은 상기 도 8 또는 도 9에 나타낸 형상을 적용할 수도 있다.

<143> 또한, 땜(156)은 상기 제 1 실시예와 동일한 제조 방법에 의해 형성할 수 있다.

<144> 상기 배선 기판(150) 상에, 반도체 소자(65)가 페이스 다운으로 탑재(플립칩 실장)된 구조를, 도 14에 나타낸다. 또한, 도 14의 (b)는 도 14의 (a)의 선 X-X에서의 단면을 나타낸다. 또한, 반도체 소자(65) 및 언더필재(70)는 도 6에 나타낸 반도체 소자(65), 언더필재(70)와 동일한 구성을 갖기 때문에, 상세한 설명을 생략한다.

<145> 도 14를 참조하면, 배선 기판(150)의 한쪽의 주면(상면)에는, 도 13에서 점선(B)으로 나타낸 반도체 소자(65)의 실장 영역에, 반도체 소자(65)가 페이스 다운 형태를 갖고 탑재되고, 반도체 소자(65)의 범프(67)와 배선 기판(150)의 본딩 전극(153)이 접속되어 있다.

<146> 또한, 배선 기판(150)의 다른 쪽의 주면에는, 상기 관통 구멍(154) 내를 충전하고, 또한 상기 배선 패턴의 단부(152A)에 접속되어, 땜납을 주체로 하는 구형 전극 단자(155)가 배열 설치되어 있다.

<147> 그리고, 당해 반도체 소자(65)의 회로 소자면과 배선 기판(150)의 간극, 및 반도체 소자(65)의 외주 부분과 땜(156) 사이에는, 언더필재(70)가 배열 설치되어 있다.

<148> 이에 따라, 반도체 소자(65)의 회로 소자면과 배선 기판(150)의 간극, 및 반도체 소자(65)의 외주 부분과 땜(156) 사이가 밀봉되고, 또한 반도체 소자(65)가 배선 기판(150) 상에 고착되어 있다.

<149> 본 실시예에서는, 땜(156)은, 도 13에 나타낸 바와 같이, 반도체 소자(65)의 실장 영역을 거의 직사각형 형상으

로 둘러싸고, 또한 당해 직사각형 형상의 네개의 모서리 근방에서 반도체 소자(65)의 실장 영역으로부터 가장 떨어진 부위에 위치하여 배열 설치되어 있다.

<150> 이에 따라, 언더필재에 형성되는 휠레(A)는 당해 부위에 대응하여, 더 긴 스커트 형상을 갖고 형성된다.

<151> 일반적으로, 반도체 소자를 배선 기판에 플립칩 실장할 경우, 당해 반도체 소자를 둘러싸는 영역의 네개의 모서리 부분에서, 응력이 가장 집중된다. 그러나, 본 실시예에서, 언더필재(70)의 휠레(A)가 당해 네개의 모서리 부분에서 크게 형성됨으로써, 언더필재(70)와 배선 기판(150)의 고착 강도를 충분히 확보할 수 있으며, 반도체 장치의 신뢰성을 향상시킬 수 있다.

<152> 다음으로, 상기 배선 기판(150) 상으로의 반도체 소자(65)의 실장 방법에 대해서, 도 15를 참조하여 설명한다.

<153> 우선, 본딩 스테이지(도시 생략)에, 배선 기판(150)을 흡착·유지한다. 이 때, 당해 본딩 스테이지를 가열하여, 배선 기판(150)을 약 50°C 내지 100°C로 예열할 수도 있다.

<154> 또한, 당해 배선 기판(150)의 한쪽의 주면(상면)에는, 본딩 전극(153)을 포함하는 배선 패턴(152)이 형성되어 있다.

<155> 또한, 당해 배선 기판(150)의 상면에서, 당해 배선 패턴(152)의 형성 영역을 둘러싸고, 평면적으로 보아 원호 형상부가 연속적으로 이루어지는 린(156)이 배열 설치되어 있다.

<156> 이어서, 당해 배선 기판(150)의 상면에서, 린(156)에 의해 둘러싸인 영역에, 선택적으로 언더필재(70)를 피착한다.

<157> 한편, 전극 패드(66) 상에 범프(67)가 형성된 반도체 소자(65)를, 약 180°C 내지 280°C로 예열한 본딩 틀(130)에, 흡착 구멍(131)을 통하여 흡착 유지한다. 또한, 범프(67)는 제 1 실시예와 동일한 방법에 의해 전극 패드(66) 상에 형성된다.

<158> 그리고, 당해 반도체 소자(65)의 범프(67)와 배선 기판(150)의 본딩 전극(153)을 대향시키고, 위치 맞춤시킨다(도 15의 (a) 참조).

<159> 이어서, 상기 본딩 틀(130)을 강하시키고, 반도체 소자(65)의 범프(67)를 배선 기판(150)의 본딩 전극(153)에 압착하여, 접촉시킨다.

<160> 즉, 반도체 소자(65)의 범프(67)에, 예를 들어 약 10gf/bump 내지 200gf/bump의 하중을 인가하는 동시에, 언더필재(70)를 반도체 소자(65)의 하면 전체 면에 유동시키고, 당해 반도체 소자(65)와 배선 기판(150)의 간극 부분 및 반도체 소자(65)의 측면 외주부에 배치하여, 열경화시킨다(도 15의 (b) 참조).

<161> 또한, 이 때, 이러한 하중의 인가·가열법 외에, 반도체 소자(65)에 초음파를 부여하는 방법, 또는 가열하지 않고 하중의 인가와 초음파를 부여하는 방법에 의해, 배선 기판(150) 상에, 언더필재(70)를 통하여 반도체 소자(65)를 고착할 수도 있다.

<162> 이어서, 상기 언더필재(70)를 가열하여 완전히 경화시킨다. 이 때, 가열 수단으로서는, 예를 들어 오븐을 적용한다. 또한, 가열 온도를 예를 들어, 약 120°C 내지 200°C로 설정하고, 가열 시간을 약 30분 내지 90분으로 설정한다.

<163> 이에 따라, 배선 기판(150) 상으로의 반도체 소자(65)의 플립칩 실장이 이루어진다(도 15의 (c) 참조). 또한, 상기 도 15의 (b)에 나타낸 공정에서, 언더필재(70)를 완전히 경화시키는 공정을 채용할 경우에는, 도 15의 (c)에 나타낸 공정은 불필요하다.

<164> 그 후, 상기 배선 기판(150)의 다른 쪽의 주면(이면)에, 구형 전극 단자를 구성하는 린 납 볼을 복수개 배열 설치하여, 상기 도 14의 (b)에 나타낸 반도체 장치(160)가 형성된다.

<165> [제 3 실시예]

<166> 본 발명의 제 3 실시예에 따른 배선 기판의 구조를 도 16에 나타낸다. 도 16의 (b)는 도 16의 (a)의 선 X-X에서의 단면을 나타낸다. 또한, 도 16의 (a)에서, 점선(B1)에 의해 둘러싸인 부분, 및 점선(B2)에 의해 둘러싸인 부분은 각각 당해 배선 기판에서의 반도체 소자의 실장 영역을 나타낸다.

<167> 본 발명의 제 3 실시예에서의 배선 기판(250)은, 상기 제 1 실시예에서의 배선 기판(50)과 마찬가지로, 유기 수지재, 세라믹스 또는 유리 등의 무기 재료, 또는 실리콘(Si) 등의 반도체로 이루어지는 기판 기재(251)의 양면

예, 다층 배선층 구조를 갖고 구리(Cu), 알루미늄(Al) 등으로 이루어지는 배선 패턴이 선택적으로 배열 설치된다.

<168> 또한, 도 16에서는, 당해 배선 기판(250)의 한쪽의 주면(상면)을 주체로 나타내고 있고, 당해 배선 기판(250)의 다른 쪽의 주면(이면)은 도시 생략하고 있다.

<169> 당해 배선 기판(250)의 한쪽의 주면(상면)에서, 점선(B1)에 의해 둘러싸인 영역에는, 복수개의 범프용 전극(252)이 그리드 형상(매트릭스 형상)으로 배열 설치되고, 한편, 점선(B2)에 의해 둘러싸인 영역에는, 배선 패턴의 일부로서 본딩 전극(253)이 복수개 열을 이루어 배열 설치되어 있다. 또한, 점선(B1)에 의해 둘러싸인 영역의 주위 근방, 점선(B2)에 의해 둘러싸인 영역의 주위 근방, 및 점선(B1)에 의해 둘러싸인 영역과 점선(B2)에 의해 둘러싸인 영역 사이에는, 외부 접속용 단자(254)가 배열 설치되어 있다.

<170> 이를 상기 배선 패턴, 전극(252, 253), 및 외부 접속 단자(254)는 소위 포토에칭법, 선택 도금법 등에 의해 형성된다.

<171> 전극(252, 253) 및 외부 접속 단자(254)는 예를 들어, 전해 도금법, 또는 무전해 도금법 등에 의해, 하층으로부터 차례로, 니켈(Ni)/금(Au)의 2층 도금, 또는 구리(Cu)/니켈(Ni)/금(Au)의 3층 도금에 의해 피복되어 있을 수도 있고, 또한 접속되는 전자 부품의 접속 방법에 따르지만, 예를 들어 맴납, 도전성 수지 등으로 이루어지는 재용융성의 도전체에 의해 피복되어 있을 수도 있다. 이러한 도전체는 인쇄법, 전사법, 증착법, 또는 화학 반응 석출법 등에 의해 형성된다.

<172> 배선 기판(250)의 최표층에는, 에폭시계, 아크릴계, 폴리이미드계 등의 수지 또는 이들의 혼합 수지 등으로 이루어지는 절연성 수지층(255)이 선택적으로 배열 설치되어 있다.

<173> 당해 절연성 수지층(255)은 예를 들어, 감광성 포토레지스트 재료를, 인쇄법, 스프레이 코팅법, 열 롤을 사용한 라미네이팅법, 또는 스핀 코팅법 등에 의해, 배선 기판(250)의 표면에 피착하고, 포토리소그래피에 의해 개구 패턴을 형성함으로써 형성된다. 형성된 개구부에서, 전극(252, 253) 및 외부 접속 단자(254)가 표출된다.

<174> 본 실시예에서는, 상기 점선(B1)에 의해 둘러싸인 영역과 외부 접속 단자(254) 사이에는 댐(256A(256A-1, 256A-2))이, 또한 점선(B2)에 의해 둘러싸인 영역과 외부 접속 단자(254) 사이에는, 선택적으로 댐(256B)이 배열 설치된다.

<175> 댐(256A(256A-1, 256A-2))은 점선(B1)에 의해 둘러싸인 영역에 대한 반도체 소자(265)의 플립칩 실장 후, 도면상 화살표(S)의 방향으로부터 충전·피착되는 언더필재(70A)의, 외부 접속 단자(254)부 방향으로의 불필요한 유동을 방지한다. 한편, 댐(256B)은 점선(B2)에 의해 둘러싸인 영역에 반도체 소자(65)가 플립칩 실장 피착될 때, 언더필재(70B)의 외부 접속 단자(254)부 방향으로의 불필요한 유동을 방지한다. 또한, 댐(256A)은 도면상, R부에서 분리되어 있지만, 이것은 도시되는 실시예에서는 당해 R부 근방에 외부 접속 단자(254)가 배열 설치되어 있지 않기 때문이다. 댐(256A-1)과 댐(256A-2)을 연속적으로 일체로 형성하는 것은 필요에 따라 이루어진다.

<176> 본 실시예에서는, 댐(256A), 댐(256B)은 모두, 거의 사인파 형상의 곡선부가 연속적으로 형성된 형상을 갖고 배열 설치되어 있다.

<177> 당해 댐(256)은 도 13에 나타낸 형상에 한정되지 않고, 상기 도 8 또는 도 9에 나타낸 형상이 적용될 수도 있다.

<178> 또한, 댐(256)은 상기 제 1 실시예와 동일한 방법에 의해 형성할 수도 있다.

<179> 당해 배선 기판(250)에, 반도체 소자(265) 및 반도체 소자(65)가 페이스 다운으로 탑재(플립칩 실장)되고, 또한 수동 소자 부품(275)이 외부 접속용 단자(254)에 고착되어 이루어지는 구조를, 도 17에 나타낸다. 또한, 도 17의 (b)는 도 17의 (a)의 선 X-X에서의 단면을 나타낸다. 당해 도 17에서도, 배선 기판(250)의 한쪽의 주면(상면)을 주체로 나타내고 있고, 당해 배선 기판(250)의 다른 쪽의 주면(이면)은 도시 생략하고 있다.

<180> 도 17을 참조하면, 도 16에 있어서, 점선(B1)으로 나타내지는 배선 기판(250)의 반도체 소자(265)의 실장 영역에는, 반도체 소자(265)가 페이스 다운으로 탑재된다. 즉, 반도체 소자(265)의 범프(270)가 배선 기판(250)의 범프용 전극(252)에 접속되어 있다.

<181> 한편, 도 16에서 점선(B2)으로 나타내지는 부분의, 배선 기판(250)의 반도체 소자(65)의 실장 영역에는, 당해 반도체 소자(65)가 페이스 다운으로 탑재된다. 반도체 소자(65)의 범프(도시 생략)는 배선 기판(250)의 본딩

전극(253)에 접속된다.

<182> 또한, 당해 배선 기판(250) 상의 외부 접속용 단자(254)에는, 칩 콘덴서, 칩 저항 등의 수동 소자 부품(275)이 땜납(280)을 통하여 실장되어 있다.

<183> 그리고, 반도체 소자(265)의 회로 소자면과 배선 기판(250)의 간극, 및 당해 반도체 소자(265)의 외주 부분에는, 언더필재(70A)가 배열 설치되어 있다. 이에 따라, 배선 기판(250)과, 반도체 소자(265)의 회로 소자면의 간극, 및 상기 반도체 소자(265)의 외주 부분은 밀봉되고, 반도체 소자(265)는 배선 기판(250)에 고착되어 있다.

<184> 또한, 반도체 소자(65)와 배선 기판(250) 사이에 충전되는 언더필재(70B)에 대해서는, 상기 도 6에 나타낸 구성과 동일한 구성을 갖기 때문에, 상세한 설명을 생략한다.

<185> 이러한 언더필재(70(70A, 70B))의 충전·회복 시에, 상기 반도체 소자(265), 반도체 소자(65)의 실장 영역(B1, B2)과 외부 접속 단자(254)의 배치부 사이에는, 땜(256)이 배열 설치되어 있다. 당해 땜(256)에 의해, 언더필재(70)는 그 유동이 저지되어, 수동 소자 부품(275)이 접속되는 외부 접속 단자(254)까지는 도달하지 않는다.

<186> 즉, 당해 땜(256)의 배열 설치에 의해, 언더필재(70)의 도달이 제한·저지되기 때문에, 상기 외부 접속 단자(254)를, 반도체 소자(265) 또는 반도체 소자(65)에 대해, 더 근접하여 배치할 수 있다. 이에 따라, 당해 외부 접속 단자(254)에 실장되는 수동 소자 부품(275)과, 반도체 소자(265) 또는 반도체 소자(65) 사이의 거리, 즉 이것들을 서로 접속하는 배선의 길이를 더 단축할 수 있고, 반도체 소자(265), 반도체 소자(65)의 전기 특성을 향상시킬 수 있다.

<187> 한편, 당해 언더필재(70(70A, 70B))는 땜(256)이 배열 설치되어 있지 않은 영역에는 넓게 유출되어, 큰 훨레(A)가 형성된다. 따라서, 당해 언더필재(70)와 배선 기판(250)의 접촉 면적, 즉 반도체 소자(265), 반도체 소자(65)의 주위에서의, 언더필재(70)의 스커트 형상의 확장은 큰 면적을 갖고 형성된다. 이에 따라, 당해 언더필재(70)와 배선 기판(150)의 밀착성은 향상되고, 반도체 장치로서 높은 신뢰성을 갖는다.

<188> 다음으로, 상기 배선 기판(250) 상으로의 반도체 소자(265), 및 수동 소자 부품(275)의 실장 방법에 대해서, 도 18 및 도 19를 참조하여 설명한다. 또한, 반도체 소자(65)의 실장도, 당해 반도체 소자(265)의 실장과 동일한 방법, 또는 상기 도 15에서 나타낸 방법과 동일한 방법을 이용하여 이루어지지만, 여기서 상세한 설명은 하지 않는다.

<189> 우선, 배선 기판(250)의 범프용 전극(252)의 표면에, 땜납, 도전성 수지 등으로 이루어지는 재융융성을 갖는 도전체(285)를 피복한다(도 18의 (a) 참조).

<190> 이어서, 당해 배선 기판(250)의 외부 접속용 단자(254)에, 크림 상태의 땜납(280)을 마스크 인쇄법 등에 의해 선택적으로 배열 설치한다(도 18의 (b) 참조).

<191> 이어서, 플립칩 본딩을 사용하여, 반도체 소자(265)의 땜납 범프(270)와 배선 기판(250)의 땜납 범프용 전극(252)이 대향하도록 반도체 소자(265)와 배선 기판(250)을 위치 맞춤한 후, 반도체 소자(265)를 배선 기판(250) 상에 탑재 배치한다(도 18의 (c) 참조).

<192> 한편, 칩 마운터를 사용하여, 수동 소자 부품(275)과 배선 기판(250) 상의 외부 접속용 단자(254)가 대향하도록 수동 소자 부품(275)과 배선 기판(250)을 위치 맞춤한 후, 수동 소자 부품(275)을 배선 기판(250) 상에 탑재 배치한다(도 18의 (c) 참조).

<193> 또한, 상기 반도체 소자(265)의 전극 패드(도시 생략) 상에 형성된 땜납 범프(270)의 선단(先端)에는, 미리 플럭스(flux)가 전사법 등에 의해 부착되어 있다. 당해 플럭스의 점성에 의해 반도체 소자(265)의 탑재 배치 위치가 유지된다. 또한, 수동 소자 부품(275)은 크림 상태의 땜납(280)의 점성에 의해 탑재 배치 위치가 유지된다.

<194> 다음으로, 반도체 소자(265) 및 수동 소자 부품(275)이 탑재 배치된 배선 기판(250)을, 리플로 로(爐) 등에서 가열하여, 땜납(280, 285)을 용융시킨다. 가열 조건은 예를 들어, 질소 분위기, 퍼크 온도가 약 220°C 내지 250°C로 설정된다.

<195> 그 후, 강온(降溫)시켜, 반도체 소자(265) 및 수동 소자 부품(275)을, 배선 기판(250) 상의 전극에 고착한다(도 19의 (d) 참조). 이러한 리플로 공정 완료 후, 필요에 따라 순수(純水), 하이드로클로로플루오로카본(HCFC) 등의 대체 클로로플루오로카본, 또는 알코올계 용제 등의 세정액을 사용하여 세정을 행한다.

- <196> 이어서, 반도체 소자(265)와 배선 기판(250) 사이 및 당해 반도체 소자(265)의 측면 주위에, 노즐(132)을 통하여 페이스트 상태의 언더필재(70)를 주입한다(도 19의 (e) 참조).
- <197> 이 때, 상기 뎁(256A)에 의해, 당해 언더필재(70)의 유동은 제한되고, 수동 소자 부품(275)이 접속된 외부 접속용 단자(254)로의 도달은 저지된다.
- <198> 그 후, 당해 언더필재(70)를 오븐 등에 의해 가열 경화시키고, 반도체 소자(265), 반도체 소자(65)를 배선 기판(250) 상에 고착시킨다.
- <199> 이상, 본 발명의 실시예에 대해서 상세하게 설명했지만, 본 발명은 특정한 실시예에 한정되지 않고, 특히 청구의 범위에 기재된 본 발명의 요지의 범위 내에서, 다양한 변형 및 변경이 가능하다.
- <200> 이상의 설명에 관련하여, 이하의 항을 더 개시한다.
- <201> (부기 1) 한쪽의 주면에, 전자 부품이 범프를 통하여 실장되고, 상기 전자 부품의 주위의 적어도 일부가 수지에 의해 피복되는 배선 기판으로서,
- <202> 상기 주면에서, 상기 전자 부품이 실장되는 영역의 주위의 적어도 일부에, 뎁이 배열 설치되고,
- <203> 상기 뎁에서의, 상기 수지와 접하는 면은 곡선부가 연속적으로 형성되어 이루어지는 형상을 갖는 것을 특징으로 하는 배선 기판.
- <204> (부기 2) 부기 1에 기재된 배선 기판으로서,
- <205> 상기 뎁은 적어도 일부가 상기 배선 기판에서의 상기 전자 부품의 실장 영역의 주위를 따라 배열 설치되어 이루어지는 것을 특징으로 하는 배선 기판.
- <206> (부기 3) 부기 2에 기재된 배선 기판으로서,
- <207> 상기 뎁은 상기 전자 부품을 둘러싸도록 거의 직사각형 형상으로 배열 설치되고,
- <208> 당해 뎁의 거의 직사각형 형상의 네개의 모서리부는 상기 전자 부품의 실장 영역으로부터 가장 떨어진 개소에 위치하고 있는 것을 특징으로 하는 배선 기판.
- <209> (부기 4) 부기 1 내지 3 중 어느 하나에 기재된 배선 기판으로서,
- <210> 상기 뎁은 절연성 수지를 포함하는 것을 특징으로 하는 배선 기판.
- <211> (부기 5) 부기 4에 기재된 배선 기판으로서,
- <212> 상기 전자 부품이 실장되는 당해 배선 기판의 면에는, 소정의 개구 패턴 형상을 갖는 절연성 수지층이 배열 설치되고,
- <213> 상기 뎁은 상기 절연성 수지층 상에 배열 설치되어 있는 것을 특징으로 하는 배선 기판.
- <214> (부기 6) 부기 5에 기재된 배선 기판으로서,
- <215> 상기 뎁은 상기 절연성 수지층과 동일한 재료로 이루어지는 것을 특징으로 하는 배선 기판.
- <216> (부기 7) 부기 1 내지 6 중 어느 하나에 기재된 배선 기판으로서,
- <217> 상기 뎁의 상기 수지와 접하는 내벽면은 과형 형상을 갖는 것을 특징으로 하는 배선 기판.
- <218> (부기 8) 부기 1 내지 6 중 어느 하나에 기재된 배선 기판으로서,
- <219> 상기 뎁의 상기 수지와 접하는 내벽면은 예각부를 갖는 톱니 형상의 커팅이 연속적으로 형성된 형상을 갖는 것을 특징으로 하는 배선 기판.
- <220> (부기 9) 부기 1 내지 6 중 어느 하나에 기재된 배선 기판으로서,
- <221> 상기 뎁의 상기 수지와 접하는 내벽면은 예각부를 갖는 톱니 형상의 커팅이 일정한 간격을 두고 형성된 형상을 갖는 것을 특징으로 하는 배선 기판.
- <222> (부기 10) 부기 1 내지 6 중 어느 하나에 기재된 배선 기판으로서,
- <223> 상기 뎁의 상기 수지와 접하는 내벽면은 거의 직사각형 형상의 커팅이 연속적으로 형성된 형상을 갖는 것을 특

징으로 하는 배선 기판.

<224> (부기 11) 부기 1 내지 6 중 어느 하나에 기재된 배선 기판으로서,

<225> 상기 뎁은 2층 구조를 갖고,

<226> 하층의 뎁의 상기 수지와 접하는 내벽면은 과형 형상의 곡선부가 연속적으로 형성된 형상을 갖고,

<227> 상층의 뎁의 상기 수지와 접하는 내벽면은 인접하는 과형 형상의 곡선부가 상기 하층의 뎁의 내벽면의 형상에 대하여 어긋나 연속적으로 형성된 형상을 갖는 것을 특징으로 하는 배선 기판.

<228> (부기 12) 부기 1 내지 11 중 어느 하나에 기재된 배선 기판으로서,

<229> 상기 전자 부품이 실장되는 당해 배선 기판의 면 상에는, 상기 뎁 보다도 외측에, 외부 접속 단자가 배열 설치되어 있는 것을 특징으로 하는 배선 기판.

<230> (부기 13) 부기 12에 기재된 배선 기판으로서,

<231> 상기 뎁은 상기 외부 접속용 단자의 외형 형상에 대응한 형상을 갖는 것을 특징으로 하는 배선 기판.

<232> (부기 14) 부기 12 또는 13에 기재된 배선 기판으로서,

<233> 상기 뎁은, 서로 인접하여 설치된 상기 외부 접속 단자 사이에서는, 당해 배선 기판에서의 상기 전자 부품의 실장 영역으로부터 멀어지는 방향을 향하는 형상을 갖고 배열 설치되어 있는 것을 특징으로 하는 배선 기판.

<234> (부기 15) 배선 기판의 한쪽의 주면에, 범프를 통하여 반도체 소자가 실장되고,

<235> 당해 배선 기판의 한쪽의 주면에서의, 상기 반도체 소자의 주위의 적어도 일부에, 곡선부가 연속적으로 배열 설치되어 이루어지는 뎁이 배열 설치되고,

<236> 상기 반도체 소자와 상기 뎁 사이에서의 상기 배선 기판의 표면이 수지에 의해 피복되어 이루어지는 것을 특징으로 하는 반도체 장치.

<237> (부기 16) 부기 15에 기재된 반도체 장치로서,

<238> 상기 반도체 소자가 실장되는 당해 배선 기판의 면 상에서, 상기 뎁 보다도 외측에 외부 접속 단자가 배열 설치되고,

<239> 제 2 반도체 소자가 상기 반도체 소자 상에 적층 배치되는 동시에, 상기 외부 접속 단자에 접속되어 이루어지는 것을 특징으로 하는 반도체 장치.

<240> (부기 17) 부기 15에 기재된 반도체 장치로서,

<241> 상기 외부 접속용 단자에, 수동 소자 부품이 실장되어 이루어지는 것을 특징으로 하는 반도체 장치.

<242> (부기 18) 배선 기판의 한쪽의 주면에, 범프를 통하여 반도체 소자가 실장되고,

<243> 당해 배선 기판의 한쪽의 주면에서의, 상기 반도체 소자의 주위의 적어도 일부에, 곡선부가 연속적으로 배열 설치되어 이루어지는 뎁이 배열 설치되며,

<244> 상기 반도체 소자와 상기 뎁 사이에서의 상기 배선 기판의 표면이 수지에 의해 피복되어 이루어지는 것을 특징으로 하는 반도체 장치.

<245> (부기 19) 부기 18에 기재된 반도체 장치로서,

<246> 상기 반도체 소자가 실장되는 당해 배선 기판의 면 상에서, 상기 뎁 보다도 외측에 외부 접속 단자가 배열 설치되고,

<247> 제 2 반도체 소자가 상기 반도체 소자 상에 적층 배치되는 동시에, 상기 외부 접속 단자에 접속되어 이루어지는 것을 특징으로 하는 반도체 장치.

<248> (부기 20) 부기 18에 기재된 반도체 장치로서,

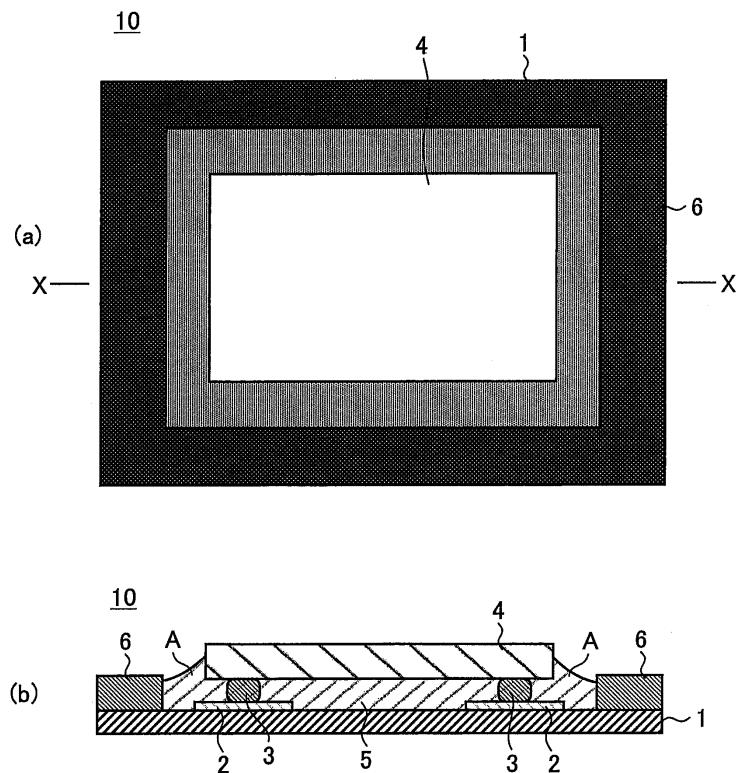
<249> 상기 외부 접속용 단자에, 수동 소자 부품이 실장되어 이루어지는 것을 특징으로 하는 반도체 장치.

## 도면의 간단한 설명

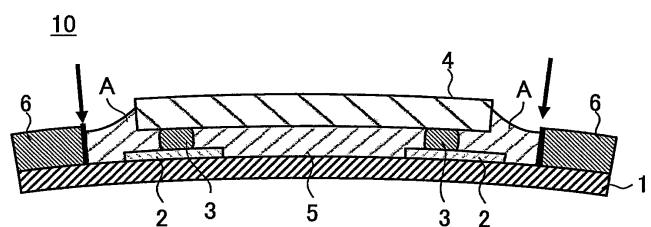
- <250> 도 1은 램이 배열 설치된 배선 기판 상에 반도체 소자가 플립칩 실장된 종래의 반도체 장치를 나타내는 평면도 및 단면도.
- <251> 도 2는 반도체 소자의 탑재 영역을 둘러싸고 배열 설치된 램 구조에서의 문제점을 나타내는 제 1 단면도.
- <252> 도 3은 반도체 소자의 탑재 영역을 둘러싸고 배열 설치된 램 구조에서의 문제점을 나타내는 제 2 단면도.
- <253> 도 4는 반도체 소자의 탑재 영역을 둘러싸고 배열 설치된 램 구조에서의 문제점을 나타내는 제 3 단면도.
- <254> 도 5는 본 발명의 제 1 실시예에 따른 배선 기판의 구조를 나타내는 평면도 및 단면도.
- <255> 도 6은 도 5에 나타낸 배선 기판에 반도체 소자를 플립칩 실장하여 이루어지는 구조를 나타내는 평면도 및 단면도.
- <256> 도 7은 도 5에 나타낸 램의 제 1 변형예를 나타내는 평면도.
- <257> 도 8은 도 5에 나타낸 램의 제 2 변형예를 나타내는 평면도.
- <258> 도 9는 도 5에 나타낸 램의 제 3 변형예를 나타내는 평면도 및 사시도.
- <259> 도 10은 도 6에 나타낸 반도체 장치 상에, 다른 반도체 장치를 적층 배치하여 이루어지는 POP(Package On Package)형 반도체 장치의 구조를 나타내는 단면도.
- <260> 도 11은 도 5에 나타낸 배선 기판으로의 반도체 소자의 실장 공정을 나타내는 제 1 단면도.
- <261> 도 12는 도 5에 나타낸 배선 기판으로의 반도체 소자의 실장 공정을 나타내는 제 2 단면도.
- <262> 도 13은 본 발명의 제 2 실시예에 따른 배선 기판의 구조를 나타내는 평면도 및 단면도.
- <263> 도 14는 도 13에 나타낸 배선 기판에 반도체 소자를 플립칩 실장하여 이루어지는 구조를 나타내는 평면도 및 단면도.
- <264> 도 15는 도 13에 나타낸 배선 기판으로의 반도체 소자의 실장 공정을 나타내는 단면도.
- <265> 도 16은 본 발명의 제 3 실시예에 따른 배선 기판의 구조를 나타내는 평면도 및 단면도.
- <266> 도 17은 도 16에 나타낸 배선 기판에 반도체 소자 등을 실장하여 이루어지는 구조를 나타내는 평면도 및 단면도.
- <267> 도 18은 도 16에 나타낸 배선 기판으로의 반도체 소자 등의 실장 공정을 나타내는 제 1 단면도.
- <268> 도 19는 도 16에 나타낸 배선 기판으로의 반도체 소자 등의 실장 공정을 나타내는 제 2 단면도.
- <269> 도면의 주요 부분에 대한 부호의 설명
- |                            |                          |
|----------------------------|--------------------------|
| <270> 50, 150, 250: 배선 기판  | 52, 153, 252, 253: 본딩 전극 |
| <271> 53, 254: 외부 접속 단자    | 55, 255: 절연성 수지층         |
| <272> 56, 156, 256: 램(dam) | 65, 265: 반도체 소자          |
| <273> 67: 와이어 범프           | 70: 언더필재                 |
| <274> 80, 90, 160: 반도체 장치  | 92: 구형 전극 단자             |
| <275> 252: 램납 범프용 전극       | 270: 램납 범프               |
| <276> 275: 수동 소자 부품        | A: 휠레(fillet)            |

## 도면

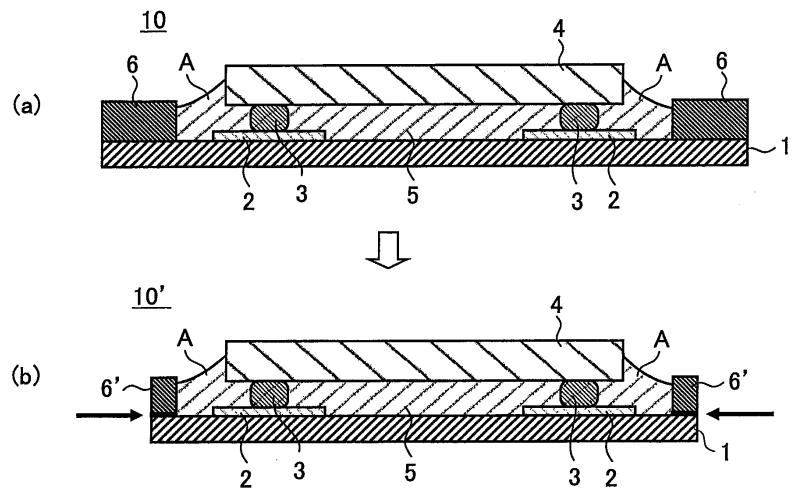
## 도면1



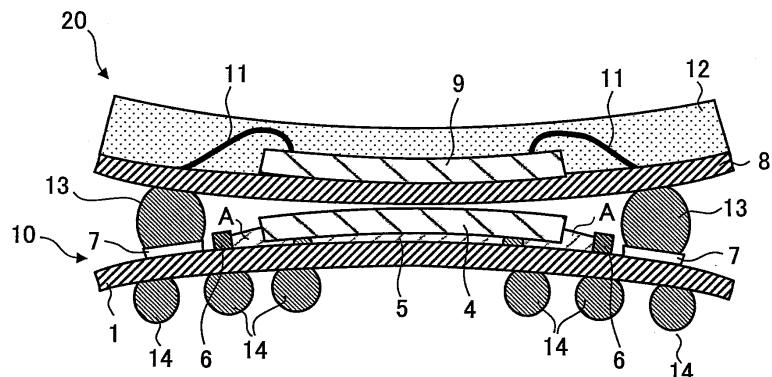
## 도면2



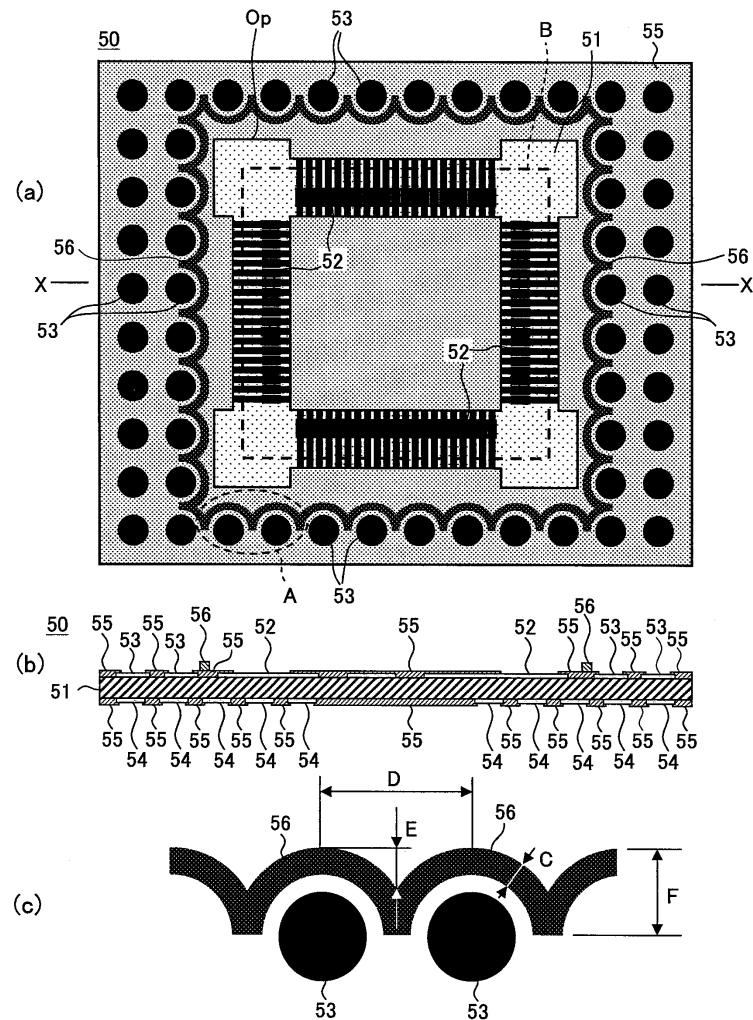
## 도면3



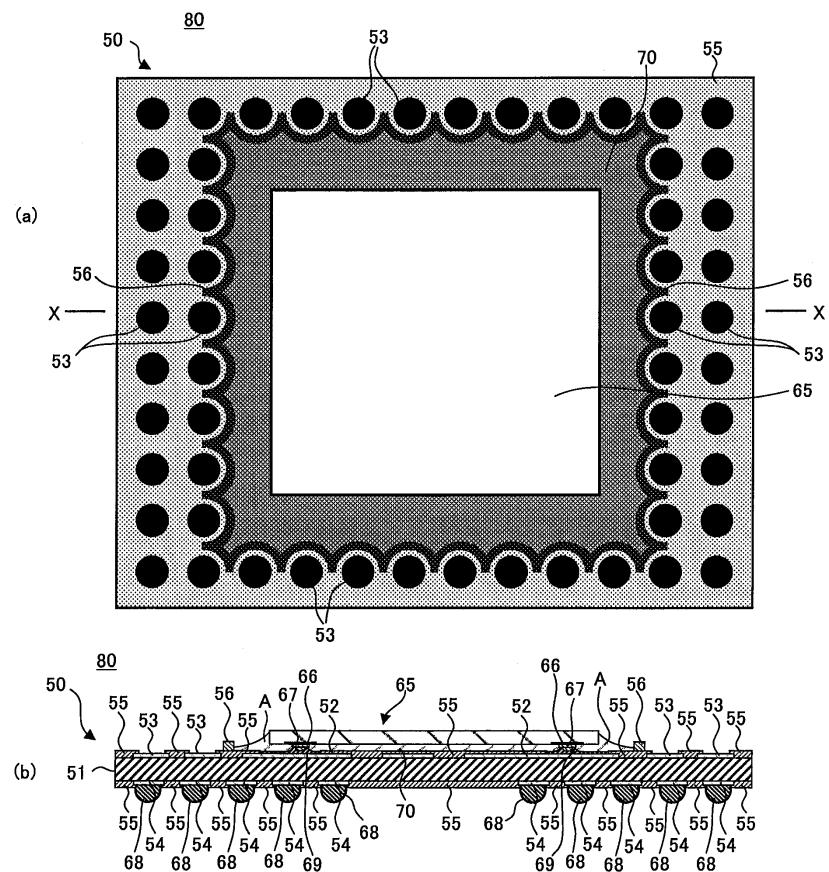
## 도면4



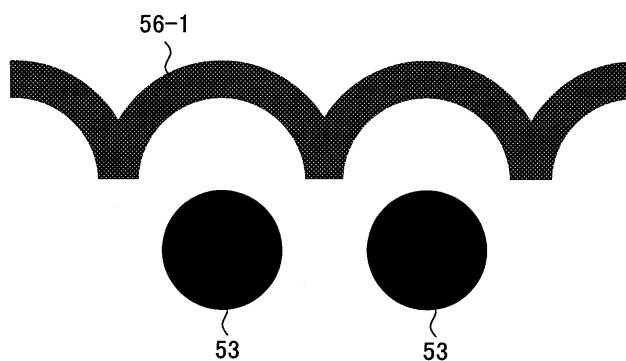
## 도면5



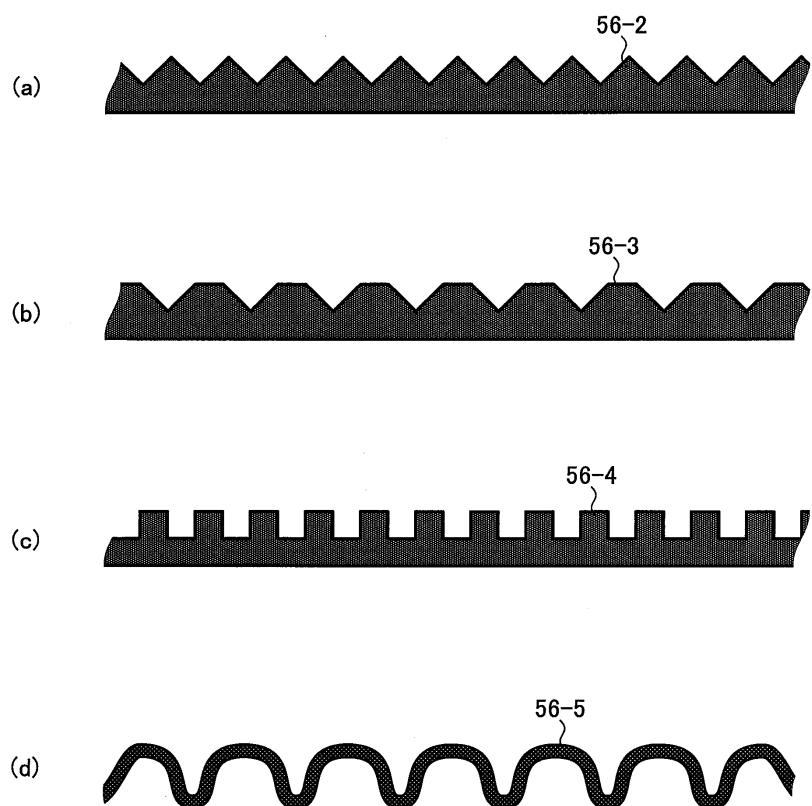
## 도면6



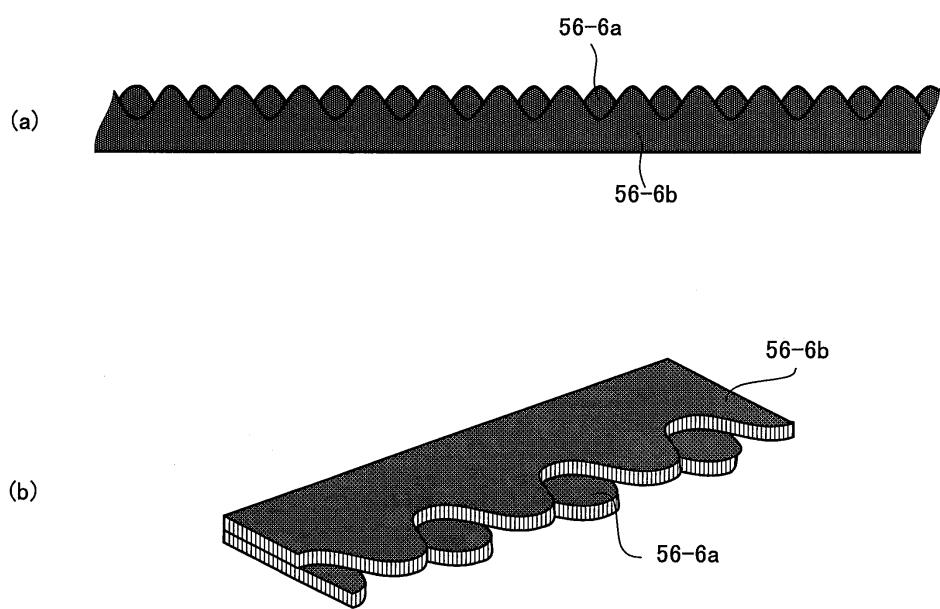
도면7



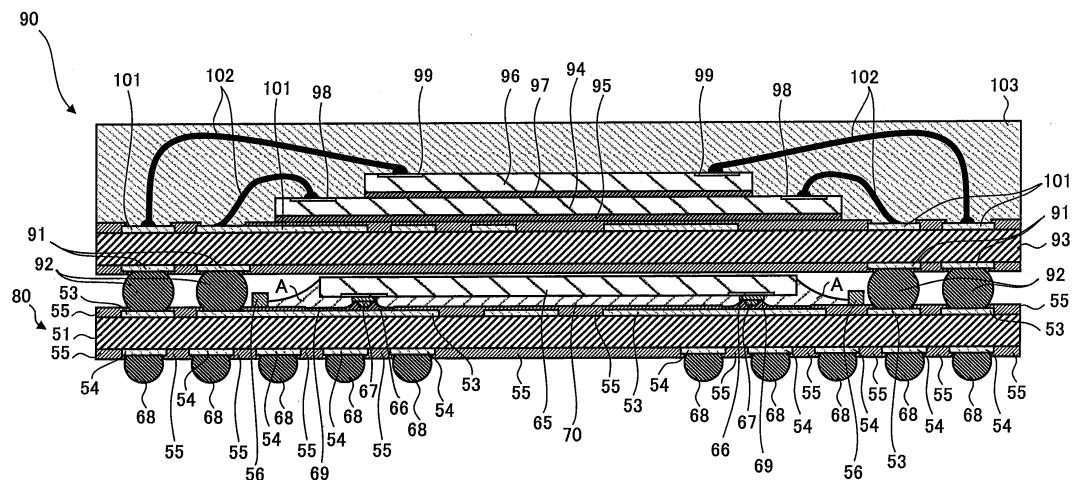
도면8



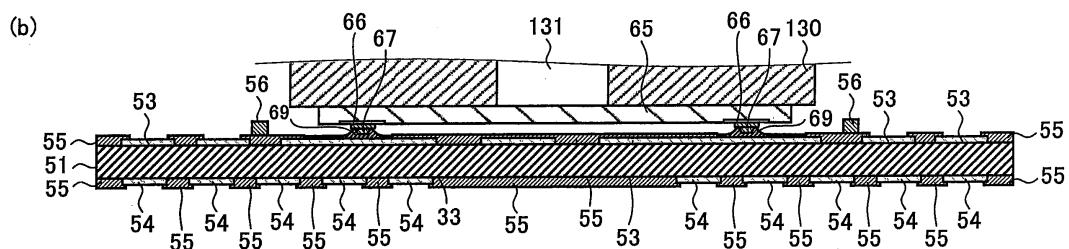
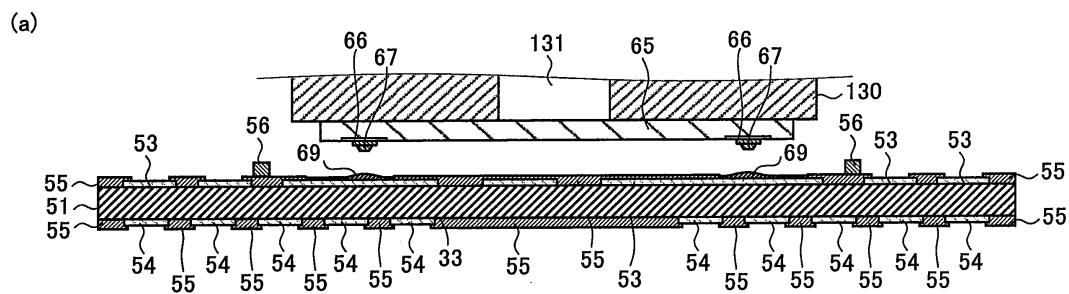
도면9



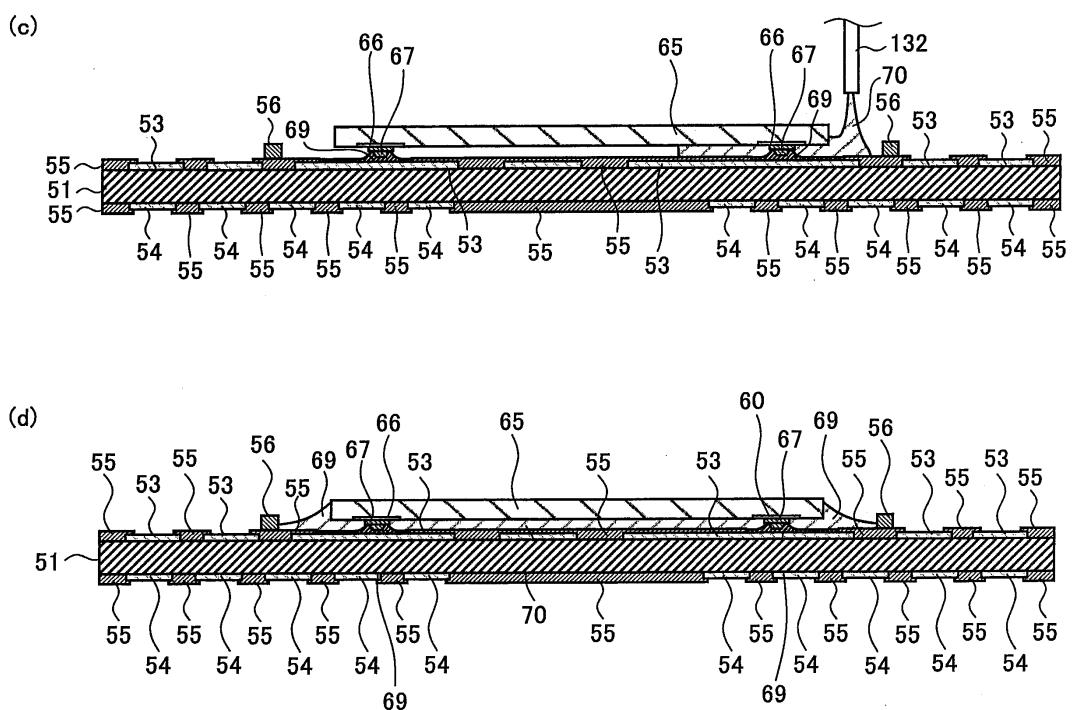
## 도면10



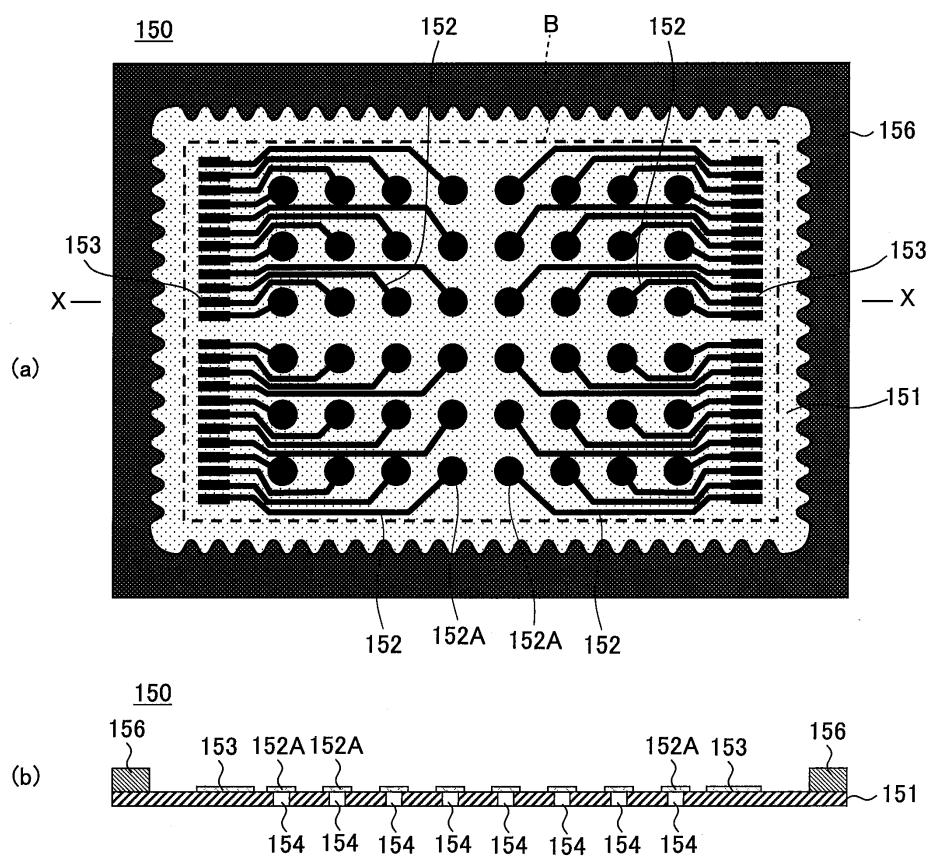
도면11



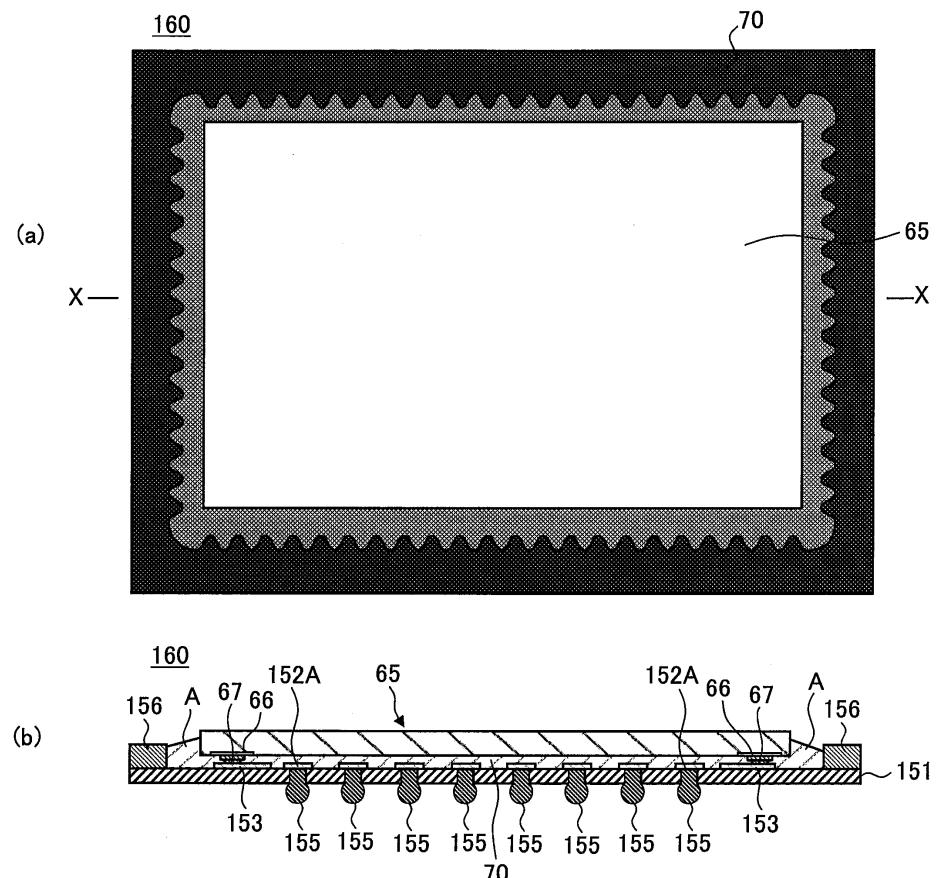
도면12



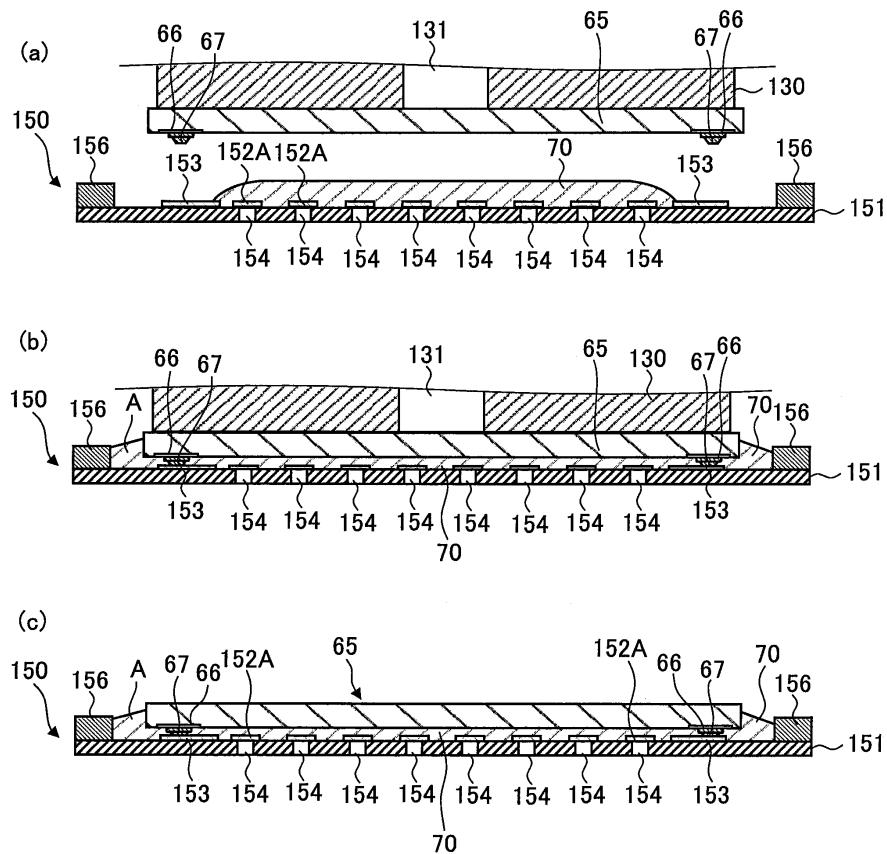
도면13



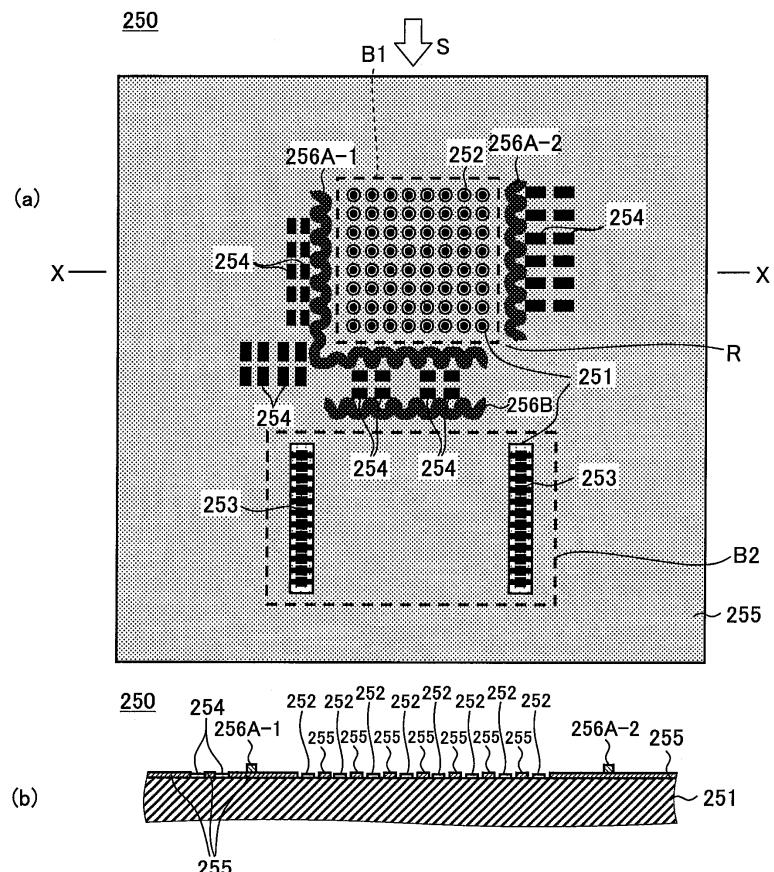
도면14



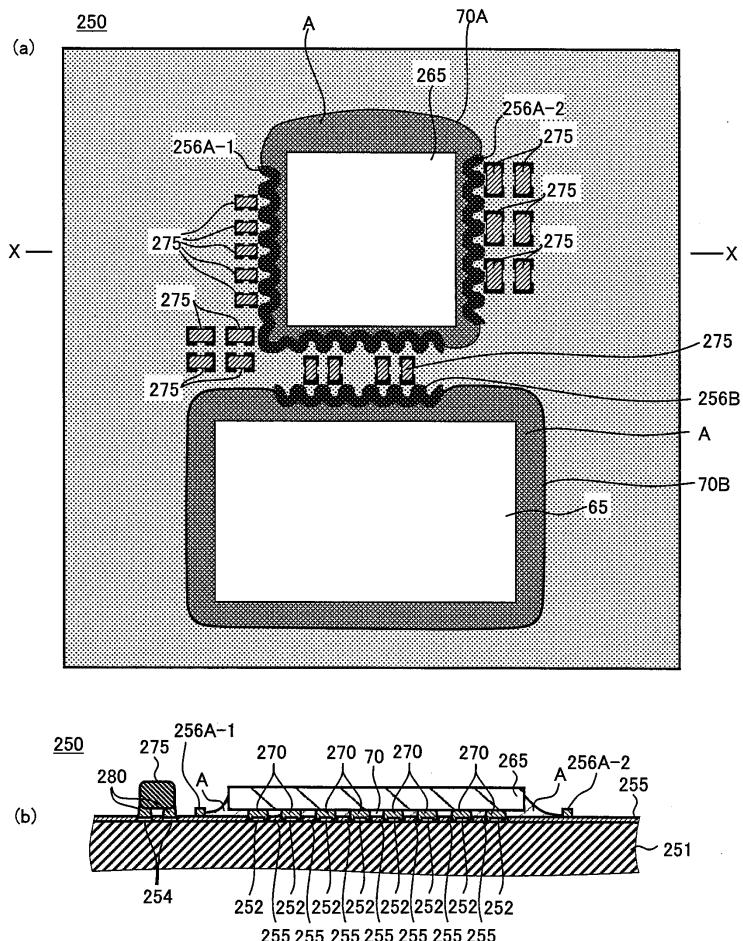
도면15



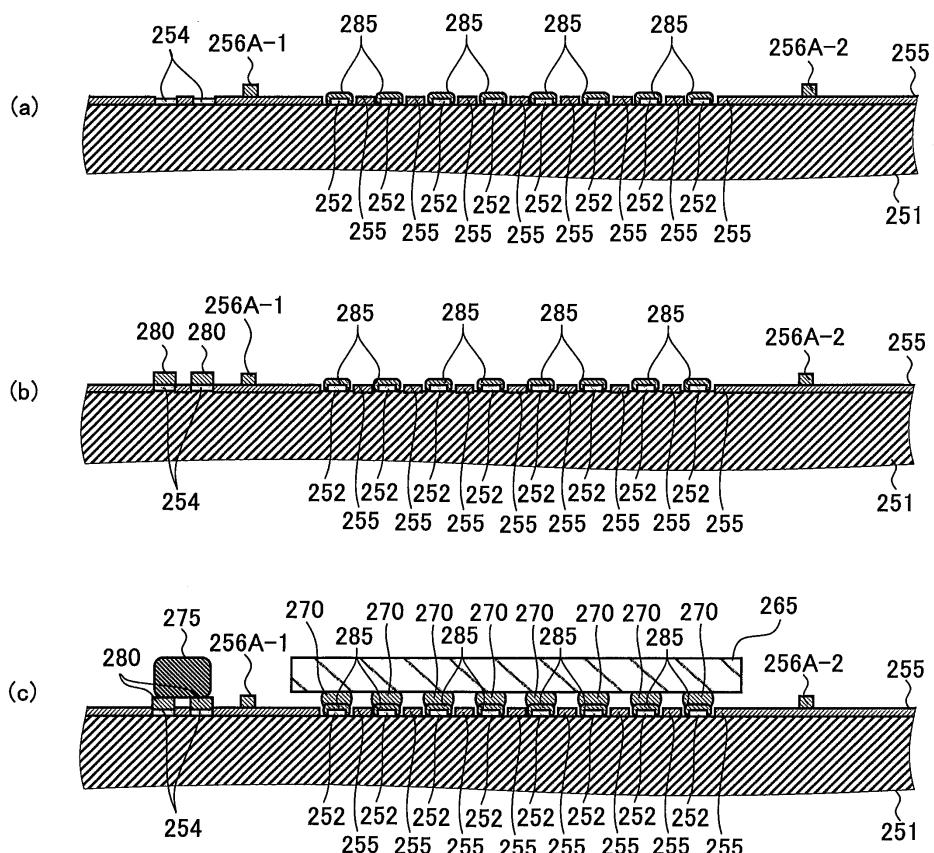
## 도면16



도면17



## 도면18



## 도면19

