

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2017年4月6日 (06.04.2017)



(10) 国际公布号
WO 2017/054262 A1

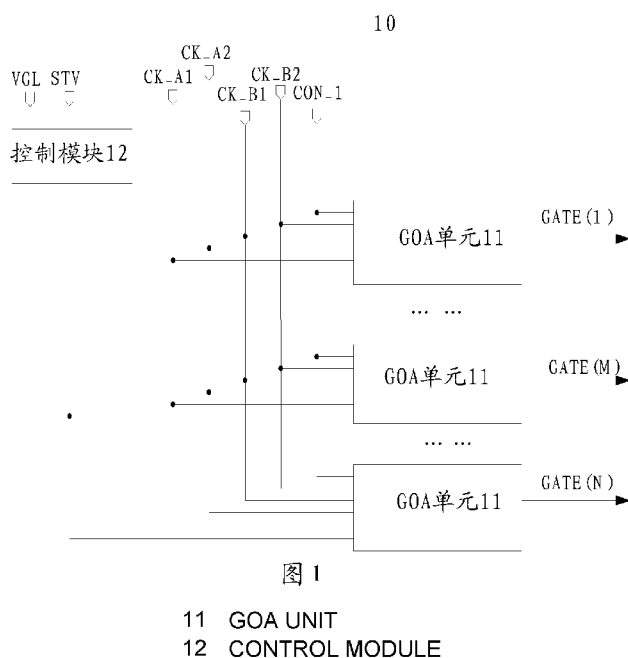
- (51) 国际专利分类号:
G09G 3/36 (2006.01)
- (21) 国际申请号: PCT/CN2015/092361
- (22) 国际申请日: 2015年10月21日 (21.10.2015)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201510629407.5 2015年9月28日 (28.09.2015) CN
- (71) 申请人: 深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
武汉华星光电技术有限公司 (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD) [CN/CN]; 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430070 (CN)。
- (72) 发明人: 肖军城 (XIAO, Juncheng); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。 赵莽 (ZHAO, Mang); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

- (74) 代理人: 深圳市威世博知识产权代理事务所 (普通合伙) (CHINA WISPRO INTELLECTUAL PROPERTY LLP.); 中国广东省深圳市南山区高新区粤兴三道 8 号中国地质大学产学研基地中地大楼 A806, Guangdong 518057 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO,

[见续页]

(54) Title: GOA CIRCUIT AND LIQUID CRYSTAL DISPLAY

(54) 发明名称: 一种 GOA 电路及液晶显示器



(57) Abstract: A GOA circuit and a liquid crystal display. The GOA circuit comprises multiple cascaded GOA units (11) and a control module (12). Each GOA unit (11) is used for being driven by a first level-transfer clock (CK-A1), a second level-transfer clock (CK-A2), a first control clock (CK-B1), a second control clock (CK-B1) into charging a corresponding horizontal scan line in a display area. The control module (12) is used for controlling, when all of the horizontal scan lines are concurrently charged by the GOA circuit, a gate driving signal to reset to a first potential, which is an invalid potential, via a start pulse signal (STV) and a negative-voltage constant power supply (VGL).

(57) 摘要: 一种 GOA 电路及液晶显示器。该 GOA 电路包括级联的多个 GOA 单元 (11) 和控制模块 (12), 每一 GOA 单元 (11) 用于在第一级传时钟 (CK-A1)、第二级传时钟 (CK-A2)、第一控制时钟 (CK-B1)、第二控制时钟 (CK-B1) 的驱动下对显示区域中对应的水平扫描线进行充电, 控制模块 (12) 用于在 GOA 电路对所有水平扫描线同时充电后, 通过启动脉冲信号 (STV) 和负压恒压源 (VGL) 控制水平扫描线上的栅极驱动信号复位至第一电平也即无效电平。

WO 2017/054262 A1



RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, **本国际公布:**

CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, — 包括国际检索报告(条约第 21 条(3))。
TG)。

一种GOA电路及液晶显示器

[1] **【技术领域】**

[2] 本发明涉及液晶领域，特别是涉及一种GOA电路及液晶显示器。

[3] **【背景技术】**

[4] 现有的GOA（Gate driver on array）电路在搭配All Gate On功能时，由于自举电容的存在，GOA电路中的栅极驱动信号在All Gate On功能完成后，不会马上变为无效电平，从而存在产生冗余的栅极驱动信号、进而导致电路出现失效的可能。

[5] 其中，All Gate On功能是指将GOA电路中的所有栅极驱动信号设置为有效电平以同时对所有水平扫描线进行充电，从而清除液晶显示器中每个像素点残存的电荷以解决开关机时出现残影的问题。

[6] 利用STV信号线（启动脉冲信号的信号线）进行P点下拉，用于解决All Gate On时Gate信号Holding的问题时，STV信号负责所有TFT的驱动，所以STV信号线承载的电流为所有支路电流的总和，在进行高PPI面板的驱动时，STV信号线上工作的电流将会达到一个非常大的量级，此时STV信号线很容易出现熔断的风险，整个GOA驱动电路便会失效。因此，必须增加STV走线的宽度以保证STV信号线的驱动能力。但是，由于STV信号线在GOA版图中位置的限制，随着信号线宽度的增加，则需要承受更大的静电，而这些静电的积累也很容易造成STV信号线的熔断，造成电路的失效。因此，需要更有效地电路设计来减小STV信号线的负载，保证P点的正常下拉。

[7] **【发明内容】**

[8] 本发明主要解决的技术问题是提供一种GOA电路及液晶显示器，能够实现在第一个栅极驱动信号输出之前在水平扫描线上不会产生冗余的脉冲信号的同时减少启动脉冲信号的信号线上的负载，避免启动脉冲信号的信号线上的负载过大导致信号线熔断。

[9] 为解决上述技术问题，本发明采用的一个技术方案是：提供一种GOA电路，用

于液晶显示器，其中，该GOA电路包括级联的多个GOA单元，每一GOA单元用于在第一级传时钟、第二级传时钟、第一控制时钟、第二控制时钟的驱动下对显示区域中对应的水平扫描线进行充电，第一级传时钟、第二级传时钟用于控制GOA单元的级传信号的输入以及栅极驱动信号的产生，第一控制时钟、第二控制时钟用于控制栅极驱动信号处于第一电平，其中，级传信号为启动脉冲信号或相邻的GOA单元的栅极驱动信号；GOA电路进一步包括控制模块，控制模块用于在GOA电路对所有水平扫描线同时充电后，通过启动脉冲信号和负压恒压源控制水平扫描线上的除第一个栅极驱动信号之外的栅极驱动信号复位至第一电平，以实现在第一个栅极驱动信号输出之前在水平扫描线上产生冗余的脉冲信号的同时减少启动脉冲信号的信号线上的负载，负压恒压源用于为每一GOA单元提供恒定的低电平信号。

[10] 其中，GOA单元包括正反扫描单元、输入控制单元、上拉维持单元、输出控制单元、GAS信号作用单元和自举电容单元；正反扫描单元用于控制GOA电路的正向驱动或反向驱动，并在第一控制时钟或第二控制时钟的控制下，控制公共信号点保持第二电平；输入控制单元用于根据第一级传时钟控制级传信号的输入以完成对栅极信号点的充电；上拉维持单元用于根据公共信号点控制栅极信号点在非作用期间保持第一电平；输出控制单元用于根据第二级传时钟控制与栅极信号点对应的栅极驱动信号的输出；GAS信号作用单元用于控制栅极驱动信号处于第二电平，以实现与GOA单元对应的水平扫描线的充电；自举电容单元用于对栅极信号点的电压进行再次抬升。

[11] 其中，控制模块包括第一控制晶体管，第一控制晶体管的第一端与负压恒压源连接，第一控制晶体管的第二端连接启动脉冲信号的信号线，第一控制晶体管的第三端分别与除第一个GOA单元外每一GOA单元的公共信号点连接。

[12] 其中，控制模块包括第一控制晶体管和第二控制晶体管，第一控制晶体管的第一端与负压恒压源连接、第一控制晶体管的第二端与启动脉冲信号的信号线连接，第一控制晶体管的第三端连接第二控制晶体管的第一端和第二端，第二控制晶体管的第三端分别与除第一个GOA单元外每一GOA单元的公共信号点连接。

- [13] 其中，控制模块包括第一控制晶体管、第二控制晶体管以及第三控制晶体管，第三控制晶体管的第一端连接启动脉冲信号，第三控制晶体管的第二端连接负压恒压源，第三控制晶体管的第三端连接第一控制晶体管的第二端，第一控制晶体管的第一端连接负压恒压源，第一控制晶体管的第三端连接第二控制晶体管的第一端和第二端，第二控制晶体管的第三端分别与除第一个GOA单元外每一GOA单元的公共信号点连接。
- [14] 其中，控制模块包括除第一个GOA单元外，与多个GOA单元一一对应的多个第一控制晶体管，多个第一控制晶体管的第一端连接负压恒压源，多个第一控制晶体管的第二端连接启动脉冲信号的信号线，多个第一控制晶体管的第三端与对应的GOA单元的公共信号点连接。
- [15] 其中，控制模块包括除第一个GOA单元外，与多个GOA单元一一对应的多个第一控制晶体管和第二控制晶体管，多个第一控制晶体管的第一端与负压恒压源连接，多个第一控制晶体管的第二端与启动脉冲信号的信号线连接，多个第一控制晶体管的第三端连接第二控制晶体管的第一端和第二端，多个第二控制晶体管的第三端分别与对应的GOA单元的公共信号点连接。
- [16] 其中，控制模块包括除第一个GOA单元外，与多个GOA单元一一对应的多个第一控制晶体管、第二控制晶体管以及第三控制晶体管，多个第三控制晶体管的第一端连接启动脉冲信号，多个第三控制晶体管的第二端连接负压恒压源，多个第三控制晶体管的第三端连接第一控制晶体管的第二端，多个第一控制晶体管的第一端连接负压恒压源，多个第一控制晶体管的第三端连接第二控制晶体管的第一端和第二端，多个第二控制晶体管的第三端分别与对应的GOA单元的公共信号点连接。
- [17] 其中，正反扫描单元包括第一晶体管、第二晶体管、第三晶体管和第四晶体管，第一晶体管的栅极接收第一扫描控制信号，第一晶体管的源极接收下一级GOA单元输出的栅极驱动信号，第二晶体管的栅极接收第二扫描控制信号，第二晶体管的源极接收上一级GOA单元输出的栅极驱动信号，第一晶体管和第二晶体管的漏极相互连接后与输入控制单元连接，第三晶体管的栅极接收第一扫描控制信号，第三晶体管的源极接收第一控制时钟，第四晶体管的栅极接收第二扫

描控制信号，第四晶体管的源极接收第二控制时钟，第三晶体管和第四晶体管的漏极相互连接后与上拉维持单元连接；输入控制单元包括第五晶体管，第五晶体管的栅极接收第一级连信号，第五晶体管的源极与第一晶体管、第二晶体管的漏极连接，第五晶体管的漏极与栅极信号点连接；上拉维持单元包括第六晶体管、第七晶体管、第九晶体管、第十晶体管和第一电容，第六晶体管的栅极与公共信号点连接，第六晶体管的源极与第五晶体管的漏极连接，第六晶体管的漏极与第一恒压源连接，第七晶体管的栅极与五晶体管的漏极连接，第七晶体管的源极与公共信号点连接，第七晶体管的漏极与第一恒压源连接，第九晶体管的栅极与第三晶体管、第四晶体管的漏极连接，第九晶体管的源极与第二恒压源连接，第九晶体管的漏极与公共信号点连接，第十晶体管的栅极与公共信号点连接，第十晶体管的源极与栅极驱动信号连接，第十晶体管的漏极与第一恒压源连接，第一电容的一端与第一恒压源连接，第一电容的另一端与公共信号点连接；输出控制单元包括第十一晶体管和第二电容，第十一晶体管的栅极与栅极信号点连接，第十一晶体管的漏极与栅极驱动信号连接，第十一晶体管的源极接收第二级传时钟，第二电容的一端与栅极信号点连接，第二电容的另一端与栅极驱动信号连接；GAS信号作用单元包括第十三晶体管和第十四晶体管，第十三晶体管的栅极、第十四晶体管的栅极和漏极接收GAS信号，第十三晶体管的漏极连接第一恒压源，第十三晶体管的源极连接公共信号点，第十三晶体管的源极连接栅极驱动信号；自举电容单元包括自举电容，自举电容的一端与栅极驱动信号连接，自举电容的另一端与地信号连接。

[18] 其中，GOA单元进一步包括稳压单元和上拉辅助单元，稳压单元包括第八晶体管，第八晶体管串接于第五晶体管的源极与栅极信号点之间，第八晶体管的栅极与第二恒压源连接，第八晶体管的漏极与第五晶体管的漏极连接，第八晶体管的源极与栅极信号点连接；上拉辅助单元包括第十二晶体管，第十二晶体管的栅极与第一晶体管、第二晶体管的漏极连接，第十二晶体管的源极与公共信号点连接，十二晶体管的漏极与正压恒压源连接。

[19] 为解决上述技术问题，本发明采用的另一个技术方案是：提供一种液晶显示器，包括GOA电路，该GOA电路包括级联的多个GOA单元，每一GOA单元用于在

第一级传时钟、第二级传时钟、第一控制时钟、第二控制时钟的驱动下对显示区域中对应的水平扫描线进行充电，第一级传时钟、第二级传时钟用于控制GOA单元的级传信号的输入以及栅极驱动信号的产生，第一控制时钟、第二控制时钟用于控制栅极驱动信号处于第一电平，其中，级传信号为启动脉冲信号或相邻的GOA单元的栅极驱动信号；GOA电路进一步包括控制模块，控制模块用于在GOA电路对所有水平扫描线同时充电后，通过启动脉冲信号和负压恒压源控制水平扫描线上的除第一个栅极驱动信号之外的栅极驱动信号复位至第一电平，以实现在第一个栅极驱动信号输出之前在水平扫描线上产生冗余的脉冲信号的同时减少启动脉冲信号的信号线上的负载，负压恒压源用于为每一GOA单元提供恒定的低电平信号。

[20] 其中，GOA单元包括正反扫描单元、输入控制单元、上拉维持单元、输出控制单元、GAS信号作用单元和自举电容单元；正反扫描单元用于控制GOA电路的正向驱动或反向驱动，并在第一控制时钟或第二控制时钟的控制下，控制公共信号点保持第二电平；输入控制单元用于根据第一级传时钟控制级传信号的输入以完成对栅极信号点的充电；上拉维持单元用于根据公共信号点控制栅极信号点在非作用期间保持第一电平；输出控制单元用于根据第二级传时钟控制与栅极信号点对应的栅极驱动信号的输出；GAS信号作用单元用于控制栅极驱动信号处于第二电平，以实现与GOA单元对应的水平扫描线的充电；自举电容单元用于对栅极信号点的电压进行再次抬升。

[21] 其中，控制模块包括第一控制晶体管，第一控制晶体管的第一端与负压恒压源连接，第一控制晶体管的第二端连接启动脉冲信号的信号线，第一控制晶体管的第三端分别与除第一个GOA单元外每一GOA单元的公共信号点连接。

[22] 其中，控制模块包括第一控制晶体管和第二控制晶体管，第一控制晶体管的第一端与负压恒压源连接、第一控制晶体管的第二端与启动脉冲信号的信号线连接，第一控制晶体管的第三端连接第二控制晶体管的第一端和第二端，第二控制晶体管的第三端分别与除第一个GOA单元外每一GOA单元的公共信号点连接。

[23] 其中，控制模块包括第一控制晶体管、第二控制晶体管以及第三控制晶体管，

第三控制晶体管的第一端连接启动脉冲信号，第三控制晶体管的第二端连接负压恒压源，第三控制晶体管的第三端连接第一控制晶体管的第二端，第一控制晶体管的第一端连接负压恒压源，第一控制晶体管的第三端连接第二控制晶体管的第一端和第二端，第二控制晶体管的第三端分别与除第一个GOA单元外每一GOA单元的公共信号点连接。

[24] 其中，控制模块包括除第一个GOA单元外，与多个GOA单元一一对应的多个第一控制晶体管，多个第一控制晶体管的第一端连接负压恒压源，多个第一控制晶体管的第二端连接启动脉冲信号的信号线，多个第一控制晶体管的第三端与对应的GOA单元的公共信号点连接。

[25] 其中，控制模块包括除第一个GOA单元外，与多个GOA单元一一对应的多个第一控制晶体管和第二控制晶体管，多个第一控制晶体管的第一端与负压恒压源连接，多个第一控制晶体管的第二端与启动脉冲信号的信号线连接，多个第一控制晶体管的第三端连接第二控制晶体管的第一端和第二端，多个第二控制晶体管的第三端分别与对应的GOA单元的公共信号点连接。

[26] 其中，控制模块包括除第一个GOA单元外，与多个GOA单元一一对应的多个第一控制晶体管、第二控制晶体管以及第三控制晶体管，多个第三控制晶体管的第一端连接启动脉冲信号，多个第三控制晶体管的第二端连接负压恒压源，多个第三控制晶体管的第三端连接第一控制晶体管的第二端，多个第一控制晶体管的第一端连接负压恒压源，多个第一控制晶体管的第三端连接第二控制晶体管的第一端和第二端，多个第二控制晶体管的第三端分别与对应的GOA单元的公共信号点连接。

[27] 其中，正反扫描单元包括第一晶体管、第二晶体管、第三晶体管和第四晶体管，第一晶体管的栅极接收第一扫描控制信号，第一晶体管的源极接收下一级GOA单元输出的栅极驱动信号，第二晶体管的栅极接收第二扫描控制信号，第二晶体管的源极接收上一级GOA单元输出的栅极驱动信号，第一晶体管和第二晶体管的漏极相互连接后与输入控制单元连接，第三晶体管的栅极接收第一扫描控制信号，第三晶体管的源极接收第一控制时钟，第四晶体管的栅极接收第二扫描控制信号，第四晶体管的源极接收第二控制时钟，第三晶体管和第四晶体管

的漏极相互连接后与上拉维持单元连接；输入控制单元包括第五晶体管，第五晶体管的栅极接收第一级连信号，第五晶体管的源极与第一晶体管、第二晶体管的漏极连接，第五晶体管的漏极与栅极信号点连接；上拉维持单元包括第六晶体管、第七晶体管、第九晶体管、第十晶体管和第一电容，第六晶体管的栅极与公共信号点连接，第六晶体管的源极与第五晶体管的漏极连接，第六晶体管的漏极与第一恒压源连接，第七晶体管的栅极与五晶体管的漏极连接，第七晶体管的源极与公共信号点连接，第七晶体管的漏极与第一恒压源连接，第九晶体管的栅极与第三晶体管、第四晶体管的漏极连接，第九晶体管的源极与第二恒压源连接，第九晶体管的漏极与公共信号点连接，第十晶体管的栅极与公共信号点连接，第十晶体管的源极与栅极驱动信号连接，第十晶体管的漏极与第一恒压源连接，第一电容的一端与第一恒压源连接，第一电容的另一端与公共信号点连接；输出控制单元包括第十一晶体管和第二电容，第十一晶体管的栅极与栅极信号点连接，第十一晶体管的漏极与栅极驱动信号连接，第十一晶体管的源极接收第二级传时钟，第二电容的一端与栅极信号点连接，第二电容的另一端与栅极驱动信号连接；GAS信号作用单元包括第十三晶体管和第十四晶体管，第十三晶体管的栅极、第十四晶体管的栅极和漏极接收GAS信号，第十三晶体管的漏极连接第一恒压源，第十三晶体管的源极连接公共信号点，第十三晶体管的源极连接栅极驱动信号；自举电容单元包括自举电容，自举电容的一端与栅极驱动信号连接，自举电容的另一端与地信号连接。

[28] 其中，GOA单元进一步包括稳压单元和上拉辅助单元，稳压单元包括第八晶体管，第八晶体管串接于第五晶体管的源极与栅极信号点之间，第八晶体管的栅极与第二恒压源连接，第八晶体管的漏极与第五晶体管的漏极连接，第八晶体管的源极与栅极信号点连接；上拉辅助单元包括第十二晶体管，第十二晶体管的栅极与第一晶体管、第二晶体管的漏极连接，第十二晶体管的源极与公共信号点连接，十二晶体管的漏极与正压恒压源连接。

[29] 本发明的有益效果是：本发明的GOA电路及液晶显示器通过GOA电路对所有水平扫描线同时充电后，通过启动脉冲信号和负压恒压源控制水平扫描线上的栅极驱动信号复位至第一电平也即无效电平，从而能够避免在第一个栅极驱动

信号输出之前在水平扫描线上产生冗余的脉冲信号，进而保证了GOA电路的正常工作，与此同时，由于通过启动脉冲信号STV和负压恒压源VGL共同控制水平扫描线上的除第一级栅极驱动信号GATE（1）外的其它栅极驱动信号Gate（N）复位至第一电平也即无效电平，减少仅仅只用启动脉冲信号控制时启动脉冲信号的信号线上的负载，由于流经控制模块的电流由负压恒压源VGL的信号线进行承载，而VGL信号线的宽度比较大，而且版图设计靠近GOA电路的里面，所承受的静电较小，因此具有很强的驱动能力，负压恒压源VGL的信号线能够承载更大的电流，不容易被损坏。

[30] **【附图说明】**

- [31] 图1是本发明第一实施例的GOA电路的结构示意图；
[32] 图2是本发明第二实施例的GOA电路的结构示意图；
[33] 图3是图2所示GOA电路中GOA单元的电路原理图；
[34] 图4是本发明第二实施例的GOA电路的工作时序图；
[35] 图5是本发明第三实施例的GOA电路的结构示意图；
[36] 图6是本发明第四实施例的GOA电路的结构示意图；
[37] 图7是本发明第五实施例的GOA电路的结构示意图；
[38] 图8是本发明第六实施例的GOA电路的结构示意图；
[39] 图9是本发明第七实施例的GOA电路的结构示意图；
[40] 图10是本发明液晶显示器的结构示意图。

[41] **【具体实施方式】**

- [42] 在说明书及权利要求书当中使用了某些词汇来指称特定的组件，所属领域中的技术人员应可理解，制造商可能会用不同的名词来称呼同样的组件。本说明书及权利要求书并不以名称的差异来作为区分组件的方式，而是以组件在功能上的差异来作为区分的基准。下面结合附图和实施例对本发明进行详细说明。

- [43] 图1是本发明第一实施例的GOA电路的结构示意图。如图1所示，GOA电路10包括级联的多个GOA单元11和控制模块12。

- [44] 每一GOA单元11用于在第一级传时钟CK_A1、第二级传时钟CK_A2、第一控制时钟CK_B1、第二控制时钟CK_B2的驱动下对显示区域中对应的水平扫描线

进行充电。其中，第一级传时钟CK_A1、第二级传时钟CK_A2用于控制GOA单元11的级传信号CON_1的输入以及栅极驱动信号GATE (N) (N为自然数)的产生，第一控制时钟CK_B1、第二控制时钟CK_B2用于控制栅极驱动信号GATE (N) 处于第一电平也即无效电平，其中，级传信号CON_1为启动脉冲信号或相邻的GOA单元11的栅极驱动信号。

[45] 控制模块12分别与启动脉冲信号STV、负压恒压源VGL以及除第一个GOA单元11外的每个GOA单元11连接，用于在GOA电路10对水平扫描线同时充电也即完成All Gate on 功能后，通过启动脉冲信号STV和负压恒压源VGL控制水平扫描线上的除第一级栅极驱动信号GATE (1) 外的其它栅极驱动信号Gate (N) 复位至第一电平也即无效电平，从而避免在第一个栅极驱动信号GATE (1) 输出之前在水平扫描线上产生冗余的脉冲信号，同时由于通过启动脉冲信号STV和负压恒压源VGL共同控制水平扫描线上的除第一级栅极驱动信号GATE (1) 外的其它栅极驱动信号Gate (N) 复位至第一电平也即无效电平，减少仅仅只用启动脉冲信号控制时启动脉冲信号的信号线上的负载，负压恒压源用于为每一GOA单元提供恒定的低电平信号。由于流经控制模块的电流由负压恒压源VGL的信号线进行承载，而VGL信号线的宽度比较大，而且版图设计靠近GOA电路的里面，所承受的静电较小，因此具有很强的驱动能力，负压恒压源VGL的信号线能够承载更大的电流，不容易被损坏。

[46] 图2是本发明第二实施例的GOA电路的结构示意图。本发明第二实施例以奇数级GOA单元级联形成的GOA电路为例来说明，其中GOA电路为PMOS电路。如图2所示，GOA电路20包括级联的奇数级GOA单元21和控制模块22。

[47] 其中，GOA电路20包括级联的奇数级GOA单元21是指GOA电路20由第一级、第三级、第五级、...第 $2N+1$ (N为自然数) 级GOA单元21级联形成。

[48] 其中，GOA电路20接收第一时钟信号CK1、第二时钟信号CK2、第三时钟信号CK3、第四时钟信号CK4，其中，第一时钟信号CK1、第二时钟信号CK2、第三时钟信号CK3、第四时钟信号CK4在一个时钟周期依次分时有有效。

[49] 请一并参考图3，图3是图2所示GOA电路中GOA单元的电路原理图。如图3所示，GOA单元21包括正反扫描单元100、输入控制单元200、上拉维持单元300、

输出控制单元400、GAS信号作用单元500和自举电容单元600。

- [50] 第一正反扫描单元100用于控制GOA电路20的正向驱动或反向驱动，并在第一控制时钟CK_LB1或第二控制时钟CK_LB2的控制下，控制公共信号点P ($2N+1$) 保持第二电平。在本实施例中，第二电平为低电平。
- [51] 输入控制单元200用于根据第一级传时钟CK_LA1控制级传信号的输入以完成对栅极信号点Q ($2N+1$) (N 为自然数) 的充电。
- [52] 上拉维持单元300用于根据公共信号点P ($2N+1$) 控制栅极信号点Q ($2N+1$) 在非作用期间保持第一电平。在本实施例中，第一电平为高电平。
- [53] 输出控制单元400用于根据第二级传时钟CK_LA2控制与栅极信号点Q ($2N+1$) 对应的栅极驱动信号G ($2N+1$) 的输出。
- [54] GAS信号作用单元500用于控制栅极驱动信号G ($2N+1$) 处于有效电平，以实现GOA单元21对应的水平扫描线的充电。在本实施例中，栅极驱动信号G ($2N+1$) 的有效电平为低电平。
- [55] 自举电容单元600用于对栅极信号点Q ($2N+1$) 的电压进行再次抬升。
- [56] 具体来说，正反扫描单元100包括第一晶体管PT0、第二晶体管PT1、第三晶体管PT2和第四晶体管PT3，第一晶体管PT0的栅极接收第一扫描控制信号也即反向扫描控制信号D2U，第一晶体管PT0的源极接收下一级GOA单元21输出的栅极驱动信号G ($2N+3$)，第二晶体管PT1的栅极接收第二扫描控制信号也即正向扫描控制信号U2D，第二晶体管PT1的源极接收上一级GOA单元输出的栅极驱动信号G ($2N-1$)，第一晶体管PT0和第二晶体管PT1的漏极相互连接后与输入控制单元200连接，第三晶体管PT2的栅极接收第一扫描控制信号也即反向扫描控制信号D2U，第三晶体管PT2的源极接收第一控制时钟CK_LB1，第四晶体管PT3的栅极接收第二扫描控制信号也即正向扫描控制信号U2D，第四晶体管PT3的源极接收第二控制时钟CK_LB2，第三晶体管PT2和第四晶体管PT3的漏极相互连接后与上拉维持单元300连接。
- [57] 其中，在第一级GOA单元中，第二晶体管PT1的源极接收启动脉冲信号STV。在最后一级GOA单元中，第一晶体管PT0的源极接收启动脉冲信号STV。
- [58] 输入控制单元200包括第五晶体管PT4，第五晶体管PT4的栅极接收第一级传时

钟CK_LA1, 第五晶体管PT4的源极与第一晶体管PT0、第二晶体管PT1的漏极连接, 第五晶体管PT4的漏极与栅极信号点Q (2N+1) 连接。

- [59] 上拉维持单元300包括第六晶体管PT5、第七晶体管PT6、第九晶体管PT8、第十晶体管PT9和第一电容C1, 第六晶体管PT5的栅极与公共信号点P (2N+1) 连接, 第六晶体管PT5的源极与第五晶体管PT4的漏极连接, 第六晶体管PT5的漏极与第一恒压源也即正压恒压源VGH连接, 第七晶体管PT6的栅极与第五晶体管PT4的漏极连接, 第七晶体管PT6的源极与公共信号点P (2N+1) 连接, 第七晶体管PT6的漏极与第一恒压源也即正压恒压源VGH连接, 第九晶体管PT8的栅极与第三晶体管PT2、第四晶体管PT3的漏极连接, 第九晶体管PT8的源极与第二恒压源也即负压恒压源VGL连接, 第九晶体管PT8的漏极与公共信号点P (2N+1) 连接, 第十晶体管PT9的栅极与公共信号点P (2N+1) 连接, 第十晶体管PT9的源极与栅极驱动信号G (2N+1) 连接, 第十晶体管PT9的漏极与第一恒压源也即正压恒压源VGH连接, 第一电容C1的一端与第一恒压源也即正压恒压源VGH连接, 第一电容C1的另一端与公共信号点 (2N+1) 连接。
- [60] 输出控制单元400包括第十一晶体管PT10和第二电容C2, 第十一晶体管PT10的栅极与栅极信号点Q (2N+1) 连接, 第十一晶体管PT10的漏极与栅极驱动信号Q (2N+1) 连接, 第十一晶体管PT10的源极接收第二级传时钟CK_LA2, 第二电容C2的一端与栅极信号点Q (2N+1) 连接, 第二电容C2的另一端与栅极驱动信号G (2N+1) 连接;
- [61] GAS信号作用单元500包括第十三晶体管PT12和第十四晶体管PT13, 第十三晶体管PT12的栅极、第十四晶体管PT13的栅极和漏极接收GAS信号GAS, 第十三晶体管PT12的漏极连接第一恒压源也即正压恒压源VGH, 第十三晶体管PT12的源极连接公共信号点P (2N+1), 第十三晶体管PT12的源极连接栅极驱动信号G (2N+1)。
- [62] 自举电容单元600包括自举电容Cload, 自举电容Cload的一端与栅极驱动信号G (2N+1)连接, 自举电容Cload的另一端与地信号GND连接。
- [63] 优选地, GOA单元21进一步包括稳压单元700, 稳压单元700用于实现栅极信号点Q (2N+1) 的稳压以及栅极信号点Q (2N+1) 的漏电防治。具体来说, 稳压

单元700包括第八晶体管PT7，第八晶体管PT7串接于第五晶体管PT4的源极与栅极信号点Q(2N+1)之间，第八晶体管PT7的栅极与第二恒压源也即负压恒压源VGL连接，第八晶体管PT7的漏极与第五晶体管PT4的漏极连接，第八晶体管PT7的源极与栅极信号点Q(2N+1)连接。

- [64] 优选地，GOA单元21进一步包括上拉辅助单元800，上拉辅助单元800用于防止第五晶体管PT4和第六晶体管PT5在对栅极信号点Q(2N+1)进行充电的过程中出现漏电的问题。具体来说，上拉辅助单元800包括第十二晶体管PT11，第十二晶体管PT11的栅极与第一晶体管PT0、第二晶体管PT1的漏极连接，第十二晶体管PT11的源极与公共信号点P(2N+1)连接，第十二晶体管PT11的漏极与第一恒压源也即正压恒压源VGH连接。
- [65] 在GOA电路20中，在第一级、第五级、...第4N+1(N为自然数)级GOA单元21中，第一级传时钟CK_LA1为第一时钟信号CK1，第二级传时钟CK_LA2为第三时钟信号CK3，第一控制时钟CK_LB1为第二时钟信号CK2，第二控制时钟CK_LB2为第四时钟信号CK4。在第三级、第七级、...第4N+3(N为自然数)级GOA单元21中，第二级传时钟CK_LA2为第三时钟信号CK3，第一级传时钟CK_LA1为第一时钟信号CK1，第二控制时钟CK_LB2为第四时钟信号CK4，第一控制时钟CK_LB2为第二时钟信号CK2。
- [66] 本领域的技术人员可以理解，当GOA电路为NMOS电路时，上述所有晶体管为NMOS晶体管，第一扫描控制信号对应正向扫描控制信号U2D，第二扫描控制信号对应反向扫描控制信号D2U，第一恒压源对应负压恒压源VGL，第二恒压源对应正压恒压源VGH。
- [67] 请继续参考图2，控制模块22包括第一控制晶体管T1，第一控制晶体管T1的第一端与负压恒压源VGL连接，第一控制晶体管T1的第二端连接启动脉冲信号STV的信号线且连接后接收启动脉冲信号STV，第一控制晶体管T1的第三端分别与除第一个GOA单元21外每一GOA单元21的公共信号点P(2N+1)连接。
- [68] 在本实施例中，第一控制晶体管T1为PMOS管，第一控制晶体管T1的第一端、第二端、第三端对应PMOS管的漏极、栅极和源极；其中，当启动脉冲信号STV开启时，启动脉冲信号STV和负压恒压源VGL控制除第一个GOA单元外的每一G

OA单元的公共信号点P (2N+1) 处于低电平以使水平扫描线上的栅极驱动信号G (2N+1) 复位至高电平。

- [69] 采用启动脉冲信号STV信号控制第一控制晶体管的栅极，采用负压恒压源VGL的信号线控制第一控制晶体管的漏极，这样整个第一控制晶体管T1的电流由负压恒压源VGL的信号线进行承载。由于负压恒压源VGL的信号线的宽度比较大，而且版图设计靠近GOA电路的里面，所承受的静电较小，因此具有很强的驱动能力。
- [70] 在其它实施例中，当GOA电路为NMOS电路时，第一控制晶体管T1也可以为NMOS管，第一控制晶体管T1的第一端、第二端、第三端对应NMOS管的漏极、栅极和源极；其中，当启动脉冲信号STV开启时，启动脉冲信号STV和负压恒压源VGL控制除第一个GOA单元外的每一GOA单元的公共信号点P (2N+1) 处于高电平以使水平扫描线上的栅极驱动信号G (2N+1) 复位至低电平。
- [71] 漏极、栅极和源极漏极、栅极和源极图4是本发明第二实施例的GOA电路的工作时序图。本发明第二实施例以奇数级GOA单元级联形成的GOA电路为例来说明，其中GOA电路为PMOS电路。如图4所示，当GAS信号GAS有效也即为低电平信号时，GOA电路20实现All Gate On功能，与各奇数级水平扫描线对应的栅极驱动信号G (2N+1) 输出低电平信号。当GOA电路20完成All Gate On功能后，由于自举电容Cload的存在，与各奇数级水平扫描线对应的栅极驱动信号G (2N+1) 不会马上变为高电平，而会保持Cload holding的低电平信号。
- [72] 以GOA电路为正向驱动为例，如果与奇数级水平扫描线对应的栅极驱动信号在第三时钟信号CK3有效之前不能放电至高电平，则除第一级水平扫描线以外，其它奇数级水平扫描线上会产生冗余的脉冲信号。具体来说，第一级水平扫描线由第一级GOA单元驱动，由于第一级GOA单元的级传信号为启动脉冲信号STV，第一级GOA单元正常驱动，不会产生冗余的脉冲信号。第三级水平扫描线由第三级GOA单元驱动，而第三级GOA单元的级传信号为第一级GOA单元的栅极驱动信号G (1)，当第一时钟信号CK1为低电平时，由于栅极驱动信号G (1) 保持Cload holding的低电平信号，则栅极驱动信号G (1) 的低电平信号会传递至第三级GOA单元的栅极信号点Q (3)，使得第三级GOA单元21先于第一级GOA

单元21工作，并使得第三级GOA单元21输出的栅极驱动信号G（3）产生一个冗余的脉冲，这个冗余的脉冲会继续影响下一级GOA单元21的栅极驱动信号。基于相同的理由，在第一时钟信号CK1有效时，第七级、第十一级、...第 $4N+3$ 级GOA单元的栅极驱动信号均会产生冗余的脉冲。

[73] 为了避免上述问题的产生，如图4所示，GOA电路20实现All Gate On功能后，在第一时钟信号CK1有效之前，设置启动脉冲信号STV为低电平并随着第一时钟信号CK1、第二时钟信号CK2、第三时钟信号CK3、第四时钟信号CK4依次有效后，启动脉冲信号STV由低电平变为高电平。其中，当启动脉冲信号STV为低电平时，由于第一控制晶体管T1导通，第三级、第五级、...，第 $2N+1$ 级的GOA单元21的公共信号点P（ $2N+1$ ）从高电平变为低电平，从而使得在第三时钟信号CK3有效之前栅极驱动信号G（ $2N+1$ ）变为高电平信号，从而避免了冗余的脉冲信号的产生。随后，保持正常的第一时钟信号CK1、第二时钟信号CK2、第三时钟信号CK3、第四时钟信号CK4的驱动顺序对GOA电路20进行驱动，即可实现对水平扫描线的正常充电。

[74] 图5是本发明第三实施例的GOA电路的结构示意图。本发明第三实施例以奇数级GOA单元级联形成的GOA电路为例来说明，其中GOA电路为PMOS电路。图5所示的第三实施例与图2所示的第二实施例的区别在于：

[75] 如图5所示，控制模块23包括第一控制晶体管T1和第二控制晶体管T2，第一控制晶体管T1的第一端与负压恒压源VGL连接、第一控制晶体管T2的第二端与启动脉冲信号STV的信号线连接，第一控制晶体管T1的第三端连接第二控制晶体管T2的第一端和第二端，第二控制晶体管T2的第三端分别与除第一个GOA单元21外每一GOA单元21的公共信号点P（ $2N+1$ ）连接。

[76] 在本实施例中，第一控制晶体管T1和第二控制晶体管T2为PMOS管，第一控制晶体管T1和第二控制晶体管T2的第一端、第二端、第三端对应PMOS管的漏极、栅极和源极；其中，当启动脉冲信号STV开启时，启动脉冲信号STV和负压恒压源VGL控制除第一个GOA单元21外的每一GOA单元21的公共信号点P（ $2N+1$ ）处于低电平以使水平扫描线上的栅极驱动信号G（ $2N+1$ ）复位至高电平。

[77] 在其它实施例中，当GOA电路为NMOS电路时，第一控制晶体管T1和第二控制

晶体管T2也可以为NMOS管，第一控制晶体管T1和第二控制晶体管T2的第一端、第二端、第三端对应NMOS管的漏极、栅极和源极；其中，当启动脉冲信号S_{TV}开启时，启动脉冲信号STV和负压恒压源VGL控制每一GOA单元21的公共信号点P（2N+1）处于高电平以使水平扫描线上的栅极驱动信号G（2N+1）复位至低电平。

[78] 图6是本发明第四实施例的GOA电路的结构示意图。本发明第四实施例以奇数级GOA单元级联形成的GOA电路为例来说明，其中GOA电路为PMOS电路。图6所示的第四实施例与图2所示的第二实施例的区别在于：

[79] 如图6所示，控制模块24包括第一控制晶体管T1、第二控制晶体管T2以及第三控制晶体管T3，第三控制晶体管T3的第一端连接启动脉冲信号STV，第三控制晶体管T3的第二端连接负压恒压源VGL，第三控制晶体管T3的第三端连接第一控制晶体管T1的第二端，第一控制晶体管T1的第一端连接负压恒压源VGL，第一控制晶体管T1的第三端连接第二控制晶体管T2的第一端和第二端，第二控制晶体管T2的第三端分别与除第一个GOA单元21外每一GOA单元21的公共信号点P（2N+1）连接。

[80] 在本实施例中，第一控制晶体管T1和第二控制晶体管T2为PMOS管，第一控制晶体管T1和第二控制晶体管T2的第一端、第二端、第三端对应PMOS管的漏极、栅极和源极；其中，当启动脉冲信号STV开启时，启动脉冲信号STV和负压恒压源VGL控制除第一个GOA单元21外的每一GOA单元21的公共信号点P（2N+1）处于低电平以使水平扫描线上的栅极驱动信号G（2N+1）复位至高电平。

[81] 在其它实施例中，当GOA电路为NMOS电路时，第一控制晶体管T1和第二控制晶体管T2也可以为NMOS管，第一控制晶体管T1和第二控制晶体管T2的第一端、第二端、第三端对应NMOS管的漏极、栅极和源极；其中，当启动脉冲信号S_{TV}开启时，启动脉冲信号STV和负压恒压源VGL控制每一GOA单元21的公共信号点P（2N+1）处于高电平以使水平扫描线上的栅极驱动信号G（2N+1）复位至低电平。

[82] 图7是本发明第五实施例的GOA电路的结构示意图。本发明第五实施例以奇数级GOA单元级联形成的GOA电路为例来说明，其中GOA电路为PMOS电路。图7

所示的第五实施例与图2所示的第二实施例的区别在于：

- [83] 如图7所示，控制模块25包括除第一个GOA单元21外，与多个GOA单元21一一对应的多个第一控制晶体管T1，多个第一控制晶体管T1的第一端连接负压恒压源VGL，多个第一控制晶体管T1的第二端连接启动脉冲信号STV的信号线，多个第一控制晶体管T3的第三端与对应的GOA单元21的公共信号点P（2N+1）连接。
- [84] 在本实施例中，第一控制晶体管T1为PMOS管，第一控制晶体管T1的第一端、第二端、第三端对应PMOS管的漏极、栅极和源极；其中，当启动脉冲信号STV开启时，启动脉冲信号STV和负压恒压源VGL控制除第一个GOA单元外的每一GOA单元的公共信号点P（2N+1）处于低电平以使水平扫描线上的栅极驱动信号G（2N+1）复位至高电平。
- [85] 在其它实施例中，当GOA电路为NMOS电路时，第一控制晶体管T1也可以为NMOS管，第一控制晶体管T1的第一端、第二端、第三端对应NMOS管的漏极、栅极和源极；其中，当启动脉冲信号STV开启时，启动脉冲信号STV和负压恒压源VGL控制除第一个GOA单元21外的每一GOA单元21的公共信号点P（2N+1）处于高电平以使水平扫描线上的栅极驱动信号G（2N+1）复位至低电平。
- [86] 图8是本发明第六实施例的GOA电路的结构示意图。本发明第六实施例以奇数级GOA单元级联形成的GOA电路为例来说明，其中GOA电路为PMOS电路。图8所示的第六实施例与图2所示的第二实施例的区别在于：
- [87] 如图8所示，控制模块26包括除第一个GOA单元21外，与多个GOA单元21一一对应的多个第一控制晶体管T1和第二控制晶体管T2，多个第一控制晶体管T1的第一端与负压恒压源VGL连接，多个第一控制晶体管T1的第二端与启动脉冲信号STV的信号线连接，多个第一控制晶体管T1的第三端连接第二控制晶体管T2的第一端和第二端，多个第二控制晶体管T2的第三端分别与对应的GOA单元的公共信号点连接。
- [88] 在本实施例中，第一控制晶体管T1和第二控制晶体管T2为PMOS管，第一控制晶体管T1和第二控制晶体管T2的第一端、第二端、第三端对应PMOS管的漏极、栅极和源极；其中，当启动脉冲信号STV开启时，启动脉冲信号STV和负压恒压

源VGL控制除第一个GOA单元21外的每一GOA单元21的公共信号点P (2N+1) 处于低电平以使水平扫描线上的栅极驱动信号G (2N+1) 复位至高电平。

[89] 在其它实施例中，当GOA电路为NMOS电路时，第一控制晶体管T1和第二控制晶体管T2也可以为NMOS管，第一控制晶体管T1和第二控制晶体管T2的第一端、第二端、第三端对应NMOS管的漏极、栅极和源极；其中，当启动脉冲信号S_{TV}开启时，启动脉冲信号STV和负压恒压源VGL控制每一GOA单元21的公共信号点P (2N+1) 处于高电平以使水平扫描线上的栅极驱动信号G (2N+1) 复位至低电平。

[90] 图9是本发明第七实施例的GOA电路的结构示意图。本发明第七实施例以奇数级GOA单元级联形成的GOA电路为例来说明，其中GOA电路为PMOS电路。图9所示的第七实施例与图2所示的第二实施例的区别在于：

[91] 如图9所示，控制模块27包括除第一个GOA单元21外，与多个GOA单元21一一对应的多个第一控制晶体管T1、第二控制晶体管T2以及第三控制晶体管T3，多个第三控制晶体管T3的第一端连接启动脉冲信号STV，多个第三控制晶体管T3的第二端连接负压恒压源VGL，多个第三控制晶体管T3的第三端连接第一控制晶体管T1的第二端，多个第一控制晶体管T1的第一端连接负压恒压源VGL，多个第一控制晶体管T1的第三端连接第二控制晶体管T2的第一端和第二端，多个第二控制晶体管T2的第三端分别与对应的GOA单元21的公共信号点P (2N+1) 连接。

[92] 在本实施例中，第一控制晶体管T1和第二控制晶体管T2为PMOS管，第一控制晶体管T1和第二控制晶体管T2的第一端、第二端、第三端对应PMOS管的漏极、栅极和源极；其中，当启动脉冲信号STV开启时，启动脉冲信号STV和负压恒压源VGL控制除第一个GOA单元21外的每一GOA单元21的公共信号点P (2N+1) 处于低电平以使水平扫描线上的栅极驱动信号G (2N+1) 复位至高电平。

[93] 在其它实施例中，当GOA电路为NMOS电路时，第一控制晶体管T1和第二控制晶体管T2也可以为NMOS管，第一控制晶体管T1和第二控制晶体管T2的第一端、第二端、第三端对应NMOS管的漏极、栅极和源极；其中，当启动脉冲信号S_{TV}开启时，启动脉冲信号STV和负压恒压源VGL控制每一GOA单元21的公共信

号点P (2N+1) 处于高电平以使水平扫描线上的栅极驱动信号G (2N+1) 复位至低电平。

[94] 另外，图5~图9所示第三至七实施例的GOA电路的工作时序和图2所示第二实施例的GOA电路的工作时序相同，为简约起见，在此不再赘述。

[95] 本领域的技术人员可以理解，液晶显示器包括奇数级的GOA单元级联形成的GOA电路和偶数级的GOA单元级联形成的GOA电路，由于偶数级的GOA单元级联形成的GOA电路与奇数级的GOA单元级联形成的GOA电路的处理方式类似，为简约起见，在此不再详述。

[96] 本发明进一步提供一种液晶显示器，包括了上述GOA电路。请进一步参阅图10，图10是本发明液晶显示器的结构示意图。在本实施例中，液晶显示器包括液晶面板1和设置在液晶面板1侧边的GOA电路2。

[97] 本发明的有益效果是：本发明的GOA电路及液晶显示器通过GOA电路对所有水平扫描线同时充电后，通过启动脉冲信号控制水平扫描线上的栅极驱动信号复位至第一电平也即无效电平，从而能够避免在第一个栅极驱动信号输出之前在水平扫描线上产生冗余的脉冲信号，进而保证了GOA电路的正常工作。

[98] 以上所述仅为本发明的实施方式，并非因此限制本发明的专利范围，凡是利用本发明说明书及附图内容所作的等效结构或等效流程变换，或直接或间接运用在其他相关的技术领域，均同理包括在本发明的专利保护范围内。

权利要求书

[权利要求 1]

一种GOA电路，用于液晶显示器，其中，所述GOA电路包括级联的多个GOA单元，每一所述GOA单元用于在第一级传时钟、第二级传时钟、第一控制时钟、第二控制时钟的驱动下对显示区域中对应的水平扫描线进行充电，所述第一级传时钟、第二级传时钟用于控制所述GOA单元的级传信号的输入以及栅极驱动信号的产生，所述第一控制时钟、第二控制时钟用于控制所述栅极驱动信号处于第一电平，其中，所述级传信号为启动脉冲信号或相邻的所述GOA单元的所述栅极驱动信号；

所述GOA电路进一步包括控制模块，所述控制模块用于在所述GOA电路对所有所述水平扫描线同时充电后，通过所述启动脉冲信号和负压恒压源控制所述水平扫描线上除第一个所述栅极驱动信号之外的所述栅极驱动信号复位至所述第一电平，以实现在第一个所述栅极驱动信号输出之前在所述水平扫描线上不会产生冗余的脉冲信号的同时减少所述启动脉冲信号的信号线上的负载，所述负压恒压源用于为每一所述GOA单元提供恒定的低电平信号。

[权利要求 2]

根据权利要求1所述的GOA电路，其中，所述GOA单元包括正反扫描单元、输入控制单元、上拉维持单元、输出控制单元、GAS信号作用单元和自举电容单元；

所述正反扫描单元用于控制所述GOA电路的正向驱动或反向驱动，并在所述第一控制时钟或第二控制时钟的控制下，控制公共信号点保持第二电平；

所述输入控制单元用于根据所述第一级传时钟控制所述级传信号的输入以完成对栅极信号点的充电；

所述上拉维持单元用于根据所述公共信号点控制所述栅极信号点在非作用期间保持所述第一电平；

所述输出控制单元用于根据所述第二级传时钟控制与所述栅极信号点对应的所述栅极驱动信号的输出；

所述GAS信号作用单元用于控制所述栅极驱动信号处于所述第二电平，以实现与所述GOA单元对应的所述水平扫描线的充电；
所述自举电容单元用于对所述栅极信号点的电压进行再次抬升。

[权利要求 3] 根据权利要求2所述的GOA电路，其中，所述控制模块包括第一控制晶体管，所述第一控制晶体管的第一端与所述负压恒压源连接，所述第一控制晶体管的第二端连接所述启动脉冲信号的信号线，所述第一控制晶体管的第三端分别与除第一个所述GOA单元外每一所述GOA单元的所述公共信号点连接。

[权利要求 4] 根据权利要求2所述的GOA电路，其中，所述控制模块包括第一控制晶体管和第二控制晶体管，所述第一控制晶体管的第一端与所述负压恒压源连接、所述第一控制晶体管的第二端与所述启动脉冲信号的信号线连接，所述第一控制晶体管的第三端连接所述第二控制晶体管的第一端和第二端，所述第二控制晶体管的第三端分别与除第一个所述GOA单元外每一所述GOA单元的所述公共信号点连接。

[权利要求 5] 根据权利要求2所述的GOA电路，其中，所述控制模块包括第一控制晶体管、第二控制晶体管以及第三控制晶体管，所述第三控制晶体管的第一端连接所述启动脉冲信号，所述第三控制晶体管的第二端连接所述负压恒压源，所述第三控制晶体管的第三端连接所述第一控制晶体管的第二端，所述第一控制晶体管的第一端连接所述负压恒压源，所述第一控制晶体管的第三端连接第二控制晶体管的第一端和第二端，所述第二控制晶体管的第三端分别与除第一个所述GOA单元外每一所述GOA单元的所述公共信号点连接。

[权利要求 6] 根据权利要求2所述的GOA电路，其中，所述控制模块包括除第一个所述GOA单元外，与多个所述GOA单元一一对应的多个第一控制晶体管，多个所述第一控制晶体管的第一端连接所述负压恒压源，多个所述第一控制晶体管的第二端连接所述启动脉冲信号的

信号线，多个所述第一控制晶体管的第三端与对应的所述GOA单元的所述公共信号点连接。

[权利要求 7]

根据权利要求2所述的GOA电路，其中，所述控制模块包括除第一个所述GOA单元外，与多个所述GOA单元一一对应的多个第一控制晶体管和第二控制晶体管，多个所述第一控制晶体管的第一端与所述负压恒压源连接，多个所述第一控制晶体管的第二端与所述启动脉冲信号的信号线连接，多个所述第一控制晶体管的第三端连接所述第二控制晶体管的第一端和第二端，多个所述第二控制晶体管的第三端分别与对应的所述GOA单元的所述公共信号点连接。

[权利要求 8]

根据权利要求2所述的GOA电路，其中，所述控制模块包括除第一个所述GOA单元外，与多个所述GOA单元一一对应的多个第一控制晶体管、第二控制晶体管以及第三控制晶体管，多个所述第三控制晶体管的第一端连接所述启动脉冲信号，多个所述第三控制晶体管的第二端连接所述负压恒压源，多个所述第三控制晶体管的第三端连接所述第一控制晶体管的第二端，多个所述第一控制晶体管的第一端连接所述负压恒压源，多个所述第一控制晶体管的第三端连接第二控制晶体管的第一端和第二端，多个所述第二控制晶体管的第三端分别与对应的所述GOA单元的所述公共信号点连接。

[权利要求 9]

根据权利要求2所述的GOA电路，其中，
所述正反扫描单元包括第一晶体管、第二晶体管、第三晶体管和第四晶体管，所述第一晶体管的栅极接收第一扫描控制信号，所述第一晶体管的源极接收下一级所述GOA单元输出的所述栅极驱动信号，所述第二晶体管的栅极接收第二扫描控制信号，所述第二晶体管的源极接收上一级所述GOA单元输出的所述栅极驱动信号，所述第一晶体管和所述第二晶体管的漏极相互连接后与所述输入控制单元连接，所述第三晶体管的栅极接收所述第一扫描控

制信号，所述第三晶体管的源极接收所述第一控制时钟，所述第四晶体管的栅极接收所述第二扫描控制信号，所述第四晶体管的源极接收所述第二控制时钟，所述第三晶体管和所述第四晶体管的漏极相互连接后与所述上拉维持单元连接；

所述输入控制单元包括第五晶体管，所述第五晶体管的栅极接收所述第一级连信号，所述第五晶体管的源极与所述第一晶体管、第二晶体管的漏极连接，所述第五晶体管的漏极与栅极信号点连接；

所述上拉维持单元包括第六晶体管、第七晶体管、第九晶体管、第十晶体管和第一电容，所述第六晶体管的栅极与公共信号点连接，所述第六晶体管的源极与所述第五晶体管的漏极连接，所述第六晶体管的漏极与第一恒压源连接，所述第七晶体管的栅极与所述第五晶体管的漏极连接，所述第七晶体管的源极与所述公共信号点连接，所述第七晶体管的漏极与所述第一恒压源连接，所述第九晶体管的栅极与所述第三晶体管、第四晶体管的漏极连接，所述第九晶体管的源极与第二恒压源连接，所述第九晶体管的漏极与所述公共信号点连接，所述第十晶体管的栅极与所述公共信号点连接，所述第十晶体管的源极与所述栅极驱动信号连接，所述第十晶体管的漏极与所述第一恒压源连接，所述第一电容的一端与所述第一恒压源连接，所述第一电容的另一端与所述公共信号点连接；

所述输出控制单元包括第十一晶体管和第二电容，所述第十一晶体管的栅极与所述栅极信号点连接，所述第十一晶体管的漏极与所述栅极驱动信号连接，所述第十一晶体管的源极接收所述第二级传时钟，所述第二电容的一端与所述栅极信号点连接，所述第二电容的另一端与所述栅极驱动信号连接；

所述GAS信号作用单元包括第十三晶体管和第十四晶体管，所述第十三晶体管的栅极、第十四晶体管的栅极和漏极接收GAS信号

，所述第十三晶体管的漏极连接所述第一恒压源，所述第十三晶体管的源极连接所述公共信号点，所述第十三晶体管的源极连接所述栅极驱动信号；

所述自举电容单元包括自举电容，所述自举电容的一端与所述栅极驱动信号连接，所述自举电容的另一端与地信号连接；

所述GOA单元进一步包括稳压单元和上拉辅助单元，所述稳压单元包括第八晶体管，所述第八晶体管串接于所述第五晶体管的源极与所述栅极信号点之间，所述第八晶体管的栅极与所述第二恒压源连接，所述第八晶体管的漏极与所述第五晶体管的漏极连接，所述第八晶体管的源极与所述栅极信号点连接；所述上拉辅助单元包括第十二晶体管，所述第十二晶体管的栅极与所述第一晶体管、第二晶体管的漏极连接，所述第十二晶体管的源极与所述公共信号点连接，所述第十二晶体管的漏极与所述正压恒压源连接。

[权利要求 10]

一种液晶显示器，其中，包括GOA电路，所述GOA电路包括级联的多个GOA单元，每一所述GOA单元用于在第一级传时钟、第二级传时钟、第一控制时钟、第二控制时钟的驱动下对显示区域中对应的水平扫描线进行充电，所述第一级传时钟、第二级传时钟用于控制所述GOA单元的级传信号的输入以及栅极驱动信号的产生，所述第一控制时钟、第二控制时钟用于控制所述栅极驱动信号处于第一电平，其中，所述级传信号为启动脉冲信号或相邻的所述GOA单元的所述栅极驱动信号；

所述GOA电路进一步包括控制模块，所述控制模块用于在所述GOA电路对所有所述水平扫描线同时充电后，通过所述启动脉冲信号和负压恒压源控制所述水平扫描线上除第一个所述栅极驱动信号之外的所述栅极驱动信号复位至所述第一电平，以实现在第一个所述栅极驱动信号输出之前在所述水平扫描线上不会产生冗余的脉冲信号的同时减少所述启动脉冲信号的信号线上的负载，所述

负压恒压源用于为每一所述GOA单元提供恒定的低电平信号。

[权利要求 11]

根据权利要求10所述的液晶显示器，其中，所述GOA单元包括正反扫描单元、输入控制单元、上拉维持单元、输出控制单元、GAS信号作用单元和自举电容单元；

所述正反扫描单元用于控制所述GOA电路的正向驱动或反向驱动，并在所述第一控制时钟或第二控制时钟的控制下，控制公共信号点保持第二电平；

所述输入控制单元用于根据所述第一级传时钟控制所述级传信号的输入以完成对栅极信号点的充电；

所述上拉维持单元用于根据所述公共信号点控制所述栅极信号点在非作用期间保持所述第一电平；

所述输出控制单元用于根据所述第二级传时钟控制与所述栅极信号点对应的所述栅极驱动信号的输出；

所述GAS信号作用单元用于控制所述栅极驱动信号处于所述第二电平，以实现与所述GOA单元对应的所述水平扫描线的充电；

所述自举电容单元用于对所述栅极信号点的电压进行再次抬升。

[权利要求 12]

根据权利要求11所述的液晶显示器，其中，所述控制模块包括第一控制晶体管，所述第一控制晶体管的第一端与所述负压恒压源连接，所述第一控制晶体管的第二端连接所述启动脉冲信号的信号线，所述第一控制晶体管的第三端分别与除第一个所述GOA单元外每一所述GOA单元的所述公共信号点连接。

[权利要求 13]

根据权利要求11所述的液晶显示器，其中，所述控制模块包括第一控制晶体管和第二控制晶体管，所述第一控制晶体管的第一端与所述负压恒压源连接、所述第一控制晶体管的第二端与所述启动脉冲信号的信号线连接，所述第一控制晶体管的第三端连接所述第二控制晶体管的第一端和第二端，所述第二控制晶体管的第三端分别与除第一个所述GOA单元外每一所述GOA单元的所述公共信号点连接。

- [权利要求 14] 根据权利要求11所述的液晶显示器，其中，所述控制模块包括第一控制晶体管、第二控制晶体管以及第三控制晶体管，所述第三控制晶体管的第一端连接所述启动脉冲信号，所述第三控制晶体管的第二端连接所述负压恒压源，所述第三控制晶体管的第三端连接所述第一控制晶体管的第二端，所述第一控制晶体管的第一端连接所述负压恒压源，所述第一控制晶体管的第三端连接第二控制晶体管的第一端和第二端，所述第二控制晶体管的第三端分别与除第一个所述GOA单元外每一所述GOA单元的所述公共信号点连接。
- [权利要求 15] 根据权利要求11所述的液晶显示器，其中，所述控制模块包括除第一个所述GOA单元外，与多个所述GOA单元一一对应的多个第一控制晶体管，多个所述第一控制晶体管的第一端连接所述负压恒压源，多个所述第一控制晶体管的第二端连接所述启动脉冲信号的信号线，多个所述第一控制晶体管的第三端与对应的所述GOA单元的所述公共信号点连接。
- [权利要求 16] 根据权利要求11所述的液晶显示器，其中，所述控制模块包括除第一个所述GOA单元外，与多个所述GOA单元一一对应的多个第一控制晶体管和第二控制晶体管，多个所述第一控制晶体管的第一端与所述负压恒压源连接，多个所述第一控制晶体管的第二端与所述启动脉冲信号的信号线连接，多个所述第一控制晶体管的第三端连接所述第二控制晶体管的第一端和第二端，多个所述第二控制晶体管的第三端分别与对应的所述GOA单元的所述公共信号点连接。
- [权利要求 17] 根据权利要求11所述的液晶显示器，其中，所述控制模块包括除第一个所述GOA单元外，与多个所述GOA单元一一对应的多个第一控制晶体管、第二控制晶体管以及第三控制晶体管，多个所述第三控制晶体管的第一端连接所述启动脉冲信号，多个所述第三控制晶体管的第二端连接所述负压恒压源，多个所述第三控制晶

体管的第三端连接所述第一控制晶体管的第二端，多个所述第一控制晶体管的第三端连接所述第二控制晶体管的第三端，多个所述第一控制晶体管的第三端连接所述第二控制晶体管的第三端，多个所述第二控制晶体管的第三端分别与对应的所述GOA单元的所述公共信号点连接。

[权利要求 18]

根据权利要求11所述的液晶显示器，其中，

所述正反扫描单元包括第一晶体管、第二晶体管、第三晶体管和第四晶体管，所述第一晶体管的栅极接收第一扫描控制信号，所述第一晶体管的源极接收下一级所述GOA单元输出的所述栅极驱动信号，所述第二晶体管的栅极接收第二扫描控制信号，所述第二晶体管的源极接收上一级所述GOA单元输出的所述栅极驱动信号，所述第一晶体管和所述第二晶体管的漏极相互连接后与所述输入控制单元连接，所述第三晶体管的栅极接收所述第一扫描控制信号，所述第三晶体管的源极接收所述第一控制时钟，所述第四晶体管的栅极接收所述第二扫描控制信号，所述第四晶体管的源极接收所述第二控制时钟，所述第三晶体管和所述第四晶体管的漏极相互连接后与所述上拉维持单元连接；

所述输入控制单元包括第五晶体管，所述第五晶体管的栅极接收所述第一级连信号，所述第五晶体管的源极与所述第一晶体管、第二晶体管的漏极连接，所述第五晶体管的漏极与栅极信号点连接；

所述上拉维持单元包括第六晶体管、第七晶体管、第九晶体管、第十晶体管和第一电容，所述第六晶体管的栅极与公共信号点连接，所述第六晶体管的源极与所述第五晶体管的漏极连接，所述第六晶体管的漏极与第一恒压源连接，所述第七晶体管的栅极与所述第五晶体管的漏极连接，所述第七晶体管的源极与所述公共信号点连接，所述第七晶体管的漏极与所述第一恒压源连接，所述第九晶体管的栅极与所述第三晶体管、第四晶体管的漏极连接，

所述第九晶体管的源极与第二恒压源连接，所述第九晶体管的漏极与所述公共信号点连接，所述第十晶体管的栅极与所述公共信号点连接，所述第十晶体管的源极与所述栅极驱动信号连接，所述第十晶体管的漏极与所述第一恒压源连接，所述第一电容的一端与所述第一恒压源连接，所述第一电容的另一端与所述公共信号点连接；

所述输出控制单元包括第十一晶体管和第二电容，所述第十一晶体管的栅极与所述栅极信号点连接，所述第十一晶体管的漏极与所述栅极驱动信号连接，所述第十一晶体管的源极接收所述第二级传时钟，所述第二电容的一端与所述栅极信号点连接，所述第二电容的另一端与所述栅极驱动信号连接；

所述GAS信号作用单元包括第十三晶体管和第十四晶体管，所述第十三晶体管的栅极、第十四晶体管的栅极和漏极接收GAS信号，所述第十三晶体管的漏极连接所述第一恒压源，所述第十三晶体管的源极连接所述公共信号点，所述第十三晶体管的源极连接所述栅极驱动信号；

所述自举电容单元包括自举电容，所述自举电容的一端与所述栅极驱动信号连接，所述自举电容的另一端与地信号连接；

所述GOA单元进一步包括稳压单元和上拉辅助单元，所述稳压单元包括第八晶体管，所述第八晶体管串接于所述第五晶体管的源极与所述栅极信号点之间，所述第八晶体管的栅极与所述第二恒压源连接，所述第八晶体管的漏极与所述第五晶体管的漏极连接，所述第八晶体管的源极与所述栅极信号点连接；所述上拉辅助单元包括第十二晶体管，所述第十二晶体管的栅极与所述第一晶体管、第二晶体管的漏极连接，所述第十二晶体管的源极与所述公共信号点连接，所述十二晶体管的漏极与所述正压恒压源连接。

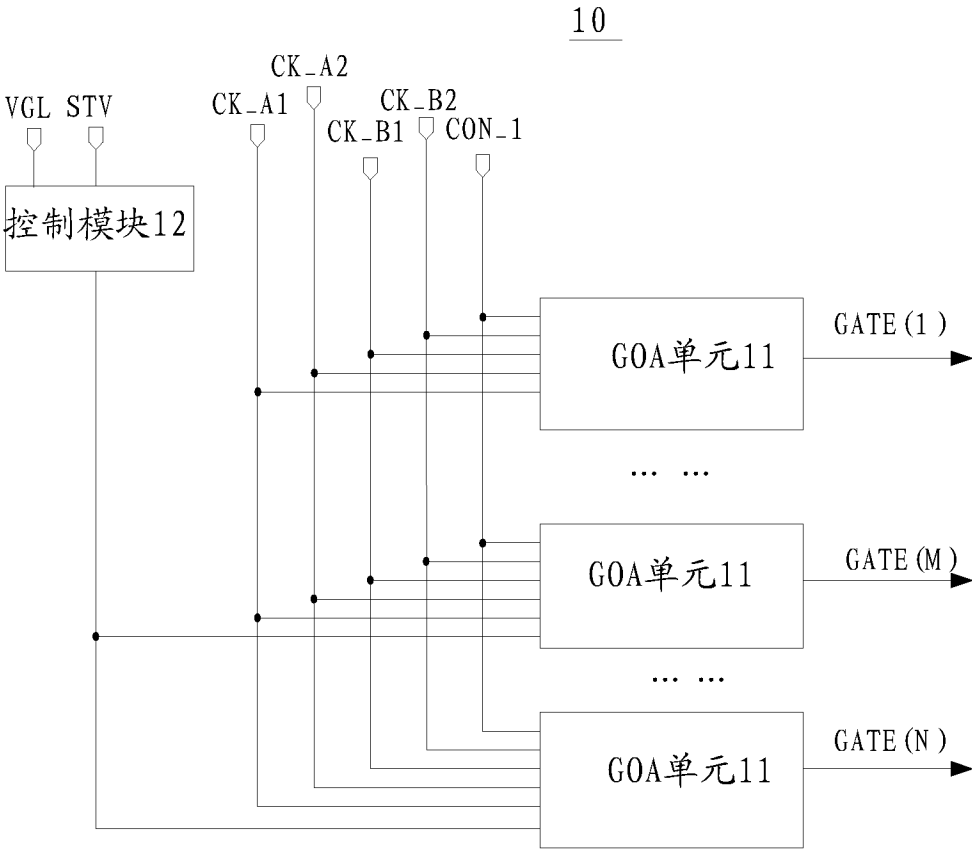


图 1

20

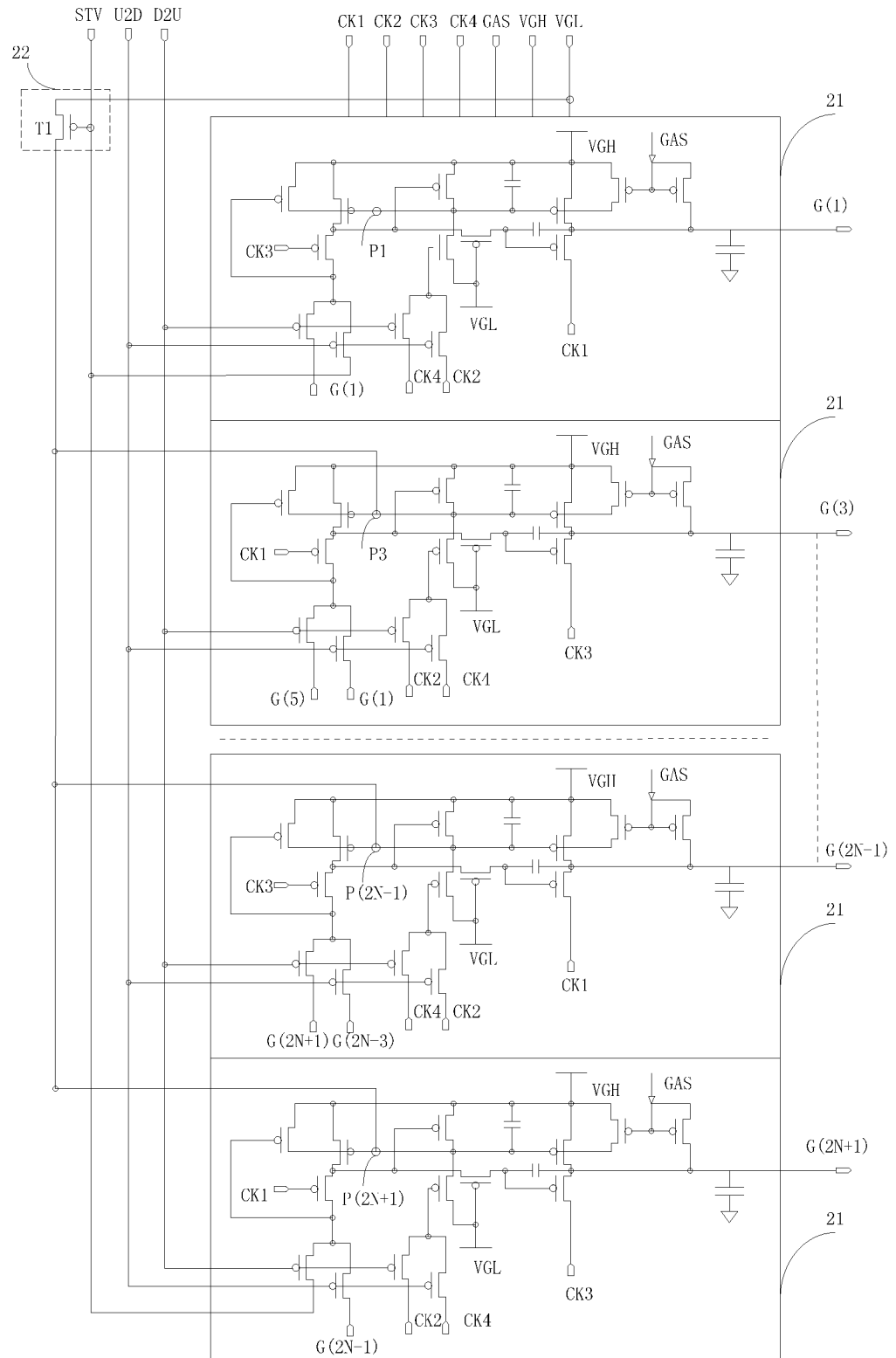


图 2

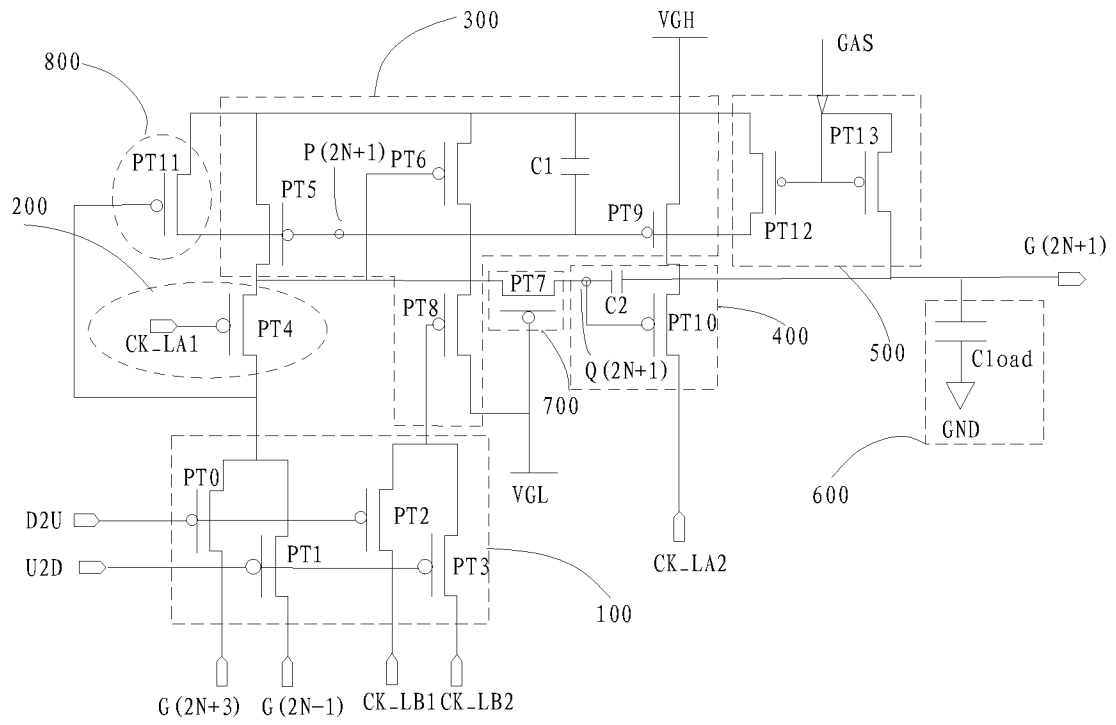


图 3

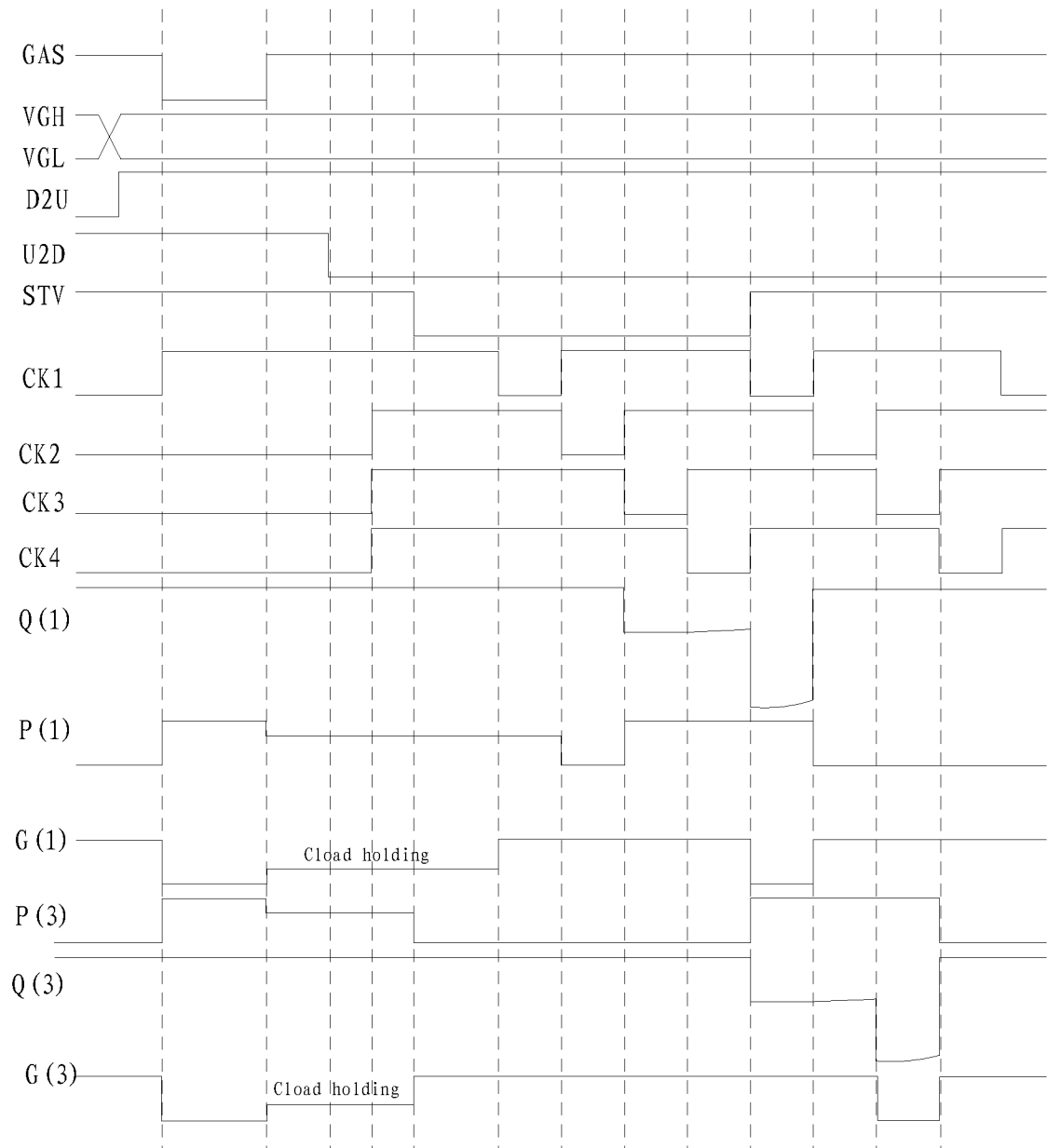


图 4

20

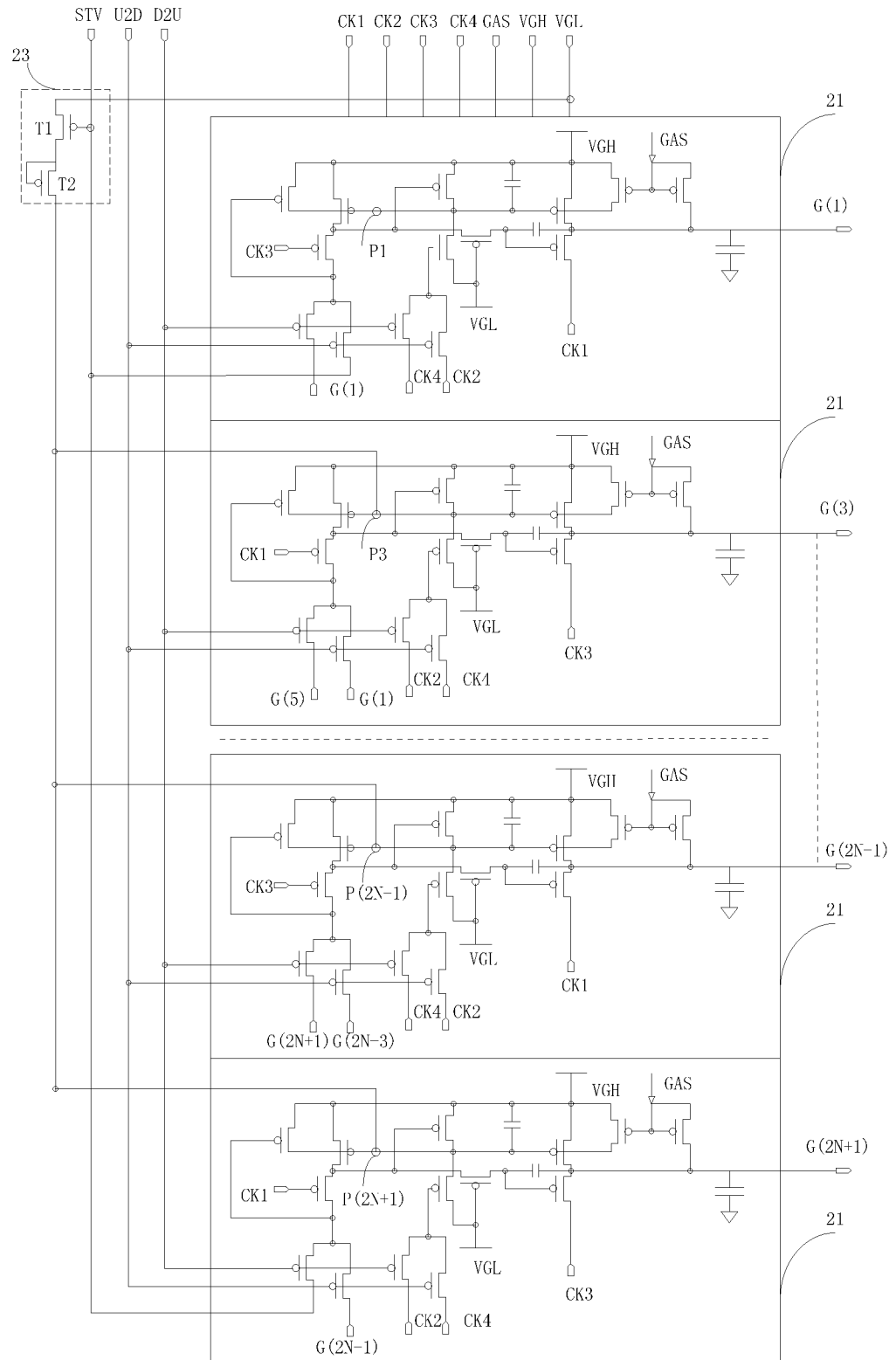


图 5

20

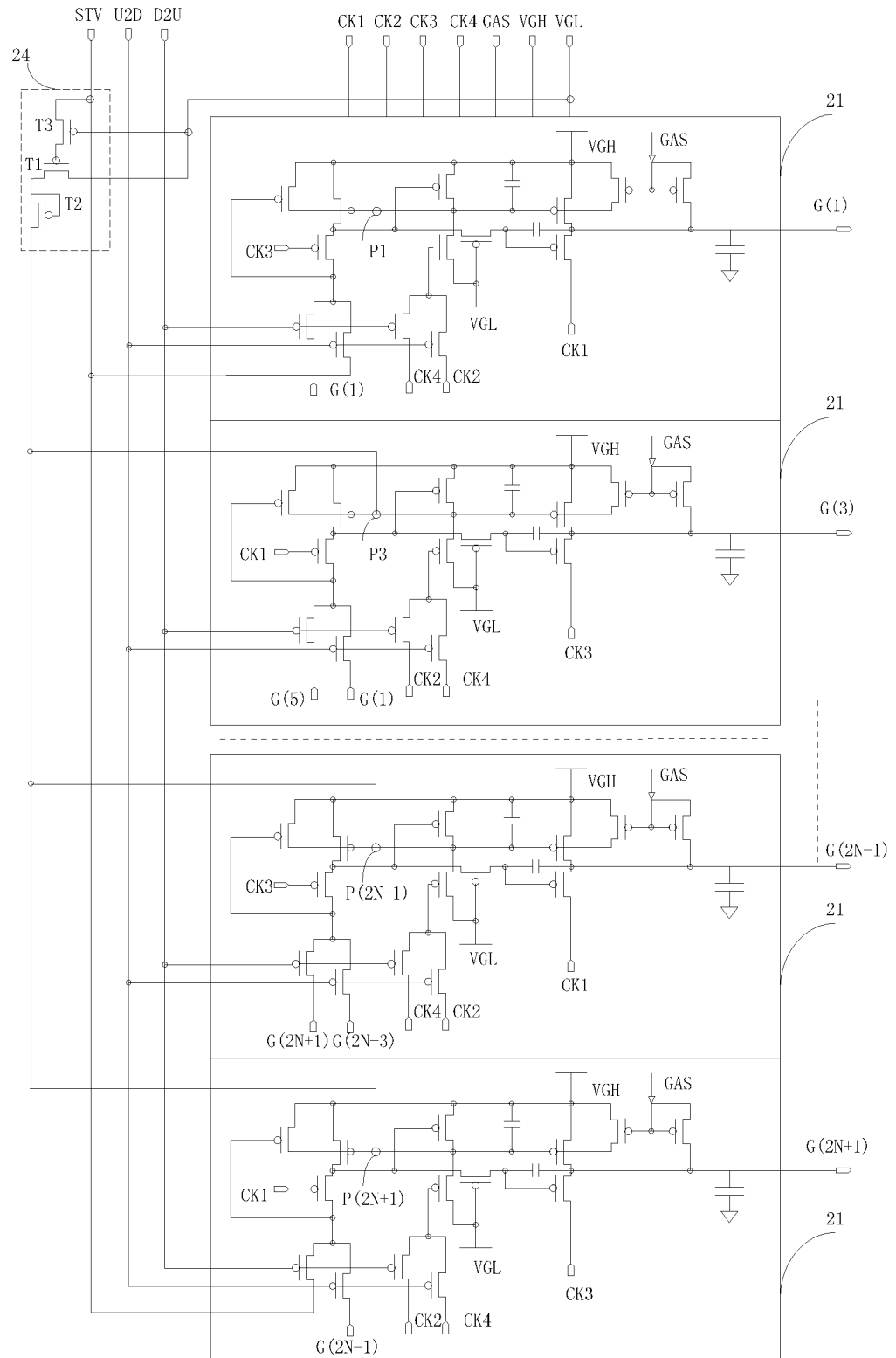


图 6

Figure 1 is a schematic diagram of a multi-channel signal processing circuit. The circuit is composed of four identical stages, each containing a differential amplifier and a current source. The stages are connected in series, with the output of one stage feeding into the next. The circuit is controlled by a common clock signal (CK1, CK2, CK3, CK4) and a common gate voltage (VGL). The input signals are STV, U2D, and D2U. The output signals are G(1), G(3), G(2N-1), and G(2N+1).

图 7

20

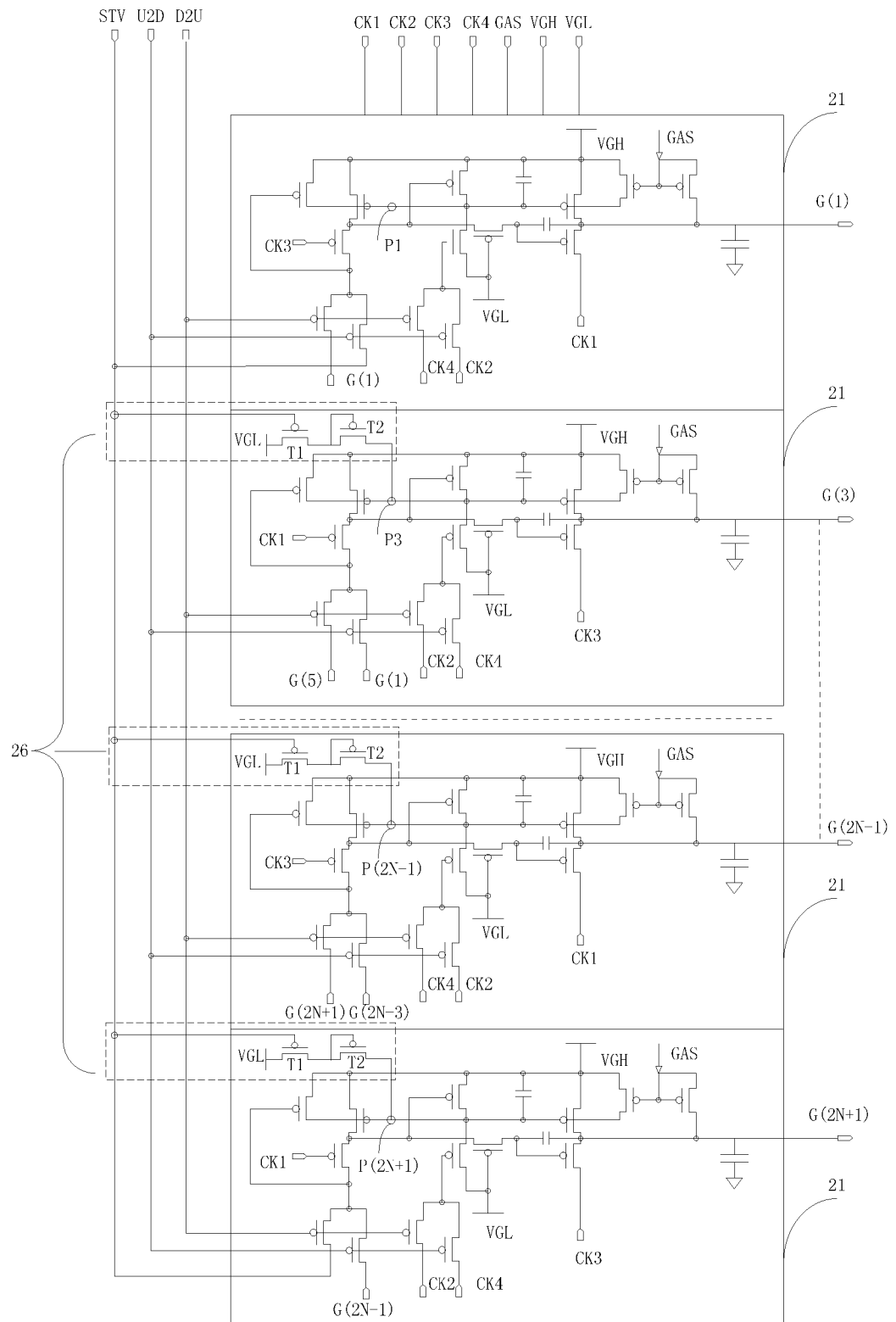


图 8

20

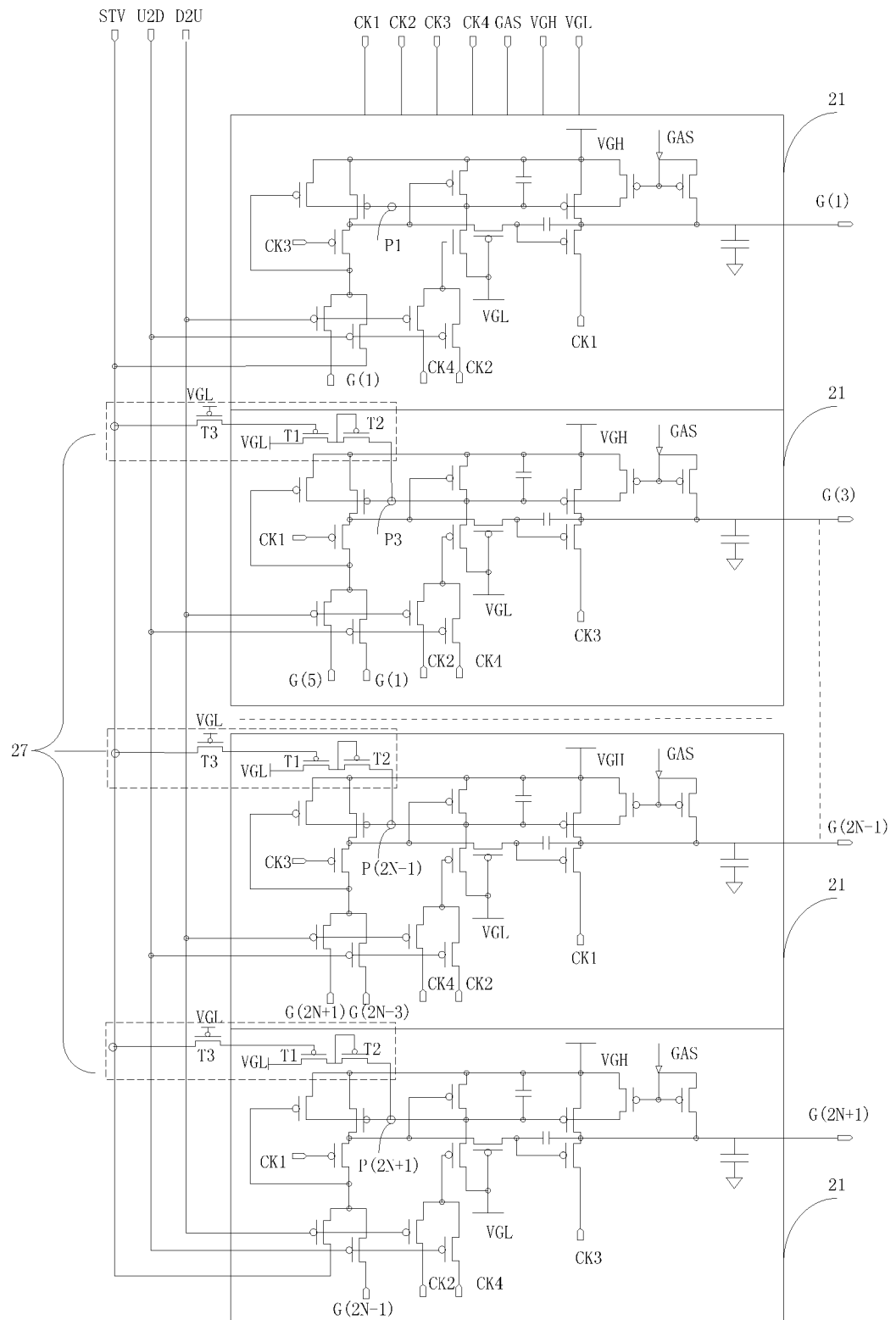


图 9



图 10

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2015/092361

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G 3/3+; G02F 1/13+; G11C 19/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; SIPOABS; DWPI: shift register, meanwhile, residual, residual shadows, shift, CLK, residual, gating, gate, line?, scan+, clock,
GOA, fourth, on, afterimage?, all, CK, charge, register?, remain+, strobe

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 104332181 A (HEFEI XINSHENG OPTOELECTRONIC SCIENCE & TECHNOLOGY CO., LTD. et al.) 04 February 2015 (04.02.2015) description, paragraphs [0055]-[0095], and figures 1-5	1-18
A	CN 101752004 A (LG DISPLAY CO., LTD.) 23 June 2010 (23.06.2010) the whole document	1-18
A	US 2005046619 A1 (SHARP K.K.) 03 March 2005 (03.03.2005) the whole document	1-18

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 27 June 2016	Date of mailing of the international search report 04 July 2016
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer LI, Jun Telephone No. (86-10) 62085773

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2015/092361

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 104332181 A	04 February 2015	US 2016125954 A1	05 May 2016
CN 101752004 A	23 June 2010	CN 101752004 B	20 February 2013
		US 2010158187 A1	24 June 2010
		KR 101341005 B1	13 December 2013
		KR 20100071389 A	29 June 2010
		US 8041000 B2	18 October 2011
US 2005046619 A1	03 March 2005	JP 2005099712 A	14 April 2005
		US 2009153446 A1	18 June 2009
		US 8421719 B2	16 April 2013
		US 8299986 B2	30 October 2012
		US 2009122055 A1	14 May 2009
		US 7515126 B2	07 April 2009
		US 8102337 B2	24 January 2012
		US 2009153546 A1	18 June 2009

A. 主题的分类 G09G 3/36 (2006.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类														
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) G09G3/3+; G02F1/13+; G11C19/- 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) CNABS; SIPOABS; DWPI: 移位寄存器, 移位寄存器, 时钟, 第四时钟, 栅线, 栅极线, 扫描线, 选通线, 同时, 全, 残存, 残留, 残影, shift, CLK, residual, gating, gate, line?, scan+, clock, GOA, fourth, on, afterimage?, all, CK, charge, register?, remain+														
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>CN 104332181 A (合肥鑫晟光电科技有限公司等) 2015年 2月 4日 (2015 - 02 - 04) 说明书[0055]-[0095]段和附图1-5</td> <td>1-18</td> </tr> <tr> <td>A</td> <td>CN 101752004 A (乐金显示有限公司) 2010年 6月 23日 (2010 - 06 - 23) 全文</td> <td>1-18</td> </tr> <tr> <td>A</td> <td>US 2005046619 A1 (SHARP KK) 2005年 3月 3日 (2005 - 03 - 03) 全文</td> <td>1-18</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	A	CN 104332181 A (合肥鑫晟光电科技有限公司等) 2015年 2月 4日 (2015 - 02 - 04) 说明书[0055]-[0095]段和附图1-5	1-18	A	CN 101752004 A (乐金显示有限公司) 2010年 6月 23日 (2010 - 06 - 23) 全文	1-18	A	US 2005046619 A1 (SHARP KK) 2005年 3月 3日 (2005 - 03 - 03) 全文	1-18
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求												
A	CN 104332181 A (合肥鑫晟光电科技有限公司等) 2015年 2月 4日 (2015 - 02 - 04) 说明书[0055]-[0095]段和附图1-5	1-18												
A	CN 101752004 A (乐金显示有限公司) 2010年 6月 23日 (2010 - 06 - 23) 全文	1-18												
A	US 2005046619 A1 (SHARP KK) 2005年 3月 3日 (2005 - 03 - 03) 全文	1-18												
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。														
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件														
国际检索实际完成的日期 2016年 6月 27日		国际检索报告邮寄日期 2016年 7月 4日												
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10) 62019451		授权官员 李军 电话号码 (86-10) 62085773												

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2015/092361

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	104332181	A	2015年 2月 4日	US	2016125954	A1	2016年 5月 5日
CN	101752004	A	2010年 6月 23日	CN	101752004	B	2013年 2月 20日
				US	2010158187	A1	2010年 6月 24日
				KR	101341005	B1	2013年 12月 13日
				KR	20100071389	A	2010年 6月 29日
				US	8041000	B2	2011年 10月 18日
US	2005046619	A1	2005年 3月 3日	JP	2005099712	A	2005年 4月 14日
				US	2009153446	A1	2009年 6月 18日
				US	8421719	B2	2013年 4月 16日
				US	8299986	B2	2012年 10月 30日
				US	2009122055	A1	2009年 5月 14日
				US	7515126	B2	2009年 4月 7日
				US	8102337	B2	2012年 1月 24日
				US	2009153546	A1	2009年 6月 18日