I780204

(19)中華民國智慧財產局

(12)發明說明書公告本 **(11)證書號數：TW I780204 B**

(45)公告日： 中華民國 111 (2022) 年 10 月 11 日

(21)申請案號：107127905 (22)申請日： 中華民國 107 (2018) 年 08 月 10 日

(51)Int. Cl.： ***G09G3/30*** ***(2006.01)*** ***H01L51/50*** ***(2006.01)***

(30)優先權：2017/08/31 日本 2017-166757

2017/11/30 日本 2017-230388

2018/02/22 日本 2018-029271

2018/05/17 日本 2018-095317

(71)申請人：日商半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY LABORATORY CO., LTD. (JP)

日本

(72)發明人：川島進 KAWASHIMA, SUSUMU (JP) ；楠紘慈 KUSUNOKI, KOJI (JP) ；渡邊一德 WATANABE, KAZUNORI (JP) ；豐高耕平 TOYOTAKA, KOUHEI (JP) ；楠本直人 KUSUMOTO, NAOTO (JP) ；山崎舜平 YAMAZAKI, SHUNPEI (JP)

(74)代理人：林志剛

(56)參考文獻：

TW I556212 US 6563480B1

US 2013/0057532A1 US 2014/0326969A1

審查人員：楊喻仁

申請專利範圍項數：10 項 圖式數：35 共 124 頁

(54)名稱

顯示裝置及電子裝置

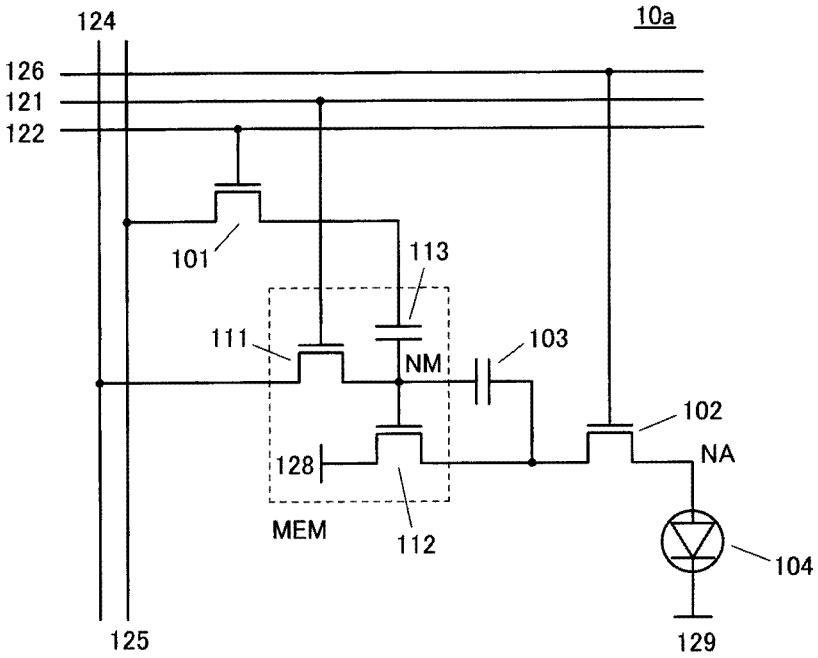
(57)摘要

提供一種能夠進行影像處理的顯示裝置。各像素中設置有記憶體電路，該記憶體電路保持所希望的校正數據。該校正數據利用外部設備算出並被寫入各像素。該校正數據藉由電容耦合被附加至影像數據並被供應給顯示元件。因此，顯示元件可以顯示經過校正的影像。藉由該校正，可以進行影像的上轉換或對因像素中的電晶體的特性偏差而下降的影像品質進行校正。

To provide a display device capable of performing image processing. Each pixel is provided with a memory circuit in which desired correction data is retained. The correction 5 data is generated by calculation in an external device and written to each pixel. The correction data is added to image data by capacitive coupling and supplied to a display element. Thus, the display element can display a corrected image. Through the correction, image upconversion can be performed, or image quality decreased because of variations in pixel transistor characteristics can be corrected.

指定代表圖：

圖 1



符號簡單說明：

101・・・電晶體

102・・・電晶體

103・・・電容器

104・・・EL 元件

111・・・電晶體

112・・・電晶體

113・・・電容器

121・・・佈線

122・・・佈線

124・・・佈線

125・・・佈線

126・・・佈線

128・・・電源線

129・・・公共佈線

10a・・・像素

MEM・・・記憶體電路

I780204

公告本

【發明摘要】

【中文發明名稱】

顯示裝置及電子裝置

【英文發明名稱】

DISPLAY DEVICE AND ELECTRONIC DEVICE

【中文】

提供一種能夠進行影像處理的顯示裝置。各像素中設置有記憶體電路，該記憶體電路保持所希望的校正數據。該校正數據利用外部設備算出並被寫入各像素。該校正數據藉由電容耦合被附加至影像數據並被供應給顯示元件。因此，顯示元件可以顯示經過校正的影像。藉由該校正，可以進行影像的上轉換或對因像素中的電晶體的特性偏差而下降的影像品質進行校正。

【英文】

To provide a display device capable of performing image processing. Each pixel is provided with a memory circuit in which desired correction data is retained. The correction data is generated by calculation in an external device and written to each pixel. The correction data is added to image data by capacitive coupling and supplied to a display element. Thus, the display element can display a corrected image. Through the correction, image upconversion can be performed, or image quality decreased because of variations in pixel transistor characteristics can be corrected.

【指定代表圖】第(1)圖。

【代表圖之符號簡單說明】

101：電晶體

102：電晶體

103：電容器

104：EL元件

111：電晶體

112：電晶體

113：電容器

121：佈線

122：佈線

124：佈線

125：佈線

126：佈線

128：電源線

129：公共佈線

10a：像素

MEM：記憶體電路

【特徵化學式】無

【發明說明書】

【中文發明名稱】

顯示裝置及電子裝置

【英文發明名稱】

DISPLAY DEVICE AND ELECTRONIC DEVICE

【技術領域】

【0001】本發明的一個實施方式係關於一種顯示裝置。

【0002】注意，本發明的一個實施方式不侷限於上述技術領域。本說明書等所公開的發明的一個實施方式的技術領域係關於一種物體、方法或製造方法。另外，本發明的一個實施方式係關於一種製程（process）、機器（machine）、產品（manufacture）或者組合物（composition of matter）。由此，更明確而言，作為本說明書所公開的本發明的一個實施方式的技術領域的一個例子可以舉出半導體裝置、顯示裝置、液晶顯示裝置、發光裝置、照明設備、蓄電裝置、記憶體裝置、攝像裝置、這些裝置的驅動方法或者這些裝置的製造方法。

【0003】注意，在本說明書等中，半導體裝置是指能夠藉由利用半導體特性而工作的所有裝置。電晶體和半導體電路為半導體裝置的一個實施方式。另外，記憶體裝置、顯示裝置、攝像裝置、電子裝置有時包括半導體裝

置。

【先前技術】

【0004】利用形成在基板上的金屬氧化物構成電晶體的技術受到關注。例如，專利文獻1及專利文獻2公開了一種將使用氧化鋅、In-Ga-Zn類氧化物的電晶體用於顯示裝置的像素的切換元件等的技術。

【0005】另外，專利文獻3公開了一種具有將關態電流（off-state current）極低的電晶體用於記憶單元的結構的記憶體裝置。

[專利文獻]

【0006】

[專利文獻1]日本專利申請公開第2007-123861號公報

[專利文獻2]日本專利申請公開第2007-96055號公報

[專利文獻3]日本專利申請公開第2011-119674號公報

【發明內容】

【0007】顯示裝置的解析度不斷提高，已經開發出能夠顯示8K4K（像素數：7680×4320）或更高解析度的影像的硬體。但是，由於高解析度的影像數據量巨大，為了使高解析度的顯示裝置得到普及，需要調整攝像裝置、記憶體裝置、通訊裝置等週邊技術。

【0008】作為生成高解析度的影像數據的技術之一，有上轉換（upconversion）。藉由進行上轉換，可以將低

解析度的影像轉換為偽高解析度的影像。由於上轉換利用顯示裝置的週邊設備進行，所以處理上轉換前的影像數據的設備可以採用習知技術。

【0009】但是，由於進行上轉換的設備需要分析大量影像數據來生成新的影像數據，所以存在電路規模及功耗變大的問題。另外，在某些情況下，處理量太大而無法即時處理，從而導致顯示延遲。

【0010】雖然上轉換有上述問題，但是，例如藉由將與上轉換有關的功能分散到多個設備，有可能緩和功耗及延遲等問題。

【0011】另外，在具有EL（Electro Luminescence：電致發光）元件等的顯示裝置中，像素中包括的電晶體的特性偏差是導致顯示品質下降的原因之一。作為校正電晶體特性偏差的方法有在像素中的電路對影像數據進行校正的內部校正以及取得各像素的校正值而將校正後的影像數據提供給像素的外部校正。

【0012】內部校正可以對每個圖框進行校正，但是高解析度顯示裝置的水平選擇期間較短，因此難以確保校正期間。外部校正對高解析度顯示裝置有效，但是需要對所有影像數據進行校正，因此對外部設備的負擔較大。理想的是在沒有校正的情況下使高解析度顯示裝置進行工作，但是，由於降低電晶體特性偏差極為困難，因此需要一種新的校正方法。

【0013】本發明的一個實施方式的目的之一是提供一

種能夠進行影像處理的顯示裝置。本發明的一個實施方式的目的之一是提供一種能夠進行上轉換工作的顯示裝置。本發明的一個實施方式的目的之一是提供一種能夠校正影像數據的顯示裝置。

【0014】另外，本發明的一個實施方式的目的之一是提供一種低功耗的顯示裝置。此外，本發明的一個實施方式的目的之一是提供一種可靠性高的顯示裝置。另外，本發明的一個實施方式的目的之一是提供一種新穎的顯示裝置等。另外，本發明的一個實施方式的目的之一是提供一種上述顯示裝置的驅動方法。另外，本發明的一個實施方式的目的是提供一種新穎的半導體裝置等。

【0015】注意，這些目的的記載不妨礙其他目的的存在。本發明的一個實施方式並不需要實現所有上述目的。另外，上述以外的目的從說明書、圖式及申請專利範圍等的記載看來顯而易見，且可以從說明書、圖式及申請專利範圍等的記載中衍生上述以外的目的。

【0016】本發明的一個實施方式係關於一種能夠進行影像處理的顯示裝置。本發明的另一個實施方式涉及一種能夠校正影像數據的顯示裝置。

【0017】本發明的一個實施方式是包括像素的顯示裝置，該像素中設置有顯示元件和記憶體電路。記憶體電路具有存儲第一數據的功能。記憶體電路具有對第二數據附加第一數據來生成第三數據的功能。顯示元件具有根據第三數據進行顯示的功能。

【0018】本發明的另一個實施方式的顯示裝置包括第一電晶體、第二電晶體、第三電晶體、第四電晶體、第一電容器、第二電容器以及顯示元件。第一電晶體的源極和汲極中的一個與第一電容器的一個電極電連接。第一電容器的一個電極與第二電晶體的源極和汲極中的一個電連接。第二電晶體的源極和汲極中的一個與第三電晶體的閘極電連接。第三電晶體的閘極與第二電容器的一個電極電連接。第二電容器的另一個電極與第三電晶體的源極和汲極中的一個電連接。第三電晶體的源極和汲極中的一個與第四電晶體的源極和汲極中的一個電連接。第四電晶體的源極和汲極中的另一個與顯示元件的一個電極電連接。

【0019】顯示元件可以使用有機EL元件。

【0020】至少第二電晶體在通道形成區中含有金屬氧化物，金屬氧化物較佳為含有In、Zn、M（M為Al、Ti、Ga、Sn、Y、Zr、La、Ce、Nd或Hf）。

【0021】第一電路可以具有供應恆電位的功能。第一電路可以具有讀取電流值的功能以及生成校正數據的功能。

【0022】本發明的另一個實施方式的顯示裝置包括第一像素、第二像素以及第三像素。第一像素與第二像素在第一方向上鄰接。第一像素與第三像素在與第一方向垂直的方向上鄰接。第一至第三像素各自包括第一至第三子像素。與第一像素的第一子像素電連接的第一佈線與第一開關的一個端子電連接。與第二像素的第一子像素電連接的

第二佈線與第一開關的另一個端子電連接。與第一像素的第二子像素電連接的第三佈線與第二開關的一個端子電連接。與第二像素的第二子像素電連接的第四佈線與第二開關的另一個端子電連接。與第一像素的第三子像素電連接的第五佈線與第三開關的一個端子電連接。與第二像素的第三子像素電連接的第六佈線與第三開關的另一個端子電連接。與第一像素的第一至第三子像素電連接的第七佈線與第四開關的一個端子電連接。與第三像素的第一至第三子像素電連接的第八佈線與第四開關的另一個端子電連接。

【0023】第一至第六佈線具有用作供給影像數據的信號線的功能，第七及第八佈線具有用作選擇像素的信號線的功能。

【0024】第一至第三子像素可以具有分別發射不同顏色的光的功能。

【0025】根據本發明的一個實施方式可以提供一種能夠進行影像處理的顯示裝置。根據本發明的一個實施方式可以提供一種能夠進行上轉換工作的顯示裝置。根據本發明的一個實施方式可以提供一種能夠校正影像數據的顯示裝置。

【0026】另外，可以提供一種低功耗的顯示裝置。此外，可以提供一種可靠性高的顯示裝置。另外，可以提供一種新穎的顯示裝置等。另外，可以提供一種上述顯示裝置中的任一個的驅動方法。另外，可以提供一種新穎的半

導體裝置等。

【圖式簡單說明】

【0027】在圖式中：

圖1是說明像素電路的圖；

圖2A和圖2B是說明像素電路的工作的時序圖；

圖3A和圖3B是說明上轉換的圖；

圖4A和圖4B是說明像素電路的圖；

圖5是說明顯示裝置的方塊圖；

圖6是說明像素電路的圖；

圖7A和圖7B是說明顯示裝置的方塊圖；

圖8是說明像素陣列的圖；

圖9A至圖9C是說明顯示裝置的圖；

圖10A和圖10B是說明觸控面板的圖；

圖11是說明顯示裝置的圖；

圖12A1、圖12A2、圖12B1、圖12B2、圖12C1和圖12C2是說明晶體管的圖；

圖13A1、圖13A2、圖13A3、圖13B1、圖13B2、圖13C1和圖13C2是說明晶體管的圖；

圖14是示出DOSRAM的結構例的剖面圖；

圖15A和圖15B是說明神經網路的結構例的圖；

圖16是說明半導體裝置的結構例的圖；

圖17是說明記憶單元的結構例的圖；

圖18是說明偏置電路的結構例的圖；

圖19是說明半導體裝置的工作的時序圖；

圖20A至圖20F是說明電子裝置的圖；

圖21是示出電晶體的I_D-V_G特性的圖；

圖22是說明像素電路的圖；

圖23A和圖23B是說明像素電路的工作的時序圖；

圖24是說明類比結果的圖；

圖25A至圖25C是說明顯示的圖；

圖26是示出電晶體的I_D-V_G特性的圖；

圖27是說明外部校正電路與EL面板的介面部分的圖；

圖28是說明外部校正電路與EL面板的介面部分的圖；

圖29是說明像素佈局的圖；

圖30是說明像素及源極驅動器的構成的方塊圖；

圖31A至圖31C是說明驅動電晶體的電流的測量結果的圖；

圖32A和圖32B是說明利用外部校正系統進行影像校正後的顯示的圖；

圖33A和圖33B是說明利用二維色彩亮度計測量出的亮度不均勻的結果的圖；

圖34是示出顯示照片及二維色彩亮度計的測量結果的圖；

圖35A至圖35C是說明顯示的圖。

【實施方式】

【0028】使用圖式對實施方式進行詳細說明。注意，

本發明不侷限於下面說明，所屬技術領域的通常知識者可以很容易地理解一個事實就是其方式及詳細內容在不脫離本發明的精神及其範圍的情況下可以被變換為各種各樣的形式。因此，本發明不應該被解釋為僅限定在以下所示的實施方式所記載的內容中。注意，在下面所說明的發明的結構中，在不同的圖式中共同使用相同的元件符號來表示相同的部分或具有相同功能的部分，而省略其重複說明。注意，有時在不同的圖式中適當地省略或改變相同組件的陰影。

【0029】

實施方式1

在本實施方式中，參照圖式對本發明的一個實施方式的顯示裝置進行說明。

【0030】本發明的一個實施方式是具有用來對影像數據附加校正數據的功能的顯示裝置。各像素中設置有記憶體電路，該記憶體電路保持所希望的校正數據。該校正數據由外部設備生成並被寫入各像素中。

【0031】該校正數據藉由電容耦合附加至影像數據並被提供給顯示元件。因此，顯示元件可以顯示經過校正的影像。藉由該校正，可以進行影像的上轉換，或者，可以對因像素中包含的電晶體的特性偏差而下降的影像品質進行校正。

【0032】圖1是說明能夠用於本發明的一個實施方式的顯示裝置的像素10a的圖。像素10a包括電晶體101、電

晶體102、電晶體111、電晶體112、電容器103、電容器113及EL元件104。

【0033】電晶體101的源極和汲極中的一個與電容器113的一個電極電連接。電容器113的另一個電極與電晶體111的源極和汲極中的一個電連接。電晶體111的源極和汲極中的一個與電晶體112的閘極電連接。電晶體112的閘極與電容器103的一個電極電連接。電容器103的另一個電極與電晶體112的源極和汲極中的一個電連接。電晶體112的源極和汲極中的一個與電晶體102的源極和汲極中的一個電連接。電晶體102的源極和閘極中的另一個與EL元件104的一個電極電連接。

【0034】在此，將電容器113的另一個電極、電晶體111的源極和汲極中的一個、電晶體112的閘極及電容器103的一個電極連接的佈線稱為節點NM。另外，將電晶體102的源極和汲極中的另一個與EL元件104的一個電極連接的佈線稱為節點NA。

【0035】電晶體101的閘極與佈線122電連接。電晶體102的閘極與佈線126電連接。電晶體111的閘極與佈線121電連接。電晶體101的源極和閘極中的另一個與佈線125電連接。電晶體111的源極和閘極中的另一個與佈線124電連接。

【0036】電晶體112的源極和閘極中的另一個與電源線128（高電位）電連接。EL元件104的另一個電極與公共佈線129電連接。注意，可以對公共佈線129提供任意電

位。

【0037】佈線121、122、126可以具有用作控制電晶體的工作的信號線的功能。佈線125可以具有用作提供影像數據的信號線的功能。佈線124可以具有用作對下面說明的記憶體電路MEM寫入數據的信號線的功能。

【0038】電晶體111、電晶體112及電容器113構成記憶體電路MEM。節點NM為存儲節點，藉由使電晶體111導通，可以將供給佈線124的數據寫入節點NM。藉由作為電晶體111使用關態電流極低的電晶體，可以長時間地保持節點NM的電位。作為該電晶體，例如可以使用將金屬氧化物用於通道形成區的電晶體（以下稱為OS電晶體）。

【0039】OS電晶體不僅可以用於電晶體111還可以用於構成像素的其他的電晶體。電晶體111也可以使用通道形成區中含有Si的電晶體（以下稱為Si電晶體），也可以使用OS電晶體和Si電晶體的兩者。作為上述Si電晶體，可以舉出含有非晶矽的電晶體、含有結晶矽（典型的有低溫多晶矽、單晶矽）的電晶體等。

【0040】當作為顯示元件使用EL元件時，可以使用矽基板，並且可以形成Si電晶體與OS電晶體彼此重疊的區域。由此，即使電晶體的數量較多也能夠實現高像素密度。

【0041】作為用於OS電晶體的半導體材料，可以使用能隙為2eV以上，較佳為2.5eV以上，更佳為3eV以上的金屬氧化物。典型的有含有銦的氧化物半導體等，例如，

可以使用後面提到的CAAC-OS或CAC-OS等。CAAC-OS中構成晶體的原子穩定，適用於重視可靠性的電晶體等。CAC-OS呈現高移動率特性，適用於進行高速驅動的電晶體等。

【0042】OS電晶體具有大能隙而呈現極低的關態電流特性。與Si電晶體不同，OS電晶體不會發生碰撞電離、突崩潰、短通道效應等，因此能夠形成高可靠性的電路。

【0043】作為OS電晶體中的半導體層，例如可以採用包含銦、鋅及M(鋁、鈦、鎵、鍺、釔、鋯、鑭、鈰、錫、釹或鉿等金屬)的以“In-M-Zn類氧化物”表示的膜。

【0044】當構成半導體層的氧化物半導體為In-M-Zn類氧化物時，較佳為用來形成In-M-Zn氧化物膜的濺射靶材的金屬元素的原子數比滿足In≥M及Zn≥M。這種濺射靶材的金屬元素的原子數比較佳為In:M:Zn=1:1:1、In:M:Zn=1:1:1.2、In:M:Zn=3:1:2、In:M:Zn=4:2:3、In:M:Zn=4:2:4.1、In:M:Zn=5:1:6、In:M:Zn=5:1:7、In:M:Zn=5:1:8等。注意，所形成的半導體層的原子數比分別有可能在上述濺射靶材中的金屬元素的原子數比的±40%的範圍內變動。

【0045】作為半導體層，可以使用載子密度低的氧化物半導體。例如，作為半導體層可以使用載子密度為$1\times10^{17}/cm^3$以下，較佳為$1\times10^{15}/cm^3$以下，更佳為$1\times10^{13}/cm^3$以下，進一步較佳為$1\times10^{11}/cm^3$以下，更進一步較佳為小於$1\times10^{10}/cm^3$，$1\times10^{-9}/cm^3$以上的氧化物半導

體。將這樣的氧化物半導體稱為高純度本質或實質上高純度本質的氧化物半導體。該氧化物半導體的缺陷能階密度低，因此可以說是具有穩定的特性的氧化物半導體。

【0046】注意，本發明不侷限於上述記載，可以根據所需的電晶體的半導體特性及電特性（場效移動率、臨界電壓等）來使用具有適當的組成的材料。另外，較佳為適當地設定半導體層的載子密度、雜質濃度、缺陷密度、金屬元素與氧的原子數比、原子間距離、密度等，以得到所需的電晶體的半導體特性。

【0047】當構成半導體層的氧化物半導體包含第14族元素之一的矽或碳時，氧缺陷增加，會使該半導體層變為n型。因此，將半導體層中的矽或碳的濃度（藉由二次離子質譜分析法測得的濃度）設定為2×10^{18}atoms/cm^{3}以下，較佳為2×10^{17}atoms/cm^{3}以下。

【0048】另外，有時當鹼金屬及鹼土金屬與氧化物半導體鍵合時生成載子，而使電晶體的關態電流增大。因此，將半導體層的鹼金屬或鹼土金屬的濃度（藉由二次離子質譜分析法測得的濃度）設定為1×10^{18}atoms/cm^{3}以下，較佳為2×10^{16}atoms/cm^{3}以下。

【0049】另外，當構成半導體層的氧化物半導體含有氮時生成作為載子的電子，載子密度增加而容易n型化。其結果是，使用含有氮的氧化物半導體的電晶體容易變為常開特性。因此，半導體層的氮濃度（利用二次離子質譜分析法測得的濃度）較佳為5×10^{18}atoms/cm^{3}以下。

【0050】另外，半導體層例如也可以具有非單晶結構。非單晶結構例如包括具有c軸配向的結晶的CAAC-OS（C-Axis Aligned Crystalline Oxide Semiconductor或者C-Axis Aligned and A-B-plane Anchored Crystalline Oxide Semiconductor）、多晶結構、微晶結構或非晶結構。在非單晶結構中，非晶結構的缺陷態密度最高，而CAAC-OS的缺陷態密度最低。

【0051】非晶結構的氧化物半導體膜例如具有無秩序的原子排列且不具有結晶成分。或者，非晶結構的氧化物膜例如是完全的非晶結構且不具有結晶部。

【0052】此外，半導體層也可以為具有非晶結構的區域、微晶結構的區域、多晶結構的區域、CAAC-OS的區域和單晶結構的區域中的兩種以上的混合膜。混合膜有時例如具有包括上述區域中的兩種以上的區域的單層結構或疊層結構。

【0053】以下對非單晶半導體層的一個實施方式的CAC（Cloud-Aligned Composite）-OS的構成進行說明。

【0054】CAC-OS例如是指包含在氧化物半導體中的元素不均勻地分佈的構成，其中包含不均勻地分佈的元素的材料的尺寸為0.5nm以上且10nm以下，較佳為1nm以上且2nm以下或近似的尺寸。注意，在下面也將在氧化物半導體中一個或多個金屬元素不均勻地分佈且包含該金屬元素的區域以0.5nm以上且10nm以下，較佳為1nm以上且2nm以下或近似的尺寸混合的狀態稱為馬賽克（mosaic）狀或

補丁（patch）狀。

【0055】氧化物半導體較佳為至少包含銦。尤其是，較佳為包含銦及鋅。除此之外，也可以還包含選自鋁、鎵、釔、銅、釩、鈹、硼、矽、鈦、鐵、鎳、鍺、鋯、鉬、鑭、鈰、釹、鉿、鉭、鎢和鎂等中的一種或多種。

【0056】例如，In-Ga-Zn氧化物中的CAC-OS（在CAC-OS中，尤其可以將In-Ga-Zn氧化物稱為CAC-IGZO）是指材料分成銦氧化物（以下，稱為InO_{X1}（X1為大於0的實數））或銦鋅氧化物（以下，稱為$In_{X2}Zn_{Y2}O_{Z2}$（X2、Y2及Z2為大於0的實數））以及鎵氧化物（以下，稱為GaO_{X3}（X3為大於0的實數））或鎵鋅氧化物（以下，稱為$Ga_{X4}Zn_{Y4}O_{Z4}$（X4、Y4及Z4為大於0的實數））等而成為馬賽克狀，且馬賽克狀的InO_{X1}或$In_{X2}Zn_{Y2}O_{Z2}$均勻地分佈在膜中的構成（以下，也稱為雲狀）。

【0057】換言之，CAC-OS是具有以GaO_{X3}為主要成分的區域和以$In_{X2}Zn_{Y2}O_{Z2}$或InO_{X1}為主要成分的區域混在一起的構成的複合氧化物半導體。在本說明書中，例如，當第一區域的In與元素M的原子個數比大於第二區域的In與元素M的原子個數比時，第一區域的In濃度高於第二區域。

【0058】注意，IGZO是通稱，有時是指包含In、Ga、Zn及O的化合物。作為典型例子，可以舉出以$InGaO_3(ZnO)_{m1}$（m1為自然數）或$In_{(1+x0)}Ga_{(1-x0)}O_3(ZnO)_{m0}$（$-1 \leq x0 \leq 1$，m0為任意數）表示的結晶性化合物。

【0059】上述結晶性化合物具有單晶結構、多晶結構或CAAC結構。CAAC結構是多個IGZO的奈米晶具有c軸配向性且在a-b面上以不配向的方式連接的結晶結構。

【0060】另一方面，CAC-OS與氧化物半導體的材料構成有關。CAC-OS是指如下構成：在包含In、Ga、Zn及O的材料構成中，一部分中觀察到以Ga為主要成分的奈米粒子狀區域以及一部分中觀察到以In為主要成分的奈米粒子狀區域分別以馬賽克狀無規律地分散。因此，在CAC-OS中，結晶結構是次要因素。

【0061】CAC-OS不包含組成不同的二種以上的膜的疊層結構。例如，不包含由以In為主要成分的膜與以Ga為主要成分的膜的兩層構成的結構。

【0062】注意，有時觀察不到以GaO_{X3}為主要成分的區域與以$In_{X2}Zn_{Y2}O_{Z2}$或InO_{X1}為主要成分的區域之間的明確的邊界。

【0063】在CAC-OS中包含選自鋁、釔、銅、釩、鈹、硼、矽、鈦、鐵、鎳、鍺、鋯、鉬、鑭、鈰、釹、鉿、鉭、鎢和鎂等中的一種或多種以代替銦的情況下，CAC-OS是指如下構成：一部分中觀察到以該元素為主要成分的奈米粒子狀區域以及一部分中觀察到以In為主要成分的奈米粒子狀區域以馬賽克狀無規律地分散。

【0064】CAC-OS例如可以藉由在對基板不進行意圖性的加熱的條件下利用濺射法來形成。在利用濺射法形成CAC-OS的情況下，作為沉積氣體，可以使用選自惰性氣

體（典型的是氬）、氧氣體和氮氣體中的一種或多種。另外，成膜時的沉積氣體的總流量中的氧氣體的流量比越低越好，例如，將氧氣體的流量比設定為0%以上且低於30%，較佳為0%以上且10%以下。

【0065】CAC-OS具有如下特徵：藉由根據X射線繞射（XRD：X-ray diffraction）測定法之一的Out-of-plane法利用θ/2θ掃描進行測定時，觀察不到明確的峰值。也就是說，根據X射線繞射，可知在測定區域中沒有a-b面方向及c軸方向上的配向。

【0066】另外，在藉由照射束徑為1nm的電子束（也稱為奈米束）而取得的CAC-OS的電子繞射圖案中，觀察到環狀的亮度高的區域以及在該環狀區域內的多個亮點。由此，根據電子繞射圖案，可知CAC-OS的結晶結構具有在平面方向及剖面方向上沒有配向的nc（nano-crystal）結構。

【0067】另外，例如在In-Ga-Zn氧化物的CAC-OS中，根據藉由能量色散型X射線分析法（EDX：Energy Dispersive X-ray spectroscopy）取得的EDX面分析影像，可確認到：具有以GaO_{X3}為主要成分的區域及以$In_{X2}Zn_{Y2}O_{Z2}$或InO_{X1}為主要成分的區域不均勻地分佈而混合的構成。

【0068】CAC-OS的結構與金屬元素均勻地分佈的IGZO化合物不同，具有與IGZO化合物不同的性質。換言之，CAC-OS具有以GaO_{X3}等為主要成分的區域及以

$In_{X2}Zn_{Y2}O_{Z2}$或InO_{X1}為主要成分的區域互相分離且以各元素為主要成分的區域為馬賽克狀的構成。

【0069】在此，以$In_{X2}Zn_{Y2}O_{Z2}$或InO_{X1}為主要成分的區域的導電性高於以GaO_{X3}等為主要成分的區域。換言之，當載子流過以$In_{X2}Zn_{Y2}O_{Z2}$或InO_{X1}為主要成分的區域時，呈現氧化物半導體的導電性。因此，當以$In_{X2}Zn_{Y2}O_{Z2}$或InO_{X1}為主要成分的區域在氧化物半導體中以雲狀分佈時，可以實現高場效移動率（μ）。

【0070】另一方面，以GaO_{X3}等為主要成分的區域的絕緣性高於以$In_{X2}Zn_{Y2}O_{Z2}$或InO_{X1}為主要成分的區域。換言之，當以GaO_{X3}等為主要成分的區域在氧化物半導體中分佈時，可以抑制洩漏電流而實現良好的切換工作。

【0071】因此，當將CAC-OS用於半導體元件時，藉由起因於GaO_{X3}等的絕緣性及起因於$In_{X2}Zn_{Y2}O_{Z2}$或InO_{X1}的導電性的互補作用可以實現高通態電流（I_{on}）及高場效移動率（μ）。

【0072】另外，使用CAC-OS的半導體元件具有高可靠性。因此，CAC-OS適用於各種半導體裝置的構成材料。

【0073】在像素10a中，被寫入節點NM的數據與佈線125供給的影像數據電容耦合並被輸出至節點NA。電晶體101可以具有選擇像素的功能。電晶體102可以具有用作控制EL元件104的發光的開關的功能。

【0074】例如，當從佈線124寫入節點NM的數據的電

壓大於電晶體112的臨界電壓（V_{th}）時，在影像數據被寫入之前電晶體112就會變為導通而使EL元件104發光。因此，較佳為設置電晶體102並在節點NM的電位固定之後再使電晶體102導通使EL元件104發光。

【0075】也就是說，只要將所希望的校正數據存儲到節點NM就可以對供應的影像數據附加該校正數據。注意，由於傳輸路徑上的因素有時校正數據會衰減，因此較佳為考慮該衰減來生成校正數據。

【0076】注意，這裡在電位的分佈、耦合或損耗中不考慮因電路的結構、工作時序等的詳細變化。由電容耦合引起的電位變化取決於供給側與被供給側的容量比，但是為了便於說明，假設節點NM及節NA的電容值足夠小。

【0077】使用圖2A和圖2B所示的時序圖對像素10a的工作進行詳細說明。作為對佈線124供應的校正數據（Vp）可以使用正電位也可以使用負電位，這裡對供應正電位的情況進行說明。另外，在以下說明中，“H”表示高電位，“L”表示低電位。

【0078】首先，參照圖2A說明對節點NM寫入校正數據（Vp）的工作。在上轉換過程中，通常較佳為對每個圖框進行該工作。

【0079】在時刻T1，使佈線121的電位為“L”、佈線122的電位為“H”、佈線125的電位為“L”、佈線126的電位為“L”，由此電晶體101變為導通，電容器113的另一個電極的電位變為“L”。

【0080】該工作是在電容耦合之前進行的重設工作。在時刻T1之前，EL元件104在前一圖框中發光。但是，由於該重設工作節點NM的電位改變而使流過EL元件104的電流改變，因此較佳為使電晶體102變為非導通而使EL元件104停止發光。

【0081】在時刻T2，使佈線121的電位為“H”、佈線122的電位為“H”、佈線125的電位為“L”、佈線126的電位為“L”，由此電晶體111變為導通，佈線124的電位（校正數據（Vp））被寫入節點NM。

【0082】在時刻T3，使佈線121的電位為“L”、佈線122的電位為“H”、佈線125的電位為“L”、佈線126的電位為“L”，由此電晶體111變為非導通，校正數據（Vp）被保持於節點NM。

【0083】在時刻T4，使佈線121的電位為“L”、佈線122的電位為“L”、佈線125的電位為“L”、佈線126的電位為“L”，由此電晶體101變為非導通，由此結束校正數據（Vp）的寫入工作。

【0084】接著，參照圖2B說明影像數據（Vs）的校正工作及使EL元件104發光的工作。

【0085】在時刻T11，使佈線121的電位為“L”、佈線122的電位為“H”、佈線124的電位為“L”、佈線126的電位為“L”，由此電晶體101變為導通，藉由電容器113的電容耦合，佈線125的電位被附加到節點NM的電位。也就是說，節點NM變為影像數據（Vs）加上校正數

據（Vp）的電位（Vs+Vp）。

【0086】在時刻T12，使佈線121的電位為“L”、佈線122的電位為“L”、佈線124的電位為“L”、佈線126的電位為“L”，由此電晶體101變為非導通，節點NM的電位固定為Vs+Vp。

【0087】在時刻T13，使佈線121的電位為“L”、佈線122的電位為“L”、佈線124的電位為“L”、佈線126的電位為“H”，由此電晶體102變為導通，節點NA的電位變為Vs+Vp，EL元件104發光。嚴格地說，節點NA的電位相當於Vs+Vp減去電晶體112的臨界電壓（V_{th}），這裡，V_{th}為可以忽略不計的極小值。

【0088】以上是影像數據（Vs）的校正工作及使EL元件104發光的工作。注意，雖然可以連續地進行之前說明的校正數據（Vp）的寫入工作與影像數據（Vs）的輸入工作，但是較佳為先對所有像素寫入校正數據（Vp）之後再進行影像數據（Vs）的輸入工作。在本發明的一個實施方式中，由於可以同時對多個像素供給相同的影像數據，所以藉由先對所有的像素寫入校正數據（Vp）來提高工作速度，詳細內容將在後面說明。

【0089】上述像素10a的結構及工作對於影像上轉換是有利的。參照圖3A和圖3B對利用像素10a的上轉換進行說明。

【0090】例如，8K4K顯示裝置的像素數為4K2K顯示裝置的像素數（3840×2160）的4倍。也就是說，當將由

4K2K顯示裝置的1個像素顯示的影像數據以8K4K顯示裝置進行顯示時，8K4K顯示裝置的4個像素將顯示相同的影像數據。

【0091】圖3A示出假設為上述情況時橫向和縱向的4個像素所顯示的影像。如圖3A所示，上轉換前4個像素都顯示影像數據S1，上轉換後各像素顯示影像數據S0至S2，有助於提高解析度。

【0092】圖3B說明像素10a中的上轉換工作。在像素10a中，如之前所述可以對影像數據附加任意的校正數據。因此，原始影像數據S1按原樣提供給各像素。

【0093】另外，作為校正數據對各像素供給W1至W3。這裡，對生成W1至W3的方法沒有特別限制。作為校正數據的生成，既可以利用外部設備即時生成校正數據，也可以藉由讀取存儲於記錄介質中的校正數據使其與影像數據S1同步來生成校正數據。

【0094】藉由進行之前所述的像素10a的工作，各影像數據被附加各校正數據，由此生成新的影像數據S0至S2。由此，可以顯示原始影像數據被上轉換的影像。

【0095】習知的利用外部校正的上轉換藉由生成新的影像數據來進行，因此對外部設備造成的負擔較大。但是，在上述本發明的一個實施方式中，不是改變供應的影像數據而是在被供給校正數據的像素中生成新的影像數據，所以可以降低對外部設備的負擔。此外，可以以較少的步驟在像素中生成新的影像數據，即便是在像素數多水

平期間短的顯示裝置中也可以進行。

【0096】另外，本發明的一個實施方式的像素可以採用圖4A所示的像素10b的結構。像素10b具有省略了電晶體102的像素10a的結構。

【0097】如上所述，電晶體102是為了解決在寫入節點NM的數據的電壓為電晶體112的臨界電壓（V_{th}）以上時發生故障而設置的。但是，如果寫入節點NM的數據是比V_{th}低的值則可以省略電晶體102。

【0098】另外，本發明的一個實施方式的像素可以採用圖4B所示的像素10c的結構。像素10c具有各電晶體中設置有背閘極的結構。該背閘極與前閘極電連接可以提高通態電流。另外，也可以對背閘極提供與前閘極不同的恆電位。藉由採用該結構，可以控制電晶體的臨界電壓。雖然在圖4B中示出所有的電晶體中設置有背閘極的結構，但是也可以包括不設置背閘極的電晶體。另外，也可以將電晶體具有背閘極的結構用於本實施方式中的其他的像素電路。

【0099】圖5示出本發明的一個實施方式的顯示裝置的方塊圖的一個例子。該顯示裝置包括像素10以矩陣狀排列的像素陣列、行驅動器12、列驅動器13以及電路14。作為像素10，可以使用之前所述的像素10a至10c中的任一個。

【0100】行驅動器12及列驅動器13例如可以使用移位暫存器電路。電路14具有生成校正數據的功能。電路14也

可以稱為用於生成校正數據的外部設備。

【0101】電路14被輸入圖3A和圖3B中說明的影像數據S1，影像數據S1及生成的校正數據W輸出至列驅動器13。注意，影像數據S1可以不藉由電路14輸入至列驅動器13。

【0102】另外，電路14可以具有神經網路。例如，可以利用以大量的影像作為監督數據進行了學習的深度神經網路生成高精度的校正數據W。

【0103】以上主要對具有記憶體電路MEM的像素中的上轉換工作進行了說明。在該像素中也可以進行校正電晶體特性偏差的工作。在使用EL元件的像素中，對EL元件供給電流的驅動電晶體的臨界電壓的偏差對顯示品質的影響很大。藉由使記憶體電路MEM保持對驅動電晶體的臨界電壓進行校正的數據並將其附加至影像數據，可以提高顯示品質。

【0104】圖6示出能夠進行相當於上述驅動電晶體的電晶體112的臨界電壓（V_{th}）的校正工作的像素10d的結構。像素10d具有對像素10a附加了電晶體105及佈線130的結構。注意，可以使用具有該結構的像素電路進行上述上轉換工作。另外，也可以進行臨界電壓校正與上轉換這兩個工作。

【0105】電晶體105的源極和汲極中的一個與電晶體112的源極和汲極中的一個電連接。電晶體105的源極和閘極中的另一個與佈線130電連接。電晶體105的閘極與佈線

122電連接。

【0106】佈線130具有用作用於取得電晶體111的電特性的監視線的功能。另外，藉由從佈線130藉由電晶體105對電晶體112的源極和汲極中的一個供應特定的電位，可以使影像數據的寫入穩定化。

【0107】像素10d作為初期工作進行外部校正工作，生成的校正數據被存儲至記憶體電路MEM。因此，在校正數據被記憶體電路MEM保持後，像素10d像內部校正那樣工作。

【0108】參照圖6的電路圖及圖7A所示的顯示裝置的方塊圖說明校正數據的生成及向記憶體電路MEM的存儲。該顯示裝置包括像素10d以矩陣狀設置的像素陣列、行驅動器12、列驅動器13、列驅動器15及電路16。

【0109】列驅動器15例如可以使用移位暫存器電路。電路16具有生成校正數據的功能。利用列驅動器15可以依次選擇佈線130並將佈線130的將其輸出值輸入電路16。

【0110】首先，使電晶體111導通來對節點NM寫入使電晶體112導通的參考電位。電晶體112輸出的電流藉由電晶體105進入電路16。對所有像素進行該工作，由此取得閘極被施加參考電位時電晶體112輸出的電流值。

【0111】電路16讀取電流值並對其進行分析，以電流值為平均值或中值的電晶體為基準來生成存儲至各像素的校正數據W_{Vth}。該校正數據W_{Vth}被輸入到列驅動器13中，然後被存儲至各像素的記憶體電路MEM。電路16具有讀取

電流值的功能，其他電路具有生成校正數據W_{Vth}的功能。

【0112】以下與上轉換工作同樣地進行對影像數據附加校正數據的顯示工作。注意，雖然電晶體的臨界電壓在長時間內變化較大，但是在短時間內的變化極小。因此，只要在電源接通或斷開時生成校正數據並將其存儲至記憶體電路MEM即可，而無需逐圖框進行校正數據的生成及存儲。或者，也可以對顯示裝置的工作時間進行記錄並以日、周、月、年等為單位定期進行校正數據的生成及存儲。

【0113】另外，當進行臨界電壓校正和上轉換的兩者時，可以如圖7B的方塊圖所示地設置用於上轉換的生成校正數據的電路14（參照圖5的說明）。在這種情況下，電路14中生成的校正數據W_{Vth}被輸入電路16，並且電路16向列驅動器13輸入校正數據W’。校正數據W’是藉由對上轉換的校正數據附加用於校正臨界電壓的校正數據W_{Vth}得到的。

【0114】雖然以上說明了實測電晶體112輸出的電流值來生成校正數據W_{Vth}的方法，但是也可以使用其他方法生成校正數據W_{Vth}。例如，可以進行灰階級的顯示，並基於利用亮度計讀取該顯示的亮度而得的數據或藉由讀取該顯示的照片而得的數據來生成校正數據W_{Vth}。該校正數據W_{Vth}的生成較佳為利用使用神經網路的推論。

【0115】本發明的一個實施方式的顯示裝置如圖3A和圖3B所示在像素中生成被上轉換的影像。因此，多個像素

被供應低解析度的同一影像數據。在圖3A和圖3B所示的例子中，橫向和縱向的4個像素被供應同一影像數據。在該情況下，可以對與各像素連接的各信號線供給同一影像數據，並可以藉由使供給同一影像數據的信號線彼此電連接來高速地進行影像數據的寫入工作。

【0116】圖8示出能夠進行彩色顯示的顯示裝置的像素陣列的一部分，其中提供同一影像數據的各信號線可以藉由開關彼此電連接。通常，能夠進行彩色顯示的顯示裝置的像素包括分別發射R（紅色）、G（綠色）B（藍色）的子像素的組合。圖8示出橫向和縱向上的四個像素，該四個像素都由橫向排列的R、G、B三個子像素構成。

【0117】在此，如圖3A和圖3B所示，橫向和縱向上的四個像素被輸入同一影像數據。在圖8中，像素R1至R4被輸入同一影像數據。例如，藉由對與像素R1至R4連接的用作信號線的佈線125[1]、125[4]供應同一影像數據並對用作掃描線的佈線122[1]、122[2]依次輸入信號，可以對所有像素輸入同一影像數據。但是，利用該方法向多個像素供應同一影像數據較浪費。

【0118】在本發明的一個實施方式中，藉由利用設置於信號線間的開關使兩個信號線導通並利用設置於掃描線間的開關使兩個掃描線導通，可以同時對四個像素進行寫入。

【0119】如圖8所示，藉由使設置於佈線125[1]與125[4]間的開關141導通，可以將供應至佈線125[1]或

125[4]中的一方的影像數據同時寫入像素R1及R2。在這種情況下，藉由使設置在佈線122[1]與佈線122[2]間的開關144導通，可以同時對像素R3及像素R4進行寫入。也就是說，可以同時進行四個像素的寫入。

【0120】同樣地，藉由根據需要使設置於佈線125[2]與125[5]間的開關142以及設置於佈線125[3]與125[6]間的開關143導通，在其它的像素中也可以同時進行四個像素的寫入。開關141至144例如可以使用電晶體。

【0121】同時寫入四個像素的數據可以縮短寫入時間並提高圖框頻率。

【0122】本實施方式可以與其他實施方式或實施例等中記載的結構適當地組合而實施。

【0123】

實施方式2

本實施方式對使用EL元件的顯示裝置的結構例進行說明。注意，在本實施方式中省略實施方式1已說明的有關校正的工作及功能。

【0124】圖9A至圖9C示出能夠用於本發明的一個實施方式的顯示裝置的結構。

【0125】在圖9A中，以圍繞設置在第一基板4001上的顯示部215的方式設置密封劑4005，顯示部215被密封劑4005及第二基板4006密封。

【0126】顯示部215設置有包括實施方式1所示的像素的像素陣列。

【0127】在圖9A中，掃描線驅動電路221a、信號線驅動電路231a、信號線驅動電路232a及共通線驅動電路241a都包括設置在印刷電路板4041上的多個積體電路4042。積體電路4042由單晶半導體或多晶半導體形成。信號線驅動電路231a及信號線驅動電路232a具有實施方式1所示的列驅動器的功能。掃描線驅動電路221a具有實施方式1所示的行驅動器的功能。共通線驅動電路241a具有對實施方式1所示的公共佈線供給規定電位的功能。

【0128】藉由FPC（Flexible printed circuit：軟性印刷電路）4018向掃描線驅動電路221a、共通線驅動電路241a、信號線驅動電路231a及信號線驅動電路232a供應各種信號及電位。

【0129】包括於掃描線驅動電路221a及共通線驅動電路241a中的積體電路4042具有對顯示部215供應選擇信號的功能。包括在信號線驅動電路231a及信號線驅動電路232a中的積體電路4042具有對顯示部215供應影像數據的功能。積體電路4042被安裝在與由第一基板4001上的密封劑4005圍繞的區域不同的區域中。

【0130】注意，對積體電路4042的連接方法沒有特別的限制，可以使用打線接合法、COG(Chip On Glass)法、TCP(Tape Carrier Package)法以及COF(Chip On Film)法等。

【0131】圖9B示出利用COG法安裝包含於信號線驅動電路231a及信號線驅動電路232a中的積體電路4042的例

子。另外，藉由將驅動電路的一部分或整體形成在形成有顯示部215的基板上，可以形成系統整合型面板(system-on-panel)。

【0132】圖9B示出將掃描線驅動電路221a及共通線驅動電路241a形成在形成有顯示部215的基板上的例子。藉由同時形成驅動電路與顯示部215內的像素電路，可以減少構件數。由此，可以提高生產率。

【0133】另外，在圖9B中，以圍繞設置在第一基板4001上的顯示部215、掃描線驅動電路221a以及共通線驅動電路241a的方式設置密封劑4005。顯示部215、掃描線驅動電路221a及共通線驅動電路241a上設置有第二基板4006。由此，顯示部215、掃描線驅動電路221a及共通線驅動電路241a藉由第一基板4001、密封劑4005及第二基板4006與顯示元件密封在一起。

【0134】雖然圖9B中示出另行形成信號線驅動電路231a及信號線驅動電路232a並將其安裝至第一基板4001的例子，但是本發明的一個實施方式不侷限於該結構，也可以另行形成掃描線驅動電路並進行安裝，或者另行形成信號線驅動電路的一部分或掃描線驅動電路的一部分並進行安裝。另外，如圖9C所示也可以將信號線驅動電路231a及信號線驅動電路232a形成在形成有顯示部215的基板上。

【0135】此外，顯示裝置有時包括顯示元件為密封狀態的面板和在該面板中安裝有包括控制器的IC等的模組。

【0136】設置於第一基板上的顯示部及掃描線驅動電

路包括多個電晶體。作為該電晶體，可以適用上述實施方式所示的電晶體。

【0137】週邊驅動電路所包括的電晶體及顯示部的像素電路所包括的電晶體的結構既可以具有相同的結構又可以具有不同的結構。週邊驅動電路所包括的電晶體既可以都具有相同的結構，又可以組合兩種以上的結構。同樣地，像素電路所包括的電晶體既可以都具有相同的結構，又可以組合兩種以上的結構。

【0138】另外，可以在第二基板4006上設置輸入裝置4200。圖9A至圖9C所示的對顯示裝置設置輸入裝置4200的結構能夠用作觸控面板。

【0139】對本發明的一個實施方式的觸控面板所包括的感測元件(也稱為感測元件)沒有特別的限制。還可以將能夠檢測出手指、觸控筆等檢測物件的接近或接觸的各種感測器用作感測元件。

【0140】例如，作為感測器的方式，可以利用靜電電容式、電阻膜式、表面聲波式、紅外線式、光學式、壓敏式等各種方式。

【0141】在本實施方式中，以包括靜電電容式的感測元件的觸控面板為例進行說明。

【0142】作為靜電電容式，有表面型靜電電容式、投影型靜電電容式等。另外，作為投影型靜電電容式，有自電容式、互電容式等。較佳為使用互電容式，因為可以同時進行多點感測。

【0143】本發明的一個實施方式的觸控面板可以採用貼合了分別製造的顯示裝置和感測元件的結構、在支撐顯示元件的基板和相對基板中的一者或兩者設置有構成感測元件的電極等的結構等各種各樣的結構。

【0144】圖10A和圖10B示出觸控面板的一個例子。圖10A是觸控面板4210的透視圖。圖10B是輸入裝置4200的透視示意圖。注意，為了明確起見，只示出典型的組件。

【0145】觸控面板4210具有貼合了分別製造的顯示裝置與感測元件的結構。

【0146】觸控面板4210包括重疊設置的輸入裝置4200和顯示裝置。

【0147】輸入裝置4200包括基板4263、電極4227、電極4228、多個佈線4237、多個佈線4238及多個佈線4239。例如，電極4227可以與佈線4237或佈線4239電連接。另外，電極4228可以與佈線4239電連接。FPC4272b可以與多個佈線4237及多個佈線4238分別電連接。FPC4272b可以設置有IC4273b。

【0148】顯示裝置的第一基板4001與第二基板4006之間可以設置觸控感測器。當在第一基板4001與第二基板4006之間設置觸控感測器時，除了靜電電容式觸控感測器之外還可以使用利用光電轉換元件的光學式觸控感測器。

【0149】圖11是沿著圖9B中的點劃線N1-N2的剖面圖。圖11所示的顯示裝置包括電極4015，該電極4015與

FPC4018的端子藉由各向異性導電層4019電連接。另外，在圖11中，電極4015在形成於絕緣層4112、絕緣層4111及絕緣層4110的開口中與佈線4014電連接。

【0150】電極4015與第一電極層4030使用同一導電層形成，佈線4014與電晶體4010及電晶體4011的源極電極及汲極電極使用同一導電層形成。

【0151】另外，設置在第一基板4001上的顯示部215和掃描線驅動電路221a包括多個電晶體。在圖11中，示出顯示部215中的電晶體4010及掃描線驅動電路221a中的電晶體4011。雖然圖11中作為電晶體4010及電晶體4011示出底閘極型電晶體，但是也可以使用頂閘極型電晶體。

【0152】在圖11中，在電晶體4010及電晶體4011上設置有絕緣層4112。另外，絕緣層4112上形成有分隔壁4510。

【0153】另外，電晶體4010及電晶體4011設置在絕緣層4102上。另外，電晶體4010及電晶體4011包括形成在絕緣層4111上的電極4017。電極4017可以用作背閘極電極。

【0154】另外，圖11所示的顯示裝置包括電容器4020。電容器4020包括與電晶體4010的閘極電極以同一製程形成的電極4021以及與源極電極及汲極電極以同一製程形成的電極。這些電極隔著絕緣層4103彼此重疊。

【0155】一般而言，考慮在像素部中配置的電晶體的洩漏電流等設定在顯示裝置的像素部中設置的電容器的容量以使其能夠在指定期間保持電荷。電容器的容量考慮電

晶體的關態電流等設定即可。

【0156】設置在顯示部215中的電晶體4010與顯示元件電連接。

【0157】另外，圖11所示的顯示裝置包括絕緣層4111及絕緣層4104。作為絕緣層4111及絕緣層4104，使用不易使雜質元素透過的絕緣層。藉由由絕緣層4111和絕緣層4104夾持電晶體的半導體層，可以防止來自外部的雜質的混入。

【0158】作為顯示裝置所包括的顯示元件，可以應用利用電致發光的發光元件（也稱為EL元件）。EL元件在一對電極之間具有包含發光化合物的層（也稱為EL層）。當使一對電極之間產生高於EL元件的臨界電壓的電位差時，電洞從陽極一側注入到EL層中，而電子從陰極一側注入到EL層中。被注入的電子和電洞在EL層中再結合，由此，包含在EL層中的發光物質發光。

【0159】EL元件根據發光材料是有機化合物還是無機化合物被區別，通常前者被稱為有機EL元件，而後者被稱為無機EL元件。

【0160】在有機EL元件中，藉由施加電壓，電子從一個電極注入到EL層中，而電洞從另一個電極注入到EL層中。藉由這些載子（電子及電洞）再結合，發光有機化合物形成激發態，當從該激發態回到基態時發光。由於這種機制，這種發光元件被稱為電流激發型發光元件。

【0161】EL層除了發光化合物以外也可以還包括電洞

注入性高的物質、電洞傳輸性高的物質、電洞阻擋材料、電子傳輸性高的物質、電子注入性高的物質或雙極性的物質（電子傳輸性及電洞傳輸性高的物質）等。

【0162】EL層可以藉由蒸鍍法（包括真空蒸鍍法）、轉印法、印刷法、噴墨法、塗佈法等的方法形成。

【0163】無機EL元件根據其元件結構而分類為分散型無機EL元件和薄膜型無機EL元件。分散型無機EL元件包括發光層，其中發光材料的粒子分散在黏合劑中，並且其發光機制是利用施體能階和受體能階的施體-受體再結合型發光。薄膜型無機EL元件是其中發光層夾在電介質層之間，並且該夾著發光層的電介質層夾在電極之間的結構，其發光機制是利用金屬離子的內殼層電子躍遷的局部型發光。注意，這裡作為發光元件使用有機EL元件進行說明。

【0164】為了取出發光，使發光元件的一對電極中的至少一個為透明。在基板上形成有電晶體及發光元件。作為發光元件可以採用從與該基板相反一側的表面取出發光的頂部發射結構；從基板一側的表面取出發光的底部發射結構；以及從兩個表面取出發光的雙面發射結構。

【0165】圖11是作為顯示元件使用發光元件的發光顯示裝置（也稱為“EL顯示裝置”）的一個例子。被用作顯示元件的發光元件4513與設置在顯示部215中的電晶體4010電連接。雖然發光元件4513具有第一電極層4030、發光層4511及第二電極層4031的疊層結構，但是不侷限於該結構。根據從發光元件4513取出光的方向等，可以適當地

改變發光元件4513的結構。

【0166】分隔壁4510使用有機絕緣材料或無機絕緣材料形成。尤其較佳為使用感光樹脂材料，在第一電極層4030上形成開口部，並且將該開口部的側面形成為具有連續曲率的傾斜面。

【0167】發光層4511可以使用一個層構成，也可以使用多個層的疊層構成。

【0168】發光元件4513的發光顏色可以根據構成發光層4511的材料變為白色、紅色、綠色、藍色、青色、洋紅色或黃色等。

【0169】作為實現彩色顯示的方法，有如下方法：組合發光顏色為白色的發光元件4513和彩色層的方法；以及在每個像素設置發光顏色不同的發光元件4513的方法。前者的方法的生產率比後者的方法高。另一方面，在後者的方法中，需要根據每個像素形成發光層4511，所以其生產率比前者的方法低。但是，在後者的方法中，可以得到其色純度比前者的方法高的發光顏色。藉由在後者的方法中使發光元件4513具有微腔結構，可以進一步提高色純度。

【0170】發光層4511也可以包含量子點等無機化合物。例如，藉由將量子點用於發光層，也可以將其用作發光材料。

【0171】為了防止氧、氫、水分、二氧化碳等侵入發光元件4513，也可以在第二電極層4031及分隔壁4510上形成保護層。作為保護層，可以形成氮化矽膜、氮氧化矽

膜、氧化鋁膜、氮化鋁膜、氧氮化鋁膜、氮氧化鋁膜、DLC（Diamond Like Carbon）膜等。此外，在由第一基板4001、第二基板4006以及密封劑4005密封的空間中設置有填充劑4514並被密封。如此，為了不暴露於外部氣體，較佳為使用氣密性高且脫氣少的保護薄膜（黏合薄膜、紫外線硬化性樹脂薄膜等）、覆蓋材料進行封裝（封入）。

【0172】作為填充劑4514，除了氮或氬等惰性氣體以外，也可以使用紫外線硬化性樹脂或熱固性樹脂，例如可以使用PVC（聚氯乙烯）、丙烯酸類樹脂、聚醯亞胺、環氧類樹脂、矽酮類樹脂、PVB（聚乙烯醇縮丁醛）或EVA（乙烯-醋酸乙烯酯）等。填充劑4514也可以包含乾燥劑。

【0173】作為密封劑4005，可以使用玻璃粉等玻璃材料或者兩液混合型樹脂等在常溫下固化的固化樹脂、光硬化性樹脂、熱固性樹脂等樹脂材料。密封劑4005也可以包含乾燥劑。

【0174】另外，根據需要，也可以在發光元件的光射出面上適當地設置諸如偏光板或者圓偏光板（包括橢圓偏光板）、相位差板（λ/4板、λ/2板）、濾色片等的光學薄膜。此外，也可以在偏光板或者圓偏光板上設置抗反射膜。例如，可以進行抗眩光處理，該處理是藉由利用表面的凹凸擴散反射光來降低反射眩光的處理。

【0175】藉由使發光元件具有微腔結構，能夠提取色純度高的光。另外，藉由組合微腔結構和濾色片，可以防

止反射眩光，而可以提高影像的可見度。

【0176】關於對顯示元件施加電壓的第一電極層及第二電極層（也稱為像素電極層、共用電極層、相對電極層等），根據取出光的方向、設置電極層的地方以及電極層的圖案結構而選擇其透光性、反射性，即可。

【0177】作為第一電極層4030及第二電極層4031，可以使用包含氧化鎢的氧化銦、包含氧化鎢的銦鋅氧化物、包含氧化鈦的氧化銦、銦錫氧化物、包含氧化鈦的銦錫氧化物、銦鋅氧化物、添加有氧化矽的銦錫氧化物等具有透光性的導電材料。

【0178】此外，第一電極層4030及第二電極層4031可以使用鎢（W）、鉬（Mo）、鋯（Zr）、鉿（Hf）、釩（V）、鈮（Nb）、鉭（Ta）、鉻（Cr）、鈷（Co）、鎳（Ni）、鈦（Ti）、鉑（Pt）、鋁（Al）、銅（Cu）、銀（Ag）等金屬、或者、其合金或其氮化物中的一種以上形成。

【0179】此外，第一電極層4030及第二電極層4031可以使用包含導電高分子（也稱為導電聚合體）的導電組成物形成。作為導電高分子，可以使用所謂的π電子共軛導電高分子。例如，可以舉出聚苯胺或其衍生物、聚吡咯或其衍生物、聚噻吩或其衍生物、或者由苯胺、吡咯及噻吩中的兩種以上構成的共聚物或其衍生物等。

【0180】此外，由於電晶體容易因靜電等而損壞，所以較佳為設置用來保護驅動電路的保護電路。保護電路較

佳為使用非線性元件構成。

【0181】本實施方式可以與其他實施方式等所記載的結構適當地組合而實施。

【0182】

實施方式3

在本實施方式中，參照圖式說明可以置換為上述實施方式所示的各電晶體而使用的電晶體的一個例子。

【0183】可以使用底閘極型電晶體或頂閘極型電晶體等的各種方式的電晶體來製造本發明的一個實施方式的顯示裝置。因此，可以根據習知的生產線容易置換所使用的半導體層的材料或電晶體結構。

【0184】

[底閘極型電晶體]

圖12A1是底閘極型電晶體的一種的通道保護型電晶體810的剖面圖。在圖12A1中，電晶體810形成在基板771上。此外，電晶體810在基板771上隔著絕緣層772包括電極746。另外，在電極746上隔著絕緣層726包括半導體層742。電極746可以被用作閘極電極。絕緣層726可以被用作閘極絕緣層。

【0185】另外，在半導體層742的通道形成區域上包括絕緣層741。此外，在絕緣層726上以與半導體層742的一部分接觸的方式包括電極744a及電極744b。電極744a可以用作源極電極和汲極電極中的一個。電極744b用作源極電極和汲極電極中的另一個。電極744a的一部分及電極

744b的一部分形成在絕緣層741上。

【0186】絕緣層741可以被用作通道保護層。藉由在通道形成區域上設置絕緣層741，可以防止在形成電極744a及電極744b時半導體層742被露出。由此，可以防止在形成電極744a及電極744b時半導體層742的通道形成區域被蝕刻。根據本發明的一個實施方式，可以實現電特性良好的電晶體。

【0187】另外，電晶體810在電極744a、電極744b及絕緣層741上包括絕緣層728，在絕緣層728上包括絕緣層729。

【0188】當將氧化物半導體用於半導體層742時，較佳為將能夠從半導體層742的一部分中奪取氧而產生氧缺陷的材料用於電極744a及電極744b的至少與半導體層742接觸的部分。半導體層742中的產生氧缺陷的區域的載子濃度增加，該區域n型化而成為n型區域（n^+層）。因此，該區域能夠被用作源極區域或汲極區域。當將氧化物半導體用於半導體層742時，作為能夠從半導體層742中奪取氧而產生氧缺陷的材料的一個例子，可以舉出鎢、鈦等。

【0189】藉由在半導體層742中形成源極區域及汲極區域，可以降低電極744a及電極744b與半導體層742的接觸電阻。因此，可以使場效移動率及臨界電壓等電晶體的電特性良好。

【0190】當將矽等半導體用於半導體層742時，較佳為在半導體層742與電極744a之間及半導體層742與電極

744b之間設置被用作n型半導體或p型半導體的層。用作n型半導體或p型半導體的層可以被用作電晶體的源極區域或汲極區域。

【0191】絕緣層729較佳為使用具有防止雜質從外部擴散到電晶體中或者降低雜質的擴散的功能的材料形成。此外，根據需要也可以省略絕緣層729。

【0192】圖12A2所示的電晶體811與電晶體810之間的不同之處在於：電晶體811在絕緣層729上包括可用作背閘極電極的電極723。電極723可以使用與閘極電極746同樣的材料及方法形成。

【0193】一般而言，背閘極電極使用導電層來形成，並以半導體層的通道形成區域被閘極電極與背閘極電極夾住的方式設置。因此，背閘極電極可以具有與閘極電極同樣的功能。背閘極電極的電位可以與閘極電極相等，也可以為接地電位（GND電位）或任意電位。另外，藉由不跟閘極電極聯動而獨立地改變背閘極電極的電位，可以改變電晶體的臨界電壓。

【0194】電極746及電極723都可以被用作閘極電極。因此，絕緣層726、絕緣層728及絕緣層729都可以被用作閘極絕緣層。另外，也可以將電極723設置在絕緣層728與絕緣層729之間。

【0195】注意，當將電極746和電極723中的一個稱為“閘極電極”時，將另一個稱為“背閘極電極”。例如，在電晶體811中，當將電極723稱為“閘極電極”時，將電

極746稱為“背閘極電極”。另外，當將電極723用作“閘極電極”時，電晶體811是頂閘極型電晶體之一種。此外，有時將電極746和電極723中的一個稱為“第一閘極電極”，有時將另一個稱為“第二閘極電極”。

【0196】藉由隔著半導體層742設置電極746以及電極723並將電極746及電極723的電位設定為相同，半導體層742中的載子流過的區域在厚度方向上更加擴大，所以載子的移動量增加。其結果是，電晶體811的通態電流增大，並且場效移動率也增高。

【0197】因此，電晶體811是相對於佔有面積具有較大的通態電流的電晶體。亦即，可以相對於所要求的通態電流縮小電晶體811的佔有面積。根據本發明的一個實施方式，可以縮小電晶體的佔有面積。因此，根據本發明的一個實施方式，可以實現積體度高的半導體裝置。

【0198】另外，由於閘極電極及背閘極電極使用導電層形成，因此具有防止在電晶體的外部產生的電場影響到形成通道的半導體層的功能(尤其是對靜電等的電場遮蔽功能)。另外，當將背閘極電極形成得比半導體層大以使用背閘極電極覆蓋半導體層時，能夠提高電場遮蔽功能。

【0199】另外，藉由使用具有遮光性的導電膜形成背閘極電極，能夠防止光從背閘極電極一側入射到半導體層。由此，能夠防止半導體層的光劣化，並防止電晶體的臨界電壓漂移等電特性劣化。

【0200】根據本發明的一個實施方式，可以實現可靠

性良好的電晶體。另外，可以實現可靠性良好的半導體裝置。

【0201】圖12B1示出作為底閘極型的電晶體之一的通道保護型電晶體820的剖面圖。電晶體820具有與電晶體810大致相同的結構，而不同之處在於：絕緣層741覆蓋半導體層742的端部。另外，在選擇性地去除絕緣層741的重疊於半導體層742的部分而形成的開口部中，半導體層742與電極744a電連接。另外，在選擇性地去除絕緣層741的重疊於半導體層742的部分而形成的其他開口部中，半導體層742與電極744b電連接。絕緣層741的與通道形成區域重疊的區域可以被用作通道保護層。

【0202】圖12B2所示的電晶體821與電晶體820的不同之處在於：電晶體821在絕緣層729上包括可以被用作背閘極電極的電極723。

【0203】藉由設置絕緣層741，可以防止在形成電極744a及電極744b時半導體層742露出。因此，可以防止在形成電極744a及電極744b時半導體層742被薄膜化。

【0204】另外，與電晶體810及電晶體811相比，電晶體820及電晶體821的電極744a與電極746之間的距離及電極744b與電極746之間的距離更長。因此，可以減少產生在電極744a與電極746之間的寄生電容。此外，可以減少產生在電極744b與電極746之間的寄生電容。根據本發明的一個實施方式，可以提供一種電特性良好的電晶體。

【0205】圖12C1所示的電晶體825是底閘極型電晶體

之一的通道蝕刻型電晶體。在電晶體825中，不使用絕緣層741形成電極744a及電極744b。因此，在形成電極744a及電極744b時露出的半導體層742的一部分有時被蝕刻。另一方面，由於不設置絕緣層741，可以提高電晶體的生產率。

【0206】圖12C2所示的電晶體826與電晶體825的不同之處在於：電晶體826在絕緣層729上具有可以用作背閘極電極的電極723。

【0207】

[頂閘極型電晶體]

圖13A1所示的電晶體842是頂閘極型電晶體之一。電極744a及電極744b在形成於絕緣層728及絕緣層729中的開口與半導體層742電連接。

【0208】另外，如圖13A3所示，去除不與電極746重疊的絕緣層726的一部分，以電極746及剩餘的絕緣層726為遮罩將雜質755引入到半導體層742，由此可以在半導體層742中以自對準(self-alignment)的方式形成雜質區域。電晶體842包括絕緣層726超過電極746的端部延伸的區域。在對半導體層742引入雜質755時，半導體層742的藉由絕緣層726被引入雜質755的區域的雜質濃度低於不藉由絕緣層726被引入雜質755的區域。因此，在半導體層742的不與電極746重疊的區域中形成LDD(Lightly Doped Drain：輕摻雜汲極)區域。

【0209】圖13A2所示的電晶體843與電晶體842的不同

之處在於電晶體843包括電極723。電晶體843包括形成在基板771上的電極723。電極723具有隔著絕緣層772與半導體層742層疊的區域。電極723可以用作背閘極電極。

【0210】另外，如圖13B1所示的電晶體844及圖13B2所示的電晶體845那樣，也可以完全去除不與電極746重疊的區域的絕緣層726。另外，如圖13C1所示的電晶體846及圖13C2所示的電晶體847那樣，也可以不去除絕緣層726。

【0211】在電晶體842至電晶體847中，也可以在形成電極746之後以電極746為遮罩而將雜質755引入到半導體層742，由此在半導體層742中自對準地形成雜質區域。根據本發明的一個實施方式，可以實現電特性良好的電晶體。另外，根據本發明的一個實施方式，可以實現積體度高的半導體裝置。

【0212】本實施方式可以與其他實施方式等所記載的結構適當地組合而實施。

【0213】

實施方式4

在本實施方式中，對能夠用於上述實施方式中示出的行驅動器12、列驅動器13、15、電路14、16等的半導體裝置進行說明。以下示出的半導體裝置可以用作記憶體裝置。

【0214】在本實施方式中，作為使用氧化物半導體的記憶體裝置的一個例子，對DOSRAM（註冊商標）進行說明。“DOSRAM”源於Dynamic Oxide Semiconductor

Random Access Memory。DOSRAM是指如下記憶體裝置：記憶單元為1T1C（一個電晶體和一個電容器）型單元；寫入用電晶體為使用氧化物半導體的電晶體。

【0215】參照圖14對DOSRAM1000的疊層結構例進行說明。在DOSRAM1000中，進行數據的讀出的感測放大器部1002與存儲數據的單元陣列部1003層疊。

【0216】如圖14所示，感測放大器部1002設置有位元線BL、Si電晶體Ta10、Ta11。Si電晶體Ta10、Ta11在單晶矽晶圓中包括半導體層。Si電晶體Ta10、Ta11構成感測放大器並與位元線BL電連接。

【0217】單元陣列部1003包括多個記憶單元1001。記憶單元1001包括電晶體Tw1及電容器C1。在單元陣列部1003中，兩個電晶體Tw1共用半導體層。半導體層與位元線BL藉由未圖示的導電體電連接。

【0218】圖14所示的疊層結構可以用於藉由層疊多個包括電晶體群的電路形成的各種半導體裝置。

【0219】圖14中的金屬氧化物、絕緣體、導電體等可以為單層或疊層。在製造這些層時，可以使用濺射法、分子束磊晶(MBE：Molecular Beam Epitaxy)法、脈衝雷射燒蝕(PLA：Pulsed Laser Ablation)法、CVD法、原子層沉積法(ALD法)等各種成膜方法。CVD法包括電漿CVD法、熱CVD法、有機金屬CVD法等。

【0220】在此，電晶體Tw1的半導體層由金屬氧化物（氧化物半導體）構成。在此，示出半導體層由3層的金

屬氧化物層構成的例子。半導體層較佳為由含有In、Ga及Zn的金屬氧化物構成。

【0221】在此，藉由對金屬氧化物添加形成氧缺陷的元素或者與氧缺陷鍵合的元素，金屬氧化物的載子密度可能增大而被低電阻化。例如，藉由選擇性地使使用金屬氧化物的半導體層低電阻化，可以在半導體層中設置源極區域或汲極區域。

【0222】另外，作為使金屬氧化物低電阻化的元素，典型的有硼或磷。另外，也可以使用氫、碳、氮、氟、硫、氯、鈦、稀有氣體元素等。作為稀有氣體元素的典型例子有氦、氖、氬、氪及氙等。該元素的濃度可以利用二次離子質譜分析法（SIMS：Secondary Ion Mass Spectrometry）等進行測量。

【0223】尤其是，硼及磷可以使用非晶矽或低溫多晶矽的生產線的裝置，所以是較佳的。可以使用已有的設置，由此可以降低設備投資。

【0224】例如，包括被選擇性地低電阻化的半導體層的電晶體可以使用偽閘極形成。明確而言，在半導體層上設置偽閘極，將該偽閘極用作遮罩，對半導體層添加使該半導體層低電阻化的元素。也就是說，該元素被添加到半導體層的不與偽閘極重疊的區域中，由此形成被低電阻化的區域。作為該元素的添加方法，可以使用：對離子化了的源氣體進行質量分離而添加的離子植入法；不對離子化了的源氣體進行質量分離而添加的離子摻雜法；以及電漿

浸沒離子佈植技術等。

【0225】作為用於導電體的導電材料，有如下材料：以摻雜有磷等雜質元素的多晶矽為代表的半導體；鎳矽化物等矽化物；鉬、鈦、鉭、鎢、鋁、銅、鉻、釹、銃等金屬；或以上述金屬為成分的金屬氮化物（氮化鉭、氮化鈦、氮化鉬、氮化鎢）等。另外，也可以使用銦錫氧化物、包含氧化鎢的銦氧化物、包含氧化鎢的銦鋅氧化物、包含氧化鈦的銦氧化物、包含氧化鈦的銦錫氧化物、銦鋅氧化物、添加有氧化矽的銦錫氧化物等導電材料。

【0226】作為可以用於絕緣體的絕緣材料，有氮化鋁、氧化鋁、氮氧化鋁、氧氮化鋁、氧化鎂、氮化矽、氧化矽、氮氧化矽、氧氮化矽、氧化鎵、氧化鍺、氧化釔、氧化鋯、氧化鑭、氧化釹、氧化鉿、氧化鉭、矽酸鋁等。在本說明書等中，氧氮化物是指氧含量大於氮含量的化合物，氮氧化物是指氮含量大於氧含量的化合物。

【0227】本實施方式可以與其他實施方式等所記載的結構適當地組合而實施。

【0228】

實施方式5

在本實施方式中，對能夠用於實施方式1說明的電路14等的用作神經網路的半導體裝置的結構例進行說明。

【0229】如圖15A所示，神經網路NN可以由輸入層IL、輸出層OL及中間層（隱藏層）HL構成。輸入層IL、輸出層OL及中間層HL都包括一個或多個神經元（單

元）。注意，中間層HL可以為一層或兩層以上。包括兩層以上的中間層HL的神經網路可以被稱為DNN（深度神經網路），使用深度神經網路的學習可以被稱為深度學習。

【0230】輸入層IL的各神經元被輸入輸入數據，中間層HL的各神經元被輸入前一層或後一層的神經元的輸出信號，輸出層OL的各神經元被輸入前一層的神經元的輸出信號。注意，各神經元既可以與前一層和後一層的所有神經元連結（全連結），又可以與部分神經元連結。

【0231】圖15B示出利用神經元的運算的例子。在此，示出神經元N及向神經元N輸出信號的前一層的兩個神經元。神經元N被輸入前一層的神經元的輸出x_1及前一層的神經元的輸出x_2。在神經元N中，算出輸出x_1與權重w_1的乘法結果（x_1w_1）和輸出x_2與權重w_2的乘法結果（x_2w_2）之總和$x_1w_1+x_2w_2$，然後根據需要對其加偏壓b，從而得到值$a=x_1w_1+x_2w_2+b$。值a被活化函數h變換，輸出信號$y=h(a)$從神經元N輸出。

【0232】如此，利用神經元的運算包括對前一層的神經元的輸出與權重之積進行加法的運算，亦即，積和運算（上述$x_1w_1+x_2w_2$）。該積和運算既可以藉由程式在軟體上進行，又可以藉由硬體進行。在藉由硬體進行積和運算時，可以使用積和運算電路。作為該積和運算電路，既可以使用數位電路，又可以使用類比電路。

【0233】本發明的一個實施方式使用積和運算電路。

由此，可以實現因積和運算電路的電路規模的縮小或向記憶體訪問的次數的減少而實現處理速度的提高及功耗的降低。

【0234】積和運算電路既可以由Si電晶體構成，也可以由OS電晶體構成。尤其是，因為OS電晶體具有極小的關態電流（off-state current），所以較佳為用作構成積和運算電路的類比記憶體的電晶體。注意，也可以由Si電晶體和OS電晶體的兩者構成積和運算電路。下面，說明具有積和運算電路的功能的半導體裝置的結構例。

【0235】

[半導體裝置的結構例]

圖16示出具有進行神經網路的運算的功能的半導體裝置MAC的結構例。半導體裝置MAC具有進行對應於神經元間的連結強度（權重）的第一數據與對應於輸入數據的第二數據的積和運算的功能。注意，第一數據及第二數據分別可以為類比數據或多值數據（分散數據）。此外，半導體裝置MAC具有使用活化函數對利用積和運算得到的數據進行變換的功能。

【0236】半導體裝置MAC包括單元陣列CA、電流源電路CS、電流鏡電路CM、電路WDD、電路WLD、電路CLD、偏置電路OFST及活化函數電路ACTV。

【0237】單元陣列CA包括多個記憶單元MC及多個記憶單元MCref。圖16示出單元陣列CA包括m行n列（m和n為1以上的整數）的記憶單元MC（MC[1, 1]至[m, n]）及m

個記憶單元MCref（MCref[1]至[m]）的結構例。記憶單元MC具有儲存第一數據的功能。此外，記憶單元MCref具有儲存用於積和運算的參考數據的功能。注意，參考數據可以為類比數據或多值數據。

【0238】記憶單元MC[i, j]（i為1以上且m以下的整數，j為1以上且n以下的整數）連接於佈線WL[i]、佈線RW[i]、佈線WD[j]及佈線BL[j]。此外，記憶單元MCref[i]連接於佈線WL[i]、佈線RW[i]、佈線WDref及佈線BLref。在此，將流在記憶單元MC[i, j]與佈線BL[j]間的電流記載為$I_{MC[i, j]}$，將流在記憶單元MCref[i]與佈線BLref間的電流記載為$I_{MCref[i]}$。

【0239】圖17示出記憶單元MC及記憶單元MCref的具體結構例。雖然在圖17中作為典型例子示出記憶單元MC[1, 1]、[2, 1]及記憶單元MCref[1]、[2]，但是在其他記憶單元MC及記憶單元MCref中可以使用同樣的結構。記憶單元MC及記憶單元MCref都包括電晶體Tr11、Tr12、電容器C11。在此，說明電晶體Tr11及電晶體Tr12為n通道型電晶體的情況。

【0240】在記憶單元MC中，電晶體Tr11的閘極連接於佈線WL，源極和汲極中的一個連接於電晶體Tr12的閘極及電容器C11的第一電極，源極和汲極中的另一個連接於佈線WD。電晶體Tr12的源極和汲極中的一個連接於佈線BL，源極和汲極中的另一個連接於佈線VR。電容器C11的第二電極連接於佈線RW。佈線VR具有供應預定電位的

功能。在此，作為一個例子，說明從佈線VR供應低電源電位（接地電位等）的情況。

【0241】將與電晶體Tr11的源極和汲極中的一個、電晶體Tr12的閘極以及電容器C11的第一電極連接的節點稱為節點NM。此外，將記憶單元MC[1, 1]、[2, 1]的節點NM分別稱為節點NM[1, 1]、[2, 1]。

【0242】記憶單元MCref也具有與記憶單元MC同樣的結構。但是，記憶單元MCref連接於佈線WDref代替佈線WD並連接於佈線BLref代替佈線BL。此外，在記憶單元MCref[1]、[2]中，將連接於電晶體Tr11的源極和汲極中的一個、電晶體Tr12的閘極及電容器C11的第一電極的節點分別記載為節點NMref[1]、[2]。

【0243】節點NM和節點NMref分別被用作記憶單元MC和記憶單元MCref的保持節點。節點NM保持第一數據，節點NMref保持參考數據。另外，電流$I_{MC[1, 1]}$、$I_{MC[2, 1]}$分別從佈線BL[1]流到記憶單元MC[1, 1]、[2, 1]的電晶體Tr12。另外，電流$I_{MCref[1]}$、$I_{MCref[2]}$分別從佈線BLref流到記憶單元MCref[1]、[2]的電晶體Tr12。

【0244】由於電晶體Tr11具有保持節點NM或節點NMref的電位的功能，所以電晶體Tr11的關態電流較佳為小。因此，作為電晶體Tr11，較佳為使用關態電流極小的OS電晶體。由此，可以抑制節點NM或節點NMref的電位變動而提高運算精度。此外，可以將更新節點NM或節點NMref的電位的工作的頻率抑制為低，由此可以降低功

耗。

【0245】對電晶體Tr12沒有特別的限制，例如可以使用Si電晶體或OS電晶體等。在作為電晶體Tr12使用OS電晶體的情況下，能夠使用與電晶體Tr11相同的製造裝置製造電晶體Tr12，從而可以抑制製造成本。注意，電晶體Tr12可以為n通道型電晶體或p通道型電晶體。

【0246】電流源電路CS連接於佈線BL[1]至[n]及佈線BLref。電流源電路CS具有向佈線BL[1]至[n]及佈線BLref供應電流的功能。注意，供應到佈線BL[1]至[n]的電流值也可以與供應到佈線BLref的電流值不同。在此，將從電流源電路CS供應到佈線BL[1]至[n]的電流記載為I_C，將從電流源電路CS供應到佈線BLref的電流記載為I_{Cref}。

【0247】電流鏡電路CM包括佈線IL[1]至[n]及佈線ILref。佈線IL[1]至[n]分別連接於佈線BL[1]至[n]，佈線ILref連接於佈線BLref。在此，佈線IL[1]至[n]與佈線BL[1]至[n]的連接部分記載為節點NP[1]至[n]。此外，佈線ILref與佈線BLref的連接部分記載為節點NPref。

【0248】電流鏡電路CM具有將對應於節點NPref的電位的電流I_{CM}流到佈線ILref的功能及還將該電流I_{CM}流到佈線IL[1]至[n]的功能。圖16示出電流I_{CM}從佈線BLref排出到佈線ILref且電流I_{CM}從佈線BL[1]至[n]排出到佈線IL[1]至[n]的例子。將從電流鏡電路CM藉由佈線BL[1]至[n]流到單元陣列CA的電流記載為I_B[1]至[n]。此外，將從電流鏡電路CM藉由佈線BLref流到單元陣列CA的電流記載為

I_{Bref}。

【0249】電路WDD連接於佈線WD[1]至[n]及佈線WDref。電路WDD具有將對應於儲存在記憶單元MC中的第一數據的電位供應到佈線WD[1]至[n]的功能。另外，電路WDD具有將對應於儲存在記憶單元MCref中的參考數據的電位供應到佈線WDref的功能。電路WLD與佈線WL[1]至[m]連接。電路WLD具有將選擇寫入數據的記憶單元MC或記憶單元MCref的信號供應到佈線WL[1]至[m]的功能。電路CLD與佈線RW[1]至[m]連接。電路CLD具有將對應於第二數據的電位供應到佈線RW[1]至[m]的功能。

【0250】偏置電路OFST連接於佈線BL[1]至[n]及佈線OL[1]至[n]。偏置電路OFST具有檢測出從佈線BL[1]至[n]流到偏置電路OFST的電流量及/或從佈線BL[1]至[n]流到偏置電路OFST的電流的變化量的功能。此外，偏置電路OFST具有將檢測結果輸出到佈線OL[1]至[n]的功能。注意，偏置電路OFST既可以將對應於檢測結果的電流輸出到佈線OL，又可以將對應於檢測結果的電流變換為電壓而將其輸出到佈線OL。將流在單元陣列CA與偏置電路OFST之間的電流記載為I_{α}[1]至[n]。

【0251】圖18示出偏置電路OFST的結構例。圖18所示的偏置電路OFST包括電路OC[1]至[n]。電路OC[1]至[n]都包括電晶體Tr21、電晶體Tr22、電晶體Tr23、電容器C21及電阻元件R1。各元件的連接關係如圖18所示。注意，將連接於電容器C21的第一電極及電阻元件R1的第一

端子的節點稱為節點Na。另外，將連接於電容器C21的第二電極、電晶體Tr21的源極和汲極中的一個及電晶體Tr22的閘極的節點稱為節點Nb。

【0252】佈線VrefL具有供應電位Vref的功能，佈線VaL具有供應電位Va的功能，佈線VbL具有供應電位Vb的功能。佈線VDDL具有供應電位VDD的功能，佈線VSSL具有供應電位VSS的功能。在此，說明電位VDD是高電源電位且電位VSS是低電源電位的情況。佈線RST具有供應用來控制電晶體Tr21的導通狀態的電位的功能。由電晶體Tr22、電晶體Tr23、佈線VDDL、佈線VSSL及佈線VbL構成源極隨耦電路。

【0253】接著，說明電路OC[1]至[n]的工作例子。注意，雖然在此作為典型例子說明電路OC[1]的工作例子，但是電路OC[2]至[n]也可以與此同樣地工作。首先，當第一電流流到佈線BL[1]時，節點Na的電位成為對應於第一電流與電阻元件R1的電阻值的電位。此時，電晶體Tr21處於開啟狀態，電位Va被供應到節點Nb。然後，電晶體Tr21成為關閉狀態。

【0254】接著，當第二電流流到佈線BL[1]時，節點Na的電位變為對應於第二電流與電阻元件R1的電阻值的電位。此時，電晶體Tr21處於關閉狀態，節點Nb處於浮動狀態，因此在節點Na的電位變化時節點Nb的電位由於電容耦合而變化。在此，在節點Na的電位變化為ΔV_{Na}且電容耦合係數為1時，節點Nb的電位為$Va+\Delta V_{Na}$。在電晶體

Tr22的臨界電壓為V_{th}時，從佈線OL[1]輸出電位$Va+\Delta V_{Na}-V_{th}$。在此，藉由滿足$Va=V_{th}$，可以從佈線OL[1]輸出電位ΔV_{Na}。

【0255】電位ΔV_{Na}根據從第一電流到第二電流的變化量、電阻元件R1的電阻值及電位Vref決定。在此，已知電阻元件R1的電阻值和電位Vref，由此可以求得從電位ΔV_{Na}流到佈線BL的電流的變化量。

【0256】如上所述，對應於藉由偏置電路OFST檢測出的電流量及/或電流的變化量的信號藉由佈線OL[1]至[n]輸入到活化函數電路ACTV。

【0257】活化函數電路ACTV連接於佈線OL[1]至[n]和佈線NIL[1]至[n]。活化函數電路ACTV具有進行運算以根據預定的活化函數變換從偏置電路OFST輸入的信號的功能。作為活化函數，例如可以使用sigmoid函數、tanh函數、softmax函數、ReLU函數及定限函數等。被活化函數電路ACTV變換的信號作為輸出數據輸出到佈線NIL[1]至[n]。

【0258】

〈半導體裝置的工作例子〉

能夠使用上述半導體裝置MAC對第一數據和第二數據進行積和運算。下面，說明進行積和運算時的半導體裝置MAC的工作例子。

【0259】圖19示出半導體裝置MAC的工作例子的時序圖。圖19示出圖17中的佈線WL[1]、佈線WL[2]、佈線

WD[1]、佈線WDref、節點NM[1, 1]、節點NM[2, 1]、節點NMref[1]、節點NMref[2]、佈線RW[1]及佈線RW[2]的電位推移、以及電流I_B[1]-I_α[1]和電流I_{Bref}的值的推移。電流I_B[1]-I_α[1]相當於從佈線BL[1]流到記憶單元MC[1, 1]、[2, 1]的電流之總和。

【0260】雖然在此著眼於在圖17中作為典型例子示出的記憶單元MC[1, 1]、[2, 1]及記憶單元MCref[1]、[2]而說明其工作，但是其他記憶單元MC及記憶單元MCref也可以進行同樣的工作。

【0261】

[第一數據的存儲]

首先，在時刻T01-T02，佈線WL[1]的電位成為高位準，佈線WD[1]的電位成為比接地電位（GND）大V_{PR}-$V_{W[1, 1]}$的電位，佈線WDref的電位成為比接地電位大V_{PR}的電位。佈線RW[1]及佈線RW[2]的電位成為參考電位（REFP）。注意，電位$V_{W[1, 1]}$對應於儲存在記憶單元MC[1, 1]中的第一數據。此外，電位V_{PR}對應於參考數據。因此，記憶單元MC[1, 1]及記憶單元MCref[1]所具有的電晶體Tr11成為開啟狀態，節點NM[1, 1]的電位成為V_{PR}-$V_{W[1, 1]}$，節點NMref[1]的電位成為V_{PR}。

【0262】此時，從佈線BL[1]流到記憶單元MC[1, 1]的電晶體Tr12的電流$I_{MC[1, 1], 0}$能夠以如下公式表示。在此，k是取決於電晶體Tr12的通道長度、通道寬度、移動率以及閘極絕緣膜的電容等的常數。此外，V_{th}為電晶體Tr12

的臨界電壓。

【0263】

$$I_{MC[1,1],0} = k(V_{PR} - V_{W[1,1]} - V_{th})^2 \qquad (E1)$$

【0264】此外，從佈線BLref流到記憶單元MCref[1]的電晶體Tr12的電流$I_{MCref[1],0}$能夠以如下公式表示。

【0265】

$$I_{MCref[1],0} = k(V_{PR} - V_{th})^2 \qquad (E2)$$

【0266】接著，在時刻T02-T03，佈線WL[1]的電位成為低位準。因此，記憶單元MC[1, 1]及記憶單元MCref[1]所具有的電晶體Tr11成為關閉狀態，節點NM[1, 1]及節點NMref[1]的電位被保持。

【0267】如上所述，作為電晶體Tr11，較佳為使用OS電晶體。由此，可以抑制電晶體Tr11的洩漏電流而正確地保持節點NM[1, 1]及節點NMref[1]的電位。

【0268】接著，在時刻T03-T04，佈線WL[2]的電位成為高位準，佈線WD[1]的電位成為比接地電位大V_{PR}-$V_{W[2,1]}$的電位，佈線WDref的電位成為比接地電位大V_{PR}的電位。注意，電位$V_{W[2,1]}$對應於儲存在記憶單元MC[2, 1]中的第一數據。因此，記憶單元MC[2, 1]及記憶單元MCref[2]所具有的電晶體Tr11成為開啟狀態，節點NM[2, 1]的電位成為V_{PR}-$V_{W[2,1]}$，節點NMref[2]的電位成為V_{PR}。

【0269】此時，從佈線BL[1]流到記憶單元MC[2, 1]的電晶體Tr12的電流$I_{MCref[2,1],0}$能夠以如下公式表示。

【0270】

$$I_{MC[2,1],0} = k(V_{PR} - V_{W[2,1]} - V_{th})^2 \qquad (E3)$$

【0271】此外，從佈線BLref流到記憶單元MCref[2]的電晶體Tr12的電流$I_{MCref[2],0}$能夠以如下公式表示。

【0272】

$$I_{MCref[2],0} = k(V_{PR} - V_{th})^2 \qquad (E4)$$

【0273】接著，在時刻T04-T05，佈線WL[2]的電位成為低位準。因此，記憶單元MC[2, 1]及記憶單元MCref[2]所具有的電晶體Tr11成為關閉狀態，節點NM[2, 1]及節點NMref[2]的電位被保持。

【0274】藉由上述工作，在記憶單元MC[1, 1]、[2, 1]中儲存第一數據，記憶單元MCref[1]、[2]中儲存參考數據。

【0275】在此，在時刻T04-T05，考慮流到佈線BL[1]和佈線BLref的電流。向佈線BLref從電流源電路CS供應電流。流過佈線BLref的電流排出到電流鏡電路CM及記憶單元MCref[1]、[2]。將從電流源電路CS供應到佈線BLref的電流稱為I_{Cref}，將從佈線BLref排出到電流鏡電路CM的電流稱為$I_{CM,0}$，此時滿足下式。

【0276】

$$I_{Cref} - I_{CM,0} = I_{MCref[1],0} + I_{MCref[2],0} \qquad (E5)$$

【0277】向佈線BL[1]從電流源電路CS供應電流。流過佈線BL[1]的電流排出到電流鏡電路CM及記憶單元MC[1, 1]、[2, 1]。另外，電流從佈線BL[1]流到偏置電路

OFST。將從電流源電路CS供應到佈線BL[1]的電流稱為$I_{C,0}$，將從佈線BL[1]流到偏置電路OFST的電流稱為$I_{\alpha,0}$，此時滿足下式。

【0278】

$$I_C - I_{CM,0} = I_{MC[1,1],0} + I_{MC[2,1],0} + I_{\alpha,0} \qquad (E6)$$

【0279】

[第一數據和第二數據的積和運算]

接著，在時刻T05-T06，佈線RW[1]的電位比參考電位大$V_{X[1]}$。此時，電位$V_{X[1]}$被供應到記憶單元MC[1, 1]及記憶單元MCref[1]的各電容器C11，電晶體Tr12的閘極電位因電容耦合而上升。注意，電位$V_{X[1]}$對應於供應到記憶單元MC[1, 1]及記憶單元MCref[1]的第二數據。

【0280】電晶體Tr12的閘極的電位的變化量相當於佈線RW的電位的變化乘以根據記憶單元的結構決定的電容耦合係數的值。電容耦合係數根據電容器C11的電容、電晶體Tr12的閘極電容以及寄生電容等而算出。下面，為了方便起見，說明佈線RW的電位的變化量與電晶體Tr12的閘極的電位的變化量相等的情況，亦即，說明電容耦合係數為1的情況。實際上，考慮電容耦合係數決定電位V_X，即可。

【0281】當電位$V_{X[1]}$被供應到記憶單元MC[1, 1]及記憶單元MCref[1]的電容器C11時，節點NM[1, 1]及節點NMref[1]的電位都上升$V_{X[1]}$。

【0282】在此，在時刻T05-T06，從佈線BL[1]流到記

憶單元MC[1, 1]的電晶體Tr12的電流$I_{MC[1,\ 1],\ 1}$能夠以如下公式表示。

【0283】

$$I_{MC[1,\ 1],\ 1} = k(V_{PR} - V_{W[1,\ 1]} + V_{X[1]} - V_{th})^2 \qquad (E7)$$

【0284】也就是說，藉由向佈線RW[1]供應電位$V_{X[1]}$，從佈線BL[1]流到記憶單元MC[1, 1]的電晶體Tr12的電流增加$\Delta I_{MC[1,\ 1]}=I_{MC[1,\ 1],\ 1}-I_{MC[1,\ 1],\ 0}$。

【0285】此外，在時刻T05-T06，從佈線BLref流到記憶單元MCref[1]的電晶體Tr12的電流$I_{MCref[1],\ 1}$能夠以如下公式表示。

【0286】

$$I_{MCref[1],\ 1} = k(V_{PR} + V_{X[1]} - V_{th})^2 \qquad (E8)$$

【0287】也就是說，藉由向佈線RW[1]供應電位$V_{X[1]}$，從佈線BLref流到記憶單元MCref[1]的電晶體Tr12的電流增加$\Delta I_{MCref[1]}=I_{MCref[1],\ 1}-I_{MCref[1],\ 0}$。

【0288】另外，考慮流到佈線BL[1]和佈線BLref的電流。向佈線BLref從電流源電路CS供應電流I_{Cref}。流過佈線BLref的電流排出到電流鏡電路CM及記憶單元MCref[1]、[2]。將從佈線BLref排出到電流鏡電路CM的電流稱為$I_{CM,1}$，此時滿足下式。

【0289】

$$I_{Cref} - I_{CM,\ 1} = I_{MCref[1],\ 1} + I_{MCref[2],\ 1} \qquad (E9)$$

【0290】向佈線BL[1]從電流源電路CS供應電流I_C。流過佈線BL[1]的電流排出到電流鏡電路CM及記憶單元

MC[1, 1]、[2, 1]。再者，電流從佈線BL[1]流到偏置電路OFST。將從佈線BL[1]流到偏置電路OFST的電流稱為$I_{\alpha, 1}$，此時滿足下式。

【0291】

$$I_C - I_{CM, 1} = I_{MC[1, 1], 1} + I_{MC[2, 1], 1} + I_{\alpha, 1} \qquad (E10)$$

【0292】根據公式（E1）至公式（E10），能夠以下式表示電流$I_{\alpha, 0}$與電流$I_{\alpha, 1}$之差（差分電流ΔI_α）。

【0293】

$$\Delta I_\alpha = I_{\alpha, 1} - I_{\alpha, 0} = 2k\, V_{W[1, 1]} V_{X[1]} \qquad (E11)$$

【0294】如此，差分電流ΔI_α表示對應於電位$V_{W[1, 1]}$與$V_{X[1]}$之積的值。

【0295】然後，在時刻T06-T07，佈線RW[1]的電位成為參考電位，節點NM[1, 1]及節點NMref[1]的電位與時刻T04-T05同樣。

【0296】接著，在時刻T07-T08，佈線RW[1]的電位成為比參考電位大$V_{X[1]}$的電位，佈線RW[2]的電位成為比參考電位大$V_{X[2]}$的電位。因此，電位$V_{X[1]}$被供應到記憶單元MC[1, 1]及記憶單元MCref[1]的電容器C11，因電容耦合而節點NM[1, 1]及節點NMref[1]的電位都上升$V_{X[1]}$。另外，電位$V_{X[2]}$被供應到記憶單元MC[2, 1]及記憶單元MCref[2]的電容器C11，因電容耦合而節點NM[2, 1]及節點NMref[2]的電位都上升$V_{X[2]}$。

【0297】在此，在時刻T07-T08，從佈線BL[1]流到記憶單元MC[2, 1]的電晶體Tr12的電流$I_{MC[2, 1], 1}$能夠以如下

公式表示。

【0298】

$$I_{MC[2,1],1} = k(V_{PR} - V_{W[2,1]} + V_{X[2]} - V_{th})^2 \qquad (E12)$$

【0299】也就是說，藉由向佈線RW[2]供應電位$V_{X[2]}$，從佈線BL[1]流到記憶單元MC[2, 1]的電晶體Tr12的電流增加$\Delta I_{MC[2,1]}=I_{MC[2,1],1}-I_{MC[2,1],0}$。

【0300】此外，在時刻T07-T08，從佈線BLref流到記憶單元MCref[2]的電晶體Tr12的電流$I_{MCref[2],1}$能夠以如下公式表示。

【0301】

$$I_{MCref[2],1} = k(V_{PR} + V_{X[2]} - V_{th})^2 \qquad (E13)$$

【0302】也就是說，藉由向佈線RW[2]供應電位$V_{X[2]}$，從佈線BLref流到記憶單元MCref[2]的電晶體Tr12的電流增加$\Delta I_{MCref[2]}=I_{MCref[2],1}-I_{MCref[2],0}$。

【0303】另外，考慮流到佈線BL[1]和佈線BLref的電流。向佈線BLref從電流源電路CS供應電流I_{Cref}。流過佈線BLref的電流排出到電流鏡電路CM及記憶單元MCref[1]、[2]。將從佈線BLref排出到電流鏡電路CM的電流稱為$I_{CM,2}$，此時滿足下式。

【0304】

$$I_{Cref} - I_{CM,2} = I_{MCref[1],1} + I_{MCref[2],1} \qquad (E14)$$

【0305】向佈線BL[1]從電流源電路CS供應電流I_C。流過佈線BL[1]的電流排出到電流鏡電路CM及記憶單元MC[1, 1]、[2, 1]。再者，電流從佈線BL[1]流到偏置電路

OFST。將從佈線BL[1]流到偏置電路OFST的電流稱為$I_{\alpha,2}$，此時滿足下式。

【0306】

$$I_C - I_{CM,2} = I_{MC[1,1],1} + I_{MC[2,1],1} + I_{\alpha,2} \qquad (E15)$$

【0307】根據公式（E1）至公式（E8）及公式（E12）至公式（E15），能夠以下式表示電流$I_{\alpha,0}$與電流$I_{\alpha,2}$之差（差分電流ΔI_α）。

【0308】

$$\Delta I_\alpha = I_{\alpha,2} - I_{\alpha,0} = 2k(V_{W[1,1]}V_{X[1]} + V_{W[2,1]}V_{X[2]}) \qquad (E16)$$

【0309】如此，差分電流ΔI_α表示對應於對電位$V_{W[1,1]}$與電位$V_{X[1]}$之積和電位$V_{W[2,1]}$與電位$V_{X[2]}$之積進行加法的結果的值。

【0310】然後，在時刻T08-T09，佈線RW[1]、[2]的電位成為參考電位，節點NM[1, 1]、[2, 1]及節點NMref[1]、[2]的電位與時刻T04-T05同樣。

【0311】如公式（E11）和公式（E16）所示，輸入到偏置電路OFST的差分電流ΔI_α可以利用包括對應於第一數據（權重）的電位V_X與對應於第二數據（輸入數據）的電位V_W的乘積項的公式算出。也就是說，藉由使用偏置電路OFST對差分電流ΔI_α進行測量，可以獲得第一數據與第二數據的積和運算的結果。

【0312】注意，雖然在上述說明中著眼於記憶單元MC[1, 1]、[2, 1]及記憶單元MCref[1]、[2]，但是可以任意設定記憶單元MC及記憶單元MCref的數量。在將記憶單元

MC及記憶單元MCref的行數m設定為任意數i的情況下，能夠以下式表示差分電流ΔI_α。

【0313】

$$\Delta I_\alpha = 2k\Sigma_i V_{W[i,1]} V_{X[i]} \qquad (E17)$$

【0314】此外，藉由使記憶單元MC及記憶單元MCref的列數n增加，可以使並行的積和運算的數量增加。

【0315】如上所述，藉由使用半導體裝置MAC，可以對第一數據和第二數據進行積和運算。另外，藉由使用圖17所示的記憶單元MC及記憶單元MCref的結構，可以使用以電晶體的數量較少的方式構成積和運算電路。由此，可以縮小半導體裝置MAC的電路規模。

【0316】在將半導體裝置MAC用於利用神經網路的運算時，可以使記憶單元MC的行數m對應於供應到一個神經元的輸入數據的數量並使記憶單元MC的列數n對應於神經元的數量。例如，考慮在圖15A所示的中間層HL中進行使用半導體裝置MAC的積和運算的情況。此時，可以將記憶單元MC的行數m設定為從輸入層IL供應的輸入數據的數量（輸入層IL的神經元的數量）並將記憶單元MC的列數n設定為中間層HL的神經元的數量。

【0317】注意，對使用半導體裝置MAC的神經網路的結構沒有特別的限制。例如，半導體裝置MAC可以用於卷積神經網路（CNN）、遞迴神經網路（RNN）、自編碼器及波茲曼機（包括限制波茲曼機）等。

【0318】如上所述，藉由使用半導體裝置MAC，可以

進行神經網路的積和運算。再者，藉由將圖17所示的記憶單元MC及記憶單元MCref用於單元陣列CA，可以提供運算精度高、功耗低或電路規模小的積體電路。

【0319】本實施方式的至少一部分可以與本說明書所記載的其他實施方式適當地組合而實施。

【0320】

實施方式6

作為能夠使用本發明的一個實施方式的顯示裝置的電子裝置，可以舉出顯示裝置、個人電腦、具備儲存媒體的影像記憶體裝置及影像再現裝置、行動電話、包括可攜式遊戲機的遊戲機、可攜式數據終端、電子書閱讀器、拍攝裝置諸如視頻攝影機或數位相機等、護目鏡型顯示器(頭戴式顯示器)、導航系統、音頻再生裝置(汽車音響系統、數位聲訊播放機等)、影印機、傳真機、印表機、多功能印表機、自動櫃員機(ATM)以及自動販賣機等。圖20A至圖20F示出這些電子裝置的具體例子。

【0321】圖20A是電視機，該電視機包括外殼971、顯示部973、操作鍵974、揚聲器975、通訊用連接端子976及光感測器977等。顯示部973設置有觸控感測器，可以進行輸入操作。藉由將本發明的一個實施方式的顯示裝置用於顯示部973，可以進行顯示品質高的顯示。

【0322】圖20B是資訊處理終端，該資訊處理終端包括外殼901、顯示部902、顯示部903及感測器904等。顯示部902及顯示部903由一個顯示面板構成且具有撓性。此

外，外殼901也具有撓性，由此如圖式所示那樣可以將該資訊處理終端折疊而使用，並且可以使該資訊處理終端成為如平板終端那樣的平板狀而使用。感測器904可以檢測外殼901的形狀，例如，當外殼被彎曲時，可以切換顯示部902及顯示部903的顯示。藉由將本發明的一個實施方式的顯示裝置用於顯示部902及顯示部903，可以進行顯示品質高的顯示。

【0323】圖20C是數位相機，該數位相機包括外殼961、快門按鈕962、麥克風963、揚聲器967、顯示部965、操作鍵966、變焦鈕968、透鏡969等。藉由將本發明的一個實施方式的顯示裝置用於顯示部965，可以進行顯示品質高的顯示。

【0324】圖20D是數位看板，該數位看板包括大型顯示部922。例如，可以設置在柱子921的側面。藉由將本發明的一個實施方式的顯示裝置用於顯示部922，可以進行顯示品質高的顯示。

【0325】圖20E是行動電話機，該行動電話機包括外殼951、顯示部952、操作按鈕953、外部連接埠954、揚聲器955、麥克風956、照相機957等。該行動電話機在顯示部952中包括觸控感測器。藉由用手指或觸控筆等觸摸顯示部952可以進行打電話或輸入文字等所有操作。另外，外殼951及顯示部952具有撓性而可以如圖示那樣彎折地使用。藉由將本發明的一個實施方式的顯示裝置用於顯示部952，可以進行顯示品質高的顯示。

【0326】圖20F是可攜式數據終端，該可攜式數據終端包括外殼911、顯示部912、揚聲器913、照相機919等。藉由利用顯示部912的觸控面板功能可以輸入或輸出數據。藉由將本發明的一個實施方式的顯示裝置用於顯示部912，可以進行顯示品質高的顯示。

【0327】本實施方式可以與其他實施方式或實施例等中記載的結構適當地組合而實施。

實施例1

【0328】在本實施例中，對根據本發明的一個實施方式的顯示裝置的試製結果進行說明。

【0329】圖21示出藉由与显示装置共通的製程製造的OS晶體管（CAAC-IGZO FET、W/L=3μm/3μm）的I_D-V_G特性（Vds=0.1V、5.1V）。電晶體特性為常關閉，關態電流為測量儀的測定下限以下的值。

【0330】圖22示出像素的電路圖。像素電路包括5個電晶體、2個電容器和一個顯示元件OLED。另外，所有的電晶體都設置有與前閘極電連接的背閘極。以下對其驅動方法進行說明。寫入權重（相當於校正數據）的期間與寫入顯示數據（相當於影像數據）的期間被設置為不同時序。

【0331】

〈權重（校正數據）的寫入〉

圖23A示出為了將權重寫入存儲節點的時序圖。在寫

入權重時沒有必要使顯示元件OLED發光，所以使電晶體M5變為非導通。使電晶體M1、M3、M4變為導通，來分別供應參照電壓V_r、固定電位V_0、權重的電位（V_w）。

【0332】

〈顯示數據（影像數據）的寫入〉

圖23B示出為了寫入顯示數據的時序圖。這裡，不進行權重的重寫，所以使M4為非導通、M1為導通來供應顯示數據（V_{data}）。驅動顯示元件OLED的電晶體M2的閘極電壓V_g由式（1）算出。在此，當電容器C_w及電容器C_s的容量值的關係為$C_w>>C_s$時，閘極電壓V_g為由式（2）表示的值。也就是說，權重（V_w-V_r）被加到顯示數據（V_{data}）。

【0333】

[數1]

$$V_g = \frac{\{C_W(V_W - V_r) + C_s(V_W - V_0) + C_W \cdot V_{data}\}}{(C_W + C_s)}$$

[數2]

$$V_g = V_W - V_r + V_{data}$$

【0334】

〈類比結果〉

圖24示出權重值變化時電晶體M2的閘極電壓V_g的變化。該變化是利用電路類比軟體（SPICE）算出的結果。藉由增加權重值可以增加閘極電壓V_g。

【0335】

〈寬動態範圍顯示〉

電晶體M2的閘極電壓V_g可以以顯示數據的電位（V_{data}）與權重電位（V_w）的和表示。因此，可以對電晶體M2的閘極施加源極驅動器（相當於列驅動器）的輸出電壓以上的電壓。該操作在要求進行高亮度的顯示時是十分有效的。在試製的顯示裝置中，電容器C_w與電容器C_s的電容比為4：1。在此，當$V_r=V_0=0V$時，電晶體M2的閘極被施加的電壓V_g可以以式（3）表示。

【0336】

[數3]

$$V_g = V_W + \frac{4}{5}V_{data}$$

【0337】當源極驅動器能輸出的最大電壓為5V時，電晶體M2的閘極電壓V_g的理想值為9V。另外，當電晶體M2的閘極電壓V_g為4.5V時，源極驅動器輸出2.5V。由此，可以降低所需的數據電壓。雖然為了在一個圖框中交替地寫入權重（V_w）和顯示數據（V_{data}）需要提高工作頻率，但是由於電壓得到降低，所述總功耗下降。

【0338】

〈面板規格〉

表1示出這回試製的顯示裝置（面板）的規格。作為組件包括OS電晶體（CAAC-IGZO）的掃描驅動器（行驅動器）形成在與像素電路相同的基板上。顯示元件OLED具有發射白光的串聯結構並採用組合濾色片的彩色化方式。

【0339】

[表1]

	規格
屏幕對角線	4.86-inches
驅動方法	Active Matrix
解析度	720 × 1280
像素間距	84 μm × 84 μm
像素密度	302 ppi
孔徑比	43.70 %
像素排例	RGB 條紋
彩色化方式	白光串聯 OLED + 濾色片
發射方式	頂部發射
源極驅動器	COG
掃描驅動器	Integrated

【0340】

〈結果〉

圖25A是只顯示了作為權重輸入的氣球的影像數據的照片。圖25B是只顯示了作為顯示數據輸入的斑馬的影像數據的照片。圖25C是對作為權重輸入的氣球的影像數據附加了作為顯示數據輸入的斑馬的影像數據的照片。如此，作為權重寫入的影像數據被疊加在作為顯示數據輸入的影像數據上。這表明權重被正常地保持於像素的存儲節點中。

【0341】接著，測量如下影像的亮度。該影像作為權重寫入全白顯示數據並且作為顯示數據輸入相同的全白顯示數據。如表2所示，亮度得到提高。如此，可以對電晶體M2的閘極施加源極驅動器的輸出電壓以上的電壓，從而實現更高亮度的顯示。

【0342】

[表2]

	顯示數據	權重數據＋顯示數據
驅動晶體管的閘電壓 [V]	5	9
亮度 [cd/m^2]	263	876

【0343】本實施例可以與其他的實施方式等記載的結構適當地組合而實施。

實施例2

【0344】在本實施例中說明對有關本發明的一個實施方式的顯示裝置設置外部校正電路的例子。

【0345】在具有EL元件的顯示裝置中，驅動電晶體的特性偏差或劣化對顯示的影響很大。為此，較佳為設置對驅動電晶體的電流偏差進行校正的電路。

【0346】在本實施例中，對具有提高電流的讀出精度的外部校正電路的EL顯示裝置的試製結果進行說明。該外部校正電路搭載有如下積分電路：該積分電路的源極驅動器採用差動方式或2差動方式的輸入。

【0347】圖26示出與顯示裝置藉由共通的製程製造的OS電晶體（CAAC-IGZO FET、W/L=4μm/6μm）的I_D-V_G特性（Vds=0.1V、10V）。電晶體特性為常關閉，關態電流為測量儀的測定下限以下的值。

【0348】為了提高外部校正電路的校正精度，需要準確地測量驅動電晶體的電流。但是，當外部校正電路受到來自閘極驅動器使用的電源等的共模雜訊的影響時，電流的測量精度下降。為了去除共模雜訊，例如，在觸控感測

器的感測電路中使用差動輸入方式的積分電路。

【0349】圖27和圖28是對外部校正電路與EL面板的介面部分的說明。外部校正電路由積分電路、ADC（A/D轉換器）及影像處理電路構成，積分電路及ADC內置在源極驅動器IC晶片中。在測量與佈線MONI[N]連接的像素的驅動電晶體的電流之前，外部校正電路向佈線MONI[N]提供RESET信號，以將佈線MONI[N-1]、MONI[N]、MONI[N+1]等的電壓設定為V_{REF}。

【0350】圖27所示的積分電路的輸入採用差動方式，圖28所示的積分電路的輸入採用2差動方式，兩個積分電路都可以消除共模雜訊。另外，由於EL面板一側的電晶體為關態電流極小的OS電晶體，因此可以保持電流測量期間的參考電位，而無需設置特定的儲存電容器或控制電源。

【0351】當如圖29所示採用兩個像素（子像素）共用一個電源線的像素佈局時，使用圖28所示的2差動方式可以高精度地消除雜訊。

【0352】圖30是說明像素及源極驅動器的構成的方塊圖。包括EL元件的標準驅動電路藉由加算部被附加用於保持用來校正特性偏差的電壓數據的記憶體。該記憶體包括OS電晶體，被稱為OS記憶體。該像素可以從佈線Monitor讀取並測量驅動電晶體的電流值。利用測得的電流值生成用來校正驅動電晶體的特性偏差的電壓數據，並將其作為權重（V_w）附加到影像數據（V_{data}），由此可以降低起因

於電晶體的特性偏差的顯示不均勻。

【0353】接著，對像素的驅動方法進行說明。權重（V_w）的寫入、影像數據（V_{data}）的寫入及電流的讀出分別在不同的期間進行。另外，在寫入權重（V_w）和影像數據（V_{data}）時，佈線Monitor被輸入固定電位（V_0）。

【0354】

〈權重（V_w）的寫入〉

藉由提供使EL元件的驅動電路中的電晶體與記憶體中的電晶體導通的閘極信號（G1、G2）、參照電壓（V_r）、固定電位（V_0），記憶體被寫入權重（V_w）。

【0355】

〈影像數據（V_{data}）的寫入〉

藉由提供使EL元件的驅動電路中的電晶體導通的閘極信號（G1），顯示數據（V_{data}）被寫入該驅動電路。此時，當記憶體的存儲電容足夠大時，施加到EL元件的驅動電晶體的閘極的電壓V_g為“V_w-V_r”+“V_{data}”的值。也就是說，影像數據（V_{data}）被附加“V_w-V_r”的權重，因此，藉由作為權重（V_w）提供用於校正特性偏差的電壓數據，可以進行校正。

【0356】

〈電流讀出〉

在電流讀出中，首先，藉由對EL元件的驅動電路中的電晶體及記憶體中的電晶體提供給定的閘極信號使驅動電晶體導通。此時，可以藉由選擇電路利用源極驅動器IC晶

片內的電流監視電路讀出從驅動電晶體流向佈線Monitor的電流。

【0357】

〈整個系統〉

首先，利用電流監視電路測量像素電流。接著，根據測得的電流值生成校正數據，將校正數據寫入像素內的OS記憶體，並對校正數據附加影像數據。OS記憶體以幾秒的間隔更新，所以可以以低頻率進行外部計算。因此，可以藉由軟體處理將電流監視電路測得的數據轉換為校正數據，可以以幾秒的間隔將校正數據從數據驅動器部分寫入像素內的OS記憶體。數據驅動器部分例如可以由輸入部、閂鎖、位準轉換器、D/A轉換器、放大器等各種電路構成，並可以藉由選擇電路與像素電路電連接。該系統不需要計算速度低的專用的週邊電路，因此可以降低成本。

【0358】圖31A至圖31C示出另行試製的高清晰面板的螢幕中心附近的用於顯示紅色的子像素（160×360）的驅動電晶體的電流的測量結果。X座標、Y座標表示測量了電流的像素的座標，色的深淺表示測得電流進行AD轉換後的灰階值。

【0359】圖31A示出積分電路的輸入採用單端方式時的結果，閘極線方向上的雜訊影響較強。圖31B示出採用差動方式時的結果，圖31C示出採用2差動方式時的結果。兩者都能夠消除共模雜訊，但是藉由傅立葉變換進行比較時，2差動方式比差動方式降低了0.5%左右的雜訊。

【0360】這回試製的顯示裝置（EL面板）的規格與實施例1的表1所示的相同。作為組件包括OS電晶體（CAAC-IGZO）的掃描驅動器（行驅動器）形成在與像素電路相同的基板上。藉由COG安裝的源極驅動器搭載有前面所述的外部校正電路。顯示元件OLED採用發射白光的串聯結構並採用組合濾色片的彩色化方式。

【0361】圖32A和圖32B示出使用新的外部校正系統進行影像校正的結果。圖32A示出沒有進行外部校正時的灰色顯示。顯示區右側有較大的顯示不均勻。作為權重，寫入黑色。圖32B示出進行了外部校正的灰色顯示。顯示不均勻消失，進行均勻顯示。作為權重，寫入根據電流測量結構生成的校正影像。

【0362】圖33A和圖33B示出利用二維色彩亮度計（柯尼卡美能達公司製造的CA-2500）測量的亮度不均勻的結果。圖33A示出無校正的亮度分佈，圖33B示出有校正的亮度分佈。由該結果可知，藉由進行外部校正亮度被校正均勻。

【0363】圖34示出顯示LOW GRAY、GRAY、WHITE時的顯示照片及示出二維色彩亮度計的測量結果進行或不進行校正的比較。各顯示中作為權重寫入的校正數據都相同。在有校正時，無論亮度大小顯示不均勻都相對減少。

【0364】圖35A至圖35C示出利用像素內的記憶體進行顯示的應用例。作為權重（V_w）寫入字幕文字數據（圖35A），作為顯示用數據寫入孔雀的影像數據（圖

35B），並進行顯示，由此可以得到圖35C所示的兩個影像彼此疊加的顯示。即使改變顯示用的數據，作為權重（V_w）寫入的文字也不會發生變化。這表明權重（V_w）被正常地保持於記憶體中。

【0365】藉由上述結果可以確認：試製的顯示裝置中的外部校正電路可以高精度地測量EL元件的驅動電晶體的電流；根據該結果生成校正數據並將其電壓作為權重（V_w）保存在像素內，由此可以校正驅動電晶體的特性偏差。

【0366】本實施例可以與其他的實施方式等記載的結構適當地組合而實施。

【符號說明】

【0367】

10：像素

10a：像素

10b：像素

10c：像素

10d：像素

11b：像素

12：行驅動器

13：列驅動器

14：電路

15：列驅動器

16：電路

101：電晶體

102：電晶體

103：電容器

104：EL元件

105：電晶體

111：電晶體

112：電晶體

113：電容器

121：佈線

122：佈線

124：佈線

125：佈線

126：佈線

128：電源線

129：公共佈線

130：佈線

141：開關

142：開關

143：開關

144：開關

215：顯示部

221a：掃描線驅動電路

231a：信號線驅動電路

232a：信號線驅動電路

241a：共通線驅動電路

723：電極

726：絕緣層

728：絕緣層

729：絕緣層

741：絕緣層

742：半導體層

744a：電極

744b：電極

746：電極

755：雜質

771：基板

772：絕緣層

810：電晶體

811：電晶體

820：電晶體

821：電晶體

825：電晶體

842：電晶體

843：電晶體

844：電晶體

845：電晶體

846：電晶體

847：電晶體

901：外殼

902：顯示部

903：顯示部

904：感測器

911：外殼

912：顯示部

919：照相機

921：柱子

922：顯示部

951：外殼

952：顯示部

953：操作按鈕

954：外部連接埠

955：揚聲器

956：麥克風

957：照相機

961：外殼

962：快門按鈕

963：麥克風

965：顯示部

966：操作鍵

967：揚聲器

968：變焦鈕

969：透鏡

971：外殼

973：顯示部

974：操作鍵

975：揚聲器

976：通訊用連接端子

977：光感測器

1000：DOSRAM

1001：記憶單元

1002：感測放大器部

1003：單元陣列部

4001：基板

4005：密封劑

4006：基板

4010：電晶體

4011：電晶體

4014：佈線

4015：電極

4017：電極

4018：FPC

4019：各向異性導電層

4020：電容器

4021：電極

4030：電極層

4031：電極層

4041：印刷電路板

4042：積體電路

4102：絕緣層

4103：絕緣層

4104：絕緣層

4110：絕緣層

4111：絕緣層

4112：絕緣層

4200：輸入裝置

4210：觸控面板

4227：電極

4228：電極

4237：佈線

4238：佈線

4239：佈線

4263：基板

4272b：FPC

4273b：IC

4510：分隔壁

4511：發光層

4513：發光元件

4514：填充材料

第 107127905 號 民國 111 年 6 月 1 日修正

【發明申請專利範圍】

【第1項】

一種包括像素的顯示裝置，該像素包括：

第一電晶體、第二電晶體、第三電晶體、第四電晶體、第一電容器、第二電容器及顯示元件，

其中，該第一電晶體的源極和汲極中的一個與該第一電容器的一個電極電連接，

該第一電容器的另一個電極與該第二電晶體的源極和汲極中的一個、該第三電晶體的閘極和該第二電容器的一個電極電連接，

該第二電容器的另一個電極與該第三電晶體的源極和汲極中的一個、該第四電晶體的源極和汲極中的一個電連接，

該第二電容器的該另一個電極經由該第四電晶體與該顯示元件電連接，以及

該第四電晶體的該源極和該汲極中的另一個與該顯示元件電連接。

【第2項】

一種包括像素的顯示裝置，該像素包括：

第一電晶體、第二電晶體、第三電晶體、第四電晶體、第五電晶體、第一電容器、第二電容器及顯示元件，

其中，該第一電晶體的源極和汲極中的一個與該第一電容器的一個電極電連接，

該第一電容器的另一個電極與該第二電晶體的源極和

汲極中的一個、該第三電晶體的閘極和該第二電容器的一個電極電連接，

該第二電容器的另一個電極與該第三電晶體的源極和汲極中的一個、該第四電晶體的源極和汲極中的一個及該第五電晶體的源極和汲極中的一個電連接，

該第二電容器的該另一個電極經由該第四電晶體與該顯示元件電連接，以及

該第四電晶體的該源極和該汲極中的另一個與該顯示元件電連接。

【第3項】

根據申請專利範圍第1或2項之顯示裝置，其中：

該第一電晶體的該源極和該汲極中的另一個與提供影像數據的第一佈線電連接，以及

該第二電晶體的該源極和該汲極中的另一個與提供校正數據的第二佈線電連接。

【第4項】

根據申請專利範圍第1或2項之顯示裝置，其中該第二電晶體的通道形成區包含含有In和Zn的金屬氧化物。

【第5項】

根據申請專利範圍第1項之顯示裝置，其中該第一電晶體、該第二電晶體、該第三電晶體及該第四電晶體的每一個的通道形成區都包含含有In和Zn的金屬氧化物。

【第6項】

根據申請專利範圍第1項之顯示裝置，其中該第一電

晶體、該第二電晶體、該第三電晶體及該第四電晶體的每一個都包括背閘極，

該第一電晶體的該背閘極與該第一電晶體的閘極電連接，

該第二電晶體的該背閘極與該第二電晶體的閘極電連接，

該第三電晶體的該背閘極與該第三電晶體的該閘極電連接，以及

該第四電晶體的該背閘極與該第四電晶體的閘極電連接。

【第7項】

根據申請專利範圍第2項之顯示裝置，其中該第一電晶體、該第二電晶體、該第三電晶體、該第四電晶體及該第五電晶體的每一個的通道形成區都包含含有In和Zn的金屬氧化物。

【第8項】

根據申請專利範圍第2項之顯示裝置，其中該第一電晶體、該第二電晶體、該第三電晶體、該第四電晶體及該第五電晶體的每一個都包括背閘極，

該第一電晶體的該背閘極與該第一電晶體的閘極電連接，

該第二電晶體的該背閘極與該第二電晶體的閘極電連接，

該第三電晶體的該背閘極與該第三電晶體的該閘極電

連接，

該第四電晶體的該背閘極與該第四電晶體的閘極電連接，以及

該第五電晶體的該背閘極與該第五電晶體的閘極電連接。

【第9項】

根據申請專利範圍第1或2項之顯示裝置，其中該第三電晶體的該源極和該汲極中的另一個與電源線電連接。

【第10項】

根據申請專利範圍第1或2項之顯示裝置，其中該顯示元件是EL元件。

【發明圖式】

圖 1

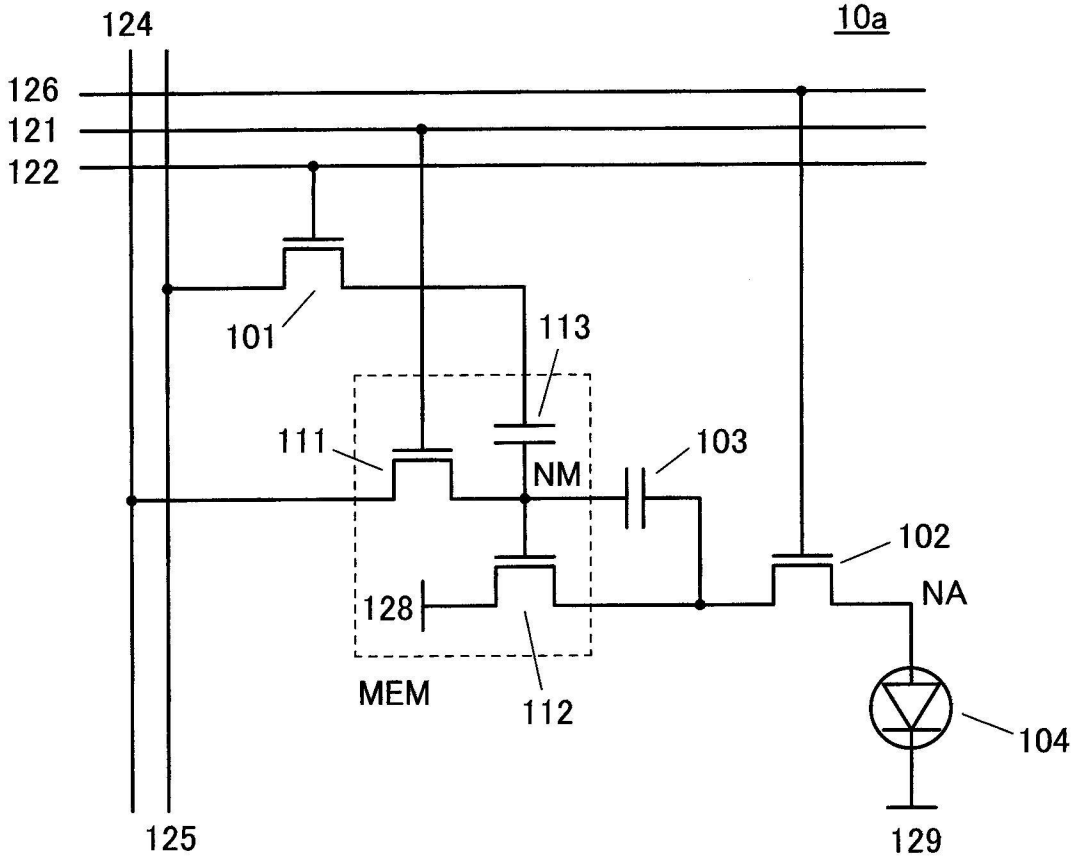

124
10a
126
121
122
101
113
111
103
NM
102
NA
128
MEM
112
104
125
129

圖 2A

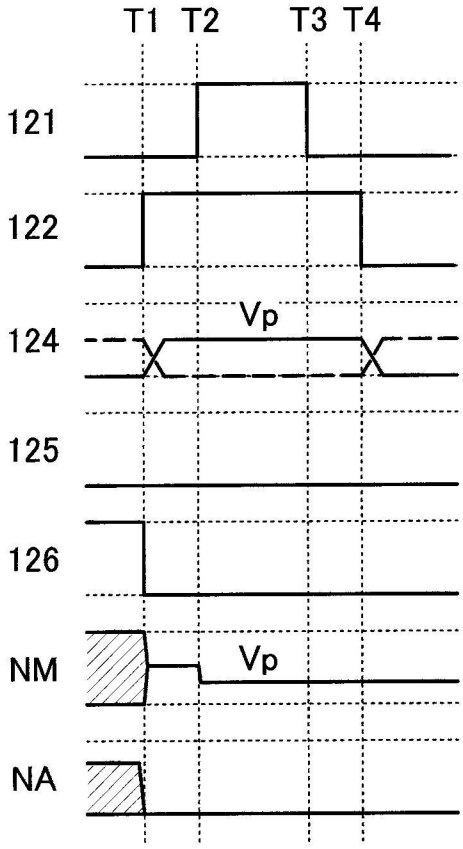

T1
T2
T3
T4
121
122
124
Vp
125
126
NM
Vp
NA

圖 2B

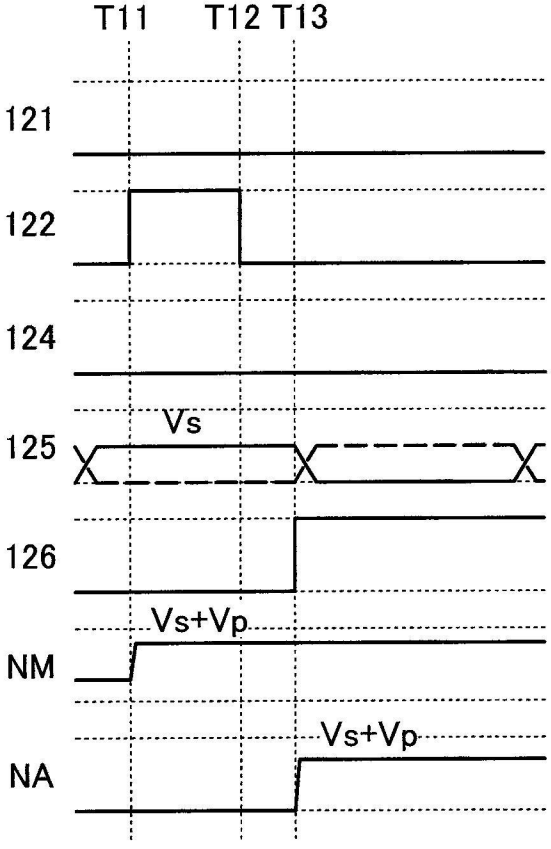

T11
T12
T13
121
122
124
125
Vs
126
Vs+Vp
NM
Vs+Vp
NA

圖 3A

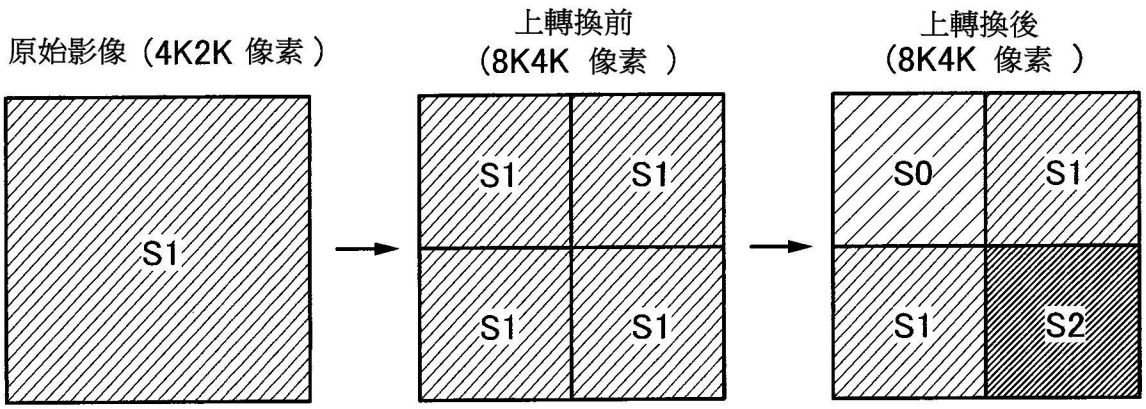

原始影像（4K2K 像素）
上轉換前
（8K4K 像素）
上轉換後
（8K4K 像素）
S1
S1
S1
S1
S1
S0
S1
S1
S2

圖 3B

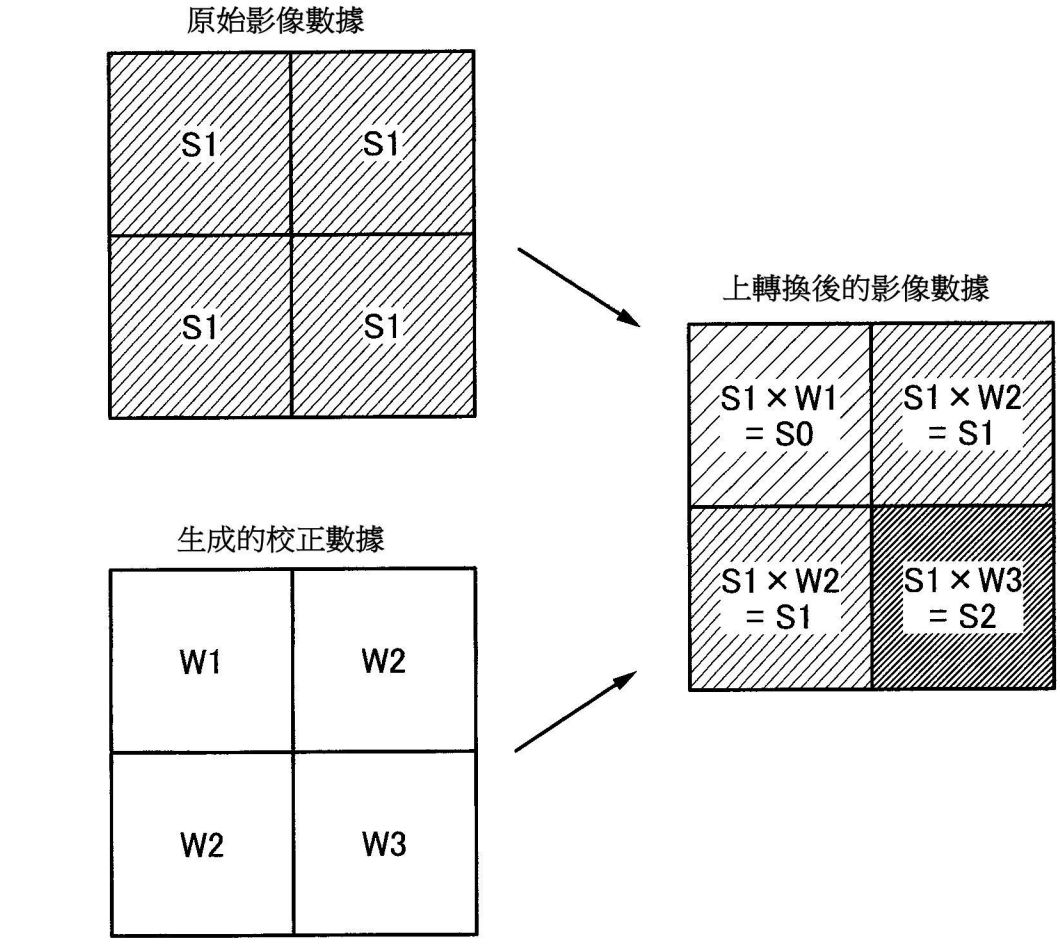

原始影像數據
S1
S1
S1
S1
上轉換後的影像數據
S1 × W1
= S0
S1 × W2
= S1
S1 × W2
= S1
S1 × W3
= S2
生成的校正數據
W1
W2
W2
W3

圖 4A

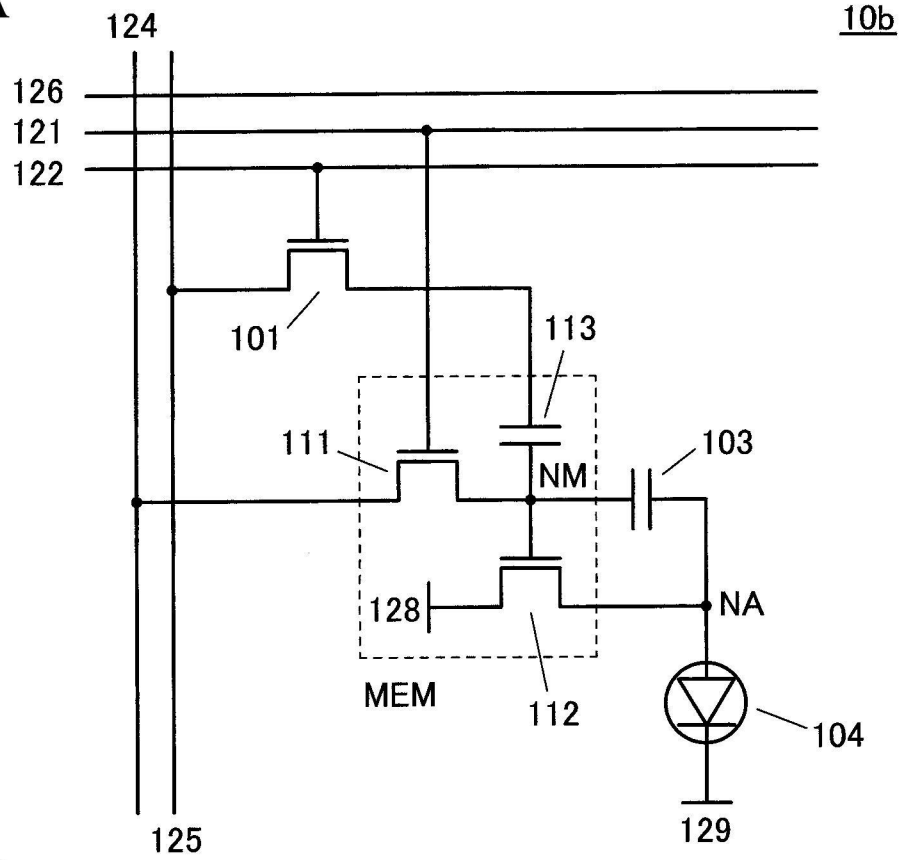

10b
124
126
121
122
101
113
111
NM
103
128
NA
MEM
112
104
129
125

圖 4B

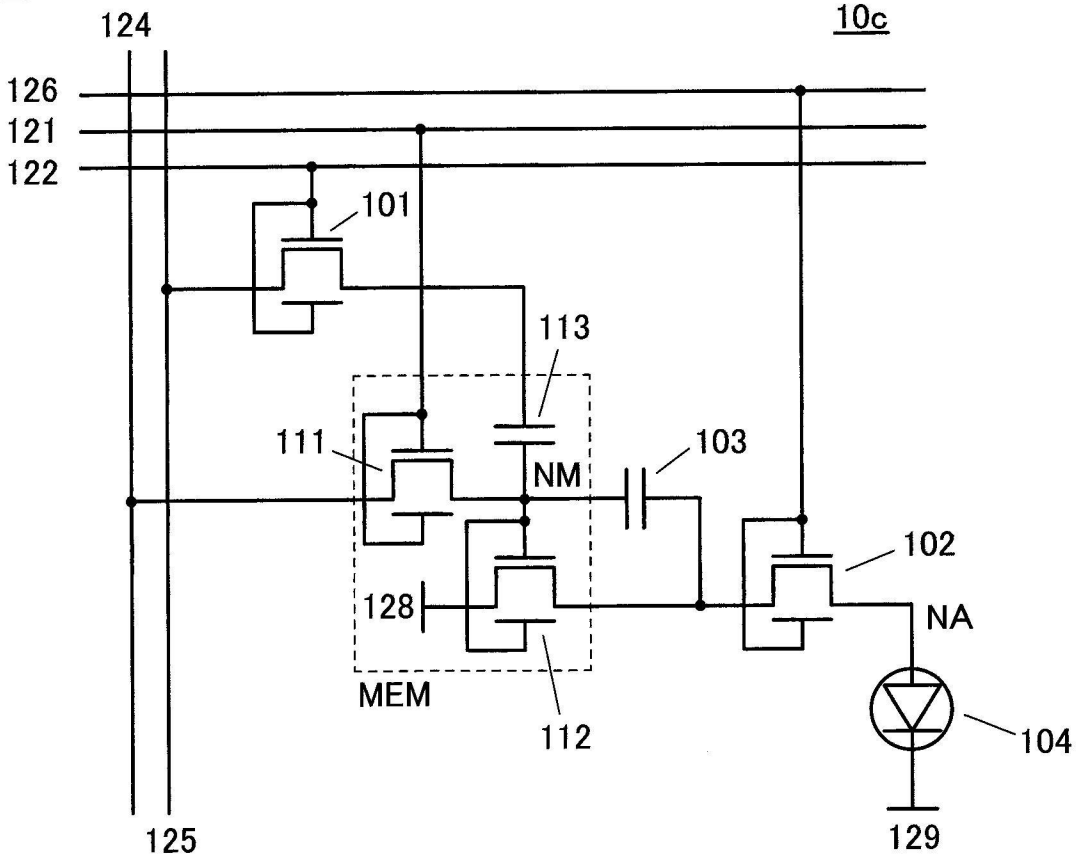

10c
124
126
121
122
101
113
111
NM
103
102
128
NA
MEM
112
104
129
125

圖 5

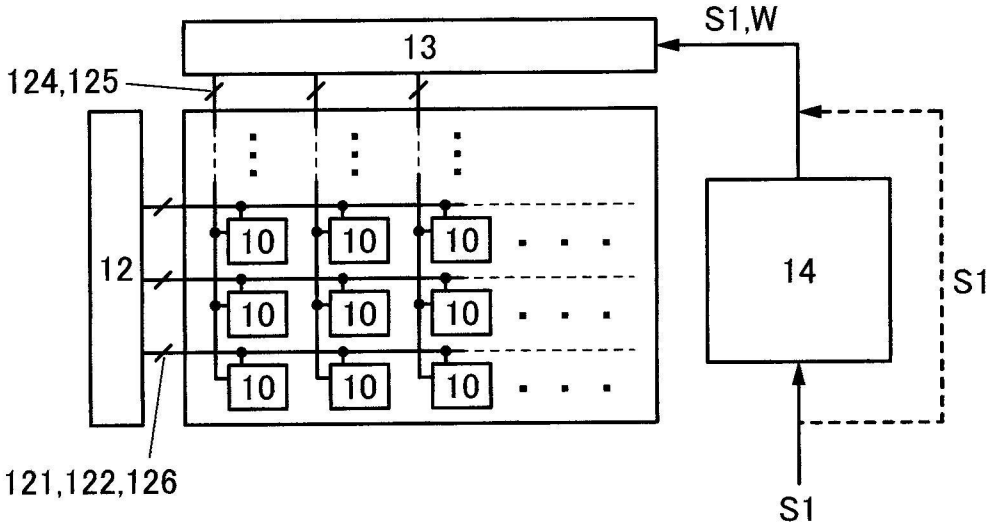


圖 6

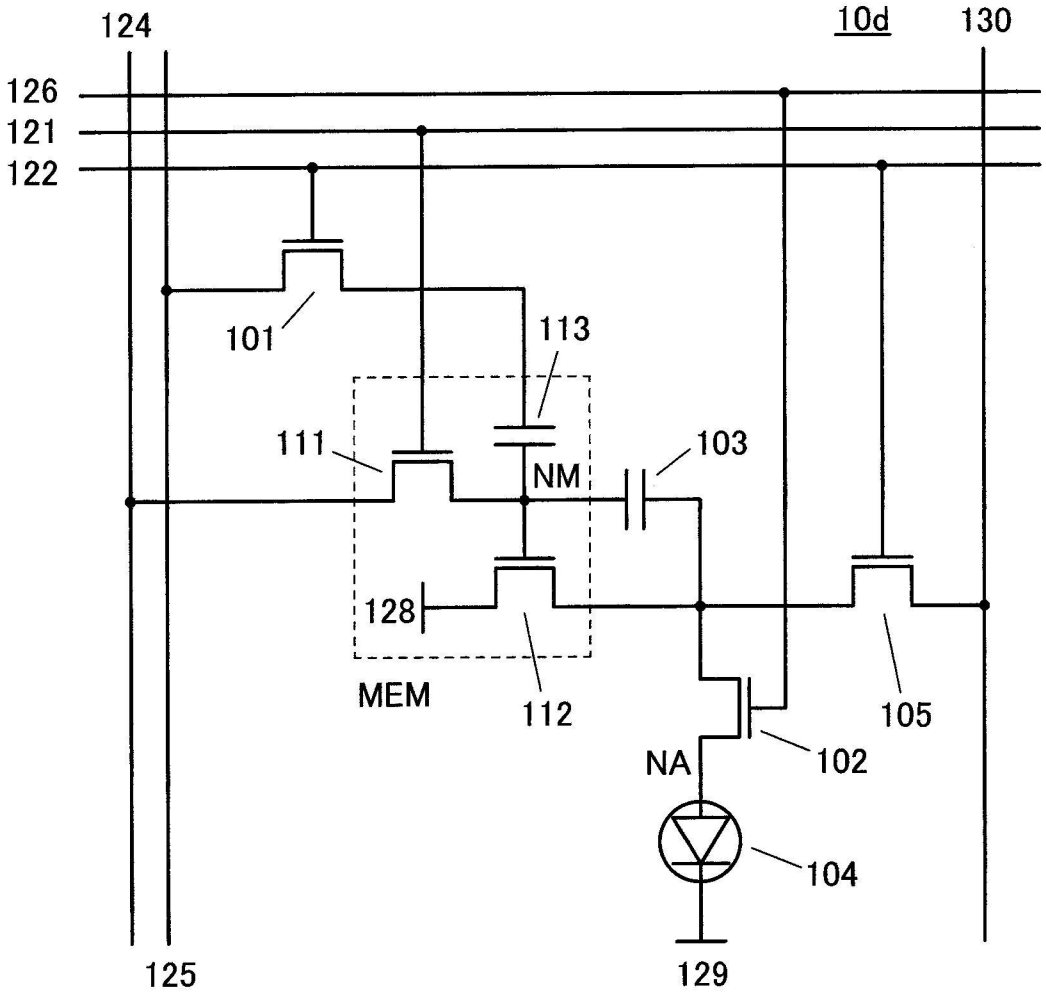

124
10d
130
126
121
122
101
113
111
103
NM
128
MEM
112
105
NA
102
104
125
129

圖 7A

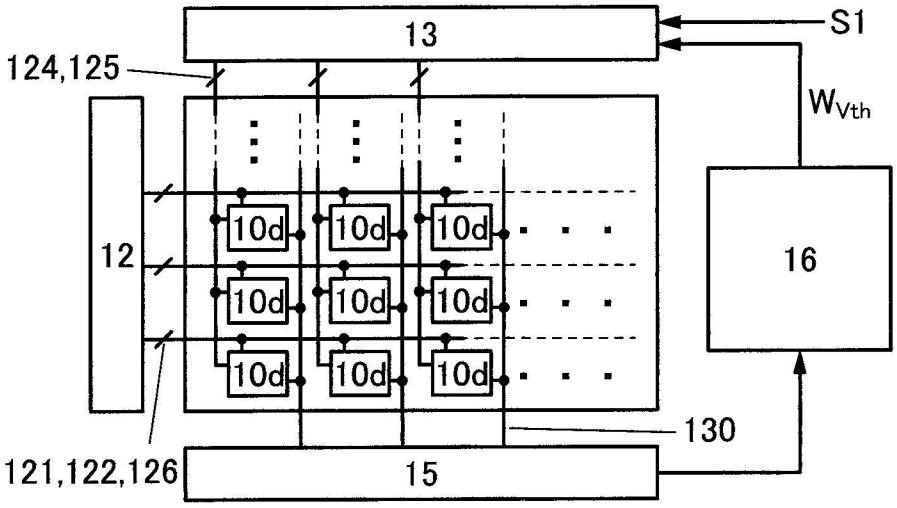
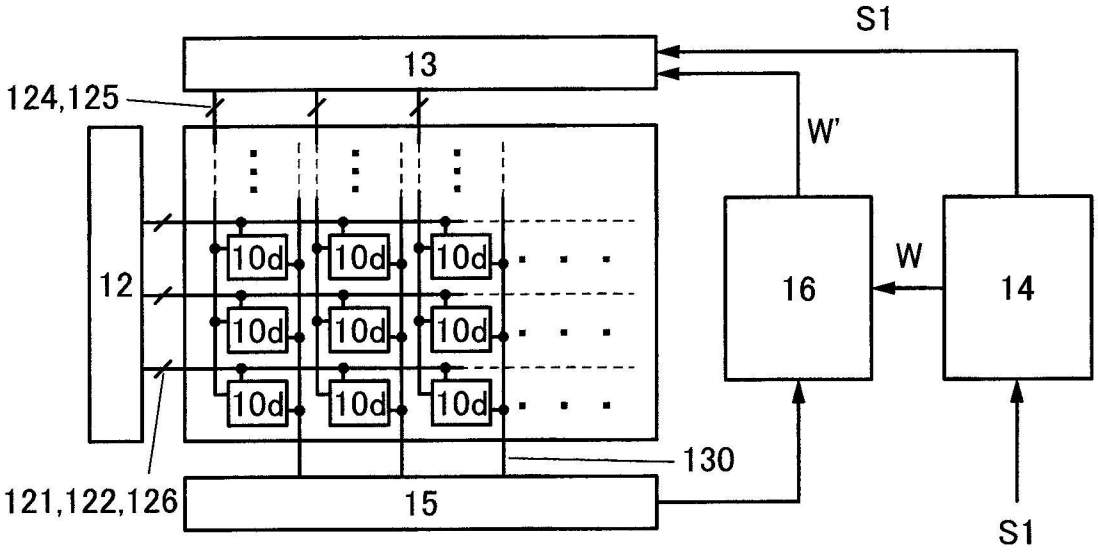

13
S1
124,125
W_{Vth}
12
10d
16
130
121,122,126
15

圖 7B


S1
13
124,125
W'
12
10d
16
W
14
130
121,122,126
15
S1

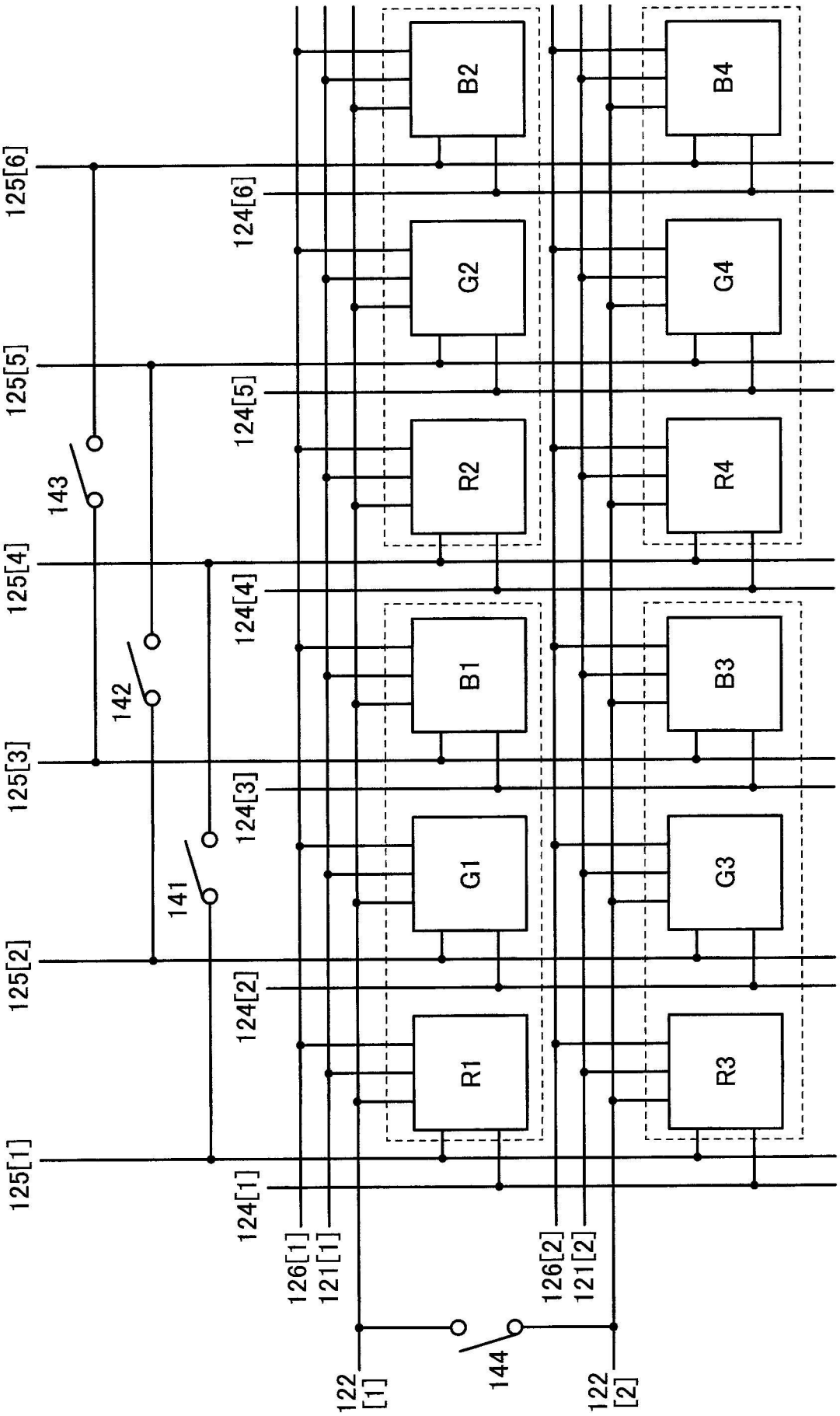

125[6]
125[5]
125[4]
125[3]
125[2]
125[1]
124[6]
124[5]
124[4]
124[3]
124[2]
124[1]
126[1]
121[1]
126[2]
121[2]
122 [1]
122 [2]
143
142
141
144
B2
G2
R2
B1
G1
R1
B4
G4
R4
B3
G3
R3

圖 8

圖 9A

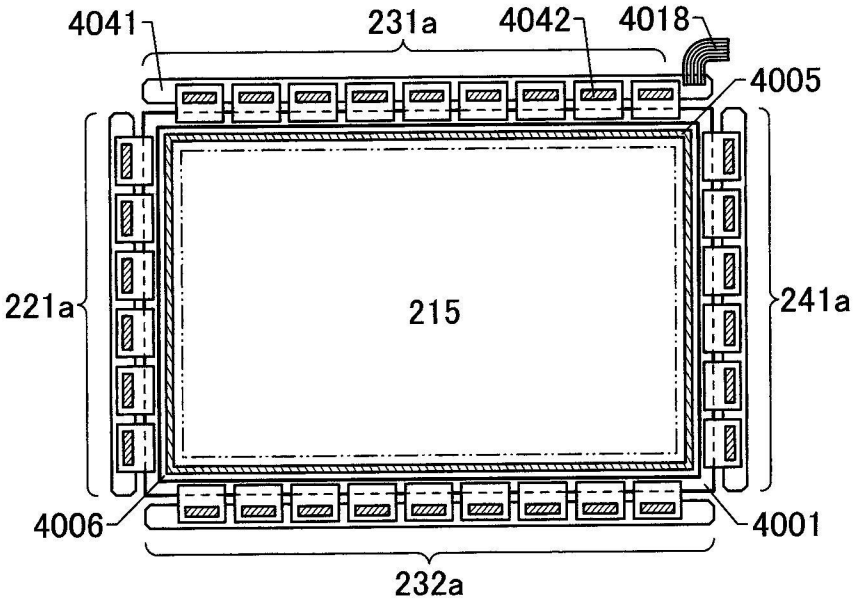

4041
231a
4042
4018
4005
221a
215
241a
4006
4001
232a

圖 9B

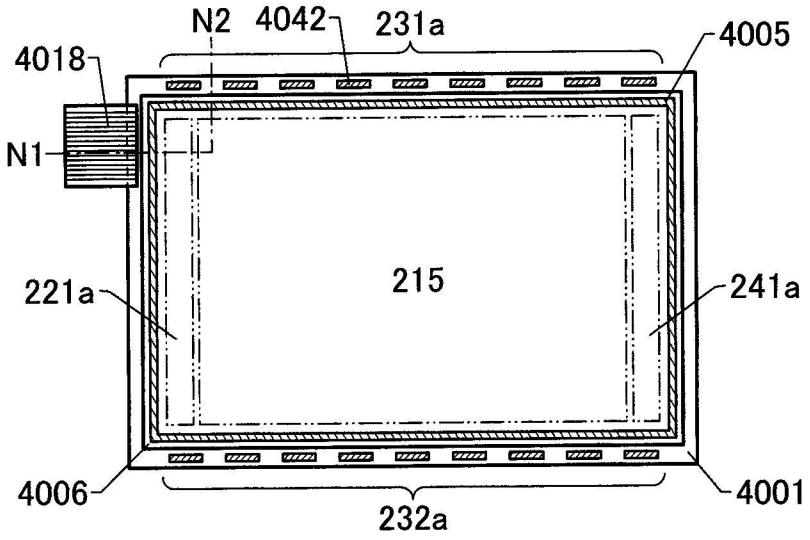

N2
4042
231a
4005
4018
N1
221a
215
241a
4006
4001
232a

圖 9C

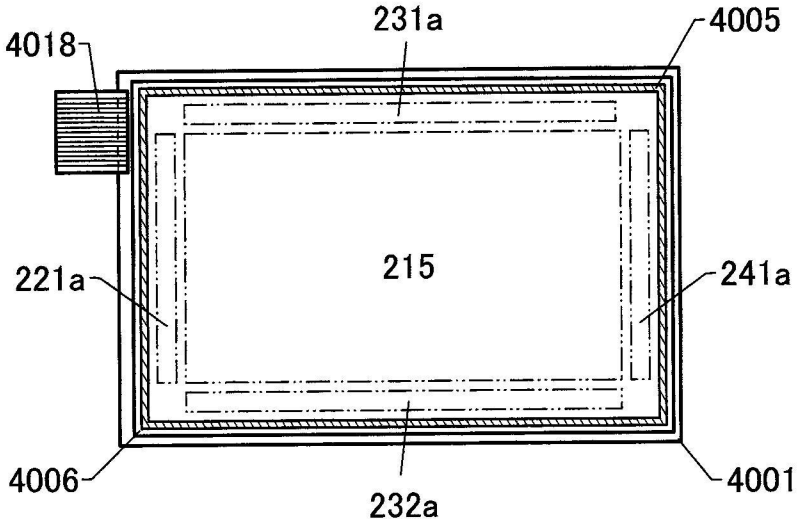

231a
4005
4018
221a
215
241a
4006
4001
232a

圖 10A

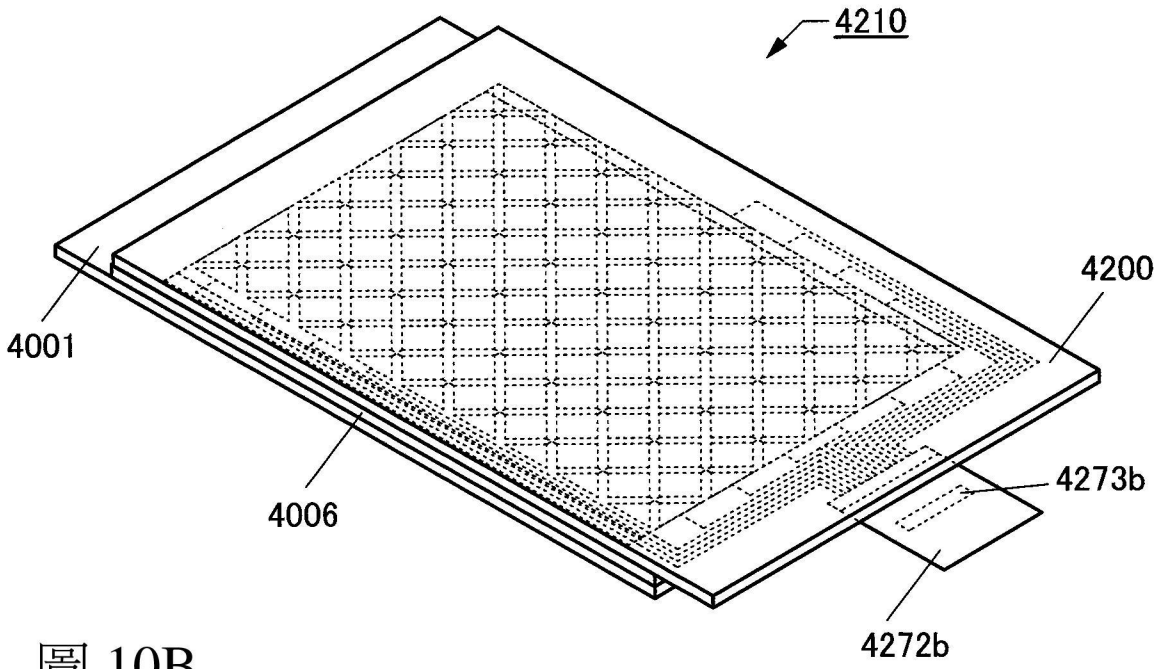
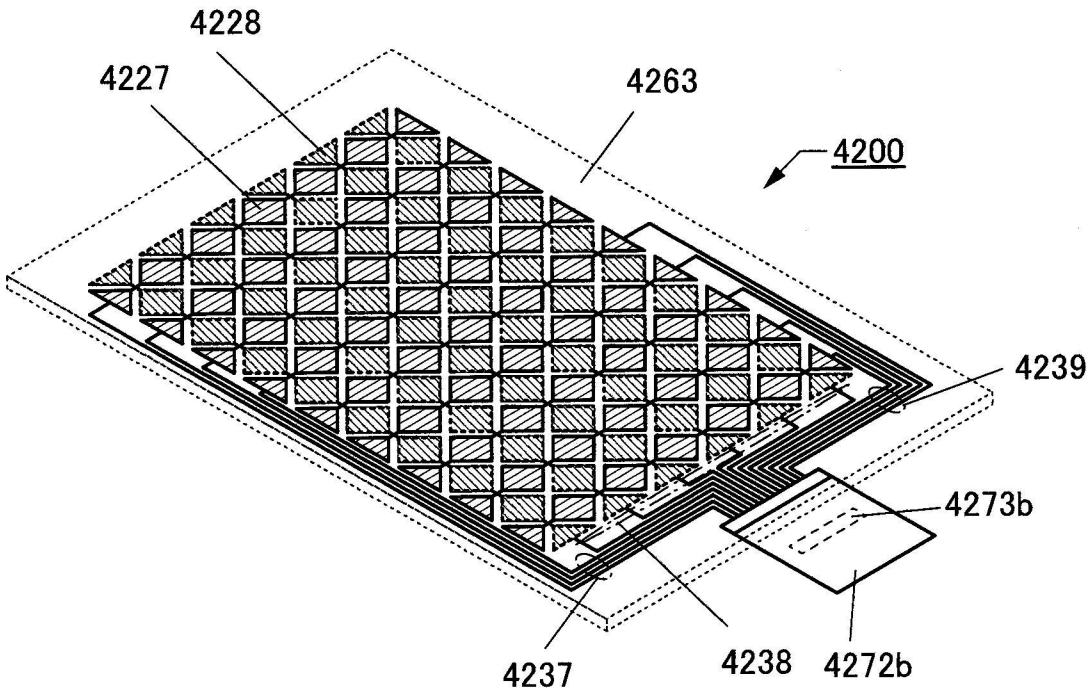

4210
4200
4001
4273b
4006
4272b

圖 10B


4228
4227
4263
4200
4239
4273b
4237
4238
4272b

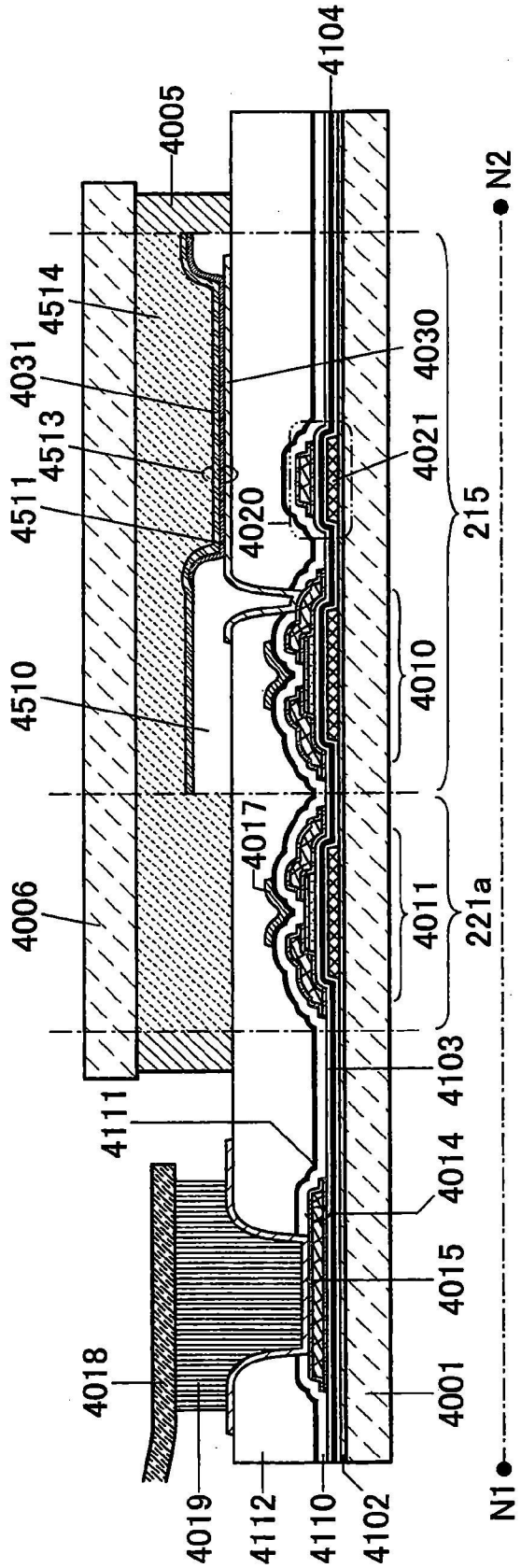

4104
4005
N2
4514
4031
4030
4513
4021
4511
4020
215
4510
4010
4017
4006
4011
221a
4103
4111
4014
4015
4018
4001
N1
4019
4112
4110
4102

圖 11

圖 12A1

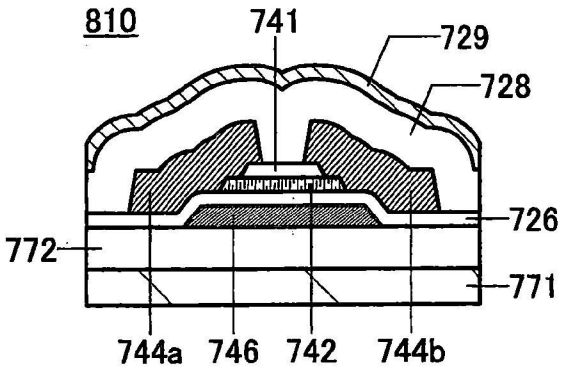


圖 12A2

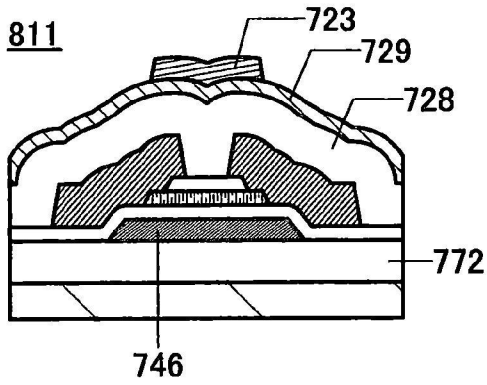


圖 12B1

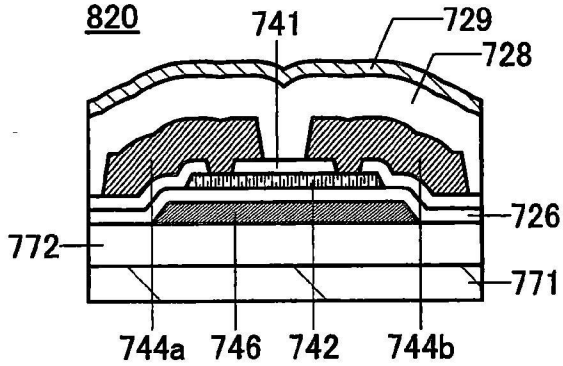


圖 12B2

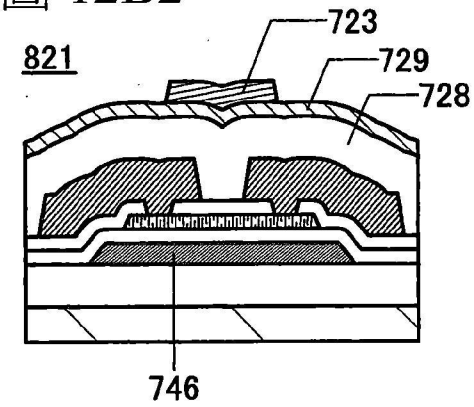


圖 12C1

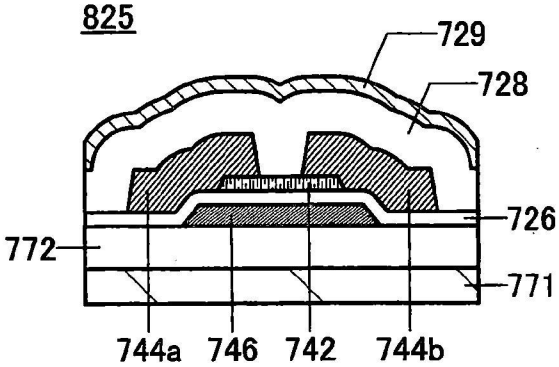


圖 12C2

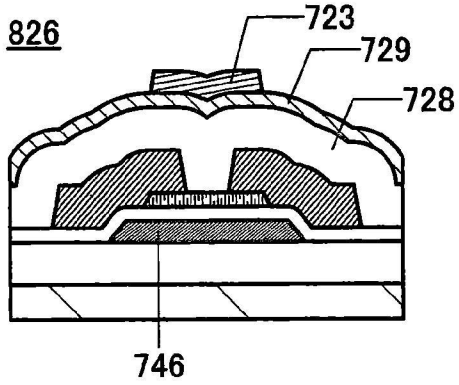


圖 13A1

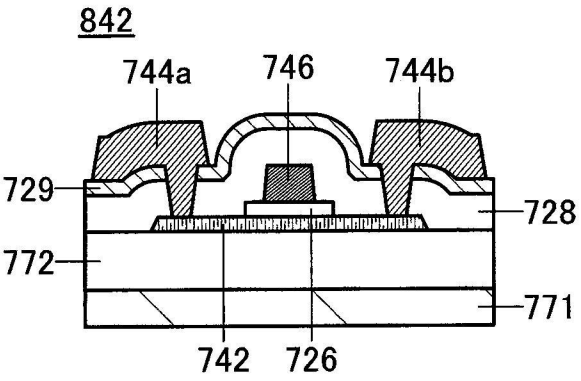


圖 13A2

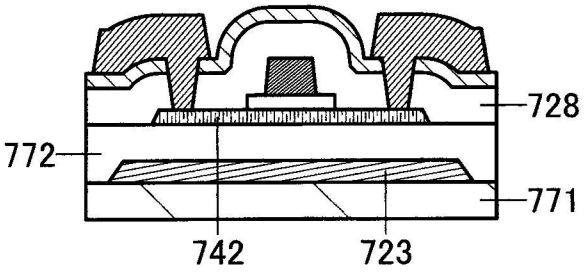


圖 13A3

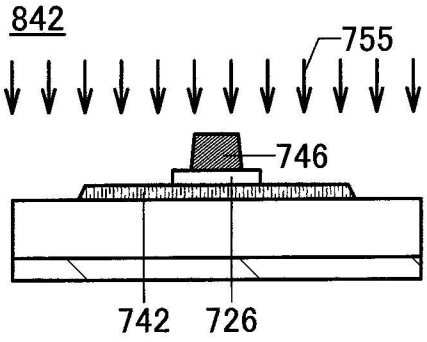


圖 13B1

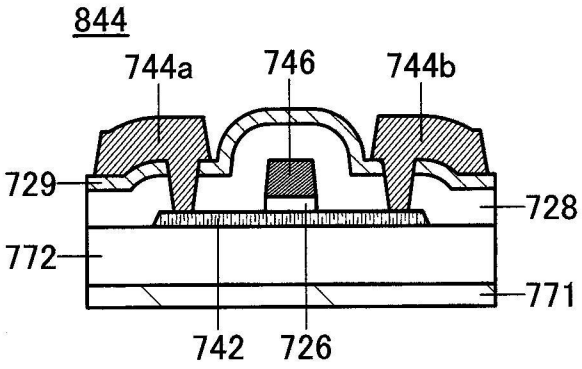


圖 13B2

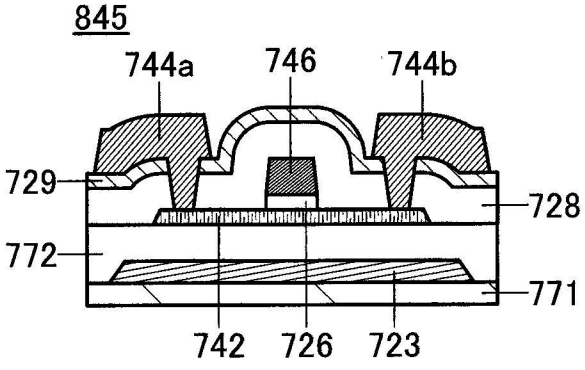


圖 13C1

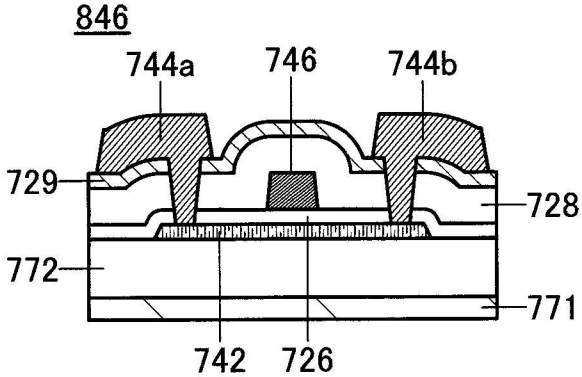


圖 13C2

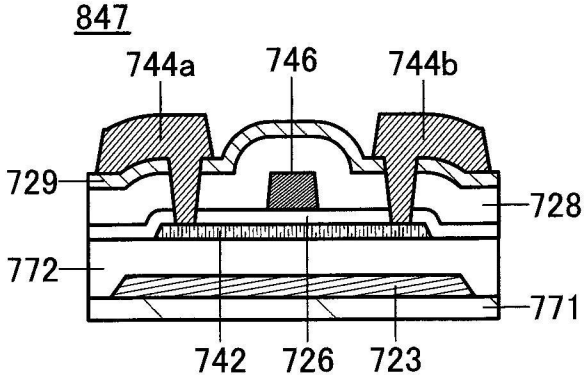


圖 14

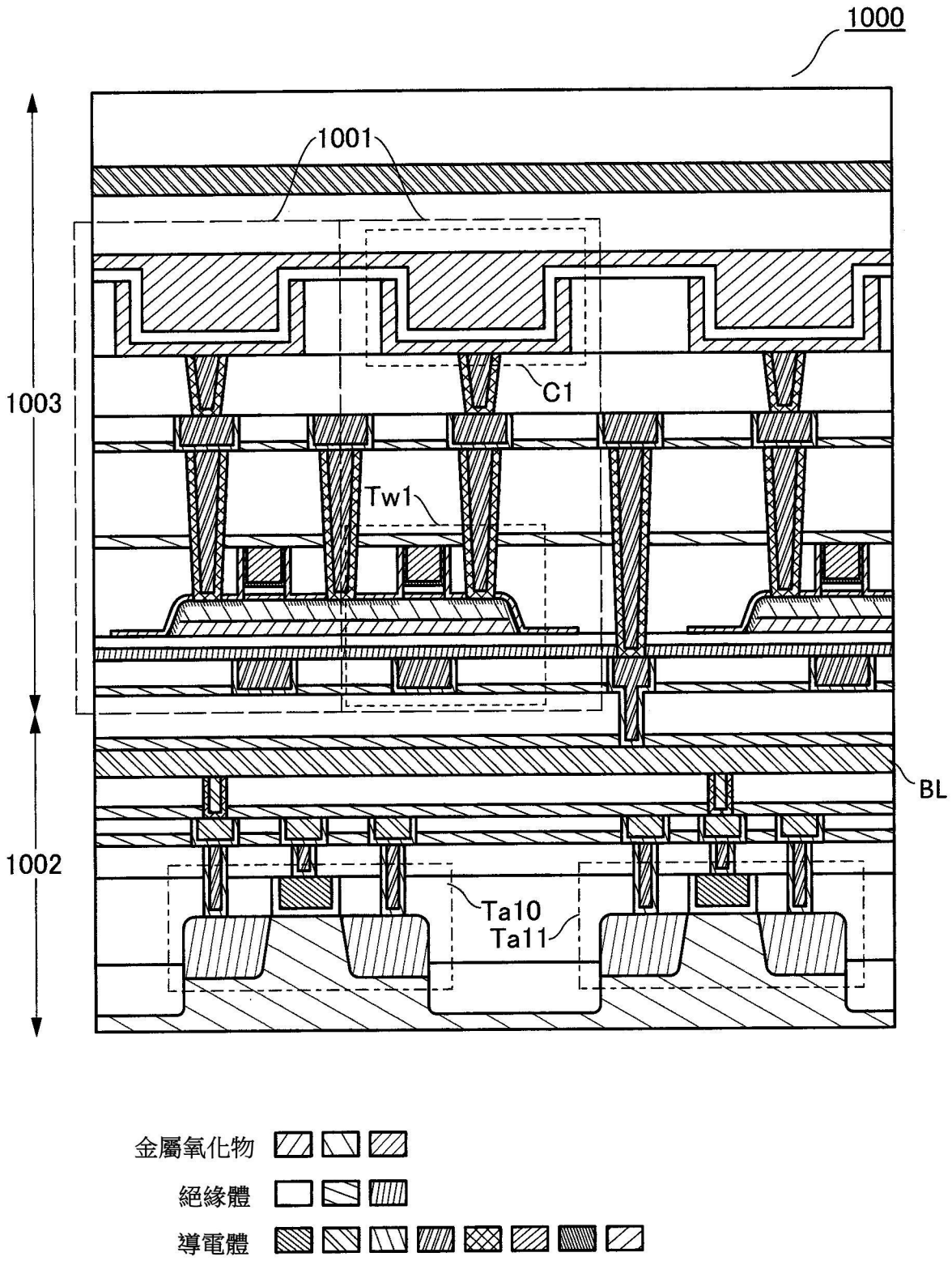


圖 15A

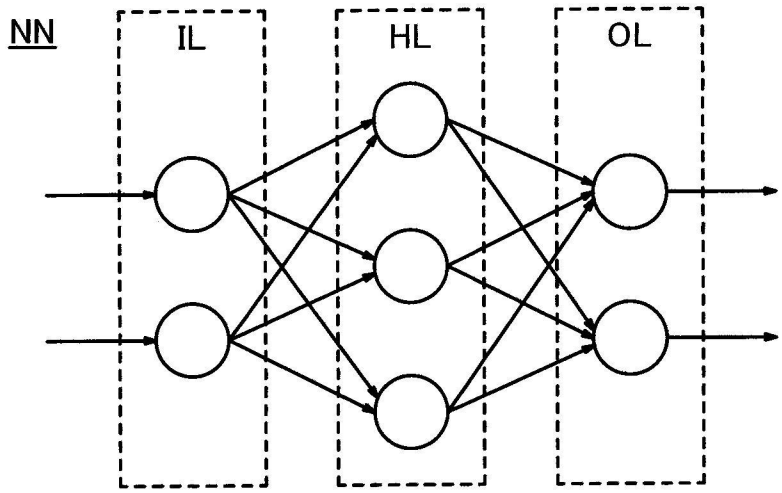


圖 15B

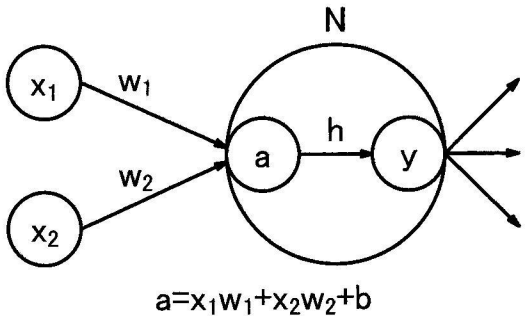


圖 16

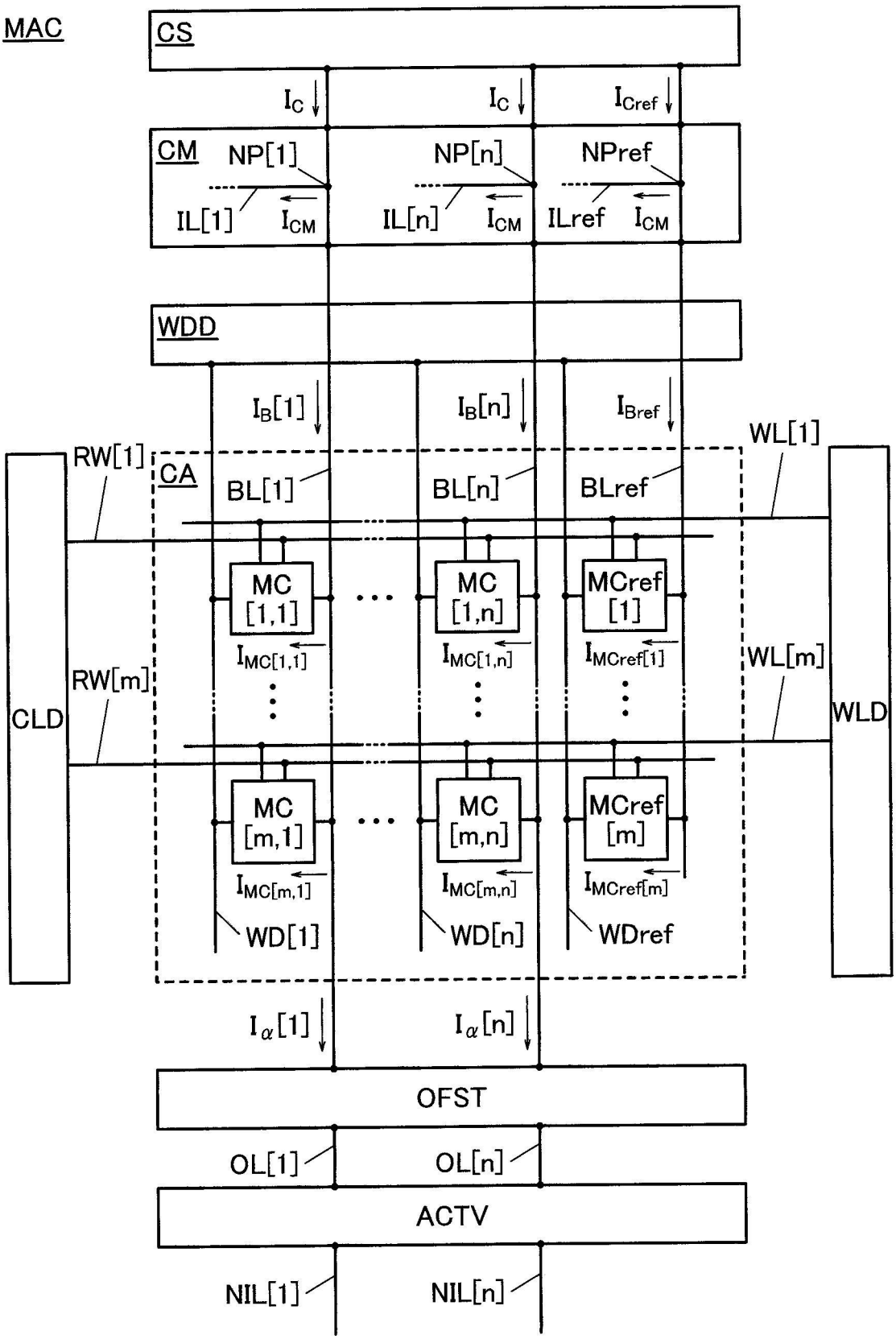

MAC
CS
I_C
I_C
I_{Cref}
CM
NP[1]
NP[n]
NPref
IL[1]
I_{CM}
IL[n]
I_{CM}
ILref
I_{CM}
WDD
I_B[1]
I_B[n]
I_{Bref}
WL[1]
RW[1]
CA
BL[1]
BL[n]
BLref
MC [1,1]
MC [1,n]
MCref [1]
$I_{MC[1,1]}$
$I_{MC[1,n]}$
$I_{MCref[1]}$
WL[m]
RW[m]
CLD
WLD
MC [m,1]
MC [m,n]
MCref [m]
$I_{MC[m,1]}$
$I_{MC[m,n]}$
$I_{MCref[m]}$
WD[1]
WD[n]
WDref
I_α[1]
I_α[n]
OFST
OL[1]
OL[n]
ACTV
NIL[1]
NIL[n]

圖 17

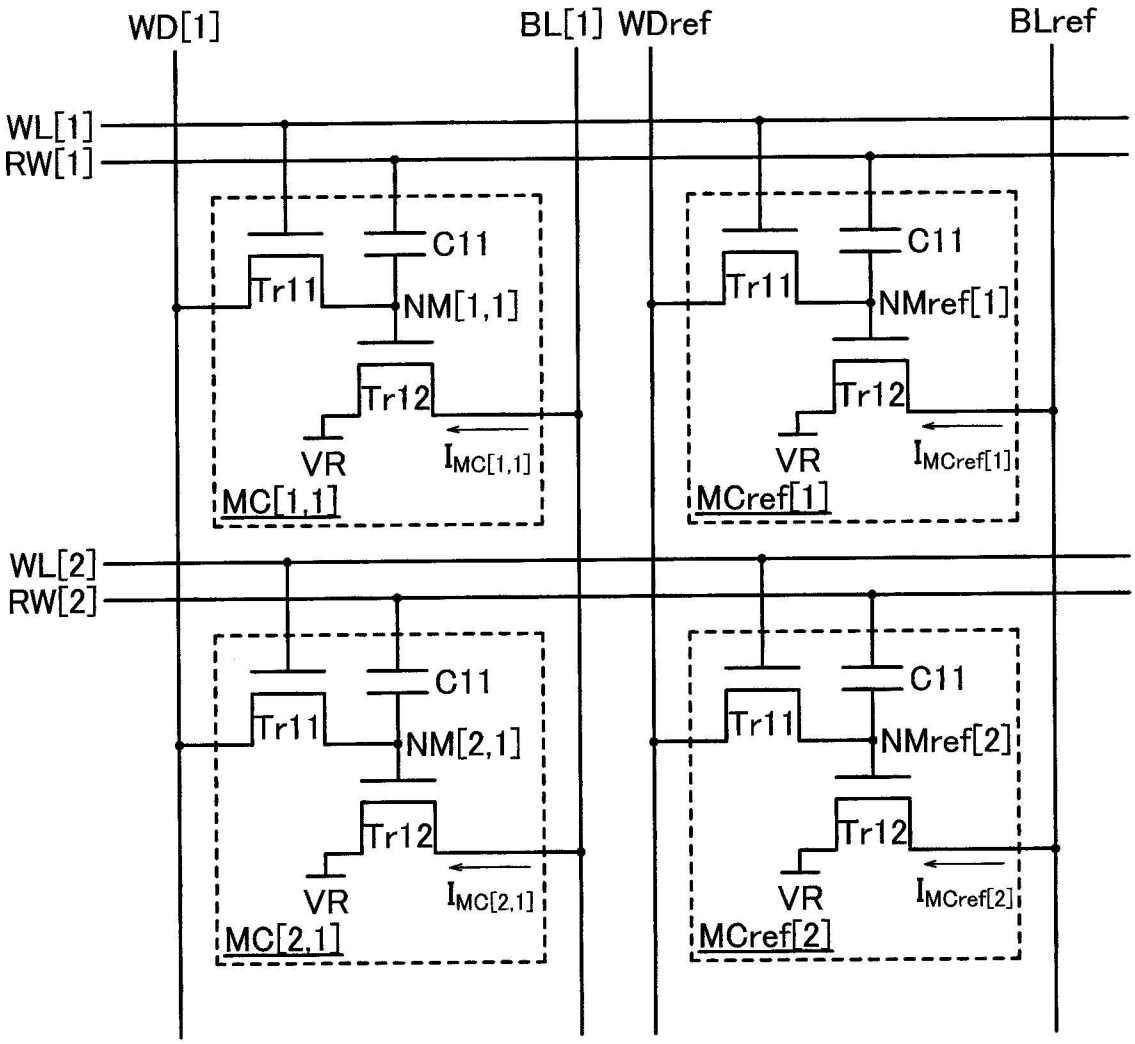

WD[1]
BL[1]
WDref
BLref
WL[1]
RW[1]
C11
Tr11
NM[1,1]
Tr12
VR
$I_{MC[1,1]}$
MC[1,1]
NMref[1]
$I_{MCref[1]}$
MCref[1]
WL[2]
RW[2]
NM[2,1]
$I_{MC[2,1]}$
MC[2,1]
NMref[2]
$I_{MCref[2]}$
MCref[2]

圖 18

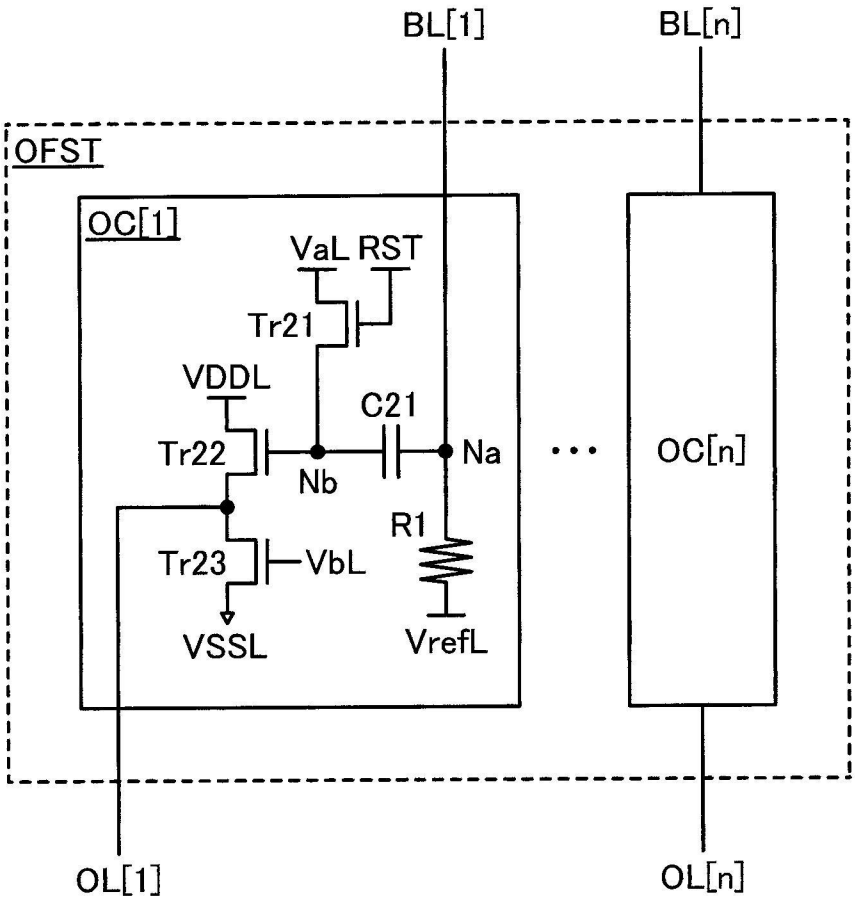

BL[1]
BL[n]
OFST
OC[1]
VaL
RST
Tr21
VDDL
C21
Tr22
Nb
Na
OC[n]
R1
Tr23
VbL
VSSL
VrefL
OL[1]
OL[n]

圖 19

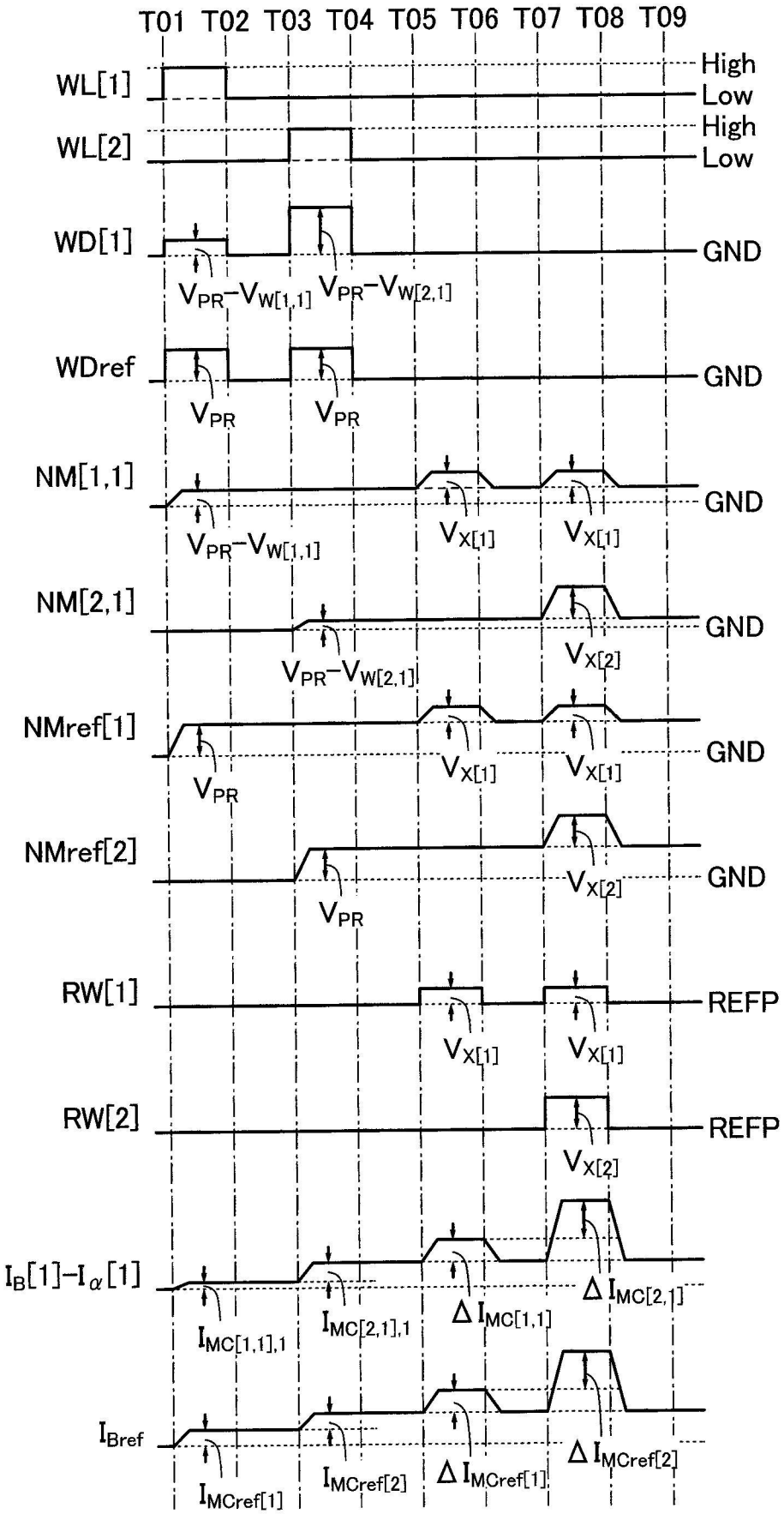

T01 T02 T03 T04 T05 T06 T07 T08 T09
WL[1]
High
Low
WL[2]
High
Low
WD[1]
GND
$V_{PR}-V_{W[1,1]}$
$V_{PR}-V_{W[2,1]}$
WDref
GND
V_{PR}
V_{PR}
NM[1,1]
GND
$V_{PR}-V_{W[1,1]}$
$V_{X[1]}$
$V_{X[1]}$
NM[2,1]
GND
$V_{PR}-V_{W[2,1]}$
$V_{X[2]}$
NMref[1]
GND
V_{PR}
$V_{X[1]}$
$V_{X[1]}$
NMref[2]
GND
V_{PR}
$V_{X[2]}$
RW[1]
REFP
$V_{X[1]}$
$V_{X[1]}$
RW[2]
REFP
$V_{X[2]}$
$I_B[1]-I_\alpha[1]$
$I_{MC[1,1],1}$
$I_{MC[2,1],1}$
$\Delta I_{MC[1,1]}$
$\Delta I_{MC[2,1]}$
I_{Bref}
$I_{MCref[1]}$
$I_{MCref[2]}$
$\Delta I_{MCref[1]}$
$\Delta I_{MCref[2]}$

圖 20A

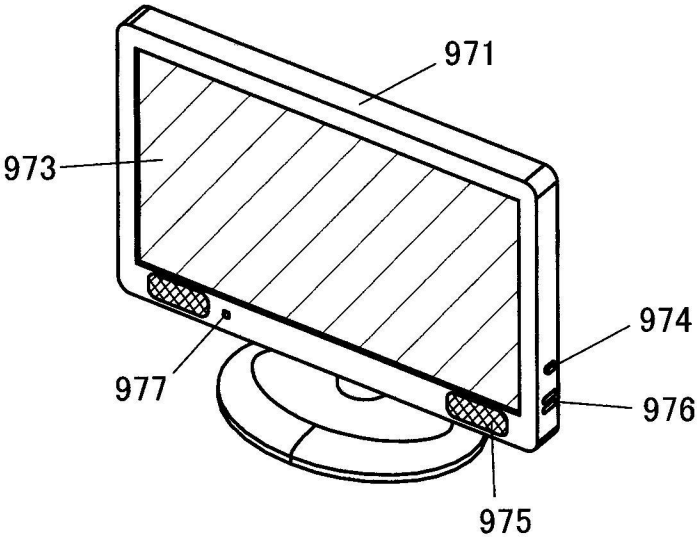


圖 20B

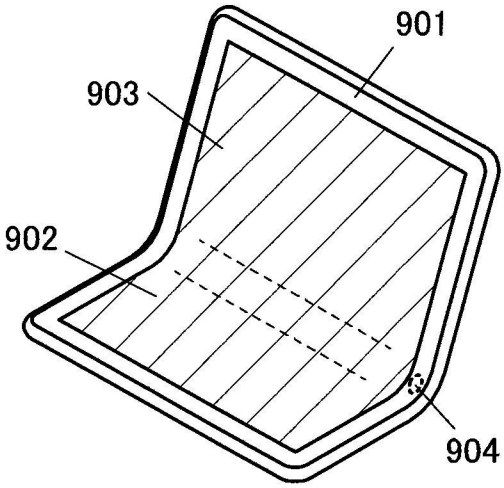


圖 20C

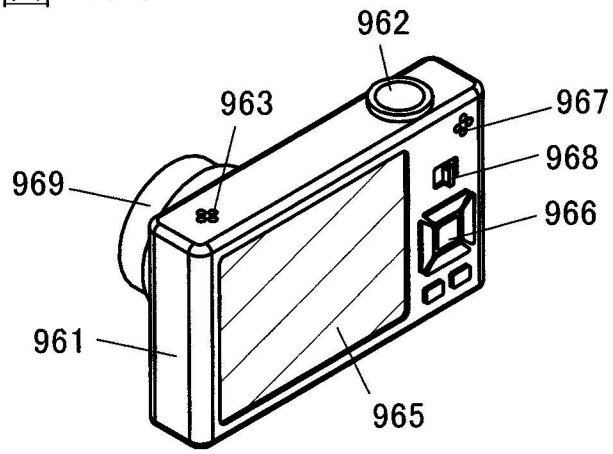


圖 20D

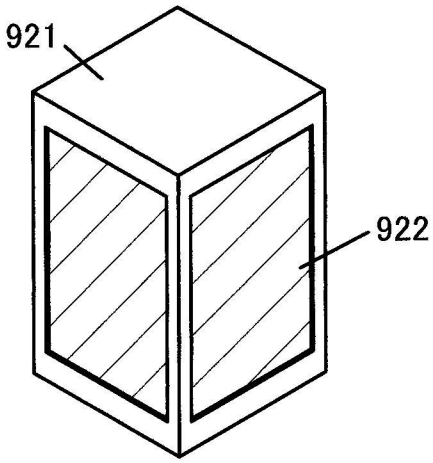


圖 20E

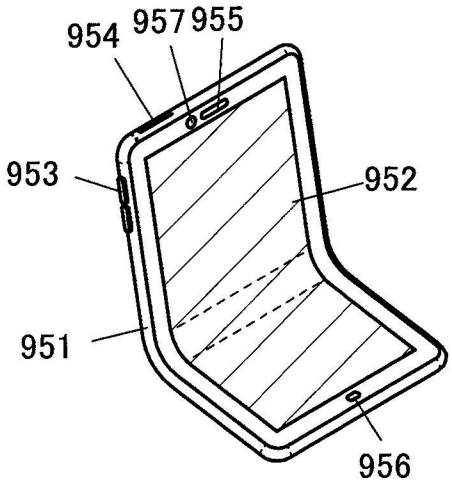


圖 20F

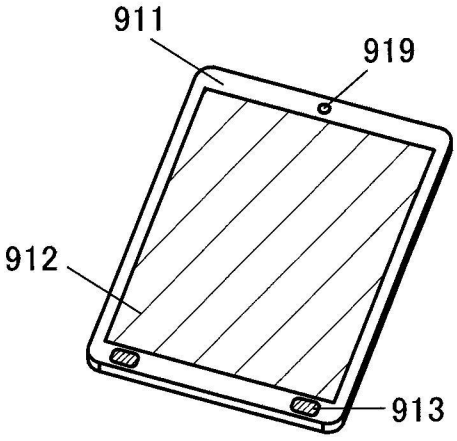


圖 21

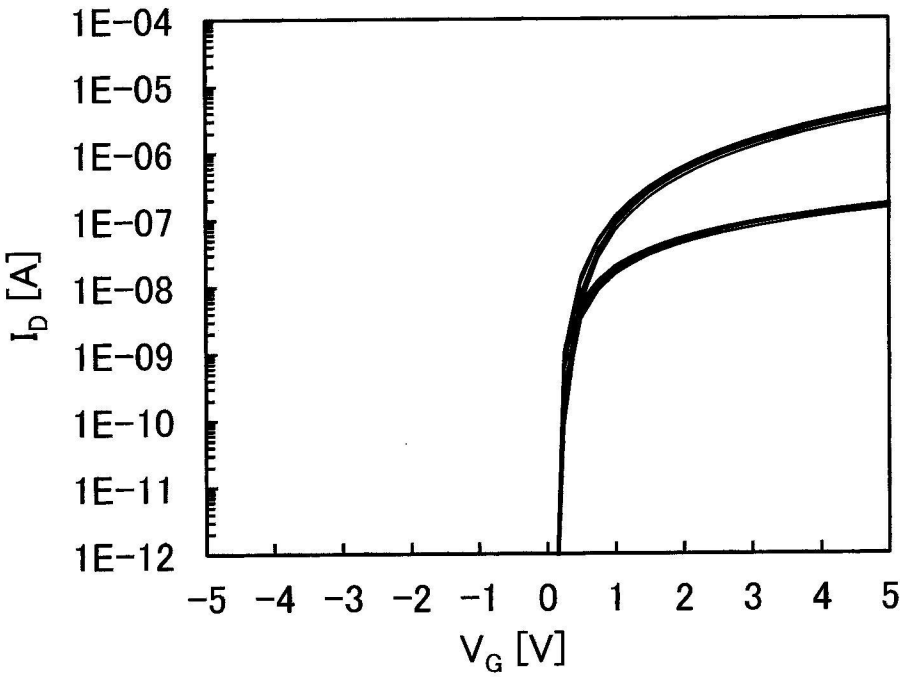

1E-04
1E-05
1E-06
1E-07
1E-08
1E-09
1E-10
1E-11
1E-12
I_D [A]
-5 -4 -3 -2 -1 0 1 2 3 4 5
V_G [V]

圖 22

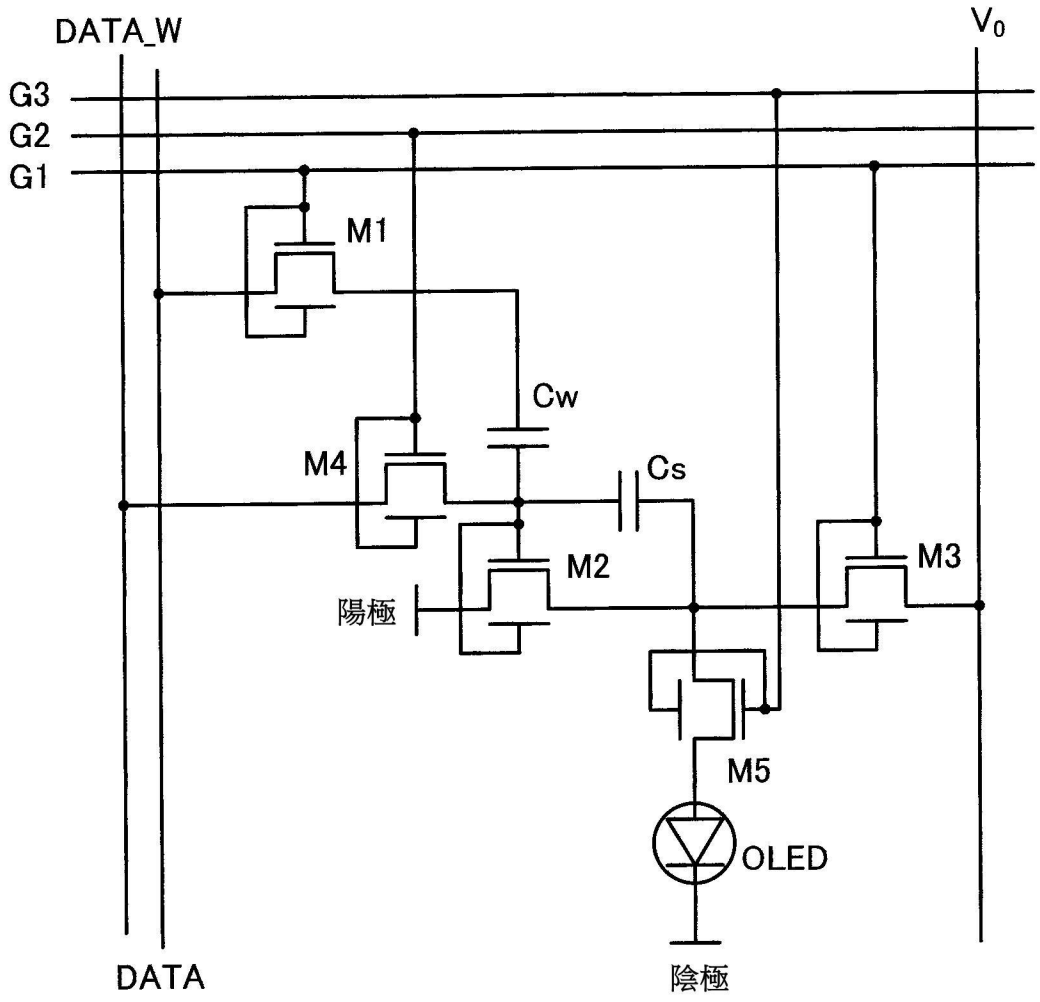


圖 23A

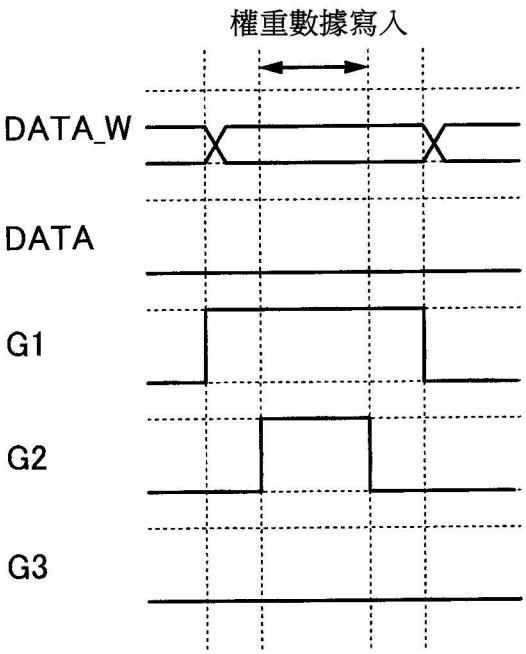


圖 23B

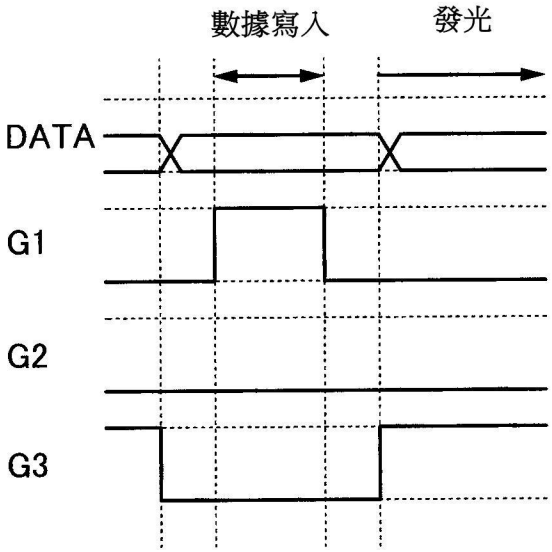


圖 24

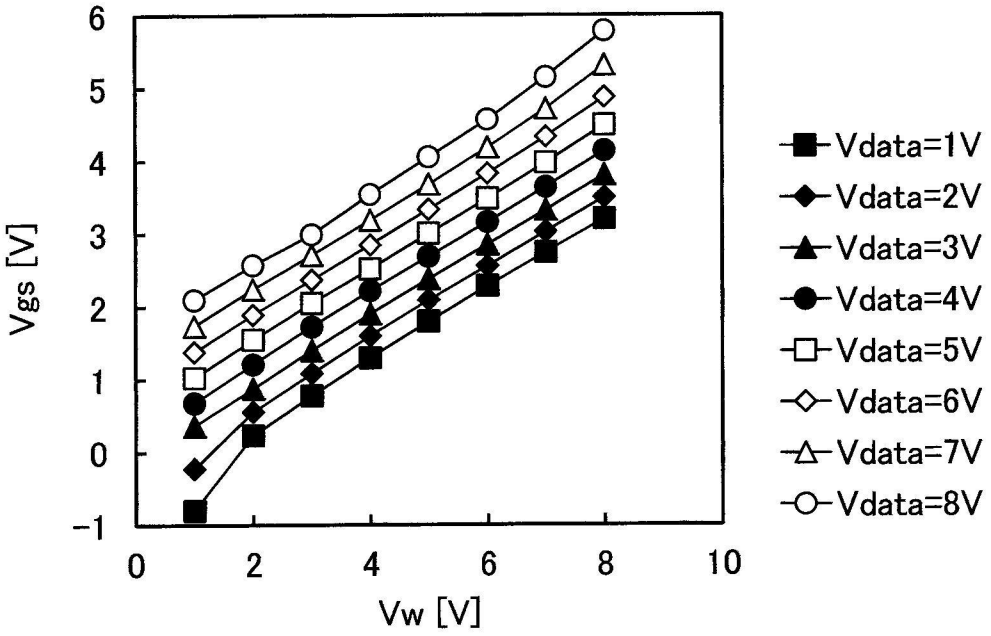

6
5
4
3
2
1
0
-1
Vgs [V]
0
2
4
6
8
10
Vw [V]
Vdata=1V
Vdata=2V
Vdata=3V
Vdata=4V
Vdata=5V
Vdata=6V
Vdata=7V
Vdata=8V

圖 25C

圖 25B

圖 25A

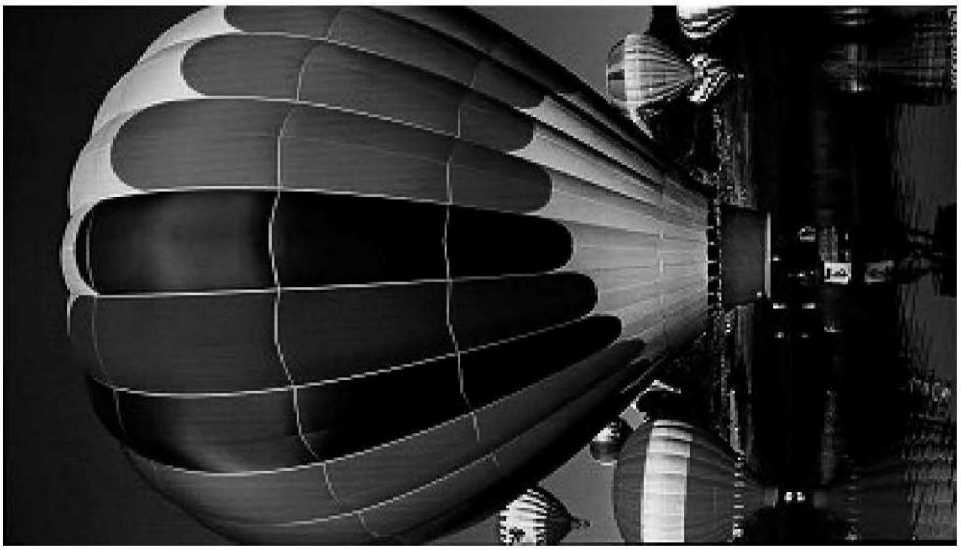


圖 26

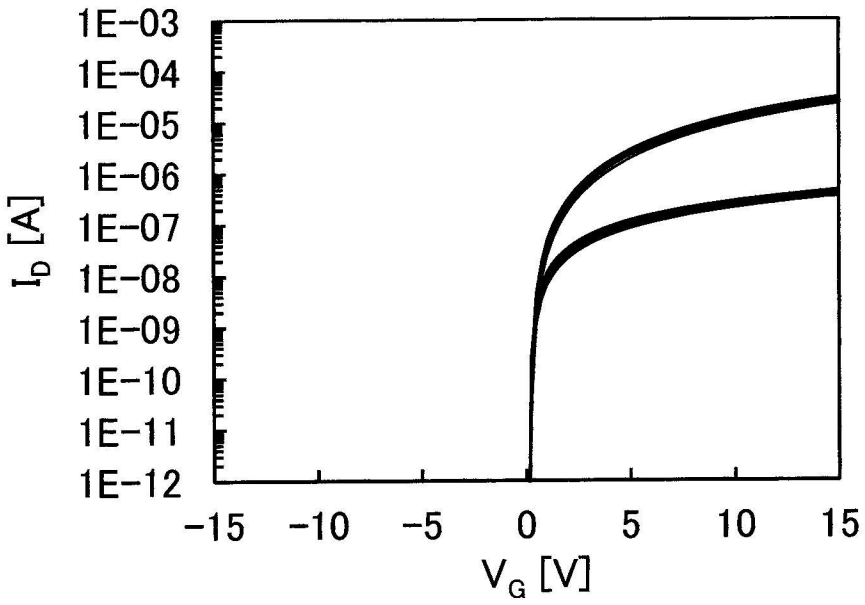

1E-03
1E-04
1E-05
1E-06
1E-07
1E-08
1E-09
1E-10
1E-11
1E-12
I_D [A]
-15
-10
-5
0
5
10
15
V_G [V]

圖 27

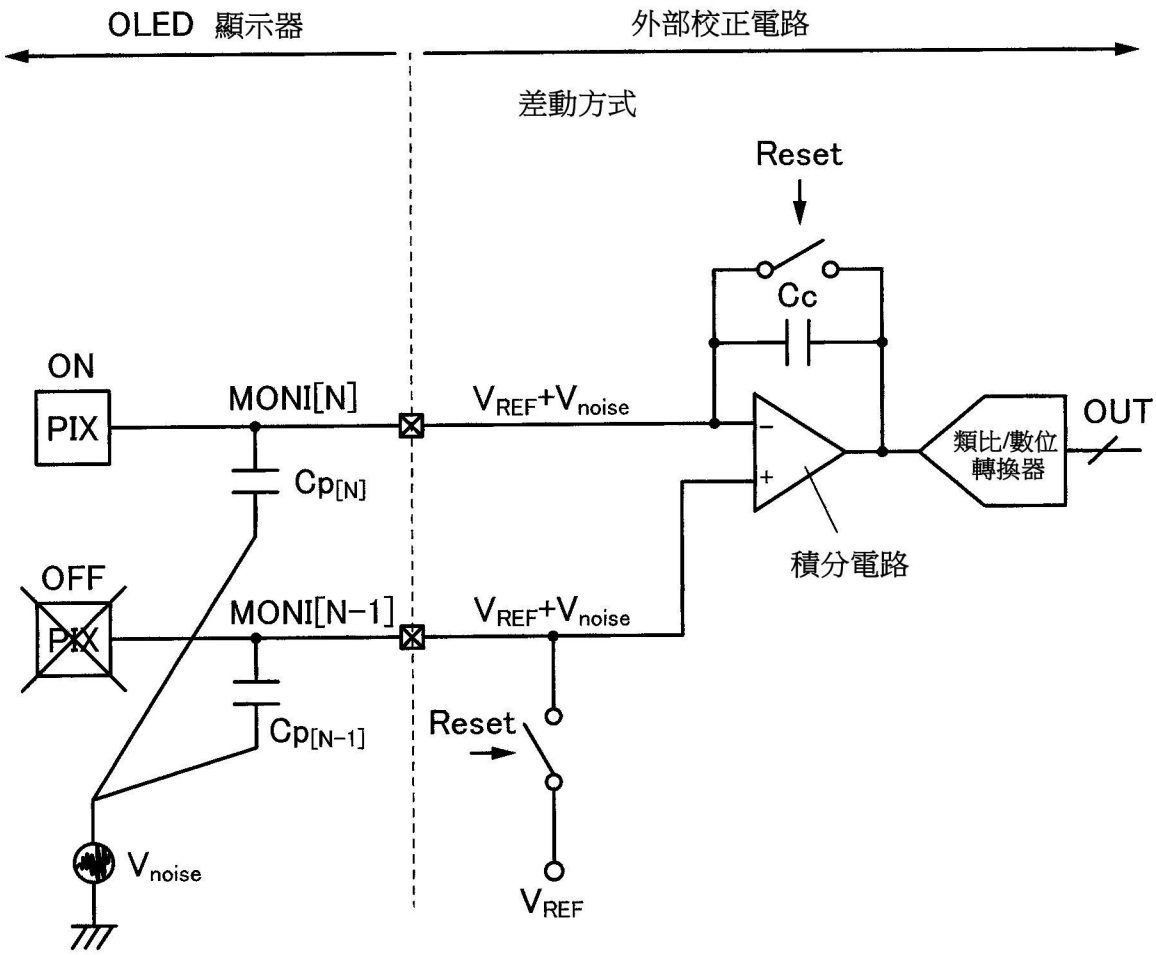

OLED 顯示器
外部校正電路
差動方式
Reset
Cc
ON
PIX
MONI[N]
VREF+Vnoise
OUT
類比/數位
轉換器
CP[N]
積分電路
OFF
PIX
MONI[N-1]
VREF+Vnoise
Reset
CP[N-1]
Vnoise
VREF

圖 28

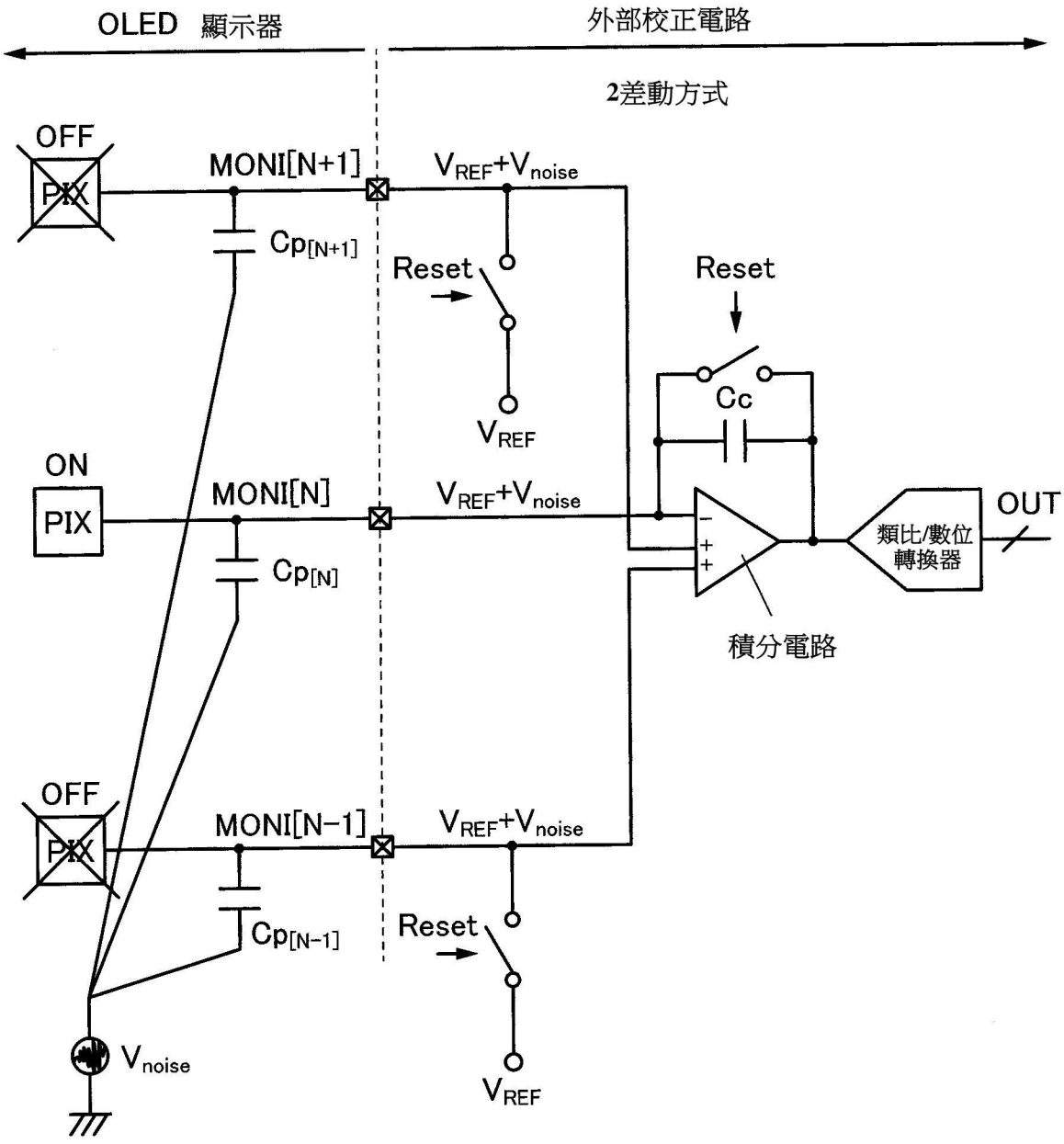

OLED 顯示器
外部校正電路
2差動方式
OFF
PIX
MONI[N+1]
VREF+Vnoise
Cp[N+1]
Reset
VREF
Reset
Cc
ON
PIX
MONI[N]
VREF+Vnoise
Cp[N]
OUT
類比/數位
轉換器
積分電路
OFF
PIX
MONI[N−1]
VREF+Vnoise
Cp[N−1]
Reset
Vnoise
VREF

圖 29

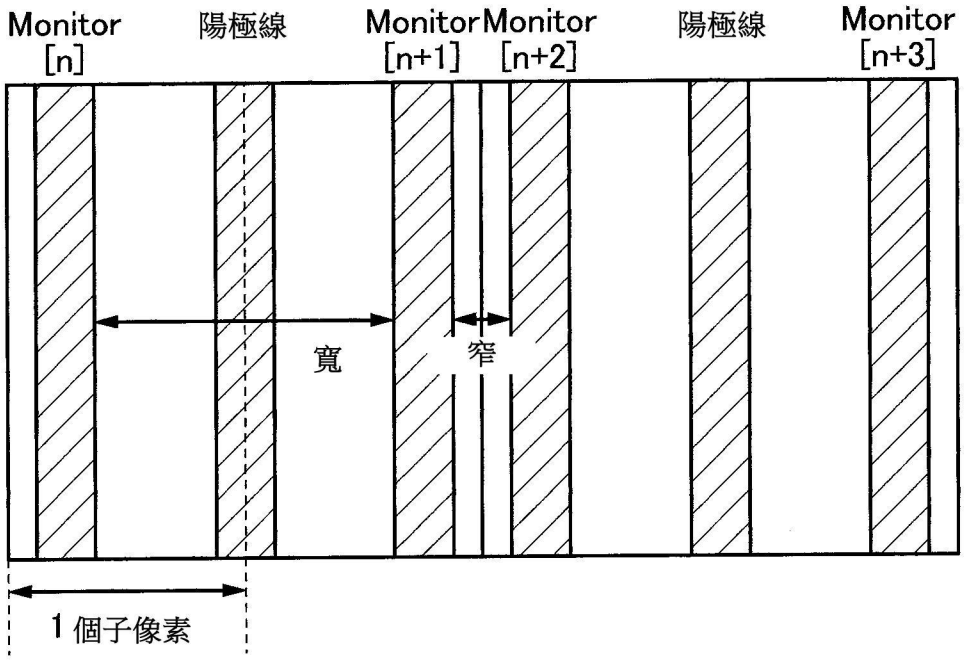


圖 30

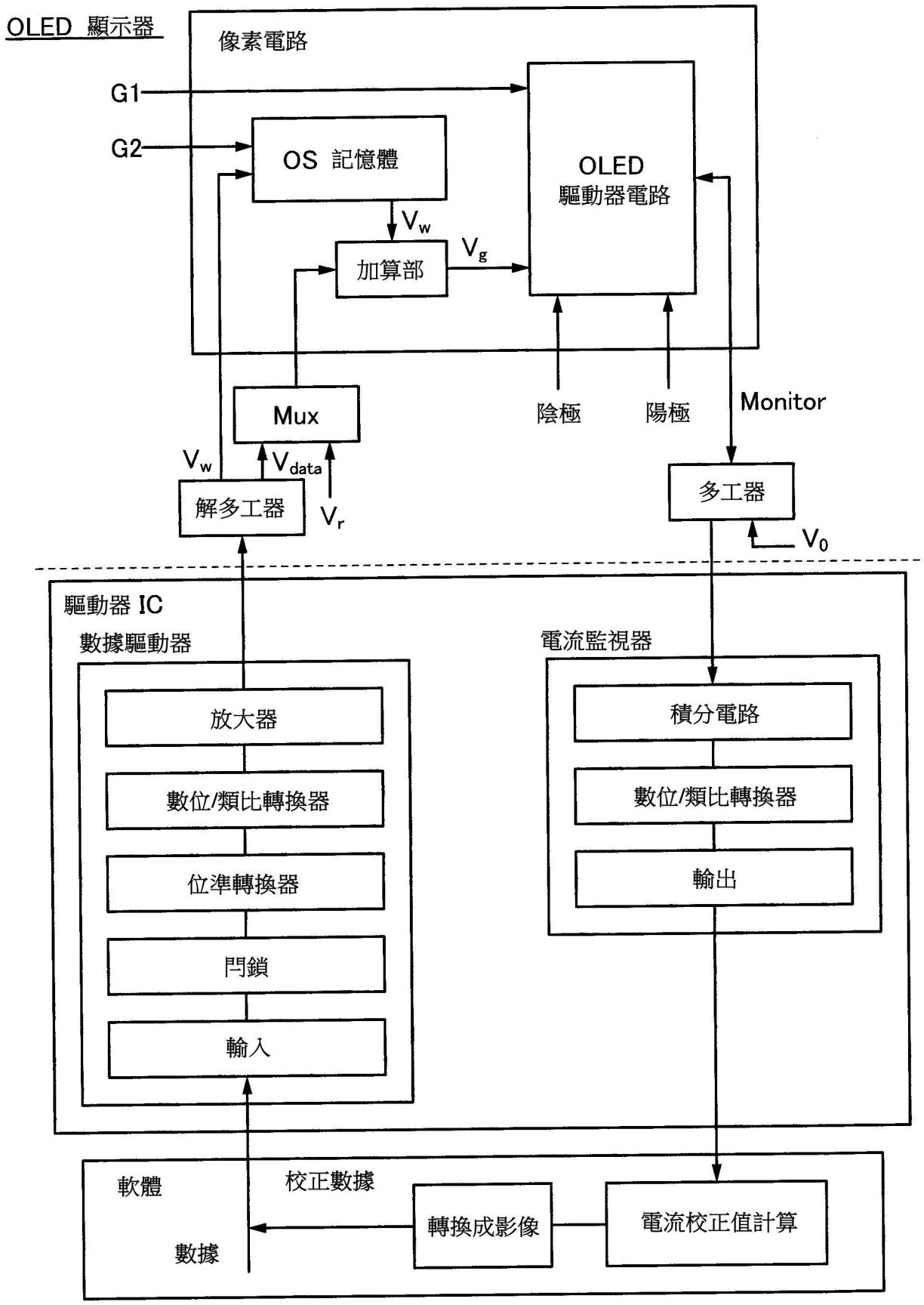

OLED 顯示器
像素電路
G1
G2
OS 記憶體
OLED
驅動器電路
V_w
加算部
V_g
Mux
陰極
陽極
Monitor
V_w
V_{data}
解多工器
V_r
多工器
V_0
驅動器 IC
數據驅動器
放大器
數位/類比轉換器
位準轉換器
閂鎖
輸入
電流監視器
積分電路
數位/類比轉換器
輸出
軟體
校正數據
數據
轉換成影像
電流校正值計算

圖 31A

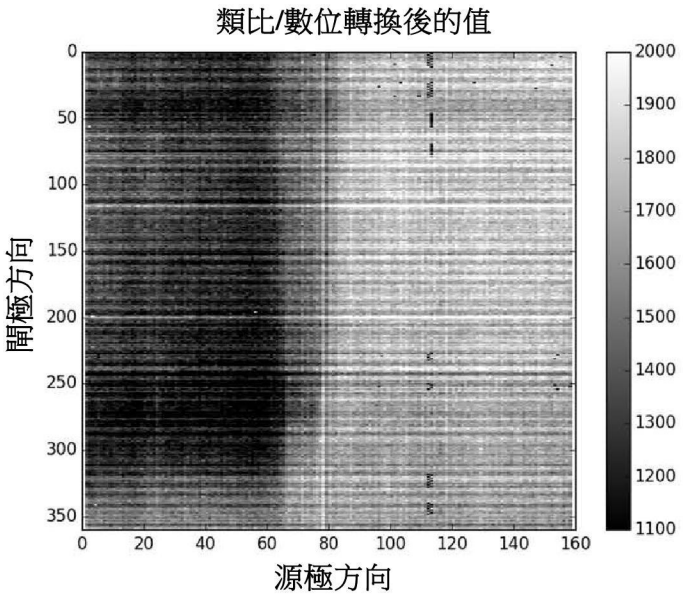


圖 31B

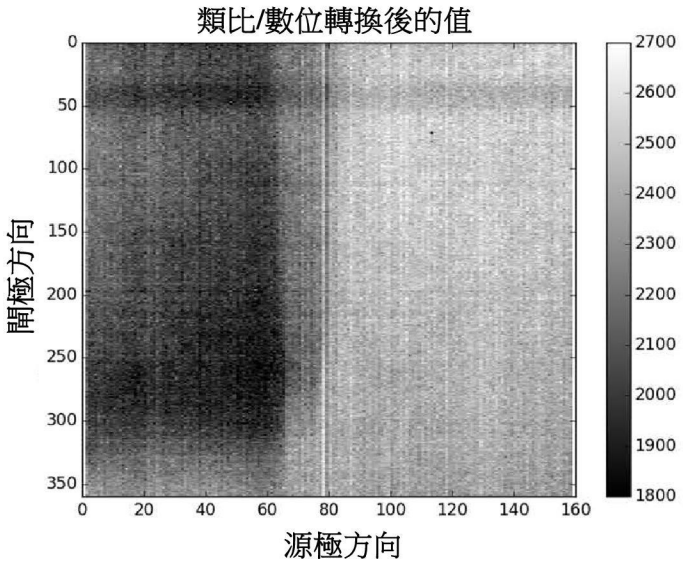


圖 31C

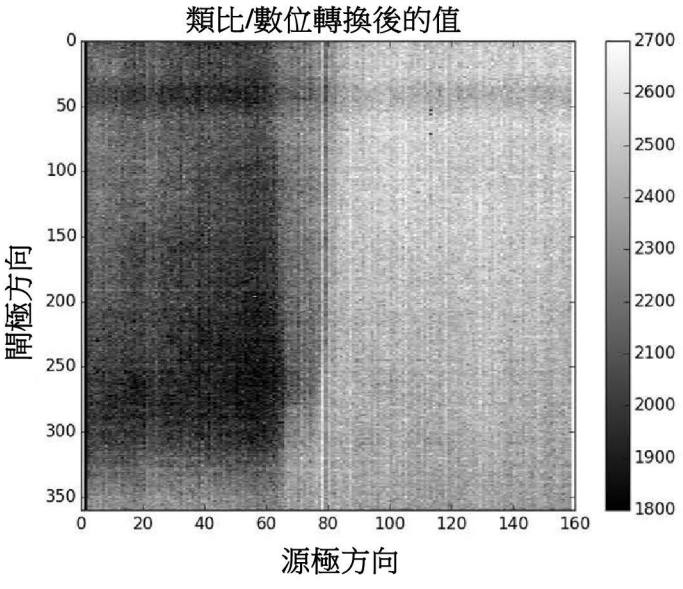


圖 32A

圖 32B

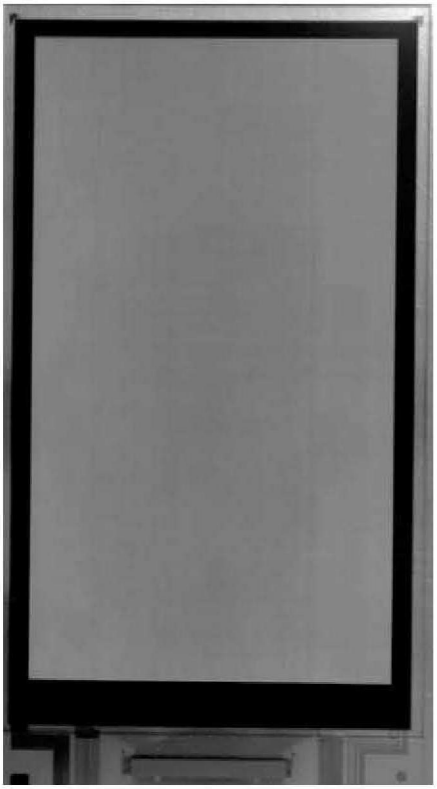


圖 33A

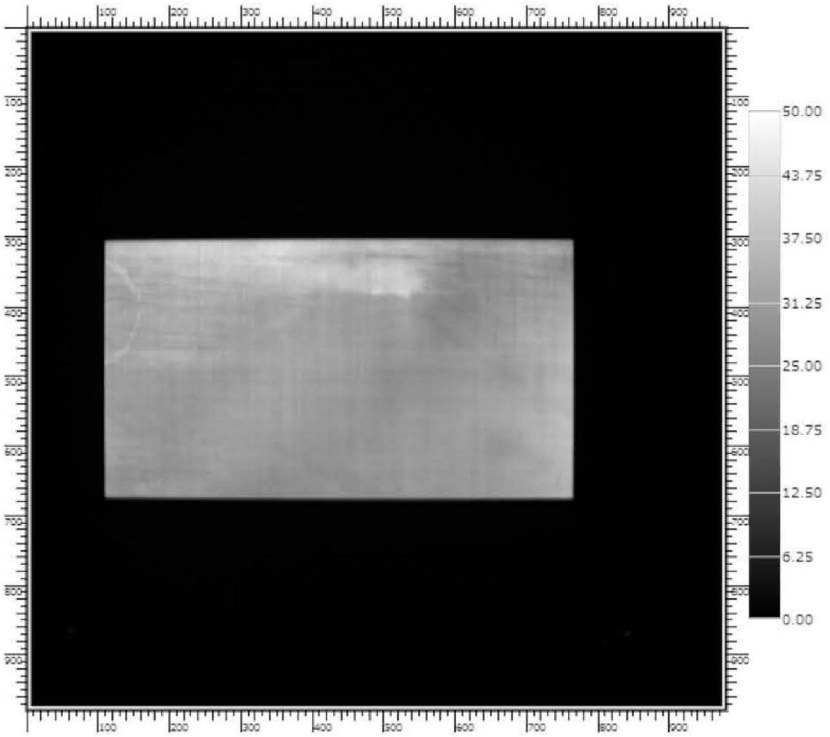

50.00
43.75
37.50
31.25
25.00
18.75
12.50
6.25
0.00

圖 33B

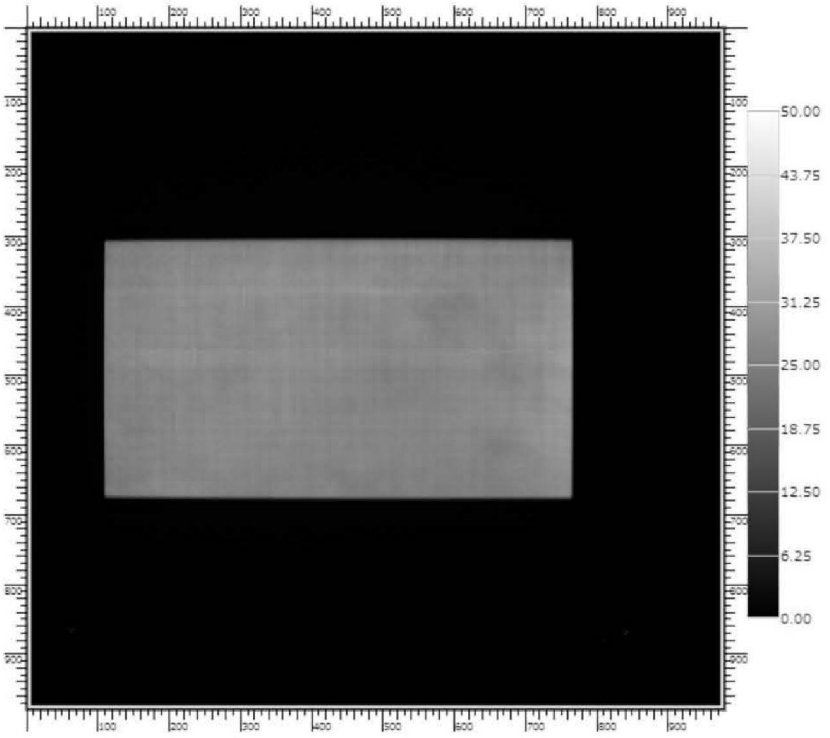

50.00
43.75
37.50
31.25
25.00
18.75
12.50
6.25
0.00

圖 34

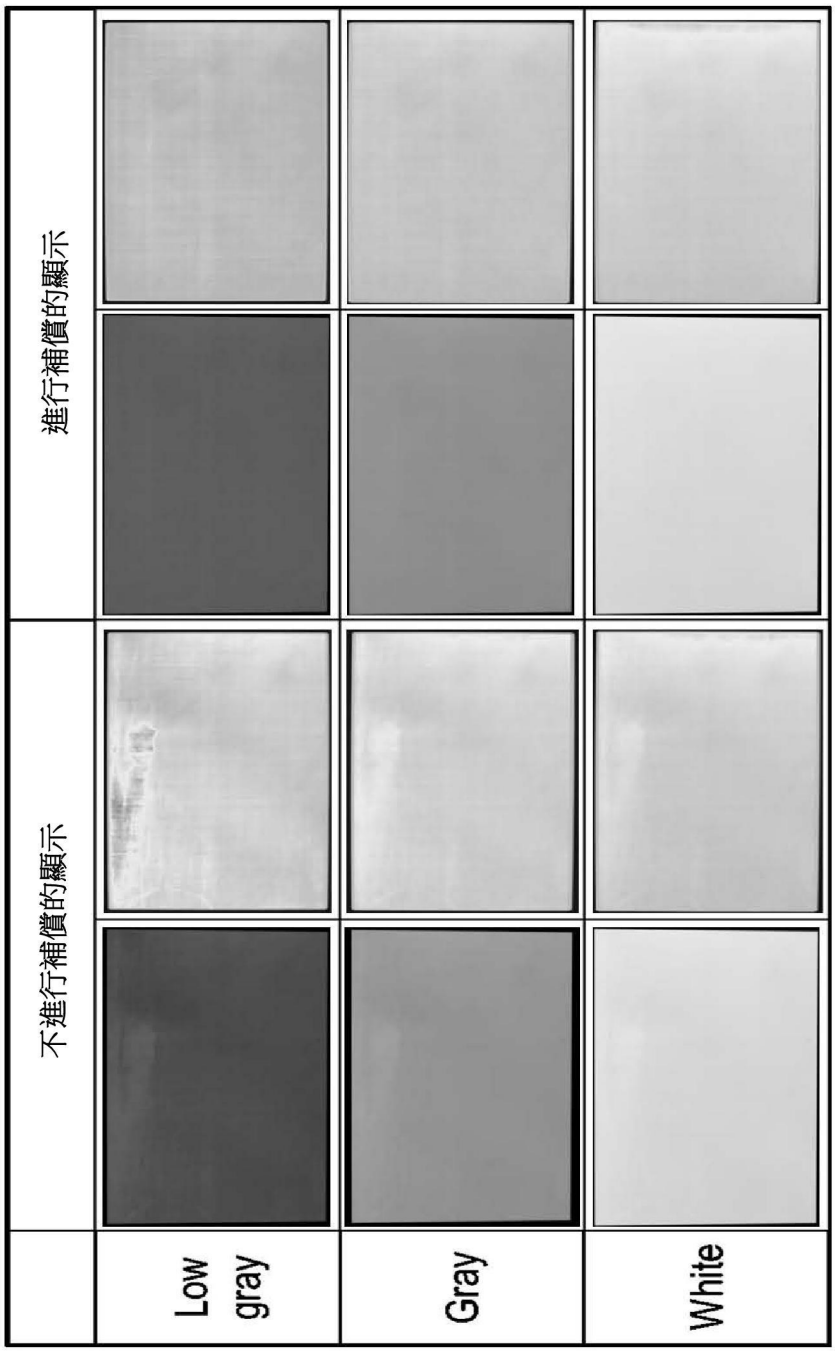


圖 35A

圖 35B

圖 35C