(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2021-0119118
(43) 공개일자 2021년10월05일

(51) 국제특허분류(Int. Cl.)
G11C 23/00 (2021.01) *G11C 15/04* (2006.01)
(52) CPC특허분류
G11C 23/00 (2013.01)
G11C 15/04 (2013.01)
(21) 출원번호 10-2020-0035587
(22) 출원일자 2020년03월24일
심사청구일자 2021년09월14일

(71) 출원인
서강대학교산학협력단
서울특별시 마포구 백범로 35 (신수동, 서강대학교)
(72) 발명자
최우영
서울특별시 마포구 신수로 15, 102동 403호(현석동, 강변힐스테이트)
(74) 대리인
정부연

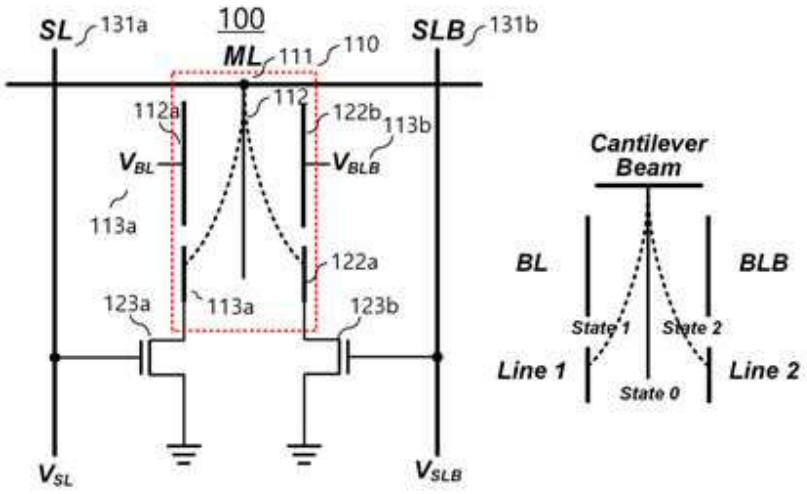
전체 청구항 수 : 총 16 항

(54) 발명의 명칭 **5-터미널 전자기계소자 기반의 내용 주소화 기억 장치 및 이를 이용하는 검색 장치**

(57) 요 약

본 발명은 5-터미널 전자기계소자 기반의 내용 주소화 기억 장치에 관한 것으로, 매치 라인으로부터 물리적으로 돌출된 도전성 캔틸리버 및 도전성 캔틸리버의 양측면들에 배치된 제1 및 제2 비트 라인들을 포함하고, 제1 및 제2 비트 라인들의 전압 인가에 따라 도전성 캔틸리버를 제어하는 메모리 셀, 도전성 캔틸리버의 일측에 배치되어 상기 제1 비트 라인의 전압 인가에 따라 도전성 캔틸리버와 접촉할 수 있는 고정전극 및 고정전극의 일단과 특정 단자의 접촉이 가능한 제1 트랜지스터를 포함하는 제1 트랜지스터부, 도전성 캔틸리버의 타측에 배치되어 제2 비트 라인의 전압 인가에 따라 도전성 캔틸리버와 접촉할 수 있는 보조전극 및 보조전극의 일단과 특정 단자의 접촉이 가능한 제2 트랜지스터를 포함하는 제2 트랜지스터부, 제1 트랜지스터의 게이트 단자와 연결되는 제1 서치 라인 및 제2 트랜지스터의 게이트 단자와 연결되는 제2 서치 라인을 포함할 수 있다.

대 표 도 - 도2b



이 발명을 지원한 국가연구개발사업

과제고유번호	1711097316
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	혁신성장연계지능형반도체선도기술개발(R&D)
연구과제명	에어갭 스마트 배선 기술을 이용한 나노 전자 소자 개발
기 여 율	1/3
과제수행기관명	서강대학교
연구기간	2019.06.28 ~ 2020.02.29

이 발명을 지원한 국가연구개발사업

과제고유번호	1711083443
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	개인기초연구(과기정통부)(R&D)
연구과제명	초저전력 전자 소자를 이용한 삼차원 이종집적 재구성가능 시스템의 개발
기 여 율	1/3
과제수행기관명	서강대학교
연구기간	2019.03.01 ~ 2020.02.29

이 발명을 지원한 국가연구개발사업

과제고유번호	1711103402
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	나노·소재기술개발(R&D)
연구과제명	3차원 적층 소자용 NEMS 기반 공정 플랫폼 개발
기 여 율	1/3
과제수행기관명	서강대학교
연구기간	2020.01.01 ~ 2020.06.30

명 세 서

청구범위

청구항 1

매치 라인으로부터 물리적으로 돌출된 도전성 캔틸리버 및 상기 도전성 캔틸리버의 양측면들에 배치된 제1 및 제2 비트 라인들을 포함하고, 상기 제1 및 제2 비트 라인들의 전압 인가에 따라 상기 도전성 캔틸리버를 제어하는 메모리 셀;

상기 도전성 캔틸리버의 일측에 배치되어 상기 제1 비트 라인의 전압 인가에 따라 상기 도전성 캔틸리버와 접촉할 수 있는 고정전극 및 상기 고정전극의 일단과 특정 단자의 접촉이 가능한 제1 트랜지스터를 포함하는 제1 트랜지스터부;

상기 도전성 캔틸리버의 타측에 배치되어 상기 제2 비트 라인의 전압 인가에 따라 상기 도전성 캔틸리버와 접촉할 수 있는 보조전극 및 상기 보조전극의 일단과 특정 단자의 접촉이 가능한 제2 트랜지스터를 포함하는 제2 트랜지스터부;

상기 제1 트랜지스터의 게이트 단자와 연결되는 제1 서치 라인; 및

상기 제2 트랜지스터의 게이트 단자와 연결되는 제2 서치 라인을 포함하는 5-터미널 전자기계소자 기반의 내용 주소화 기억 장치.

청구항 2

제1항에 있어서, 상기 고정전극은

상기 도전성 캔틸리버의 절곡에 따라 상기 도전성 캔틸리버와 직접 접촉하여 풀인 도전 경로를 형성하는 제1 고정전극 및 상기 제1 고정전극과 이격되어 배치되고 상기 제1 비트 라인의 전압이 인가되는 제2 고정전극을 포함하는 것을 특징으로 하는 5-터미널 전자기계소자 기반의 내용 주소화 기억 장치.

청구항 3

제2항에 있어서, 상기 보조전극은

상기 도전성 캔틸리버의 절곡에 따라 상기 도전성 캔틸리버와 직접 접촉하여 풀백 도전 경로를 형성하는 제1 보조전극 및 상기 제2 고정전극과 대칭하는 위치에서 상기 제1 보조전극과 이격되어 배치되고 상기 제2 비트 라인 전압이 인가되는 제2 보조전극을 포함하는 것을 특징으로 하는 5-터미널 전자기계소자 기반의 내용 주소화 기억 장치.

청구항 4

제3항에 있어서, 상기 도전성 캔틸리버는

상기 제2 보조전극이 접지된 상태에서 상기 제2 고정전극의 상기 제1 비트 라인 전압이 인가되는 경우에 상기 제1 고정전극 방향으로 미리 설정된 풀인 위치까지 절곡되는 것을 특징으로 하는 5-터미널 전자기계소자 기반의 내용 주소화 기억 장치.

청구항 5

제4항에 있어서, 상기 도전성 캔틸리버는

상기 제2 고정전극이 접지된 상태에서 상기 제2 보조전극의 상기 제2 비트 라인 전압이 인가되는 경우에 상기 제1 보조전극 방향으로 미리 설정된 풀백 위치까지 절곡되는 것을 특징으로 하는 5-터미널 전자기계소자 기반의 내용 주소화 기억 장치.

청구항 6

제5항에 있어서, 상기 도전성 캔틸리버는

상기 제1 비트 라인 전압이 인가된 상태에서 상기 제2 보조전극에 특정시간 이내의 상기 제2 비트 라인 전압을 인가하거나 상기 제2 비트 라인 전압이 인가된 상태에서 상기 제2 고정전극에 특정시간 이내의 상기 제1 비트 라인 전압을 인가하는 경우에 도전 경로를 형성하지 않는 것을 특징으로 하는 5-터미널 전자기계소자 기반의 내용 주소화 기억 장치.

청구항 7

제6항에 있어서, 상기 매치 라인은

상기 도전 경로를 형성하지 않은 상태에서 상기 제1 서치 라인 및 제2 서치 라인에 동작 전압을 인가하는 경우에 전압강하가 일어나지 않는 것을 특징으로 하는 5-터미널 전자기계소자 기반의 내용 주소화 기억 장치.

청구항 8

제4항에 있어서, 상기 매치 라인은

상기 도전성 캔틸리버가 상기 미리 설정된 풀인 위치까지 절곡되어 상기 풀인 도전 경로를 형성한 상태에서 상기 제1 서치 라인을 접지 시키고 상기 제2 서치 라인에 동작 전압을 인가하는 경우에는 전압강하가 일어나지 않고, 상기 제2 서치 라인을 접지 시키고 상기 제1 서치 라인에 동작 전압을 인가하는 경우에 전압강하가 일어나는 것을 특징으로 하는 5-터미널 전자기계소자 기반의 내용 주소화 기억 장치.

청구항 9

제5항에 있어서, 상기 매치 라인은

상기 도전성 캔틸리버가 상기 미리 설정된 풀백 위치까지 절곡되어 상기 풀백 도전 경로를 형성한 상태에서 상기 제1 서치 라인을 접지 시키고 상기 제2 서치 라인에 동작 전압을 인가하는 경우에는 전압강하가 일어나고, 상기 제2 서치 라인을 접지 시키고 상기 제1 서치 라인에 동작 전압을 인가하는 경우에 전압강하가 일어나지 않는 것을 특징으로 하는 5-터미널 전자기계소자 기반의 내용 주소화 기억 장치.

청구항 10

제1항에 있어서, 상기 제1 및 제2 트랜지스터는

소스, 드레인, 게이트 및 상기 소스로부터 물리적으로 돌출된 도전성 빔을 포함하되,

상기 도전성 빔은 상기 게이트의 전압에 의해 절곡되어 상기 드레인과 도전경로를 형성하는 것을 특징으로 하는 5-터미널 전자기계소자 기반의 내용 주소화 기억 장치.

청구항 11

데이터 라인에 검색 데이터에 따른 검색 전압을 제공하는 검색 드라이버부; 및

상기 검색 전압을 수신하는 5-터미널 전자기계소자 기반의 내용 주소화 기억부를 포함하고,

상기 내용 주소화 기억부는

매치 라인으로부터 물리적으로 돌출된 도전성 캔틸리버 및 상기 도전성 캔틸리버의 양측면들에 배치된 제1 및 제2 비트 라인들을 포함하고, 상기 제1 및 제2 비트 라인들의 전압 인가에 따라 상기 도전성 캔틸리버를 제어하는 메모리 셀;

상기 도전성 캔틸리버의 일측에 배치되어 상기 제1 비트 라인의 전압 인가에 따라 상기 도전성 캔틸리버와 접촉할 수 있는 고정전극 및 상기 고정전극의 일단과 특정 단자의 접촉이 가능한 제1 트랜지스터를 포함하는 제1 트랜지스터부;

상기 도전성 캔틸리버의 타측에 배치되어 상기 제2 비트 라인의 전압 인가에 따라 상기 도전성 캔틸리버와 접촉할 수 있는 보조전극 및 상기 보조전극의 일단과 특정 단자의 접촉이 가능한 제2 트랜지스터를 포함하는 제2 트랜지스터부;

상기 제1 트랜지스터의 게이트 단자와 연결되는 제1 서치 라인; 및

상기 제2 트랜지스터의 게이트 단자와 연결되는 제2 서치 라인을 포함하는 5-터미널 전자기계소자 기반의 내용 주소화 기억 장치를 이용한 검색 장치.

청구항 12

제11항에 있어서, 상기 고정전극은

상기 도전성 캔틸리버의 절곡에 따라 상기 도전성 캔틸리버와 직접 접촉하여 풀인 도전 경로를 형성하는 제1 고정전극 및 상기 제1 고정전극과 이격되어 배치되고 상기 제1 비트 라인의 전압이 인가되는 제2 고정전극을 포함하는 것을 특징으로 하는 5-터미널 전자기계소자 기반의 내용 주소화 기억 장치를 이용한 검색 장치.

청구항 13

제 11항에 있어서, 상기 보조전극은

상기 도전성 캔틸리버의 절곡에 따라 상기 도전성 캔틸리버와 직접 접촉하여 풀백 도전 경로를 형성하는 제1 보조전극 및 상기 제2 고정전극과 대칭하는 위치에서 상기 제1 보조전극과 이격되어 배치되고 상기 제2 비트 라인 전압이 인가되는 제2 보조전극을 포함하는 것을 특징으로 하는 5-터미널 전자기계소자 기반의 내용 주소화 기억 장치를 이용한 검색 장치.

청구항 14

제13항에 있어서, 상기 도전성 캔틸리버는

상기 제2 보조전극이 접지된 상태에서 상기 제2 고정전극의 상기 제1 비트 라인 전압이 인가되는 경우에 상기 제1 고정전극 방향으로 미리 설정된 풀인 위치까지 절곡되는 것을 특징으로 하는 5-터미널 전자기계소자 기반의 내용 주소화 기억 장치를 이용한 검색 장치.

청구항 15

제14항에 있어서, 상기 도전성 캔틸리버는

상기 제2 고정전극이 접지된 상태에서 상기 제2 보조전극의 상기 제2 비트 라인 전압이 인가되는 경우에 상기 제1 보조전극 방향으로 미리 설정된 풀백 위치까지 절곡되는 것을 특징으로 하는 5-터미널 전자기계소자 기반의 내용 주소화 기억 장치를 이용한 검색 장치.

청구항 16

제11항에 있어서, 상기 제1 및 제2 트랜지스터는

소스, 드레인, 게이트 및 상기 소스로부터 물리적으로 돌출된 도전성 빔을 포함하되,

상기 도전성 빔은 상기 게이트의 전압에 의해 절곡되어 상기 드레인과 도전경로를 형성하는 것을 특징으로 하는 5-터미널 전자기계소자 기반의 내용 주소화 기억 장치를 이용한 검색 장치.

발명의 설명

기 술 분 야

[0001] 본 발명은 5-터미널 전자기계소자 기반의 내용 주소화 기억 기술에 관한 것으로, 보다 상세하게는 나노전자기계소자(NEM: Nanoelectromechanical)를 이용하여, 내용 주소화 기억 장치(CAM: Content Addressable Memory)의 단위 셀에 필요한 트랜지스터의 수를 획기적으로 감소시킬 수 있는 5-터미널 전자기계소자 기반의 내용 주소화 기억 장치 및 이를 이용하는 검색 장치에 관한 것이다.

배 경 기 술

[0003] 최근 빅데이터, 인공지능을 위한 대용량 기억 장치에 대한 수요가 점점 증가하고 있다. 대표적인 기억 장치 중 하나인 임의 접근 기억 장치는 일정한 주기를 갖고 기억 장치의 특정한 위치에 읽기/쓰기 동작을 수행한다. 하지만 기존의 임의 접근 방식은 특정 위치에 접근하기 위해 순차적인 동작이 필요하므로 화두가 되는 기억 장치의 고속 동작에 적합하지 않다. 따라서 병렬 처리를 통한 고속 동작이 가능한 내용 주소화 기억 장치가 각광받고 있다. 내용 주소화 기억 장치는 검색하고자 하는 데이터를 기억 장치에 저장된 모든 데이터와 동시에 병렬 처리하므로 대용량 고속 동작에 매우 적합한 장치이다.

[0004] 한편 기존의 CMOS 기반의 터너리 혹은 바이너리 내용 주소화 기억 장치는 16개 혹은 12개의 트랜지스터로 단위 셀을 구성한다. 이는 해당 장치의 저전력 동작이나 고속 동작의 한계를 가져올 뿐만 아니라 집적도 측면에서도 상당한 불리함을 갖는다.

[0005] 한국등록특허 제10-1061341(2011.08.25)호는 반도체 메모리 소자의 캠 셀 독출 제어 회로 및 독출 방법에 관한 것으로, 보다 상세하게는, 외부 입력 신호를 입력받아 이를 지연시켜 다수의 내부 명령 신호를 생성하는 내부 지연 회로, 및 상기 다수의 내부 명령 신호에 응답하여 내부 레디/비지 신호를 생성하는 신호 생성부를 포함하며, 상기 레디/비지 신호는 캠셀 독출 회로를 초기화시키는 반도체 메모리 소자의 캠 셀 독출 제어 회로 및 독출 방법을 개시한다.

[0006] 한국등록특허 제10-110570(2011.12.22)호는 내용 주소화 메모리에 관한 것으로, 보다 상세하게는, 제 1 저장 회로 및 제 1 비교 회로를 갖는 제 1 CAM 셀 및 제 2 저장 회로 및 제 2 비교 회로를 갖는 제 2 CAM 셀을 포함하며, 상기 제 1 CAM 셀 및 상기 제 2 CAM 셀은 직사각형 영역 내에 배치되고, 상기 제 1 저장 회로 및 상기 제 2 저장 회로는 수직으로 적층되고 서로 인접하며, 상기 제 1 비교 회로 및 상기 제 2 비교 회로는 상기 제 1 저장 회로 및 상기 제 2 저장 회로에 의해 분리되고, 각각 상기 직사각형 영역의 각각의 바깥쪽 가장자리(edge)들에 배치된다.

선행기술문헌

특허문헌

[0008] (특허문헌 0001) 한국등록특허 제10-1061341(2011.08.25)호

(특허문헌 0002) 한국등록특허 제10-110570(2011.12.22)호

발명의 내용

해결하려는 과제

[0009] 본 발명의 일 실시예는 나노 전기기계 소자로 이루어 지고 비트라인 전압에 의해 제어되는 도전성 캔틸리버의 움직임에 따라서 저장된 메모리의 정보를 나타낼 수 있는 5-터미널 전자기계소자 기반의 내용 주소화 기억 장치 및 이를 이용하는 검색 장치에 관한 것이다.

[0010] 본 발명의 일 실시예는 나노 전기기계 소자를 기초로 하여 내용 주소화 기억 장치를 구현하여 트랜지스터의 개수를 획기적으로 감소시켜 집적도를 향상시킬 수 있는 5-터미널 전자기계소자 기반의 내용 주소화 기억 장치 및 이를 이용하는 검색 장치에 관한 것이다.

[0011] 본 발명의 일 실시예는 나노 전기기계 소자를 기초로 하여 내용 주소화 기억 장치를 구현하여 트랜지스터의 개수를 획기적으로 감소시켜 전력 소모를 감소시킬 수 있는 5-터미널 전자기계소자 기반의 내용 주소화 기억 장치 및 이를 이용하는 검색 장치에 관한 것이다.

과제의 해결 수단

[0013] 실시예들 중에서, 5-터미널 전자기계소자 기반의 내용 주소화 기억 장치는 매치 라인으로부터 물리적으로 돌출된 도전성 캔틸리버 및 상기 도전성 캔틸리버의 양측면들에 배치된 제1 및 제2 비트 라인들을 포함하고, 상기 제1 및 제2 비트 라인들의 전압 인가에 따라 상기 도전성 캔틸리버를 제어하는 메모리 셀, 상기 도전성 캔틸리버의 일측에 배치되어 상기 제1 비트 라인의 전압 인가에 따라 상기 도전성 캔틸리버와 접촉할 수 있는 고정전극 및 상기 고정전극의 일단과 특정 단자의 접촉이 가능한 제1 트랜지스터를 포함하는 제1 트랜지스터부, 상기 도전성 캔틸리버의 타측에 배치되어 상기 제2 비트 라인의 전압 인가에 따라 상기 도전성 캔틸리버와 접촉할 수 있는 보조전극 및 상기 보조전극의 일단과 특정 단자의 접촉이 가능한 제2 트랜지스터를 포함하는 제2 트랜지스터부, 상기 제1 트랜지스터의 게이트 단자와 연결되는 제1 서치 라인 및 상기 제2 트랜지스터의 게이트 단자와 연결되는 제2 서치 라인을 포함할 수 있다.

[0014] 상기 고정전극은 상기 도전성 캔틸리버의 절곡에 따라 상기 도전성 캔틸리버와 직접 접촉하여 풀인 도전 경로를 형성하는 제1 고정전극 및 상기 제1 고정전극과 이격되어 배치되고 상기 제1 비트 라인의 전압이 인가되는 제2 고정전극을 포함할 수 있다.

[0015] 상기 보조전극은 상기 도전성 캔틸리버의 절곡에 따라 상기 도전성 캔틸리버와 직접 접촉하여 풀백 도전 경로를 형성하는 제1 보조전극 및 상기 제2 고정전극과 대칭하는 위치에서 상기 제1 보조전극과 이격되어 배치되고 상기 제2 비트 라인 전압이 인가되는 제2 보조전극을 포함할 수 있다.

[0016] 상기 도전성 캔틸리버는 상기 제2 보조전극이 접지된 상태에서 상기 제2 고정전극의 상기 제1 비트 라인 전압이 인가되는 경우에 상기 제1 고정전극 방향으로 미리 설정된 풀인 위치까지 절곡될 수 있다.

[0017] 상기 도전성 캔틸리버는 상기 제2 고정전극이 접지된 상태에서 상기 제2 보조전극의 상기 제2 비트 라인 전압이 인가되는 경우에 상기 제1 보조전극 방향으로 미리 설정된 풀백 위치까지 절곡될 수 있다.

[0018] 상기 도전성 캔틸리버는 상기 제1 비트 라인 전압이 인가된 상태에서 상기 제2 보조전극에 특정시간 이내의 상기 제2 비트 라인 전압을 인가하거나 상기 제2 비트 라인 전압이 인가된 상태에서 상기 제2 고정전극에 특정시간 이내의 상기 제1 비트 라인 전압을 인가하는 경우에 도전 경로를 형성하지 않을 수 있다.

[0019] 상기 매치 라인은 상기 도전 경로를 형성하지 않은 상태에서 상기 제1 서치 라인 및 제2 서치 라인에 동작 전압을 인가하는 경우에 전압강하가 일어나지 않을 수 있다.

[0020] 상기 매치 라인은 상기 도전성 캔틸리버가 상기 미리 설정된 풀인 위치까지 절곡되어 상기 풀인 도전 경로를 형성한 상태에서 상기 제1 서치 라인을 접지 시키고 상기 제2 서치 라인에 동작 전압을 인가하는 경우에는 전압강하가 일어나지 않고, 상기 제2 서치 라인을 접지 시키고 상기 제1 서치 라인에 동작 전압을 인가하는 경우에 전압강하가 일어날 수 있다.

[0021] 상기 매치 라인은 상기 도전성 캔틸리버가 상기 미리 설정된 풀백 위치까지 절곡되어 상기 풀백 도전 경로를 형성한 상태에서 상기 제1 서치 라인을 접지 시키고 상기 제2 서치 라인에 동작 전압을 인가하는 경우에는 전압강

하가 일어나고, 상기 제2 서치 라인을 접지 시키고 상기 제1 서치 라인에 동작 전압을 인가하는 경우에 전압강하가 일어나지 않을 수 있다.

[0022] 상기 제1 및 제2 트랜지스터는 소스, 드레인, 게이트 및 상기 소스로부터 물리적으로 돌출된 도전성 빔을 포함하되, 상기 도전성 빔은 상기 게이트의 전압에 의해 절곡되어 상기 드레인과 도전경로를 형성할 수 있다.

[0023] 실시예들 중에서, 5-터미널 전자기계소자 기반의 내용 주소화 기억 장치를 이용한 검색 장치는 데이터 라인에 검색 데이터에 따른 검색 전압을 제공하는 검색 드라이버부 및 상기 검색 전압을 수신하는 5-터미널 전자기계소자 기반의 내용 주소화 기억부를 포함하고, 상기 내용 주소화 기억부는 매치 라인으로부터 물리적으로 돌출된 도전성 캔틸리버 및 상기 도전성 캔틸리버의 양측면들에 배치된 제1 및 제2 비트 라인들을 포함하고, 상기 제1 및 제2 비트 라인들의 전압 인가에 따라 상기 도전성 캔틸리버를 제어하는 메모리 셀, 상기 도전성 캔틸리버의 일측에 배치되어 상기 제1 비트 라인의 전압 인가에 따라 상기 도전성 캔틸리버와 접촉할 수 있는 고정전극 및 상기 고정전극의 일단과 특정 단자의 접촉이 가능한 제1 트랜지스터를 포함하는 제1 트랜지스터부 상기 도전성 캔틸리버의 타측에 배치되어 상기 제2 비트 라인의 전압 인가에 따라 상기 도전성 캔틸리버와 접촉할 수 있는 보조전극 및 상기 보조전극의 일단과 특정 단자의 접촉이 가능한 제2 트랜지스터를 포함하는 제2 트랜지스터부 상기 제1 트랜지스터의 게이트 단자와 연결되는 제1 서치 라인 및 상기 제2 트랜지스터의 게이트 단자와 연결되는 제2 서치 라인을 포함할 수 있다.

[0024] 상기 5-터미널 전자기계소자 기반의 내용 주소화 기억 장치를 이용한 검색 장치의 상기 고정전극은 상기 도전성 캔틸리버의 절곡에 따라 상기 도전성 캔틸리버와 직접 접촉하여 풀인 도전 경로를 형성하는 제1 고정전극 및 상기 제1 고정전극과 이격되어 배치되고 상기 제1 비트 라인의 전압이 인가되는 제2 고정전극을 포함할 수 있다.

[0025] 상기 5-터미널 전자기계소자 기반의 내용 주소화 기억 장치를 이용한 검색 장치의 상기 보조전극은 상기 도전성 캔틸리버의 절곡에 따라 상기 도전성 캔틸리버와 직접 접촉하여 풀백 도전 경로를 형성하는 제1 보조전극 및 상기 제2 고정전극과 대칭하는 위치에서 상기 제1 보조전극과 이격되어 배치되고 상기 제2 비트 라인 전압이 인가되는 제2 보조전극을 포함할 수 있다.

[0026] 상기 5-터미널 전자기계소자 기반의 내용 주소화 기억 장치를 이용한 검색 장치의 상기 도전성 캔틸리버는 상기 제2 보조전극이 접지된 상태에서 상기 제2 고정전극의 상기 제1 비트 라인 전압이 인가되는 경우에 상기 제1 고정전극 방향으로 미리 설정된 풀인 위치까지 절곡될 수 있다.

[0027] 상기 5-터미널 전자기계소자 기반의 내용 주소화 기억 장치를 이용한 검색 장치의 상기 도전성 캔틸리버는 상기 제2 고정전극이 접지된 상태에서 상기 제2 보조전극의 상기 제2 비트 라인 전압이 인가되는 경우에 상기 제1 보조전극 방향으로 미리 설정된 풀백 위치까지 절곡될 수 있다.

[0028] 상기 5-터미널 전자기계소자 기반의 내용 주소화 기억 장치를 이용한 검색 장치의 상기 제1 및 제2 트랜지스터는 소스, 드레인, 게이트 및 상기 소스로부터 물리적으로 돌출된 도전성 빔을 포함하되, 상기 도전성 빔은 상기 게이트의 전압에 의해 절곡되어 상기 드레인과 도전경로를 형성할 수 있다.

발명의 효과

[0030] 개시된 기술은 다음의 효과를 가질 수 있다. 다만, 특정 실시예가 다음의 효과를 전부 포함하여야 한다거나 다음의 효과만을 포함하여야 한다는 의미는 아니므로, 개시된 기술의 권리범위는 이에 의하여 제한되는 것으로 이해되어서는 아니 될 것이다.

[0031] 본 발명의 일 실시예에 따른 5-터미널 전자기계소자 기반의 내용 주소화 기억 장치 및 이를 이용하는 검색 장치는 나노 전기기계 소자로 이루어 지고 비트라인 전압에 의해 제어되는 도전성 캔틸리버의 움직임에 따라서 저장된 메모리의 정보를 나타낼 수 있다.

[0032] 본 발명의 일 실시예에 따른 5-터미널 전자기계소자 기반의 내용 주소화 기억 장치 및 이를 이용하는 검색 장치는 나노 전기기계 소자를 기초로 하여 내용 주소화 기억 장치를 구현하여 트랜지스터의 개수를 획기적으로 감소시켜 집적도를 향상시킬 수 있다.

[0033] 본 발명의 일 실시예에 따른 5-터미널 전자기계소자 기반의 내용 주소화 기억 장치 및 이를 이용하는 검색 장치는 나노 전기기계 소자를 기초로 하여 내용 주소화 기억 장치를 구현하여 트랜지스터의 개수를 획기적으로 감소시켜 전력 소모를 감소시킬 수 있다.

도면의 간단한 설명

[0035] 도 1은 일 실시예에 따른 기존의 CMOS 기반의 CAM 장치를 설명하는 도면이다.

도 2는 일 실시예에 따른 5-터미널 전자기계소자 기반의 내용 주소화 기억 장치를 설명하는 도면이다.

도 3은 일 실시예에 따른 5-터미널 전자기계소자 기반의 내용 주소화 기억 장치의 상태에 따른 매치 정보를 설명하기 위한 도면이다.

도 4는 일 실시예에 따른 나노전자기계소자 릴레이를 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0036] 본 발명에 관한 설명은 구조적 내지 기능적 설명을 위한 실시예에 불과하므로, 본 발명의 권리범위는 본문에 설명된 실시예에 의하여 제한되는 것으로 해석되어서는 아니 된다. 즉, 실시예는 다양한 변경이 가능하고 여러 가지 형태를 가질 수 있으므로 본 발명의 권리범위는 기술적 사상을 실현할 수 있는 균등물들을 포함하는 것으로 이해되어야 한다. 또한, 본 발명에서 제시된 목적 또는 효과는 특정 실시예가 이를 전부 포함하여야 한다거나 그러한 효과만을 포함하여야 한다는 의미는 아니므로, 본 발명의 권리범위는 이에 의하여 제한되는 것으로 이해되어서는 아니 될 것이다.

[0037] 한편, 본 출원에서 서술되는 용어의 의미는 다음과 같이 이해되어야 할 것이다.

[0038] "제1", "제2" 등의 용어는 하나의 구성요소를 다른 구성요소로부터 구별하기 위한 것으로, 이들 용어들에 의해 권리범위가 한정되어서는 아니 된다. 예를 들어, 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다.

[0039] 어떤 구성요소가 다른 구성요소에 "연결되어"있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결될 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어"있다고 언급된 때에는 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 한편, 구성요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.

[0040] 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한 복수의 표현을 포함하는 것으로 이해되어야 하고, "포함하다"또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이며, 하나 또는 그 이상의 다른 특징이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0041] 각 단계들에 있어 식별부호(예를 들어, a, b, c 등)는 설명의 편의를 위하여 사용되는 것으로 식별부호는 각 단계들의 순서를 설명하는 것이 아니며, 각 단계들은 문맥상 명백하게 특정 순서를 기재하지 않는 이상 명기된 순서와 다르게 일어날 수 있다. 즉, 각 단계들은 명기된 순서와 동일하게 일어날 수도 있고 실질적으로 동시에 수행될 수도 있으며 반대의 순서대로 수행될 수도 있다.

[0042] 여기서 사용되는 모든 용어들은 다르게 정의되지 않는 한, 본 발명이 속하는 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가진다. 일반적으로 사용되는 사전에 정의되어 있는 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한 이상적이거나 과도하게 형식적인 의미를 지니는 것으로 해석될 수 없다.

[0044] 도 1은 일 실시예에 따른 기존의 CMOS 기반의 CAM 장치를 설명하는 도면이다.

[0045] 도 1을 살펴보면, 도 1a는 기존의 CMOS 기반의 BCAM(Binary Content Addressable Memory)를 설명하는 도면이고 도1b는 기존의 CMOS 기반의 TCAM(Ternary Content Addressable Memory)를 설명하는 도면이다.

[0046] 도 1을 참조하면, 기존의 CMOS 기반의 BCAM은 12개의 트랜지스터를 포함하는 형태로 구성되어 있으며, 기존의 CMOS 기반의 TCAM은 16개의 트랜지스터를 포함하는 형태로 구성되어 있다. 기존의 CMOS 기반의 CAM의 경우에는 트랜지스터 개수를 줄일 수 없어 집적도가 떨어지는 형태로 구성되어 있다.

[0048] 도 2는 일 실시예에 따른 5-터미널 전자기계소자 기반의 내용 주소화 기억 장치(100)를 설명하는 도면이다.

[0049] 도 2를 참조하면, 5-터미널 전자기계소자 기반의 내용 주소화 기억 장치(100)는 메모리 셀(110), 제1 트랜지스터부, 제2 트랜지스터부, 제1 서치라인(131a) 및 제2 서치라인(131b)를 포함할 수 있다.

[0050] 메모리 셀(110)은 매치 라인(111)으로부터 물리적으로 돌출된 도전성 캔틸리버(112) 및 도전성 캔틸리버(112)의 양측면들에 배치된 제1 비트 라인(113a) 및 제2 비트 라인(113b)을 포함하고, 제1 비트 라인(113a) 및 제2 비트 라인(113)의 전압 인가에 따라 도전성 캔틸리버(112)를 제어할 수 있다. 매치 라인(111)은 각 워드에 대해 하나가 주어지고, 각 매치 라인(111)은 워드의 비트 수와 동일한 수의 비교 셀들(comparison cells)을 가질 수 있다. 도전성 캔틸리버(112)는 양측면에 배치된 제1 비트 라인(113a) 및 제2 비트 라인(113b)의 전압에 따라 정전기력이 발생되면 수평방향으로 움직일 수 있다. 제1 비트 라인(113a) 및 제2 비트 라인(113b)에 인가되는 전압은 제2 고정전극(121b) 및 제2 보조전극(122b)를 통해 정전기력을 도전성 캔틸리버(112)에 제공할 수 있다.

[0051] 제1 트랜지스터부는 도전성 캔틸리버(112)의 일측에 배치되어 제1 비트 라인(113a)의 전압 인가에 따라 도전성 캔틸리버(112)와 접촉할 수 있는 고정전극 및 고정전극의 일단과 특정 단자의 접촉이 가능한 제1 트랜지스터(123a)를 포함할 수 있다. 특정 단자는 트랜지스터의 소스 또는 드레인이 될 수 있다.

[0052] 일 실시예에서, 고정전극은 도전성 캔틸리버(112)의 절곡에 따라 도전성 캔틸리버(112)와 직접 접촉하여 풀인 도전 경로를 형성하는 제1 고정전극(121a) 및 제1 고정전극과 이격되어 배치되고 제1 비트 라인(113a)의 전압이 인가되는 제2 고정전극(121b)을 포함할 수 있다. 풀인 도전 경로는 도전성 캔틸리버(112)와 제1 고정전극(121a)의 접촉에 따라 도전성 캔틸리버(112) 및 제1 고정전극(121a) 간의 전위차가 없는 상태를 의미한다. 예를 들어, 설계자는 풀인 도전 경로를 상태 1로 결정할 수 있고, 상태 1의 경우 저장된 데이터를 0이라 결정할 수 있다.

[0053] 일 실시예에서, 보조전극은 도전성 캔틸리버(112)의 절곡에 따라 도전성 캔틸리버(112)와 직접 접촉하여 풀백 도전 경로를 형성하는 제1 보조전극(122a) 및 제2 고정전극(121b)과 대칭하는 위치에서 제1 보조전극(122a)과 이격되어 배치되고 제2 비트 라인(113b) 전압이 인가되는 제2 보조전극(122b)을 포함할 수 있다. 풀백 도전 경로는 도전성 캔틸리버(112)와 제1 보조전극(122a)의 접촉에 따라 도전성 캔틸리버(112) 및 제1 보조전극(122a) 간의 전위차가 없는 상태를 의미한다. 예를 들어, 설계자는 풀백 도전 경로를 상태 2로 결정할 수 있고, 상태 2의 경우 저장된 데이터를 1이라 결정할 수 있다.

[0054] 일 실시예에서, 도전성 캔틸리버(112)는 제2 보조전극(122b)이 접지된 상태에서 제2 고정전극(121b)의 제1 비트 라인(113a) 전압이 인가되는 경우에 제1 고정전극(121a) 방향으로 미리 설정된 풀인 위치까지 절곡될 수 있다. 예를 들어, 미리 설정된 풀인 위치는 제1 비트 라인(113a)의 전압 인가에 따른 정전기력에 따라 도전성 캔틸리버(112)가 절곡되어 제1 고정전극(121a)에 접촉되는 위치가 될 수 있다.

[0055] 일 실시예에서, 도전성 캔틸리버(112)는 제2 고정전극(121b)이 접지된 상태에서 제2 보조전극(122b)의 제2 비트 라인(113b) 전압이 인가되는 경우에 제1 보조전극(122a) 방향으로 미리 설정된 풀백 위치까지 절곡될 수 있다. 예를 들어, 미리 설정된 풀백 위치는 제2 비트 라인(113b)의 전압 인가에 따른 정전기력에 따라 도전성 캔틸리버(112)가 절곡되어 제1 보조전극(122a)에 접촉되는 위치가 될 수 있다.

[0056] 일 실시예에서, 도전성 캔틸리버(112)는 제1 비트 라인(113a) 전압이 인가된 상태에서 제2 보조전극(122b)에 특정시간 이내의 제2 비트 라인 전압을 인가하거나 제2 비트 라인(113b) 전압이 인가된 상태에서 제2 고정전극(121b)에 특정시간 이내의 제1 비트 라인(113a) 전압을 인가하는 경우에 도전 경로를 형성하지 않을 수 있다. 예를 들어, 도전성 캔틸리버(112)는 제1 비트 라인(113a) 전압이 인가된 경우에 제1 고정전극(121a)에 부착되어 있는 상태에서 제2 보조전극(122b)을 통해 제2 비트 라인 전압의 인가에 따라 중앙부로 돌아와서 도전 경로를 형성하지 않을 수 있다. 다른 예를 들어, 도전성 캔틸리버(112)는 제2 비트 라인(113b) 전압이 인가된 경우에 제1 보조전극(122a)에 부착되어 있는 상태에서 제2 고정전극(121b)을 통해 제1 비트 라인 전압이 인가되는 경우에 중앙부로 돌아와서 도전 경로를 형성하지 않을 수 있다. 예를 들어, 설계자는 도전성 캔틸리버(112)가 도전 경로를 형성하지 않은 경우를 상태 0으로 설정할 수 있고, 상태 0이 Don't care를 의미하도록 결정할 수 있다.

[0057] 제1 서치 라인(131a)은 제1 트랜지스터(123a)의 게이트 단자와 연결될 수 있고, 제2 서치 라인(131b)은 제2 트랜지스터(123b)의 게이트 단자와 연결될 수 있다. 서치 라인은 서치 데이터 페어를 각 비교 셀에 전달할 수 있고, 전달된 데이터와 비교 셀에 저장된 데이터는 비교될 수 있다. 예를 들어, 제1 서치 라인(131a) 및 제2 서치

라인(131b)의 전압 인가를 통해서 검색되는 워드의 종류를 결정할 수 있다.

[0058] 도 3은 일 실시예에 따른 5-터미널 전자기계소자 기반의 내용 주소화 기억 장치(100)의 상태에 따른 매치 정보를 설명하기 위한 도면이다.

[0059] 일 실시예에서, 매치 라인(111)은 도전 경로를 형성하지 않은 상태에서 제1 서치 라인(131a) 및 제2 서치 라인(131b)에 동작 전압을 인가하는 경우에 전압강하가 일어나지 않을 수 있다. 예를 들어, 매치 라인(111)은 도전성 캔틸리버(112)와 연결되어 있을 수 있고, 도전성 캔틸리버가 도전 경로를 형성하지 않은 상태 0인 상태에서 제1 및 제2 서치 라인에 동작 전압을 인가하는 경우에 해당 매치 라인(111) 및 도전성 캔틸리버(112)에 전압강하가 일어나지 않을 수 있다. 예를 들어, 설계자는 매치 라인(111) 및 도전성 캔틸리버(112)에 전압 강하가 일어나지 않는 경우를 Match라고 결정할 수 있다.

[0060] 매치 라인(111)은 도전성 캔틸리버(112)가 미리 설정된 풀인 위치까지 절곡되어 풀인 도전 경로를 형성한 상태에서 제1 서치 라인(131a)을 접지 시키고 제2 서치 라인(131b)에 동작 전압을 인가하는 경우에는 전압강하가 일어나지 않고, 제2 서치 라인(131b)을 접지 시키고 제1 서치 라인(131a)에 동작 전압을 인가하는 경우에 전압강하가 일어날 수 있다. 도 3을 참조하면, 예를 들어, 매치 라인(111)은 도전성 캔틸리버(112)가 상태 1인 경우에 제1 서치 라인(131a)을 접지 시킨 상태에서 제2 서치 라인(131b)의 동작 전압 인가에 의해 전압 강하가 일어나지 않는 Match 상태가 될 수 있다. 예를 들어, 제1 서치 라인(131a)을 접지 시킨 상태에서 제2 서치 라인(131b)에 동작 전압이 인가되는 경우는 0을 서치하는 상태가 될 수 있다. 다른 예를 들어, 매치 라인(111)은 도전성 캔틸리버(112)가 상태 1인 경우에 제2 서치 라인(131b)을 접지 시킨 상태에서 제1 서치 라인(131a)의 동작 전압이 인가에 의해 전압강하가 일어나 Mismatch 상태가 될 수 있다. 예를 들어, 제2 서치 라인(131b)을 접지 시킨 상태에서 제1 서치 라인(131a)에 동작 전압이 인가되는 경우는 1을 서치하는 상태가 될 수 있다.

[0061] 매치 라인(111)은 도전성 캔틸리버(112)가 미리 설정된 풀백 위치까지 절곡되어 풀백 도전 경로를 형성한 상태에서 제1 서치 라인(131a)을 접지 시키고 제2 서치 라인(131b)에 동작 전압을 인가하는 경우에는 전압강하가 일어나고, 제2 서치 라인(131b)을 접지 시키고 제1 서치 라인(131a)에 동작 전압을 인가하는 경우에 전압강하가 일어나지 않을 수 있다. 도 3을 참조하면, 예를 들어, 매치 라인(111)은 도전성 캔틸리버(112)가 상태 2인 경우에, 제1 서치 라인(131a)을 접지 시키고 제2 서치 라인(131b)에 동작 전압을 인가하는 경우 전압강하가 일어나는 Mismatch 상태가 될 수 있다. 예를 들어, 매치 라인(111)은 도전성 캔틸리버(112)가 상태 2인 경우에, 제2 서치 라인(131b)을 접지 시키고 제1 서치 라인(131a)에 동작 전압을 인가하는 경우에 전압강하가 일어나지 않는 Match 상태가 될 수 있다.

[0062] 일 실시예에서, 제1 및 제2 트랜지스터는 소스, 드레인, 게이트 및 소스로부터 물리적으로 돌출된 도전성 빔(124)을 포함하고, 도전성 빔(124)은 게이트의 전압에 의해 절곡되어 드레인과 도전경로를 형성할 수 있다. 예를 들어, 도 4를 참조하면, 제1 및 제2 트랜지스터는 3 터미널 나노전자기계소자(NEM: Nanoelectromechanical) 릴레이로 구성될 수 있다.

[0063] 일 실시예에서, 5-터미널 전자기계소자 기반의 내용 주소화 기억 장치(100)는 제1 및 제2 비트 라인의 전압에 따라 BCAM(Binary Content Addressable Memory) 또는 TCAM(Ternary Content Addressable Memory)으로 동작할 수 있다.

[0064] 5-터미널 전자기계소자 기반의 내용 주소화 기억 장치(100)를 이용한 검색 장치는 데이터 라인에 검색 데이터에 따른 검색 전압을 제공하는 검색 드라이버부 및 검색 전압을 수신하는 5-터미널 전자기계소자 기반의 내용 주소화 기억부를 포함하고, 내용 주소화 기억부는 매치 라인(111)으로부터 물리적으로 돌출된 도전성 캔틸리버(112) 및 도전성 캔틸리버(112)의 양측면들에 배치된 제1 및 제2 비트 라인들을 포함하고, 제1 및 제2 비트 라인들의 전압 인가에 따라 도전성 캔틸리버(112)를 제어하는 메모리 셀, 도전성 캔틸리버(112)의 일측에 배치되어 제1 비트 라인(113a)의 전압 인가에 따라 도전성 캔틸리버(112)와 접촉할 수 있는 고정전극 및 고정전극의 일단과 특정 단자의 접촉이 가능한 제1 트랜지스터(123a)를 포함하는 제1 트랜지스터부, 도전성 캔틸리버(112)의 타측에 배치되어 제2 비트 라인(113b)의 전압 인가에 따라 도전성 캔틸리버(112)와 접촉할 수 있는 보조전극 및 보조전극의 일단과 특정 단자의 접촉이 가능한 제2 트랜지스터(123b)를 포함하는 제2 트랜지스터부, 제1 트랜지스터(123a)의 게이트 단자와 연결되는 제1 서치 라인(131a) 및 제2 트랜지스터(123b)의 게이트 단자와 연결되는 제2 서치 라인(131b)을 포함할 수 있다.

[0066] 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특

허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

부호의 설명

[0068] 100: 5-터미널 전자기계소자 기반의 내용 주소화 기억 장치

110: 메모리 셀 111: 매치 라인

112: 도전성 캔틸리버

113a: 제1 비트 라인 113b: 제2 비트 라인

121a: 제1 고정전극 121b: 제2 고정전극

122a: 제1 보조전극 122b: 제2 보조전극

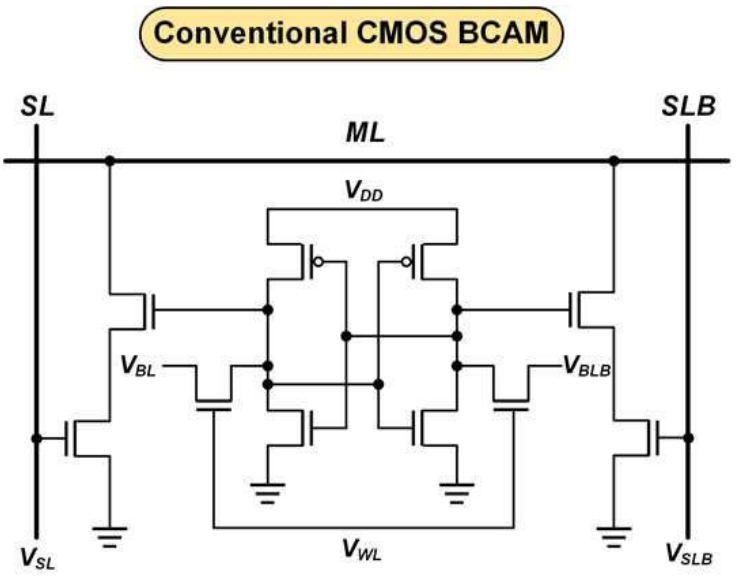
123a: 제1 트랜지스터 123b: 제2 트랜지스터

124: 도전성 빔

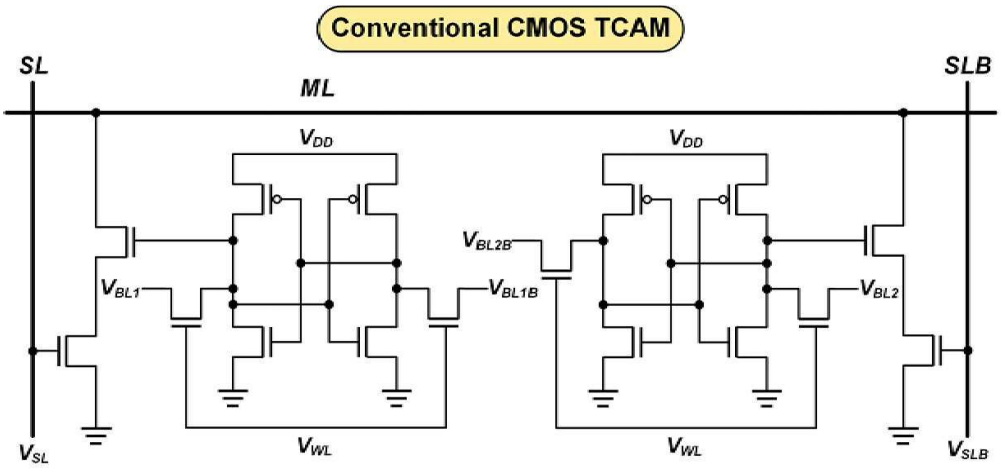
131a: 제1 서치 라인 131b: 제2 서치 라인

도면

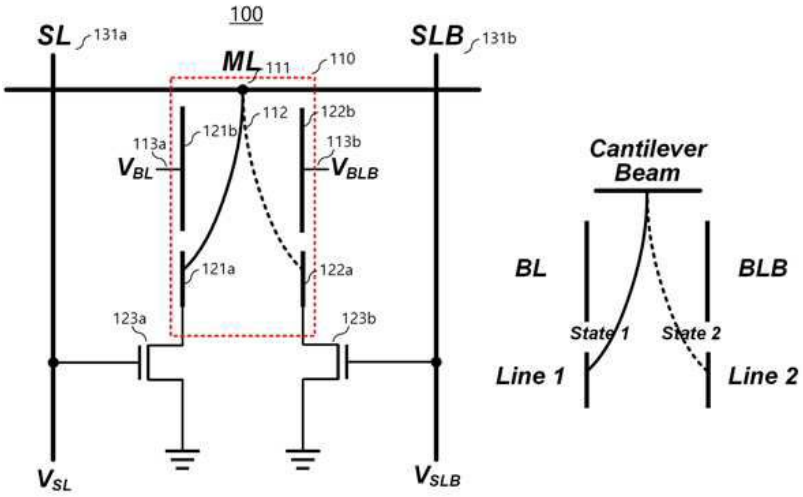
도면1a



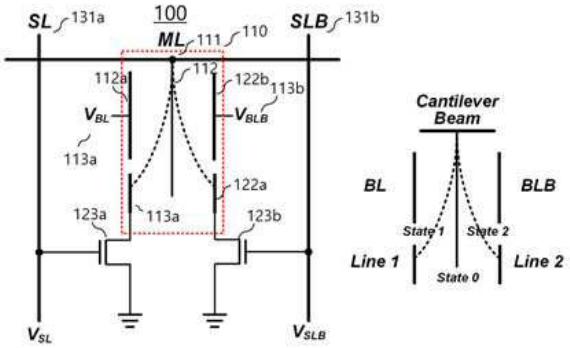
도면1b



도면2a



도면2b



도면3a

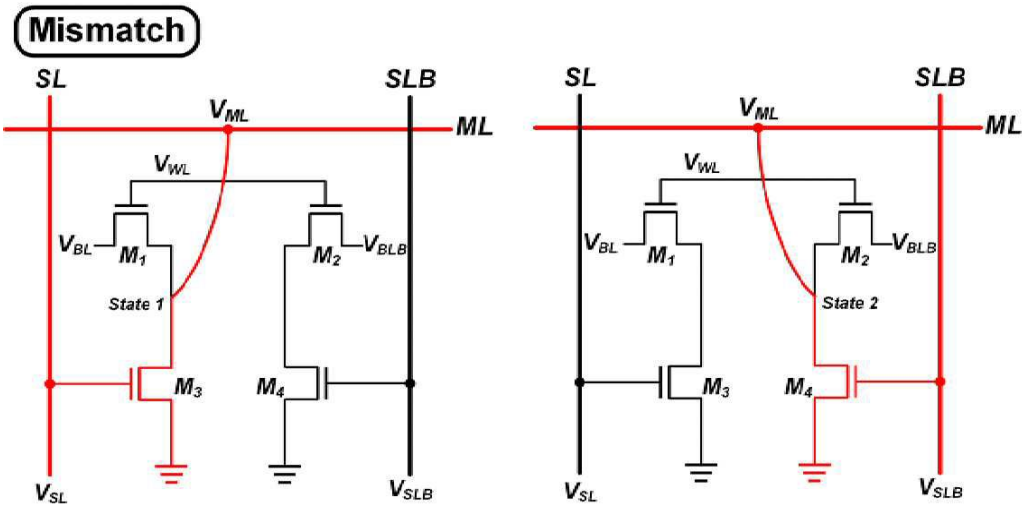
NEM	Stored data	Search data			State
		value	SL	/SL	
State 1	0	0	GND	VDD	Match
		1	VDD	GND	Mismatch
State 2	1	0	GND	VDD	Mismatch
		1	VDD	GND	Match

a) BCAM 매치 테이블

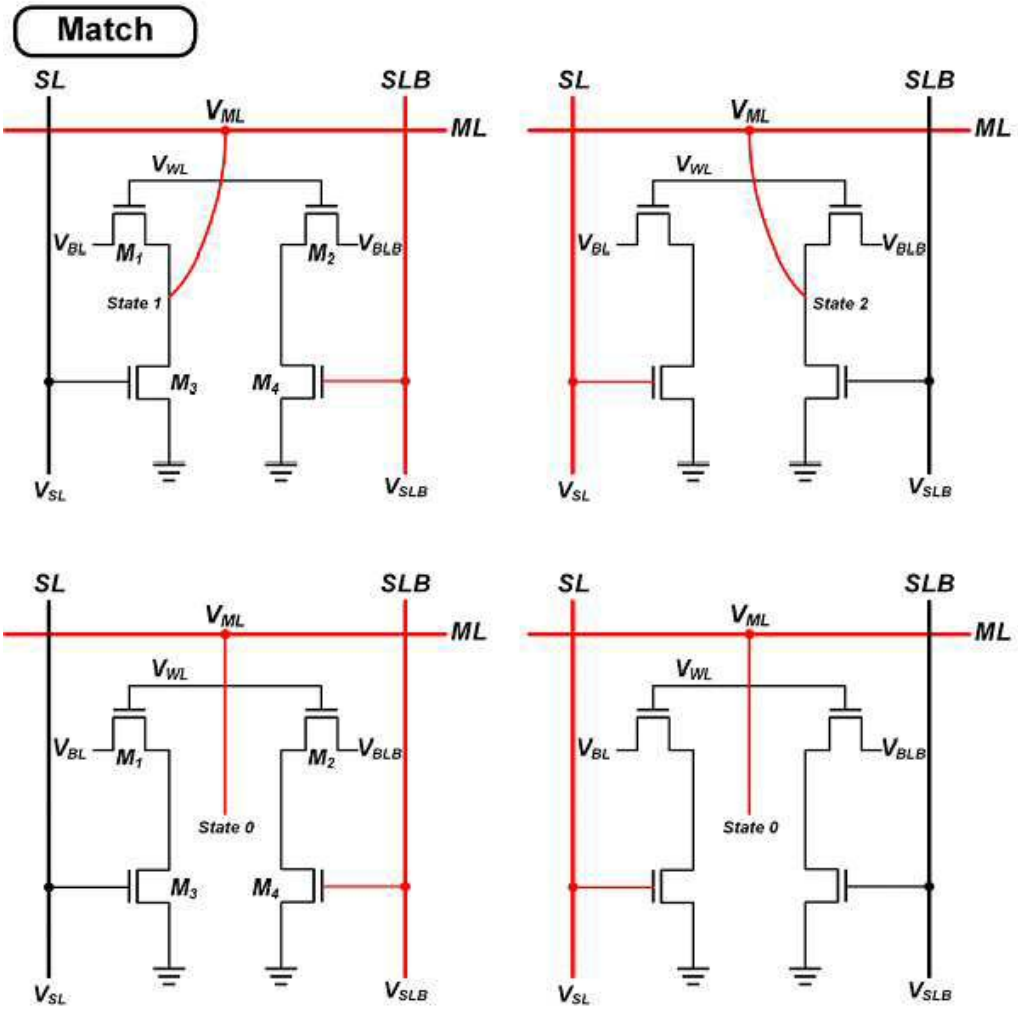
NEM	Stored data	Search data			State
		value	SL	SLB	
State 1	0	0	GND	VDD	Match
		1	VDD	GND	Mismatch
State 2	1	0	GND	VDD	Mismatch
		1	VDD	GND	Match
State 0	X	0	GND	VDD	Match
		1	VDD	GND	Match

b) TCAM 매치 테이블

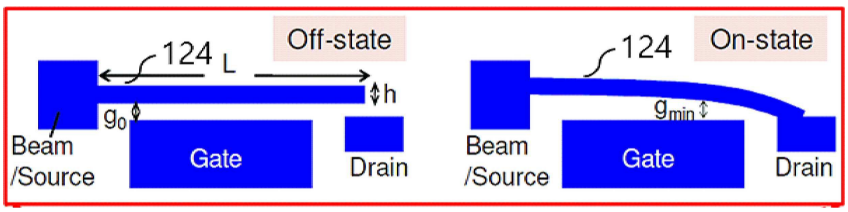
도면3b



도면3c


Match
SL
SLB
V_{ML}
ML
V_{WL}
V_{BL}
M_1
M_2
V_{BLB}
State 1
State 2
State 0
M_3
M_4
V_{SL}
V_{SLB}

도면4


Off-state
124
L
h
g_0
Beam
/Source
Gate
Drain
On-state
124
g_{min}
Beam
/Source
Gate
Drain