【發明說明書】

【中文發明名稱】光吸收裝置及其形成方法

【英文發明名稱】APPARATUS AND METHOD FOR MANUFACTURING THE SAME

【技術領域】

【0001】 本發明係有關於一基於半導體光二極體之光吸收裝置。

【先前技術】

【0002】 半導體光二極體一般具有在一P型半導體及一N型半導體間之一本質半導體區域。一般的PN二極體不具有此本質半導體區域，光子可在此本質半導體區域內被吸收且產生的光載子會被P型半導體及一N型半導體收集。

【發明內容】

【0003】 本發明之目的在於提供一具有低暗電流及高吸收率之半導體二極體，特別在於此光二極體具有在矽基底上之含鍺光吸收材料。

【0004】 依據本發明之一實施例，本發明提供一種形成光吸收裝置之方法，包含：(1) 在一基底上形成一絕緣層；(2) 去除部份絕緣層以露出一第一區域；(3) 形成一側護壁以覆蓋該第一區域之至少部份側壁；(4) 在該第一區域內磊晶成長含有鍺之一第一光吸收層；(5) 在該第一光吸收層上形成含有矽之一覆蓋層，其中藉由覆蓋該第一光吸收層之上表面及其側壁可降低暗電流，藉以實現低暗電流及高光響應之光吸收裝置。。

【0005】 依據本發明之另一實施例，本發明提供一種形成光吸收裝置之方法，包含：(1) 形成一第一摻雜區，該第一摻雜區至少部份嵌入一基底內；(2) 在該第一摻雜區上形成第一層；(3) 在該第一層上形成含鍺之一第二層；(4) 在該第二層上形成一第三層；(5) 在該第三層上形成含氧化物之一第四層；(6) 在

該第四層上形成含氮化物之一第五層；(7) 去除該第五層且去除作業停止在該第四層上；(8) 在該第四層上形成一第六層，其中該第二層與該基底表面有晶格不匹配，且該第六層具有一預定厚度以使一光訊號在通過該第六層時具有一預定之反射率，其中至少部份之該光訊號被該第二層吸收。

【0006】 依據本發明之另一實施例，本發明提供一種光吸收裝置，包含：一基底；一光吸收層，位在該基底之一第一區域上；一含有矽之覆蓋層，位於該光吸收層之上；一側護壁，覆蓋在該光吸收層之側壁上；一絕緣層，覆蓋在該側護壁上；其中該光吸收裝置具有高頻寬及低暗電流。

【0007】 依據本發明之另一實施例，本發明提供一種光吸收裝置包含：一基底；一光吸收層，位在該基底之上且包含一上側部份及一下側部份，該上側部份位於一第一區域中，該下側部份位於一第二區域中，該第一區域與該第二區域部份重疊；一含有矽之覆蓋層，位於該光吸收層之上側部份之上；一側護壁，覆蓋在該光吸收層之上側部份之側壁上；一絕緣層，覆蓋在至少一部份之該側護壁上及該光吸收層之下側部份；其中該光吸收裝置具有高頻寬及低暗電流。

【圖式簡單說明】

【0008】 本發明之實施例將配合下列圖示說明，但是該些實施例及圖示並非本發明專利範圍限制，類似之圖號係代表類似之元件。此外，圖示並不一定依據實際元件結構比例繪示。

【0009】 圖 1 顯示一光二極體。

【0010】 圖2A至2H為說明依據本發明一第一實例之光吸收裝置之製作步驟剖視圖

【0011】 圖3A至3C為說明依據其他實施方式在光二極體結構中形成反摻雜層之剖視圖。

【0012】 圖 4A 至 4C 說明依據其他實施方式在光二極體結構中形成擴散控制層及／或反摻雜層之剖面圖。。

【0013】 圖 5A 至 5B 顯示圖 4A 所示結構之一種實現方式。

【0014】 圖 6A 至 6E 顯示為依據本發明其他實施例之具有蝕刻／研磨之阻擋層之光二極體製作方法。

【0015】 圖 7A 至 7E 顯示為依據本發明其他實施例之具有蝕刻／研磨之阻擋層之光二極體製作方法。

【0016】 圖 8A 至 8F 顯示為依據本發明其他實施例之具有蝕刻／研磨之阻擋層之光二極體製作方法。

【0017】 圖 9A 至 9D 顯示為依據本發明其他實施例之具有均勻且選擇性鍺蝕刻之光二極體製作方法。圖 9E 為顯示具有使用摻雜區而非蝕刻區來進行隔離之光二極體之側視圖。

【0018】 圖 10A 至 10L 顯示依據本發明其他實施例之具有側壁覆蓋結構,界面層結構,或多層結構之光二極體製作方法側視圖。

【0019】 圖 11A 至 11K 顯示依據本發明其他實施例之具有側壁覆蓋結構或界面層結構之光二極體製作方法側視圖。

【0020】 圖 12A 至 12K 顯示依據本發明其他實施例之具有側壁覆蓋結構或界面層結構之光二極體製作方法側視圖。

【0021】 圖13係說明本發明之光二極體與一電晶體整合之示意圖。

【實施方式】

【0022】 圖1顯示一光二極體10a，包含一矽基底100a，一n 型摻雜區110a位於矽基底100a內且接近矽基底100a之上表面、一本質鍺(intrinsic germanium)區130a位於矽基底100a之上表面、一p型鍺區132a位於本質鍺區130a之上表

面，及一氧化物覆蓋層180a包覆此本質鍺區130a、p型鍺區132a及矽基底100a上表面。

【0023】對於圖1所示結構而言，本質鍺區130a及矽基底100a上表面之間會有異質界面（heterogeneous interface）。使用異質磊晶成長（heteroepitaxy），亦即在晶體基底上成長不同基本架構的晶體材料，即可達成異質界面。異質界面之範例例如，但不限於，在藍寶石基底上成長氮化鎵、在矽基底上成長氮化鎵，及在矽基底上成長鍺。晶體材料可為元素(單質)半導體，或是化合物半導體。

【0024】對於一些應用而言，為了元件效能，會需要在薄膜或是基底（或是兩者）上需要電性本質材料特性（electrically intrinsic material property）。本質半導體係為具有電中性之半導體，通常來說，載子濃度小於 10^{17} cm^{-3} 之區域可被視為本質半導體區域。然而有時在異質界面會難以達成本質材料,可能原因包含但不限於:晶格不匹配缺陷、兩材料間的交互擴散或是交叉擴散(一材料之成份可能為另一材料之主動摻雜物)、在薄膜成長時的污染或是能階對準導致的費米能階箝制(Fermi level pinning)。例如，於鍺覆矽系統(Ge-on-Si system)之界面，一般會形成一 p 型界面層。

【0025】若在異質接面處的差排或是其他缺陷（由晶格不匹配導致）係位在半導體空乏區，則會因陷阱輔助載子產生(trap-assisted carrier generation)緣故，而增加光二極體之暗電流（亦即在未提供信號光源時之漏電流）且造成元件效能下降及設計裕度減少。若將缺陷區以高摻雜濃度材料覆蓋藉由外加摻雜載子填補缺陷之陷阱能態，則可中和並降低陷阱輔助載子產生率。然而在界面

之晶格缺陷會導致摻雜擴散而不易控制，所以不易在高缺陷區精確地覆蓋摻雜物。此摻雜擴散機制會降低元件效能（例如元件響應劣化）及降低良率。

【0026】依據一些實施方式，圖 1 所示之鍺覆矽光二極體若使用對於整個晶圓表面進行磊晶成長之全區式磊晶成長（blanket type epitaxial growth）,則可藉由曝光及蝕刻以界定該光吸收區，亦即界定圖 1 所示之本質鍺區 130a。在全區式磊晶成長後，通常進行反應離子蝕刻（reactive ion etching, RIE）或感應式耦合電漿(inductively coupled plasma, ICP)蝕刻，並藉由控制非等向之蝕刻速率而形成一特定角度之側壁(mesa sidewall)。該側壁由於之前的離子蝕刻若使用全區式磊晶成長（blanket type epitaxial growth），其表面會形成缺陷及懸垂鍵結(dangling bond)而增加暗電流。為了降低該缺陷之產生，一均勻並選擇性鍺蝕刻可被使用以去該受損的表面部份。例如，可使用對於鍺:矽有 5:1 蝕刻率之選擇性蝕刻劑以達成均勻並選擇性之鍺蝕刻。

【0027】光感應層(亦即圖 1 所示之本質鍺區 130a)之厚度需足夠薄以降低載子移動時間以達成高速運作，然而該光二極體或是光感測器之光響應亦會隨之下降。為了達成高速運作並增加光響應，可在光感應層之上設置一光反射器。該光反射器之材質可包含一介電層（氧化物或是氮化物）、多層介電層、金屬（如鋁）或是其組合。光反射器之厚度有嚴格誤差要求（< 5%），以保證可在所需頻譜內達成高反射率。本發明提出一蝕刻或是研磨阻擋層以改良該光反射器之厚度控制製程技術。在下列說明中，將以 PIN 光二極體作為光吸收裝置之範例說明。然此範例並非本發明專利之侷限範圍，例如一 NIP 光二極體亦可藉由本發明實施。此外，其他種光吸收材料，如具有不同鍺濃度之矽鍺材料亦可被使用。

【0028】 圖2A至2F為依據本發明一第一實施例之光吸收裝置之製作步驟剖視圖，其具有一反摻雜層以降低操作偏壓或是降低在異質界面產生之漏電流。如圖2A所示，於步驟100中，一半導體基底100具有在其上表面之一n+摻雜層110。此n+摻雜層110可由（但不限於）離子佈植、氣相擴散及磊晶成長伴隨同步摻雜（也可隨選加入熱處理以使摻雜物擴散及活化）製成。在該n+摻雜層110內具有兩個重(高濃度)摻雜區（接點）102，其可具有較n+摻雜層110高之雜質濃度以降低阻值。例如，此n+摻雜層110之摻雜濃度可為$1\times10^{19}cm^{-3}$，而接點102之摻雜濃度可為$1\times10^{20}cm^{-3}$。

【0029】 如圖2A所示，依據一些實現方式，矽、鍺、矽鍺(SiGe)、碳化矽(SiC)、碳化矽鍺(SiGeC)、 砷化銦(InAs),砷化鎵(GaAs)、磷化銦(InP)或是其他類似的三五族化合物半導體或其組合可做為該半導體基底。依據其中之一實施例，此半導體基底100可為單晶半導體材料，例如單晶矽材料。依據另一實施例，此半導體基底100可為矽覆絕緣(SOI)基底。此矽覆絕緣(SOI)基底可包含一底層基底、在底層基底上表面之一埋入絕緣層,及在埋入絕緣層上表面之一半導體層。此矽覆絕緣(SOI)基底之底層基底及半導體層可為相同或是不同的材料。在此處之半導體可為（但不限於）矽、鍺、矽鍺(SiGe)、碳化矽(SiC)、碳化矽鍺(SiGeC)、 砷化銦(InAs),砷化鎵(GaAs)、磷化銦(InP)或是其他類似的三五族化合物半導體。多層的這些半導體材料也可作為此矽覆絕緣(SOI)基底中底層基底及／或半導體層之一部份。依據其中之一實施例，此矽覆絕緣(SOI)基底中底層基底及半導體層皆包含矽。依據另一實施例，也可使用混合矽覆絕緣(hybrid SOI)基底，在不同表面區域具有不同之晶體取向(crystallographic orientations)。在本說明範例中，此半導體基底100係以矽基底

100作為範例。

【0030】如圖2B所示，於步驟S102中，在n+摻雜層110之上形成一光吸收磊晶層（如鍺磊晶層）130，且在n+摻雜層110及鍺磊晶層130之間具有一反摻雜層132。依據一些實施方式，此反摻雜層132之厚度可為1-150奈米，依據接近界面的摻雜區濃度及深度而定。在反摻雜層132內之摻雜物需有相近之自由載子濃度以補償在界面處之內建電位／載子，亦即由提供相反之電荷極性以在該界面處達成電中性及降低內建電位，從而降低操作偏壓及／或漏電流。對於鍺覆矽系統(Ge-on-Si system)，其界面大致上會呈現p型，因此在反摻雜層132內之摻雜物可為n型摻雜，如砷、磷或其組合。反摻雜層132可於磊晶成長鍺磊晶層130以同步摻雜（in-situ doping）,即於沈積晶體半導體材質時也同時加入摻雜物製成。依據其他之實施例，此反摻雜層132也可以其他製程製作，此製程例如（但不限於）n型摻雜之離子佈植。此反摻雜層132之材質可和鍺磊晶層130相同或是不同，例如可為具有不同鍺濃度之矽鍺。依據一些實施方式，可在反摻雜層132及鍺磊晶層130之間額外加入一界面擴散控制層，以使反摻雜層132之摻雜不會擴散至鍺磊晶層130。例如，此界面擴散控制層亦可為具有不同鍺濃度之矽鍺。在反摻雜層132及鍺磊晶層130形成後，即可在鍺磊晶層130上形成一氧化物覆層138以保護鍺表面。

【0031】如圖2C步驟S104之中，在氧化物覆層138形成之後，使用光佈形及蝕刻以界定一鍺區140及一反摻雜區142，並露出矽基底100之部份上表面。

【0032】如圖2D所示步驟S106之中，使用適當之蝕刻劑以側向蝕刻該鍺區140及／或反摻雜區142，以使其形成一側向凹陷區。

【0033】如圖2E於步驟S108之中，係在前述之結構表面上形成一覆蓋層150以覆蓋鍺表面,且在鍺區140上表面處以半導體製程（如離子佈植）形成p型摻雜區144。依據一部分實施例，此覆蓋層150可為非晶矽或是多晶矽。依據一些實施方式，在形成該p型摻雜區144的摻雜程序時，亦可同時對於此覆蓋層150進行摻雜以形成一自我對準矽化物（salicide）之電接點。依據一些實施方式，此p型摻雜區144可與鍺區140具有不同之上視圖形狀。例如，鍺區140可為方形，而p型摻雜區144可為圓形。依據一些實施方式，此p型摻雜區144可與鍺區140亦可有近似之形狀。例如，鍺區140及p型摻雜區144可都為方形或是圓形。

【0034】如圖2F所示，於步驟S110之中，係在前述結構上以一層間介電層(ILD) 152覆蓋包含鍺區140的結構，且以化學機械研磨法（CMP）磨掉因為該鍺區所造成的不平坦部份。層間介電層(ILD) 可包含數次沈積步驟以達成所需厚度。隨後經由光佈形及蝕刻程序以製作電接點通孔154，並露出重摻雜區102及部份的覆蓋層150。

【0035】如圖2G所示，於步驟S112之中，係在重摻雜區102之上引入如鎳、鈷、鈦或是鉑之類金屬，隨後進行熱形成(thermal forming)步驟及移除未反應部份，以形成自我對準矽化物158。在部分實施例中,隨後可在自我對準矽化物158上的接點通孔154中形成鎢插栓(W plug)156。

【0036】如圖2H所示，於步驟S114之中，係形成一金屬連接線（M1 layer）160以提供對外之導電連接。在一些實施方式中，若光訊號係自圖2H所示結構上方入射，則可先在鍺區140上方的層間介電層152開孔並再形成一抗反射覆層(ARC)。在其他之實施方式中，若光訊號係自圖2H所示結構下方入射，

則可先薄化基底，並在其底部加上一抗反射覆層(ARC)。

【0037】 在一些實施方式中，於鍺區140下方的反摻雜區142具有n型摻雜及適當厚度（1-150奈米），以補償p型異質界面，藉此降低內建電位、操作偏壓及漏電流。在圖2A-2H，因為係二維側視圖呈現，因此繪示有兩個p型接點及兩個n型接點。在一些實施方式中，可使用一單一連續接點導孔(continuous contact via)或是導環(ring)。如圖2E-2H所示，覆蓋層150之覆蓋範圍為示意用且可延伸到其他區域，只要覆蓋層150不會擋住鎢插栓156或是導孔，而使其無法導電。再者，若圖2E-2H所示之n+摻雜層110亦為示意用，此n+摻雜層110也可延伸到其他區域。如圖2E-2H所示之p型摻雜區144亦為示意用，此p型摻雜區144也可延伸到鍺區140之側壁。

【0038】 圖3A至3C為說明依據其他實施方式，在異質界面附近形成本質區的剖視圖。如圖3A所示，如圖2B所示之步驟S102可改以下列之子步驟S102a：在矽基底100之上表面形成一反摻雜層122，其由離子佈植形成，然後再形成層130。如圖3B所示，如圖2B所示之步驟S102可改以下列步驟S102b: 在矽基底100上表面先形成一第一反摻雜層122a，其可由離子佈植形成。隨後在矽基底100上表面形成磊晶成長鍺磊晶層130，且鍺磊晶層130具有一第二反摻雜層132a。在圖3B所示結構中，異質界面係在第一反摻雜層122a（矽基材料）及第二反摻雜層132a（鍺基材料）之間。依據一些實施方式，第一反摻雜層122a厚度為1-150奈米，視接近界面之摻雜剖面而定。再者，在第一反摻雜層122a內之摻雜物也應和鍺磊晶層130之內建電位載子有相似之載子濃度，但是具有相反之極性，以達成電中性。依據一些實施方式，第二反摻雜層132a 厚度為1-150奈米。再者，在第二反摻雜層132a內之摻雜物也應和鍺矽接面之內

建電位載子有相似之載子濃度，但是具有相反之極性，以達成電中性；在鍺矽接面處因為有p型接面缺陷及異質電洞侷限(heterojunction hole confinement)，所以呈現p型接面。

【0039】 如圖3C所示，如圖2B所示之步驟S102可改以下列之子步驟S102c：在矽基底100之上表面形成一矽磊晶層120。此矽基底100可在接近矽磊晶層120界面處進行摻雜。在矽磊晶層120形成一磊晶成長鍺磊晶層130，且鍺磊晶層130具有一反摻雜層132。反摻雜層132厚度為1-150奈米且較佳摻雜n型摻雜物（如砷、磷或其組合），以補償p型界面。反摻雜層132可在磊晶成長鍺磊晶層130之同時以同步摻雜方式形成，或是在形成鍺磊晶層130後，以n型雜質離子佈植方式形成。依據一些實施方式，此矽磊晶層120可達成多個功效，如降低自摻雜基底的摻雜擴散，及降低由於鍺的小介電係數導致的接面電容。

【0040】 在圖2B至2H所示的範例中，反摻雜層或是反摻雜平台可泛指在矽層及另一包含鍺的磊晶層間的一界面層。反摻雜層之成份可為矽、鍺或其合金。在圖3A所示範例中，反摻雜層122可泛指在矽基底100及鍺磊晶層130之間的一界面層。在圖3B所示範例中，第一反摻雜層122a及第二反摻雜層132a可泛指在矽基底100及鍺磊晶層130之間的一界面層，即使此圖繪示兩層反摻雜層。在圖3C所示範例中，反摻雜層132可泛指在矽基底100及鍺磊晶層130之間的一界面層，即使此圖繪示出矽磊晶層120係夾在矽基底100及反摻雜層132之間。在本發明中，界面反摻雜層可為單一層或是多層結構，且在層A與層B之間以提供層A與層B之間的一本質區域(intrinsic region)。此外，此界面反摻雜層並不需要直接與層A或層B直接接觸，其他的層可以位於界面反摻雜層及層A之間，或是界面反摻雜層及層B之間，只要能在層A及層B之間提供一實體上的本

質區域即可。

【0041】圖4A至4C顯示依據本發明一實施例之形成一光二極體之製程側視圖，此光二極體具有較低之缺陷輔助摻雜擴散(defect assisted dopant diffusion)。如圖4A所示，在矽基板100上首先以磊晶成長或是離子佈植形成一摻雜層200。隨後，於摻雜層200上形成一摻雜控制層(dopant control layer)210。依據一些實施方式，此摻雜控制層210包含矽鍺，此摻雜層200包含鍺或是矽鍺，且摻雜層200之摻雜包含磷。在摻雜控制層210上形成一鍺磊晶層130以作為光感應層，且在鍺磊晶層130上形成一頂部摻雜層135。依據一些實施方式，此頂部摻雜層135包含硼。

【0042】依據一些實施方式，此摻雜層200之形成方式可為先形成未摻雜層，然後將摻雜由基板100驅入原本未摻雜之摻雜層200中。驅入程序可在摻雜控制層210及至少一部份鍺磊晶層130形成後進行。此鍺磊晶層130之材質可為（但不限於）矽，矽鍺（鍺濃度在1% 至 100%）。此摻雜控制層210之材質可為（但不限於）矽鍺（鍺濃度小於鍺磊晶層130之鍺濃度），摻雜碳之矽鍺，或是摻雜碳之鍺。摻雜層200材質可為（但不限於）重度摻雜鍺，重度摻雜矽鍺（鍺濃度大於鍺磊晶層130之鍺濃度，但不小於摻雜控制層210之鍺濃度）。

【0043】摻雜層200具有何矽基底100相同之電極性（例如n型摻雜）。若矽基底100直接接觸鍺磊晶層130且有晶格不匹配，則會造成缺陷、暗電流增加、及摻雜擴散加速。摻雜控制層210係設置在矽／鍺界面附近以作為摻雜阻隔，使來自矽基底100之摻雜僅會驅入至摻雜層200，藉此降低暗電流，且使缺陷不會進入鍺磊晶層130，造成元件劣化。依據一些實施方式，此摻雜層200也可作為如前所述之一反摻雜層，以降低操作偏壓及／或漏電流。

【0044】 如圖4B所示，為依據本發明另一實施例之側視圖，其接近圖4A所示實例，但是頂部摻雜層135被異質頂部摻雜層136取代，此異質頂部摻雜層136與其下之光感應材料不同。此異質頂部摻雜層136係由矽或是矽鍺製成，因此和鍺磊晶層130之間有較小甚至沒有不匹配。

【0045】 如圖4C所示，為依據本發明另一實施例之側視圖，其接近圖4B所示實例，但是在異質頂部摻雜層136和鍺磊晶層130之間設立另一組摻雜層200b及摻雜控制層210b以改善異質界面品質。藉由引入摻雜控制層210b，可避免異質頂部摻雜層136之摻雜擴散到鍺磊晶層130之內。異質頂部摻雜層136可包含矽、鍺或其組合。在異質頂部摻雜層136之摻雜可為硼、磷或其組合。依據一些實施方式，此摻雜層200b可和異質頂部摻雜層136具有相同之極性， 依據一些實施方式，此摻雜層200b可作為如前所述之反摻雜層以降低界面內建電壓及降低操作偏壓。

【0046】 在圖4A及4B所示範例中，摻雜層200及摻雜控制層210可共同稱為在矽基板100及鍺磊晶層130之間的界面層（interfacial layer），即使在此些範例中，於矽基板100及鍺磊晶層130之間實體上有兩層。同樣地，在圖4C所示範例中，摻雜層200b及摻雜控制層210b可共同稱為在異質頂部摻雜層136及鍺磊晶層130之間的界面層。在本發明中，界面層可為在層A及層B之間的一層或是多層材料，且控制層A及層B之間的摻雜擴散。此外，此界面層也無須與層A及層B直接接觸，其他層也可設置在界面層及層A之間，或是界面層及層B之間，只要層A及層B之間的摻雜擴散可受控制即可。在一些實施方式中，摻雜層及摻雜控制層之位置可以互換，亦即摻雜控制層可在摻雜層之上或是之下。在一些實施方式中，摻雜層也可如前所述作為反摻雜層。

【0047】 圖5A至5B顯示圖4A所示結構之一種實現方式。首先在N型摻雜矽基底100上成長具有本質鍺之鍺磊晶層130，亦即先成長具有和鍺磊晶層130相似材料成份之晶種層(seeding layer)200，再成長包含矽或是矽鍺之摻雜控制層210以抑制磷擴散到鍺磊晶層130（磷在鍺磊晶層130擴散快速）及達成所需本質特性。在成長時可妥善控制晶種層200及摻雜控制層210之厚度。依據一些實施方式，摻雜控制層210之厚度介於50-150奈米，且包含矽鍺。如圖5B所示，頂部摻雜層135具有和N型摻雜矽基底100相反之極性，以實現p-i-n光二極體／光檢測器結構。

【0048】 圖6A至6E顯示為依據本發明其他實施例之具有蝕刻／研磨阻擋層之光二極體製作方法。圖6A所示步驟可延續圖2D所示步驟S106進行。在此圖示中省略摻雜區102, 110以簡化說明。在矽基底100上先形成一第一界面層112，再於第一界面層112上形成一包含鍺之第二層140。第一界面層112（如虛線框所示）可作為圖2A-3C所敘述之反摻雜層、或是圖4A-4C所敘述之摻雜控制層、或是具有比第二層140介電係數大之材料層（做能帶調整用）。如圖6A所示，在第二層140之上形成一覆蓋層30以覆蓋及保護此第二層140，覆蓋層30之材料可為，但是不限於，矽（多晶矽或是非晶矽）、氧化矽、氮化物，高介電係數材料或是上述材料組合。

【0049】 如圖6B所述，在覆蓋層30之上以全區方式形成一擋止層32，此擋止層32之材質例如（但不限於）氮化物。依據一些實施方式，此擋止層32可包含多層氧化物及氮化物。依據一些實施方式，此擋止層32之厚度範圍為10-2000埃，以100至500埃較佳。在形成擋止層32後，在整個平台上形成一層間介電層34，且如圖6C所示，可隨選的進行回流或是CMP製程，以使層間介電層

34平坦化。此層間介電層34之材質例如可為（但不限於）和擋止層32不同之氧化矽。如圖6D所示，再對此層間介電層34進行CMP製程，以使在擋止層32之上的層間介電層34完全被去除為止。若未在圖6C所示步驟預先進行CMP，則在圖6D進行單一CMP即可。再者，此移除程序可經設計使CMP製程在擋止層32停止，且具有最小之厚度損失。換言之，此層間介電層34之去除程序需與擋止層32具有高度選擇性。例如此選擇性為1:5。隨後如圖6E所示，在擋止層32之上均勻沈積一反射器36。藉由 上述程序，反射器36之厚度即可由薄膜沈積程序（而非傳統平面化製程）而精確控制。反射器36可提供反射、調整光學孔穴路徑長度，或是兩者之結合。依據一些實施方式，此反射器可包含在一介電層上之金屬層，即可提供大於95%之反射率，因此由圖6E結構底部入射之光線可被反射而再被第二層140吸收。依據一些實施方式，反射器由氧化物及氮化物製成且反射率可小於50%，藉此光訊號可由上方射入。依據一些實施方式，在外部光學源及第二層之間可加入抗反射（anti-reflection-coating, ARC）層。反射器可包含一介電層（氧化物或是氮化物層）、多層介電層、金屬（例如鋁）層，或是這些層之組合。依據一些實施方式，此反射器可包含如氧化物之介電材料、如鋁之金屬材料、或是在介電材料（厚度接近入射光之四分之一波長）上覆蓋一金屬層。反射器通常具有嚴格之厚度限制（<5%）以確保高良率；在此實例中，一擋止層32(阻擋蝕刻或是研磨)設置於光二極體／光檢測器中，以改良反射器結構之厚度均勻控制。在此須知上述之製作程序並非唯一流程且步驟可以互換次序。例如在反射器沈積之前可以再進行另一蝕刻程序以去除擋止層32，以使擋止層32因為CMP製程產生的厚度變化可以降低。依據一些實施方式，擋止層32為氮化物材料且使用含磷酸之溼蝕刻製程，以在沈積反射

器36之前移除氮化物。再者，在上述實例中，形成鍺磊晶平台之第二層140和矽基底100具有晶格不匹配，反射器36具有一預定厚度以實現預定反射率；在光訊號被反射器36反射後，至少一部份光訊號可被第二層140吸收。

【0050】圖7A至7E顯示為依據本發明其他實施例之具有蝕刻／研磨阻擋層之光二極體製作方法。圖7A所示步驟可延續圖2B所示步驟S102進行。在矽基底100上先形成一第一界面層112，再於第一界面層112上形成一包含鍺之第二層140。第一界面層112（如虛線框所示）可作為圖2A-3C所敘述之反摻雜層、或是圖4A-4C所敘述之摻雜控制層、或是具有比第二層140介電係數大之材料層（做能帶調整用）。如圖7A所示，在第二層140之上形成一覆蓋層31以覆蓋及保護此第二層140，覆蓋層31之材料可為，但是不限於，矽（多晶矽或是非晶矽）、氧化矽、氮化物，高介電係數材料或是上述材料組合。隨後，在覆蓋層31之上形成一擋止層33，此擋止層33之材質例如（但不限於）氮化物。依據一些實施方式，此擋止層33可包含多層氧化物及氮化物。依據一些實施方式，此擋止層33之厚度範圍為10-2000埃，以100至500埃較佳。在形成擋止層33後，對於覆蓋層31、擋止層33及第二層140做光阻佈形，以形成圖7A所示之平台結構。然後如圖7B所示，在平台（包含覆蓋層31、擋止層33及第二層140之鍺磊晶平台區域）側壁形成一覆蓋側護壁(passivation spacer)35。依據一些實施方式，此覆蓋側護壁35可先在平台均勻沈積一覆蓋膜（passivation film）以在側壁形成較厚區域。隨後進行一方向性（非等向）蝕刻以去除在上表面的側護壁材料直到側壁殘留有較厚材料以作為覆蓋側護壁35。隨後，在整個平台上形成一層間介電層34，且如圖7C所示，可隨選的進行回流或是CMP製程，以使層間介電層34平坦化。如圖7D所示，再對此層間介電層34進行CMP製程，

以使在擋止層33之上的層間介電層34完全被去除為止（無論是否在圖7C之步驟有進行預先平坦化製程）。若未在圖7C所示步驟預先進行CMP，則在圖7D進行單一CMP即可。隨後如圖7E所示，在擋止層33之上均勻沈積一反射器36，此反射器36之細節可參見如圖6E之敘述內容。

【0051】圖8A至8F顯示為依據本發明其他實施例之具有蝕刻／研磨阻擋層之光二極體製作方法。圖8A至8C所示步驟說明係類似圖7A至7C所示步驟說明，於圖8D所示步驟中，層間介電層34更進一步由CMP程序處理，或是由回蝕步驟處理，此步驟在接近擋止層33處停止，且對於層間介電層34或是擋止層33有過蝕刻或是過研磨。相較於圖7所示範例，此範例之擋止層可稱為假擋止層，因為在後續程序會被移除。因此這個擋止層不需有高選擇性之移除程序，進而增加製程彈性。如圖8E所示，藉由溼蝕刻或是溼蝕刻與乾蝕刻之結合，將假擋止層33移除。使用的蝕刻化學物只會對假擋止層33有反應且對於其餘露出的材料（例如層間介電層34）有高選擇性。例如，踱擋止層為氮化物，則可以使用以磷酸為主的濕蝕刻製程。隨後，如圖8E所示，可在所得結構表面上均勻沈積一反射器36，此反射器之敘述及結構可如圖6E及7E所述內容。同樣地，藉由薄膜沈積步驟即可精確控制反射器36厚度，而不需藉由研磨程序控制厚度，因此較傳統平面化製程更易控制均勻度。

【0052】圖9A至9D顯示為依據本發明其他實施例之具有均勻選擇性鍺蝕刻之光二極體製作方法。如圖9A所示，圖9A所示步驟可延續圖2B所示步驟S102進行。在矽基底100及磊晶層130之間形成一界面層40。依據一些實施方式，此磊晶層130包含鍺，此界面層40可為本質矽層以作為反摻雜層、摻雜擴散層，或是兩者，且一覆蓋層42(由介電材料製成)係位於磊晶層130之上。隨

後，如圖9B所示，此覆蓋層42、磊晶層130及界面層40係由RIE完全或是部份佈形以形成平台結構140。藉由方向性離子蝕刻（例如RIE），在接近平台側壁處會有受損區43。如圖9C所示，進行選擇性鍺蝕刻可移除受損區43，且此程序會產生如圖9C所示之側凹區45。由於磊晶層130上面會被介電材料之覆蓋層42蓋住，此蝕刻程序主要在平台側壁進行。在本發明後續說明會進一步說明。最後如圖9D所示，為了形成p-i-n或是n-i-p結構，在所得結構之頂部表面形成一薄磊晶層46，其為重摻雜層且具有和基底摻雜區110相反之極性。在此須知上述製程之步驟可以做更換。

【0053】 復參見圖9C，本發明提出三種可以實現均勻選擇性鍺蝕刻製程。第一種方法係使用化學溼蝕刻以實現均勻（等向性）鍺蝕刻（對於矽具有選擇性）。一般而言，鍺蝕刻係由兩步驟實現。第一步驟是氧化反應以使被蝕刻材料轉變成高氧化狀態。第二步驟係為氧化產物之溶化步驟。依據一種實施方式，溼蝕刻之化學材料包含（但不限於）NH_4OH (溶化) 及 H_2O_2 (氧化)。蝕刻率可藉由水(H_2O)之稀釋比例控制。此外，蝕刻化學物可對於矽有選擇性。NH_4OH 及 H_2O_2之混合溶液廣用於晶圓清洗且對於矽有相當低之蝕刻率。第二種方式係使用氟、氯、及溴系之RIE製程及順流式電漿架構（downstream plasma configuration）。不需使用離子轟擊，使用上述化學物即可對鍺有較大之作用。順流式電漿架構可提供幾乎沒有損傷的均勻蝕刻，且不會造成因為方向性離子轟擊產生的側壁破壞。藉由適當的控制RIE條件，即可達成40:1之鍺與矽蝕刻比例。第三種方式則為在較低氣壓之真空環境系統中使用高溫氣相之HCl蝕刻。氣相之HCl可以蝕刻矽及鍺，且因氣相蝕刻不需任何方向性之離子轟擊，其作用為均勻的。此外，蝕刻矽及鍺之活化溫度有很大差異（超過

100°C），若在接近600°C的溫度下進行蝕刻，僅有鍺會被蝕刻，藉此達成矽與鍺之間的選擇性蝕刻。此外，上述之製程也可應用於本發明其他實施方式，例如圖6-8所示實例。以圖7A及8A實例為例，在平台形成之後，可採用均勻選擇性之鍺蝕刻以移除第二層140之受損側壁，因此僅會留下在一選擇區域內之未受損第二層，即可在覆蓋第二層140露出側壁至少一部份以前形成前述之覆蓋側護壁35。

【0054】 圖9E為顯示具有摻雜隔離之光二極體之側視圖。在此實例中，係在兩個光吸收元素的兩個鄰接部份建立一個相反摻雜區域，以界定兩個光吸收元素(absorption element)；每一光吸收元素具有各自之頂部摻雜區及基底摻雜區。例如，若此兩個元素之基底摻雜是N型，則摻雜分開區域（相反摻雜區域）是P型。依據一些實施方式，若光吸收區域為輕摻雜P型，則摻雜分開區域（相反摻雜區域）是N型。依據一些實施方式，若光吸收區域包含鍺且基底為矽，由於接近矽鍺界面有表面陷阱狀態，則界面層可為P型，且摻雜分開區域（相反摻雜區域）是N型。此界面層40可以故意加入以作為前述之摻雜擴散控制層或是反摻雜層，或是可為在鍺沈積成長之熱過程於鍺層及矽基底間的產生的互擴散區域。

【0055】 圖10A至10F顯示依據本發明其他實施例之具有側壁覆蓋之光二極體製作方法側視圖。如圖10A所示，其製程可延續圖2A所示之步驟S100繼續進行，亦即在具有摻雜層110之矽基底100上進行。一絕緣層（例如一場介電層）50係沈積於矽基底100之上表面。如圖10B所示，藉由光阻佈形及蝕刻，可在場介電層50之上界定一選擇區域開口50a，其中此選擇區域開口50a可露出摻雜層110表面之一部份（一第一選擇區域）。隨後，如圖10C所示，在具有

選擇區域開口50a之場介電層50之上沈積一覆蓋層52。

【0056】依據一些實施方式，此覆蓋層52之材質可為矽（非晶矽或是多晶矽）、氮化物、或是高介電質材料。如圖10D所示，可藉由方向性蝕刻以去除部份覆蓋層52直至覆蓋側護壁52a殘留在選擇區域開口50a之側壁上（亦即場介電層50之內側表面）。如圖10E所示，在選擇區域開口50a內選擇性成長一第一光吸收層（例如具有鍺之光感應材料層），且此第一光吸收層經由CMP程序處理以形成一光感應區54。在選擇性成長此第一光吸收層之前，也可隨選地在第一選擇區域上形成一界面層112。

【0057】此界面層112可為參考圖2A至3C所敘述之反摻雜層、或是參考圖4A至4C所敘述之摻雜擴散控制層、或是一能帶調整層（具有較光感應區54介電係數小之材料）。最後，如圖10F所示，在光感應區54內接近表面處形成一摻雜區56。依據一些實施方式，若由上方觀之，此摻雜區56可和光感應區54有不同形狀。例如，此光感應區54由上方觀之可為矩形；而摻雜區56由上方觀之可為圓形。依據一些實施方式，選擇區域開口50a可為矩形且由(110)面所包圍，在填入含有鍺之光感應區域後可達成良好之表面覆蓋(鈍化)。

【0058】在一些實例中，可由(110)面之外的面形成此矩形選擇區域開口50a。為了降低接面電容，此摻雜區56可小於此選擇區域開口50a，且可具有圓形表面以實質匹配輸入光束剖面。在一些實施方式中，由上方觀之，此摻雜區56可有和光感應區54相似之形狀。例如，此摻雜區56和光感應區54可同為矩形或是圓形。依據一些實施方式，此摻雜區56和光感應區54可同為具有圓化角落之矩形。

【0059】再者，參見圖10G，另一實施例可由圖10B之製程後另以其他步

驟製作，首先在選擇區域開口50之中（晶種區域）成長一晶種層58，且在晶種層成長後可進行CMP。隨後，在所得結構上形成一第二絕緣層501，並部份去除此第二絕緣層501一露出一第二選擇區域。如圖10H所示，在對應於第二選擇區域之側壁上形成一側護壁520。如圖10I所示，再於此第二選擇區域內填入光感應區54及在此光感應區54上形成一覆蓋層150。圖10H, I所示步驟類似於圖10B至10F所示步驟，除了在形成側護壁之前係於一晶種區內形成一晶種層。

【0060】再者，參見圖10J，另一實施例可由圖10G之前的製程另以其他步驟製作。在將晶種層填入選擇區域開口50之前，可在側壁上形成底部側護壁52a。如圖10K所示，在選擇區域開口50之中（晶種區域）成長一晶種層58，且在成長此晶種層58之後隨即進行CMP。在此時，可以進行如圖10H至10I所示步驟，以形成在上層之光感應區54。隨後，進行類似圖2F至2H所示之步驟（或是其他類似步驟）以形成光二極體之電接點。依據一些其他實施方式，此晶種層可為矽、鍺，或是具有不同鍺濃度之矽鍺。此光感應區54可為矽、鍺，或是具有不同鍺濃度之矽鍺。依據一些其他實施方式，光感應區54之鍺濃度高於晶種層。再者，於晶種層及基底之間，及／或光感應區及基底之間，及／或晶種層及光感應區之間可插入界面層。依據一些實施方式，此界面層可作為反摻雜層，及／或摻雜擴散控制層，及／或能帶調整層。依據一些實施方式，此晶種層為矽材料且作為摻雜擴散控制層，以降低由基底向光感應區之擴散。依據一些實施方式，此晶種層可和光感應區實質上具有相同材料（例如鍺）。依據一些實施方式，晶種層可和其上的光感應區以不同步驟製作以降低熱預算，此因在兩個成長步驟之間可能會進行其他步驟（如形成金屬矽化物）。藉由兩次成長，即可形成較厚且具有實質相同材料之光感應區。依據一些實施方式，

在晶種區域及第二選擇區域會因多重光蝕刻步驟而有故意或是非故意之未對準（misalignment）。須知圖10僅為範例說明，而非為本發明限制。例如，在圖10H及10I中，兩步驟之沈積／成長架構可隨選進行側護壁之形成，亦即先形成晶種區58，再形成第二光感應區54，而不需引入側護壁520。依據另一實例，此光感應區54之厚度可大於晶種區58之厚度，且光感應區54之開口區域可大於，等於或是小於晶種區58。

【0061】 圖11A至11G顯示依據本發明其他實施例之具有側壁覆蓋之光二極體製作方法側視圖。如圖11A所示，其製程可延續圖2A所示之步驟S100繼續進行，亦即在具有摻雜層110之矽基底100上進行，且一場介電層50係沈積於矽基底100之上表面。如圖11B所示，藉由光阻佈形及蝕刻，可在場介電層50之上界定一選擇區域開口50a，其中此選擇區域開口50a可露出摻雜層110表面之一部份。

【0062】 隨後，如圖11C所示，在具有選擇區域開口50a內以選擇性成長方式成長感光材料（如鍺，或是有不同鍺濃度之矽鍺），以至少部份填入選擇區域開口50a內而形成一第一光感應區54a。依據一些實施方式，在選擇性成長此第一光感應區54a之前，可先形成一界面層112，此界面層112可為圖2A至3C所示之反摻雜層，或是如圖4A至4C所敘述之擴散控制層。

【0063】 隨後，如圖11D所示，在場介電層50之上表面及第一光感應區54a上沈積一覆蓋層53。此覆蓋層53之材料可為矽（非晶矽或是多晶矽）、氧化物，氮化物、高介電質材料，或是其組合。如圖11E所示，於所得結構進行方向性蝕刻以去除部份覆蓋層53，而在選擇區域開口50a之側壁上形成覆蓋側護壁53a。如圖11F所示，以選擇性沈積方式將感光材料（如鍺）填入選擇區域

開口50a之剩餘空間以形成一第二光感應區54b，且以CMP對於此第二光感應區54b進行平面化。最後，如圖11G所示，在此第二光感應區54b內且接近此第二光感應區54b上表面處形成一摻雜層56。依據一些實施方式，此摻雜層56為p型，且摻雜區110之摻雜為n型。依據一些實施方式，此摻雜層56為n型，且摻雜區110之摻雜為p型。依據一些實施方式，如由上方觀之，此摻雜層56可與此第二光感應區54b有不同之形狀。例如，此第二光感應區54b可為矩形，而摻雜層56可為圓形。依據一些實施方式，選擇區域開口50a之形狀可為矩形且被(110)面包圍，因此在被含鍺之感光材料填入後可具有良好之表面覆蓋(鈍化)。依據一些實施方式，可用(110)面以外的平面以形成此矩形。為了降低接面電容，摻雜層56係小於此矩形開口50a，且可為圓形以匹配輸入光束剖面。依據一些實施方式，由上方觀之，此摻雜層56與此第二光感應區54b有相似之形狀。例如，此摻雜層56與此第二光感應區54b可同時為矩形或是圓形。依據一些實施方式，此摻雜層56與此第二光感應區54b可同時為具有圓化角落之矩形。在進行完如圖11G所示步驟之後，即可進行如圖2F至2H(或類似步驟)以形成光二極體之電接點。

【0064】 圖11H 顯示依據本發明另一實施例之具有側壁覆蓋之光二極體側視圖。圖11H所示之光二極體類似圖11G所示之光二極體，但具有在摻雜層56與第二光感應區54b上之覆蓋層150。圖11I 顯示依據本發明另一實施例之具有側壁覆蓋之光二極體側視圖。圖11I所示之光二極體類似圖11G所示之光二極體，但可省略界面層112。圖11J 顯示依據本發明另一實施例之具有側壁覆蓋之光二極體側視圖。圖11J所示之光二極體類似圖11G所示之光二極體，但界面層112係位於第一光感應區54a及第二光感應區54b之間。圖11K顯示依據本發

明另一實施例之具有側壁覆蓋之光二極體側視圖。圖11K所示之光二極體類似圖11G所示之光二極體，然具有兩個界面層112a, 112b。換言之，第一界面層112a位於第一光感應區54a及第二光感應區54b之間；而第二界面層112b則位於摻雜層110及第二光感應區54b之間。圖11所示圖形中，完整層區域或是虛線框都可表示界面層112，且在部份實施例之敘述中，"矽基底100表面"可與"摻雜層110表面"互換。

【0065】 圖12A至12G顯示依據本發明其他實施例之具有側壁覆蓋之光二極體製作方法側視圖。如圖12A所示，其製程可延續圖2A所示之步驟S100繼續進行，亦即在具有摻雜層110之矽基底100上進行，且一場介電層51a係沈積於矽基底100之上表面。藉由光阻佈形及蝕刻，可在場介電層51a之上界定一選擇區域開口50a，其中此選擇區域開口50a可露出矽基底100表面之一部份。隨後選擇性成長一第一光感應區54a以填入選擇區域開口50a中。依據一些實施方式，在選擇性成長第一光感應區54a之前，可先形成一界面層112，此界面層112可為圖2A至3C所示之反摻雜層，或是如圖4A至4C所敘述之擴散控制層。依據一些實施方式，在選擇性成長第一光感應區54a之後可進行CMP。如圖12B所示，於所得結構沈積一第二絕緣層51b，且如圖12C所示，將第二絕緣層51b部份移除以露出一第二選擇區域50b。須知在實際之製程中，因為進行兩個分開之光佈形步驟，選擇區域開口50a及第二選擇區域50b之間可能會有側壁非對準。

【0066】 如圖12D所示，在所得結構沈積一覆蓋層53。依據一些實施方式，此覆蓋層53之材料可為矽（非晶矽或是多晶矽）、氧化物，氮化物、高介電質材料（例如氧化鋁Al_2O_3或是二氧化鉿HfO_2），或是其組合。如圖12E所

示，可藉由方向性蝕刻以去除部份覆蓋層53直至覆蓋側護壁53a殘留在第二選擇區域開口50b之側壁上（亦即場介電層51b之內側表面）。

【0067】 如圖12F所示，以選擇性沈積方式將感光材料（如鍺）填入第二選擇區域開口50b之剩餘空間以形成一第二光感應區54b，且以CMP對於此第二光感應區54b進行平面化。最後，如圖12G所示，在此第二光感應區54b內且接近此第二光感應區54b上表面處形成一摻雜層56。依據一些實施方式，此摻雜層56為p型，且摻雜區110之摻雜為n型。依據一些實施方式，此摻雜層56為n型，且摻雜區110之摻雜為p型。依據一些實施方式，如由上方觀之，此摻雜層56可與此第二光感應區54b有不同之形狀。例如，此第二光感應區54b可為矩形，而摻雜層56可為圓形。依據一些實施方式，第二選擇區域開口50b之形狀可為矩形且被(110)面包圍，因此在被含鍺之感光材料填入後可具有良好之表面覆蓋（鈍化）。依據一些實施方式，可用(110)面以外的平面以形成此矩形。為了降低接面電容，摻雜層56係小於此矩形開口50a，且可為圓形以匹配輸入光束剖面。依據一些實施方式，由上方觀之，此摻雜層56與此第二光感應區54b有相似之形狀。例如，此摻雜層56與此第二光感應區54b可同時為矩形或是圓形。依據一些實施方式，此摻雜層56與此第二光感應區54b可同時為具有圓化角落之矩形。在進行完如圖12G所示步驟之後，即可進行如圖2F至2H(或類似步驟)以形成光二極體之電接點。

【0068】 圖12H 顯示依據本發明另一實施例之具有側壁覆蓋之光二極體側視圖。圖12H所示之光二極體類似圖12G所示之光二極體，但具有在摻雜層56與第二光感應區54b上之覆蓋層150。圖12I 顯示依據本發明另一實施例之具有側壁覆蓋之光二極體側視圖。圖11I所示之光二極體類似圖11G所示之光二極

體，但可省略界面層112。圖12J 顯示依據本發明另一實施例之具有側壁覆蓋之光二極體側視圖。圖12J所示之光二極體類似圖12G所示之光二極體，但界面層112係位於第一光感應區54a及第二光感應區54b之間。圖12K顯示依據本發明另一實施例之具有側壁覆蓋之光二極體側視圖。圖12K所示之光二極體類似圖12G所示之光二極體，然具有兩個界面層112a, 112b。換言之，第一界面層112a位於第一光感應區54a及第二光感應區54b之間；而第二界面層112b則位於摻雜層110及第二光感應區54b之間。圖12所示圖形中，完整層區域或是虛線框都可表示界面層112。再者，圖12所示範例僅為舉例說明本發明用而非對於本發明之限制。例如，在圖12D到12K中，兩步驟之沈積／成長架構可隨選進行側護壁之形成，亦即先形成第一光感應區54a，再形成第二光感應區54b，而不需引入側護壁53a。依據另一實例，此光第二光感應區54b之厚度可大於或是小於第一光感應區54a之厚度，且第二光感應區54b之開口區域可大於，等於或是小於第一光感應區54a。且在部份實施例之敘述中，"矽基底100表面"可與"摻雜層110表面"互換。

【0069】 圖13係說明本發明之光二極體與一電晶體整合之示意圖。在基底100中有重摻雜區以提供電晶體70之源極72及渠極74。光二極體及電晶體之間的隔離可由淺溝槽隔離(shallow trench isolation, STI)、PN接面隔離，熱氧化物或是其他方式隔離實現。

【0070】 雖然本發明係藉由上述實施例說明，但須知本發明上述實施方式可以彼此組合，因此本發明範圍不限於上述實施方式而可加以變化及替換。因此本發明之具體實例及圖示不應為本發明之限制。依據一些實施方式，界面層、晶種層及光感應層之材料可為矽、鍺，具有不同鍺濃度之矽鍺。依據一些

實施方式，光感應層之鍺濃度高於晶種層之鍺濃度。此外，一界面層可置於晶種層及基底之間，及／或光感應層及基底之間，及／或晶種及光感應層之間。依據一些實施方式，此界面層可作為反摻雜層，及／或摻雜控制層，及／或能帶調整層。依據一些實施方式，此晶種層包含矽且可作為摻雜控制層而降低由基底擴散到光感應層的摻雜。

【0071】 依據一些實施方式，此晶種層具有和光感應層基本相同之材質成份，例如鍺。依據一些實施方式，晶種層可和其上的光感應區以不同步驟製作以降低熱預算，此因在兩個成長步驟之間可能會進行其他步驟（如形成金屬矽化物）。藉由兩次成長，即可形成較厚且具有實質相同材料之光感應區。依據一些實施方式，在晶種區域及第二選擇區域會因多重光蝕刻步驟而有故意或是非故意之未對準（misalignment）。依據一些實施方式，若採用選擇性成長，在成長階段會形成具有斜面形狀，此斜面可於後續之 CMP 步驟研磨。例如，若在一表面選擇性磊晶鍺，則會形成一(311)面。依據一些實施方式，在形成基底摻雜及界面層之前可加入一凹陷結構。依據一些實施方式，可採用前述側護壁形成方式而在凹陷區域的側壁上覆蓋一側護壁。此外須知依據本發明之概念，實際製作時仍可能會有製程缺陷，且這些缺陷仍在本發明實現範圍中。本發明揭露內容的任何變化及衍生仍在本發明之保護範圍中。

【0072】 本發明說明書揭露諸多細節，該些細節係說明特定實施例之特徵而非本發明範圍之限制。在本發明說明書不同實施例或實施方式之特定特徵也可經組合而成為一單一實施例。反之，在單一實施例所敘述的種種特徵也可分別在不同實施例應用或是成為一適當之次組合。再者，雖然部份特徵係在特定組合實施例有具體說明，或是在本發明初步專利範圍界定，但是一或多個特

徵可自此特定組合實施例去除，且此專利範圍界定之組合也可指向到一次組合或是多個次組合。

【0073】　相同地，雖然在圖示敘述特定次序之操作，該些操作可依其他特定次序或序列次序操作，或依據圖示次序操作以達成所需功效。在特定狀況下，多工或是平行處理可達成具體優點。此外，不同系統元件在不同實施例可能彼此分開，但不應視為該些元件必須在所有實施例彼此分開。

【0074】　本發明雖然敘述特定實施例，但是其他實施例仍在本發明範圍內。例如在專利範圍內界定之操作可由不同次序操作，仍可達成所需功效。

【符號說明】

【0075】 10a, 10 光二極體

【0076】 100a 基底

【0077】 100 基底

【0078】 110a n 型摻雜區

【0079】 110 n+摻雜層

【0080】 130a本質鍺區

【0081】 132a p型鍺區

【0082】 180a 覆蓋層

【0083】 102 重摻雜區

【0084】 112 第一界面層

【0085】 130 鍺磊晶層

【0086】 122, 132, 122a, 132a 反摻雜層

【0087】 138 氧化物覆層

【0088】 140 鍺區

【0089】 142 反摻雜區

【0090】 144 p型摻雜區

【0091】 150 覆蓋層

【0092】 152 層間介電層

【0093】 154電接點通孔

【0094】 156 鎢插栓

【0095】 158 自我對準矽化物

【0096】 160 金屬連接線

【0097】 200, 200b 摻雜層

【0098】 210, 210b 摻雜控制層

【0099】 135 頂部摻雜層

【0100】 136 異質頂部摻雜層

【0101】 30, 31覆蓋層

【0102】 32, 33 擋止層

【0103】 34 層間介電層

【0104】 36 反射器

【0105】 42覆蓋層

【0106】 43 受損區

【0107】 46 薄磊晶層

【0108】 35 覆蓋蓋側護壁

【0109】 50, 51a 場介電層

【0110】 52, 53, 150 覆蓋層

【0111】 50a 選擇區域開口

【0112】 50b 第二選擇區域

【0113】 52a, 53a 覆蓋側護壁

【0114】 54 光感應區

【0115】 54a 第一光感應區

【0116】 54b 第二光感應區

【0117】 56 摻雜區

【0118】 501 第一絕緣層

【0119】 502, 51b 第二絕緣層

【0120】 520 側護壁

【0121】 58 晶種層

【0122】 112a, 112b 界面層

【發明摘要】

【中文發明名稱】光吸收裝置及其形成方法

【英文發明名稱】LIGHT ABSORPTION APPARATUS AND METHOD FOR MANUFACTURING THE SAME

【中文】一種光吸收裝置，包含：一基底；一光吸收層，位在該基底之一第一區域上；一含有矽之覆蓋層，位於該光吸收層之上；一側護壁，覆蓋在該光吸收層之側壁上；一絕緣層，覆蓋在該側護壁上；其中該光吸收裝置具有高頻寬及低暗電流。

【英文】A light absorption apparatus includes a substrate, a light absorption layer above the substrate on a first selected area, a silicon layer above the light absorption layer, a spacer surrounding at least part of the sidewall of the light absorption layer, an isolation layer surrounding at least part of the spacer, wherein the light absorption apparatus can achieve high bandwidth and low dark current.

【指定代表圖】圖10F

【代表圖之符號簡單說明】

100 基底

110 n+摻雜層

112 第一界面層

【發明申請專利範圍】

【第1項】一種形成光吸收裝置之方法，包含：

(1) 在一基底上形成一絕緣層；

(2) 去除部份之絕緣層以露出一晶種區域，在該晶種區域內形成一晶種層，及沈積另一絕緣層；

(3) 去除部份之該另一絕緣層以露出一第一區域，其中該第一區域至少部份與該晶種區域重疊；

(4) 在該第一區域內磊晶成長含有鍺之一第一光吸收層；

(5) 在該第一光吸收層上形成含有矽之一覆蓋層，

其中藉由覆蓋該第一光吸收層之上表面可降低暗電流，藉以實現低暗電流及高光響應之光吸收裝置。

【第2項】如請求項1之形成光吸收裝置之方法，更包含：

在步驟(4)之前，形成一側護壁以覆蓋該第一區域之至少部份側壁。

【第3項】如請求項1之形成光吸收裝置之方法，更包含：在形成該晶種層之晶種材料前，於該晶種區域內形成一側護壁。

【第4項】如請求項1之形成光吸收裝置之方法，更包含：

在該基底及該第一光吸收層之間形成含矽之一第一界面層，其中該第一界面層之介電常數低於該第一光吸收層之介電常數。

【第5項】如請求項2之形成光吸收裝置之方法，更包含：

在該晶種層及該第一光吸收層之間形成含矽之一第二界面層，其中該第二界面層之介電常數低於該第一光吸收層之介電常數。

【第6項】如請求項1之形成光吸收裝置之方法，更包含：

在步驟(4)之前，在基底形成重摻雜區以用於一電晶體之源極及汲極。

【第7項】一種形成光吸收裝置之方法，包含：

(1) 形成一第一摻雜區，該第一摻雜區至少部份嵌入一基底內；

(2) 在該第一摻雜區上形成第一層；

(3) 在該第一層上形成含鍺之一第二層；

(4) 在該第二層上形成一第三層；

(5) 在該第三層上形成含氧化物之一第四層；

(6) 在該第四層上形成含氮化物之一第五層；

(7) 去除該第五層且去除作業停止在該第四層上；

(8) 在該第四層上形成一第六層，

其中該第二層與該基底表面有晶格不匹配，且該第六層具有一預定厚度以使一光訊號在通過該第六層時具有一預定之反射率，其中至少部份之該光訊號被該第二層吸收。

【第8項】如請求項7之形成光吸收裝置之方法，其中該第三層包含氧化物、氮化物、矽、高介電質材料或是其組合。

【第9項】如請求項7之形成光吸收裝置之方法，更包含：

透過離子佈植摻雜以將該第二層分成數個單位區域。

【第10項】一種光吸收裝置，包含：

一基底；

一光吸收層，位在該基底之一第一區域上；

一含有矽之覆蓋層，位於該光吸收層之上；

一側護壁，覆蓋在該光吸收層之側壁上；

一絕緣層，覆蓋在該側護壁上；

一表面摻雜區位於接近該光吸收層頂部表面之區域內，其中該表面區域小於該第一區域，含有鍺之該光吸收層係形成於該第一區域內，該第一區域被(110)面包圍以有效對鍺作表面覆蓋；

其中該光吸收裝置具有高頻寬及低暗電流。

【第11項】如請求項10之光吸收裝置，其中該光吸收層更包含一較低層及一較高層，該較高層之鍺濃度高於該較低層之鍺濃度。

【第12項】如請求項10之光吸收裝置，更包含位於該基底及該光吸收層間之一界面層，其中該界面層之矽濃度高於該光吸收層之矽濃度。

【第13項】如請求項10之光吸收裝置，其中該覆蓋層包含矽，且可用於形成金屬矽化物接點。

【第14項】如請求項10之光吸收裝置，其中該表面摻雜區位於接近該光吸收層頂部表面之一圓形區域內，其中該圓形區域小於該第一區域，該含有鍺之該光吸收層係形成於該第一區域內，且該第一區域為矩形。

【第15項】一種光吸收裝置，包含：

一基底；

一光吸收層，位在該基底之上且包含一上側部份及一下側部份，該上側部份位於一第一區域中，該下側部份位於一第二區域中，該第一區域與該第二區域部份重疊；

一含有矽之覆蓋層，位於該光吸收層之上側部份之上；

一側護壁，覆蓋在該光吸收層之上側部份之側壁上；

一絕緣層，覆蓋在至少一部份之該側護壁上及該光吸收層之下側部份；

其中該光吸收裝置具有高頻寬及低暗電流；

其中該覆蓋層包含之矽可用於形成金屬矽化物接點。

【第16項】如請求項15之光吸收裝置，其中該上側部份之鍺濃度高於該下側部份之鍺濃度。

【第17項】如請求項15之光吸收裝置，更包含位於該基底及該光吸收層間之一界面層，其中該界面層之矽濃度高於該光吸收層之矽濃度，其中該界面層覆蓋界面表面陷阱態，以更進一步降低暗電流。

【第18項】如請求項15之光吸收裝置，更包含一側護壁用以覆蓋該光吸收層之該下側部份之側壁。

【第19項】如請求項15之光吸收裝置，更包含一表面摻雜區位於接近該光吸收層頂部表面之一圓形區域內，其中該圓形區域小於該第一區域，含有鍺之該光吸收層係形成於該第一區域內，該第一區域為矩形且被(110)面包圍以有效對鍺作表面覆蓋。