

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6449167号
(P6449167)

(45) 発行日 平成31年1月9日(2019.1.9)

(24) 登録日 平成30年12月14日(2018.12.14)

(51) Int.Cl.

F I

H03K 5/22 (2006.01)

H03K 5/22

H03K 7/08 (2006.01)

H03K 7/08

A

請求項の数 22 (全 26 頁)

(21) 出願番号 特願2015-542805 (P2015-542805)
 (86) (22) 出願日 平成25年11月15日(2013.11.15)
 (65) 公表番号 特表2016-502799 (P2016-502799A)
 (43) 公表日 平成28年1月28日(2016.1.28)
 (86) 国際出願番号 PCT/US2013/070249
 (87) 国際公開番号 W02014/078628
 (87) 国際公開日 平成26年5月22日(2014.5.22)
 審査請求日 平成28年11月14日(2016.11.14)
 (31) 優先権主張番号 61/726,996
 (32) 優先日 平成24年11月15日(2012.11.15)
 (33) 優先権主張国 米国 (US)
 (31) 優先権主張番号 14/080,322
 (32) 優先日 平成25年11月14日(2013.11.14)
 (33) 優先権主張国 米国 (US)

(73) 特許権者 397050741
 マイクロチップ テクノロジー インコー
 ポレイテッド
 MICROCHIP TECHNOLOG
 Y INCORPORATED
 アメリカ合衆国 85224-6199
 アリゾナ チャンドラー ウェスト チャ
 ンドラー ブルヴァード 2355
 (74) 代理人 100078282
 弁理士 山本 秀策
 (74) 代理人 100113413
 弁理士 森下 夏樹

最終頁に続く

(54) 【発明の名称】 相補出力ジェネレータモジュール

(57) 【特許請求の範囲】

【請求項 1】

マイクロコントローラのための相補出力ジェネレータモジュールであって、前記相補出力ジェネレータは、前記マイクロコントローラの処理コアを通して構成可能であり、前記相補出力ジェネレータは、

クロックソースに結合されたクロック入力と、

前記クロック入力からのクロック信号を受信する第1の回路であって、前記第1の回路は、複数の第1の入力信号を受信するように構成され、前記第1の回路は、前記複数の第1の入力信号のうちの少なくとも1つを選択するように構成可能であり、前記第1の回路は、選択された第1の入力信号の立ち上がりエッジを検出し、かつ前記クロックソースと同期する立ち上がりエッジ信号を始動させるようにさらに構成されている、第1の回路と

、
 前記第1の回路に結合されたレジスタであって、前記レジスタは、前記複数の第1の入力信号に関連した情報を記憶し、前記第1の回路に制御信号を提供することにより、前記第1の回路が前記複数の第1の入力信号から1つよりも多くの入力信号を選択可能であるようにする、レジスタと、

前記クロック信号を受信する第2の回路であって、前記第2の回路は、複数の第2の入力信号を受信するように構成され、前記第2の回路は、前記複数の第2の入力信号のうちの少なくとも1つを選択するように構成可能であり、前記第2の回路は、選択された第2の入力信号の立ち下がりエッジを検出し、かつ前記クロックソースと同期する立ち下がり

10

20

エッジ信号を始動させるようにさらに構成されている、第 2 の回路と、

前記立ち上がりエッジ信号および前記立ち下がりエッジ信号を受信する第 3 の回路であって、前記第 3 の回路は、

前記立ち下がりエッジ信号の検出まで、前記立ち上がりエッジ信号の検出に応じて、第 1 の出力駆動信号をアサートすることと、

次の立ち上がりエッジ信号の検出まで、前記立ち下がりエッジ信号の検出に応じて、第 2 の出力駆動信号をアサートすることと

を行うように構成されている、第 3 の回路と

を備える、相補出力ジェネレータモジュール。

【請求項 2】

前記クロック入力と複数のクロックソースとの間に結合されたクロックマルチプレクサをさらに備え、前記クロックマルチプレクサは、前記複数のクロックソースのうちの 1 つを選択するように適合されている、請求項 1 に記載の相補出力ジェネレータモジュール。

【請求項 3】

立ち上がりおよび / または立ち下がりイベントブランキング時間回路をさらに備え、前記立ち上がりおよび / または立ち下がりイベントブランキング時間回路は、前記立ち上がりおよび / または立ち下がりイベントブランキング時間回路がタイムアウトするまで、前記立ち上がりエッジ信号および / または立ち下がりエッジ信号を阻止する、請求項 1 または 2 に記載の相補出力ジェネレータモジュール。

【請求項 4】

立ち上がりイベントデッドバンド時間回路をさらに備え、前記立ち上がりイベントデッドバンド時間回路は、前記立ち上がりイベントデッドバンド時間回路がタイムアウトするまで、前記第 1 の出力駆動信号を阻止する、請求項 3 に記載の相補出力ジェネレータモジュール。

【請求項 5】

立ち下がりイベントデッドバンド時間回路をさらに備え、前記立ち下がりイベントデッドバンド時間回路は、前記立ち下がりイベントデッドバンド時間回路がタイムアウトするまで、前記第 2 の出力駆動信号を阻止する、請求項 4 に記載の相補出力ジェネレータモジュール。

【請求項 6】

前記立ち上がりおよび / または立ち下がりイベントブランキング時間回路、および / または、前記立ち上がりおよび / または立ち下がりイベントデッドバンド時間回路は、

前記クロックソースに結合されたカウンタと、

前記カウンタに結合されたコンパレータと、

前記コンパレータに結合された時間レジスタと

を備える、請求項 5 に記載の相補出力ジェネレータモジュール。

【請求項 7】

前記立ち上がりおよび / または立ち下がりイベントブランキング時間回路、および / または、前記立ち上がりおよび / または立ち下がりイベントデッドバンド時間回路は、

複数の直列に接続された単位時間遅延要素と、

前記複数の直列に接続された単位遅延要素のうちの個別の単位遅延要素に結合された入力を有するマルチプレクサと

を備える、請求項 5 に記載の相補出力ジェネレータモジュール。

【請求項 8】

各単位時間遅延要素は、固定時間遅延を提供する、請求項 7 に記載の相補出力ジェネレータモジュール。

【請求項 9】

前記固定時間遅延は、約 5 ナノ秒である、請求項 8 に記載の相補出力ジェネレータモジュール。

【請求項 10】

複数の出力極性逆転回路をさらに備え、前記複数の出力極性逆転回路のそれぞれの１つは、複数の出力のうちの個別の１つに結合され、第１の論理レベルが前記出力極性逆転回路に適用されると、前記複数の出力のうちの個別の出力は、非反転出力駆動信号を提供し、第２の論理レベルが前記出力極性逆転回路に適用されると、前記複数の出力のうちの個別の出力は、反転出力駆動信号を提供する、請求項１～９のうちの１項に記載の相補出力ジェネレータモジュール。

【請求項１１】

複数の出力ステアリングマルチプレクサをさらに備え、前記複数の出力ステアリングマルチプレクサは、複数の出力のうちの個別の出力を個別の信号、論理高、論理低、または高インピーダンスのいずれかに結合させる、請求項１～１０のうちの１項に記載の相補出力ジェネレータモジュール。

10

【請求項１２】

前記複数の出力ステアリングマルチプレクサは、実質的に瞬時に、前記複数の出力への信号の結合を変更する、請求項１１に記載の相補出力ジェネレータモジュール。

【請求項１３】

前記複数の出力ステアリングマルチプレクサは、次の立ち上がりエッジ信号と同期して、前記複数の出力への信号の結合を変更する、請求項１１に記載の相補出力ジェネレータモジュール。

【請求項１４】

立ち上がりおよび立ち下がりエッジ入力に結合された出力を有するパルス幅変調（PWM）ジェネレータをさらに備える、請求項１～１３のうちの１項に記載の相補出力ジェネレータモジュール。

20

【請求項１５】

前記相補出力ジェネレータモジュールは、ハーフブリッジモード、プッシュプルモード、順方向フルブリッジモード、逆方向フルブリッジモード、ステアリングモード、および同期ステアリングモードのうちの１つで動作するようにプログラム可能に構成可能である、請求項１～１４のうちの１項に記載の相補出力ジェネレータモジュール。

【請求項１６】

請求項１～１５のうちの１項に記載の相補出力ジェネレータモジュールを使用して、相補波形を発生させるための方法であって、前記方法は、

30

前記第１の回路を用いて、少なくとも１つの立ち上がりエッジ信号ソースを複数の立ち上がりエッジソースから選択するステップと、

プログラム可能立ち上がりエッジブランキング時間周期内において、後続の少なくとも１つの立ち下がりエッジのブランキングを提供するステップと、

立ち上がりエッジ信号を発生させるための立ち上がりエッジソースエッジまたは立ち上がりエッジソース電圧レベルの検出を選択するステップと、

前記第２の回路を用いて、少なくとも１つの立ち下がりエッジソースを複数の立ち下がりエッジソースから選択するステップと、

プログラム可能立ち下がりエッジブランキング時間周期内において、後続の少なくとも１つの立ち上がりエッジのブランキングを提供するステップと、

40

立ち下がりエッジ信号を発生させるための立ち下がりエッジソースエッジまたは立ち下がりエッジソース電圧レベルの検出を選択するステップと、

前記少なくとも１つの立ち下がりエッジの検出まで、前記少なくとも１つの立ち上がりエッジの検出に応じて、少なくとも１つの第１の出力をアサートするステップと、

次の少なくとも１つの立ち上がりエッジの検出まで、前記少なくとも１つの立ち下がりエッジの検出に応じて、少なくとも１つの第２の出力をアサートするステップと

を含む、方法。

【請求項１７】

立ち上がりイベント位相遅延を提供するステップをさらに含み、前記立ち上がりイベント位相遅延は、立ち上がりイベント信号を遅延させる、請求項１６に記載の方法。

50

【請求項 18】

立ち下がリイベント位相遅延を提供するステップをさらに含み、前記立ち下がリイベント位相遅延は、立ち下がリイベント信号を遅延させる、請求項 16 に記載の方法。

【請求項 19】

前記第 1 の出力をアサートするステップと、前記第 2 の出力をアサートするステップとの間のデッドバンド時間を提供するステップをさらに含む、請求項 16 に記載の方法。

【請求項 20】

前記デッドバンド時間を提供するステップは、前記第 2 の出力をディアサートするステップの後、前記第 1 の出力のアサーションを遅延させるステップを含む、請求項 19 に記載の方法。

10

【請求項 21】

前記デッドバンド時間を提供するステップは、前記第 1 の出力をディアサートするステップの後、前記第 2 の出力のアサーションを遅延させるステップを含む、請求項 19 に記載の方法。

【請求項 22】

自動シャットダウンのアサーションに応じて、出力の全てを所定の論理レベルに強制するステップをさらに含む、請求項 16 に記載の方法。

【発明の詳細な説明】**【技術分野】****【0001】**

20

(関連の特許出願)

本出願は、2012年11月15日に出願された、Sean Stacy Steedman、Zeke Lundstrum、Cristian Nicolae Groza、Sebastian Dan CopacianおよびHartono Darmawaskitaによる「Complementary Output Generator Module」という題名の共同所有された米国仮特許出願第61/726,996号に対して優先権を主張する。上記文献は、全ての目的のために本明細書において参照することによって援用される。

【0002】

(技術分野)

30

本開示は、相補出力ジェネレータ(COG)モジュールに関し、特に、例えば、限定ではないが、例えば、スイッチモード電力供給装置(SMPS)、バッテリー充電器、モータ速度、エネルギーハーベスティング等の電源管理において使用され得る、パルス幅変調器周辺モジュール等の他のモジュールと組み合わせて、マイクロコントローラと併用するためのCOGモジュールに関する。

【背景技術】**【0003】**

(背景)

相補出力ジェネレータ(COG)モジュールは、種々の信号発生モジュール、例えば、マイクロコントローラおよび他のデジタル制御デバイス内のパルス幅変調器、コンパレータ、周波数ジェネレータ等と組み合わせて使用される。そのような周辺デバイスのプログラム可能性は、多くの異なる用途を可能にし、例えば、ブリッジ構成またはスイッチモード電力供給装置(SMPS)内のパワートランジスタを制御する。多くの構成が、従来の相補出力ジェネレータを用いて利用可能であるが、依然として、そのようなCOGモジュールの改良された機能性の必要性が存在する。

40

【発明の概要】**【課題を解決するための手段】****【0004】**

(要約)

したがって、以下により完全に説明されるような向上した特徴を有する、COGモジュ

50

ールの必要性が存在する。

【 0 0 0 5 】

ある実施形態によると、マイクロコントローラのための相補出力ジェネレータモジュールであって、相補出力ジェネレータは、マイクロコントローラの処理コアを通して構成可能であり得、クロックソースに結合されるクロック入力と、プログラム可能に選択可能であり得る、複数の立ち上がりイベント入力であって、選択された立ち上がりイベント入力のうちの少なくとも1つは、少なくとも1つの立ち上がりイベントが、立ち上がりイベント入力のうちの個別の選択された1つにおいて生じるとき、クロックソースと同期する立ち上がりイベント信号を始動させる、複数の立ち上がりイベント入力と、プログラム可能に選択可能であり得る、複数の立ち下がりイベント入力であって、選択された立ち下がりイベント入力のうちの少なくとも1つは、少なくとも1つの立ち下がりイベントが、立ち下がりイベント入力のうちの個別の選択された1つにおいて生じるとき、クロックソースと同期する立ち下がりイベント信号を始動させる、複数の立ち下がりイベント入力と、複数の出力であって、複数の出力のうちの第1のものが、立ち下がりイベント信号の検出まで、立ち上がりイベント信号の検出に応じて、第1の出力駆動信号をアサートし、複数の出力のうちの第2のものが、次の立ち上がりイベント信号の検出まで、立ち下がりイベント信号の検出に応じて、第2の出力駆動信号をアサートする、複数の出力とを備えてもよい。

10

【 0 0 0 6 】

さらなる実施形態によると、クロックマルチプレクサは、クロック入力と複数のクロックソースとの間に結合されてもよく、クロックマルチプレクサは、複数のクロックソースのうちの1つを選択するように適合されてもよい。さらなる実施形態によると、立ち上がりイベントブランキング時間回路が、立ち上がりイベントブランキング時間回路がタイムアウトするまで、立ち上がりイベントが立ち上がりイベント信号を発生させないように阻止するために提供されてもよい。さらなる実施形態によると、立ち上がりイベントブランキング時間回路は、クロックソースに結合されるカウンタと、カウンタに結合されるコンパレータと、コンパレータに結合されるブランキング時間レジスタとを備えてもよい。

20

【 0 0 0 7 】

さらなる実施形態によると、立ち上がりイベントブランキング時間回路は、複数の直列に接続された単位遅延要素と、複数の直列に接続された単位遅延要素の個別の1つに結合される入力を有する、マルチプレクサとを備えてもよい。さらなる実施形態によると、立ち下がりイベントブランキング時間回路が、立ち下がりイベントブランキング時間回路がタイムアウトするまで、立ち下がりイベントが立ち下がりイベント信号を発生させないように阻止するために提供されてもよい。さらなる実施形態によると、立ち下がりイベントブランキング時間回路は、クロックソースに結合されるカウンタと、カウンタに結合されるコンパレータと、コンパレータに結合されるブランキング時間レジスタとを備えてもよい。さらなる実施形態によると、立ち下がりイベントブランキング時間回路は、複数の直列に接続された単位遅延要素と、複数の直列に接続された単位遅延要素の個別の1つに結合される入力を有する、マルチプレクサとを備えてもよい。

30

【 0 0 0 8 】

さらなる実施形態によると、立ち上がりイベントデッドバンド時間回路が、立ち上がりイベントデッドバンド時間回路がタイムアウトするまで、第2の出力駆動信号を阻止するために提供されてもよい。さらなる実施形態によると、立ち上がりイベントデッドバンド時間回路は、クロックソースに結合されるカウンタと、カウンタに結合されるコンパレータと、コンパレータに結合されるデッドバンド時間レジスタとを備えてもよい。

40

【 0 0 0 9 】

さらなる実施形態によると、立ち上がりイベントデッドバンド時間回路は、複数の直列に接続された単位時間遅延要素と、複数の直列に接続された単位遅延要素の個別の1つに結合される入力を有する、マルチプレクサとを備えてもよい。さらなる実施形態によると、各単位時間遅延要素は、固定時間遅延を提供する。さらなる実施形態によると、固定時

50

間遅延は、約 5 ナノ秒であってもよい。

【 0 0 1 0 】

さらなる実施形態によると、立ち下がりイベントデッドバンド時間回路が、立ち下がりイベントデッドバンド時間回路がタイムアウトするまで、第 1 の出力駆動信号を阻止するために提供されてもよい。さらなる実施形態によると、立ち下がりイベントデッドバンド時間回路は、クロックソースに結合されるカウンタと、カウンタに結合されるコンパレータと、コンパレータに結合されるデッドバンド時間レジスタとを備えてもよい。さらなる実施形態によると、立ち下がりイベントデッドバンド時間回路は、複数の直列に接続された単位時間遅延要素と、複数の直列に接続された単位遅延要素の個別の 1 つに結合される入力を有する、マルチプレクサとを備えてもよい。さらなる実施形態によると、各単位時間遅延要素は、固定時間遅延を提供する。

10

【 0 0 1 1 】

さらなる実施形態によると、複数の出力極性逆転回路が、提供されてもよく、複数の出力極性逆転回路のそれぞれの 1 つは、複数の出力の個別の 1 つに結合されてもよく、第 1 の論理レベルが、出力極性逆転回路に適用され得るとき、複数の出力の個別の 1 つは、非反転出力駆動信号を提供し、第 2 の論理レベルが、出力極性逆転回路に適用され得るとき、複数の出力の個別の 1 つは、反転出力駆動信号を提供する。

【 0 0 1 2 】

さらなる実施形態によると、複数の出力ステアリングマルチプレクサが、提供されてもよく、複数の出力ステアリングマルチプレクサは、複数の出力の個別の 1 つを個別の信号を、論理高、論理低、または高インピーダンスのいずれかに結合させる。さらなる実施形態によると、複数の出力ステアリングマルチプレクサは、実質的に瞬時に、複数の出力への信号の結合を変更する。さらなる実施形態によると、複数の出力ステアリングマルチプレクサは、次の立ち上がりイベント信号と同期して、複数の出力への信号の結合を変更する。

20

【 0 0 1 3 】

さらなる実施形態によると、立ち上がりおよび立ち下がりイベント入力に結合される出力を有する、パルス幅変調 (P W M) ジェネレータが、提供されてもよい。さらなる実施形態によると、相補出力ジェネレータモジュールは、ハーフブリッジモードで構成されてもよい。さらなる実施形態によると、相補出力ジェネレータモジュールは、プッシュプルモードで構成されてもよい。さらなる実施形態によると、相補出力ジェネレータモジュールは、順方向フルブリッジモードで構成されてもよい。さらなる実施形態によると、相補出力ジェネレータモジュールは、逆方向フルブリッジモードで構成されてもよい。さらなる実施形態によると、相補出力ジェネレータモジュールは、ステアリングモードで構成されてもよい。さらなる実施形態によると、相補出力ジェネレータモジュールは、同期ステアリングモードで構成されてもよい。

30

【 0 0 1 4 】

別の実施形態によると、相補波形を発生させるための方法は、少なくとも 1 つの立ち上がりイベントソースを複数の立ち上がりイベントソースから選択するステップと、プログラム可能立ち上がりイベントブランキング時間周期内において、後続の少なくとも 1 つの立ち下がりイベントのブランキングを提供するステップと、立ち上がりイベント信号を発生させるための立ち上がりイベントソースエッジまたは立ち上がりイベントソース電圧レベルの検出を選択するステップと、少なくとも 1 つの立ち下がりイベントソースを複数の立ち下がりイベントソースから選択するステップと、プログラム可能立ち下がりイベントブランキング時間周期内において、後続の少なくとも 1 つの立ち上がりイベントのブランキングを提供するステップと、立ち下がりイベント信号を発生させるための立ち下がりイベントソースエッジまたは立ち下がりイベントソース電圧レベルの検出を選択するステップと、少なくとも 1 つの立ち下がりイベントの検出まで、少なくとも 1 つの立ち上がりイベントの検出に応じて、少なくとも 1 つの第 1 の出力をアサートするステップと、次の少なくとも 1 つの立ち上がりイベントの検出まで、少なくとも 1 つの立ち下がりイベントの

40

50

検出に応じて、少なくとも1つの第2の出力をアサートするステップとを含んでもよい。

【0015】

本方法のさらなる実施形態によると、立ち上がりイベント位相遅延を提供するステップが、提供されてもよく、立ち上がりイベント位相遅延は、立ち上がりイベント信号を遅延させる。本方法のさらなる実施形態によると、立ち下がりイベント位相遅延を提供するステップが、提供されてもよく、立ち下がりイベント位相遅延は、立ち下がりイベント信号を遅延させる。本方法のさらなる実施形態によると、デッドバンド時間を提供するステップは、第1の出力をアサートするステップと、第2の出力をアサートするステップとの間に提供されてもよい。本方法のさらなる実施形態によると、デッドバンド時間を提供するステップは、第2の出力をディアサートするステップの後、第1の出力のアサーションを遅延させるステップを含んでもよい。本方法のさらなる実施形態によると、デッドバンド時間を提供するステップは、第1の出力をディアサートするステップの後、第2の出力のアサーションを遅延させるステップを含んでもよい。本方法のさらなる実施形態によると、自動シャットダウンのアサーションに応じて、出力の全てを所定の論理レベルに強制するステップが、提供されてもよい。

本願明細書は、例えば、以下の項目も提供する。

(項目1)

マイクロコントローラのための相補出力ジェネレータモジュールであって、前記相補出力ジェネレータは、前記マイクロコントローラの処理コアを通して構成可能であり、前記相補出力ジェネレータは、

クロックソースに結合されたクロック入力と、

プログラム可能に選択可能な複数の立ち上がりイベント入力であって、前記選択された立ち上がりイベント入力のうちの少なくとも1つは、少なくとも1つの立ち上がりイベントが、前記立ち上がりイベント入力のうちの個別の選択された1つにおいて生じるとき、前記クロックソースと同期する立ち上がりイベント信号を始動させる、複数の立ち上がりイベント入力と、

プログラム可能に選択可能な複数の立ち下がりイベント入力であって、前記選択された立ち下がりイベント入力のうちの少なくとも1つは、少なくとも1つの立ち下がりイベントが、前記立ち下がりイベント入力のうちの個別の選択された1つにおいて生じるとき、前記クロックソースと同期する立ち下がりイベント信号を始動させる、複数の立ち下がりイベント入力と、

複数の出力であって、

前記複数の出力のうちの第1の出力は、前記立ち下がりイベント信号の検出まで、前記立ち上がりイベント信号の検出に応じて、第1の出力駆動信号をアサートし、

前記複数の出力のうちの第2の出力は、次の立ち上がりイベント信号の検出まで、前記立ち下がりイベント信号の検出に応じて、第2の出力駆動信号をアサートする、

複数の出力と

を備える、相補出力ジェネレータモジュール。

(項目2)

前記クロック入力と複数のクロックソースとの間に結合されたクロックマルチプレクサをさらに備え、前記クロックマルチプレクサは、前記複数のクロックソースのうちの1つを選択するように適合されている、項目1に記載の相補出力ジェネレータモジュール。

(項目3)

立ち上がりイベントブランキング時間回路をさらに備え、前記立ち上がりイベントブランキング時間回路は、前記立ち上がりイベントブランキング時間回路がタイムアウトするまで、前記立ち上がりイベントが前記立ち上がりイベント信号を発生させないように阻止する、項目1に記載の相補出力ジェネレータモジュール。

(項目4)

前記立ち上がりイベントブランキング時間回路は、

前記クロックソースに結合されたカウンタと、

10

20

30

40

50

前記カウンタに結合されたコンパレータと、
前記コンパレータに結合されたブランキング時間レジスタと
を備える、項目 3 に記載の相補出力ジェネレータモジュール。

(項目 5)

前記立ち上がりイベントブランキング時間回路は、
複数の直列に接続された単位遅延要素と、
前記複数の直列に接続された単位遅延要素の個別の 1 つに結合された入力を有するマルチプレクサと
を備える、項目 3 に記載の相補出力ジェネレータモジュール。

(項目 6)

立ち下がりイベントブランキング時間回路をさらに備え、前記立ち下がりイベントブランキング時間回路は、前記立ち下がりイベントブランキング時間回路がタイムアウトするまで、前記立ち下がりイベントが前記立ち下がりイベント信号を発生させないように阻止する、項目 1 に記載の相補出力ジェネレータモジュール。

(項目 7)

前記立ち下がりイベントブランキング時間回路は、
前記クロックソースに結合されたカウンタと、
前記カウンタに結合されたコンパレータと、
前記コンパレータに結合されたブランキング時間レジスタと
を備える、項目 6 に記載の相補出力ジェネレータモジュール。

(項目 8)

前記立ち下がりイベントブランキング時間回路は、
複数の直列に接続された単位遅延要素と、
前記複数の直列に接続された単位遅延要素の個別の 1 つに結合された入力を有するマルチプレクサと
を備える、項目 6 に記載の相補出力ジェネレータモジュール。

(項目 9)

立ち上がりイベントデッドバンド時間回路をさらに備え、前記立ち上がりイベントデッドバンド時間回路は、前記立ち上がりイベントデッドバンド時間回路がタイムアウトするまで、前記第 2 の出力駆動信号を阻止する、項目 1 に記載の相補出力ジェネレータモジュール。

(項目 10)

前記立ち上がりイベントデッドバンド時間回路は、
前記クロックソースに結合されたカウンタと、
前記カウンタに結合されたコンパレータと、
前記コンパレータに結合されたデッドバンド時間レジスタと
を備える、項目 9 に記載の相補出力ジェネレータモジュール。

(項目 11)

前記立ち上がりイベントデッドバンド時間回路は、
複数の直列に接続された単位時間遅延要素と、
前記複数の直列に接続された単位遅延要素の個別の 1 つに結合された入力を有するマルチプレクサと
を備える、項目 9 に記載の相補出力ジェネレータモジュール。

(項目 12)

各単位時間遅延要素は、固定時間遅延を提供する、項目 11 に記載の相補出力ジェネレータモジュール。

(項目 13)

前記固定時間遅延は、約 5 ナノ秒である、項目 12 に記載の相補出力ジェネレータモジュール。

(項目 14)

10

20

30

40

50

立ち下がりにイベントデッドバンド時間回路をさらに備え、前記立ち下がりにイベントデッドバンド時間回路は、前記立ち下がりにイベントデッドバンド時間回路がタイムアウトするまで、前記第 1 の出力駆動信号を阻止する、項目 1 に記載の相補出力ジェネレータモジュール。

(項目 15)

前記立ち下がりにイベントデッドバンド時間回路は、
前記クロックソースに結合されたカウンタと、
前記カウンタに結合されたコンパレータと、
前記コンパレータに結合されたデッドバンド時間レジスタと
を備える、項目 14 に記載の相補出力ジェネレータモジュール。

10

(項目 16)

前記立ち下がりにイベントデッドバンド時間回路は、
複数の直列に接続された単位時間遅延要素と、
前記複数の直列に接続された単位遅延要素の個別の 1 つに結合された入力を有するマルチプレクサと
を備える、項目 14 に記載の相補出力ジェネレータモジュール。

(項目 17)

各単位時間遅延要素は、固定時間遅延を提供する、項目 16 に記載の相補出力ジェネレータモジュール。

(項目 18)

複数の出力極性逆転回路をさらに備え、前記複数の出力極性逆転回路のそれぞれの 1 つは、前記複数の出力の個別の 1 つに結合され、第 1 の論理レベルが前記出力極性逆転回路に適用されると、前記複数の出力の個別の 1 つは、非反転出力駆動信号を提供し、第 2 の論理レベルが前記出力極性逆転回路に適用されると、前記複数の出力の個別の 1 つは、反転出力駆動信号を提供する、項目 1 に記載の相補出力ジェネレータモジュール。

20

(項目 19)

複数の出力ステアリングマルチプレクサをさらに備え、前記複数の出力ステアリングマルチプレクサは、前記複数の出力の個別の 1 つを個別の信号、論理高、論理低、または高インピーダンスのいずれかに結合させる、項目 1 に記載の相補出力ジェネレータモジュール。

30

(項目 20)

前記複数の出力ステアリングマルチプレクサは、実質的に瞬時に、前記複数の出力への信号の結合を変更する、項目 19 に記載の相補出力ジェネレータモジュール。

(項目 21)

前記複数の出力ステアリングマルチプレクサは、次の立ち上がりイベント信号と同期して、前記複数の出力への信号の結合を変更する、項目 19 に記載の相補出力ジェネレータモジュール。

(項目 22)

前記立ち上がりおよび立ち下がりにイベント入力に結合された出力を有するパルス幅変調 (PWM) ジェネレータをさらに備える、項目 1 に記載の相補出力ジェネレータモジュール。

40

(項目 23)

前記相補出力ジェネレータモジュールは、ハーフブリッジモードで構成されている、項目 1 に記載の相補出力ジェネレータモジュール。

(項目 24)

前記相補出力ジェネレータモジュールは、プッシュプルモードで構成されている、項目 1 に記載の相補出力ジェネレータモジュール。

(項目 25)

前記相補出力ジェネレータモジュールは、順方向フルブリッジモードで構成されている、項目 1 に記載の相補出力ジェネレータモジュール。

50

(項目 2 6)

前記相補出力ジェネレータモジュールは、逆方向フルブリッジモードで構成されている、項目 1 に記載の相補出力ジェネレータモジュール。

(項目 2 7)

前記相補出力ジェネレータモジュールは、ステアリングモードで構成されている、項目 1 に記載の相補出力ジェネレータモジュール。

(項目 2 8)

前記相補出力ジェネレータモジュールは、同期ステアリングモードで構成されている、項目 1 に記載の相補出力ジェネレータモジュール。

(項目 2 9)

相補波形を発生させるための方法であって、前記方法は、
少なくとも 1 つの立ち上がりイベントソースを複数の立ち上がりイベントソースから選択するステップと、

プログラム可能立ち上がりイベントブランキング時間周期内において、後続の少なくとも 1 つの立ち下がりイベントのブランキングを提供するステップと、

立ち上がりイベント信号を発生させるための立ち上がりイベントソースエッジまたは立ち上がりイベントソース電圧レベルの検出を選択するステップと、

少なくとも 1 つの立ち下がりイベントソースを複数の立ち下がりイベントソースから選択するステップと、

プログラム可能立ち下がりイベントブランキング時間周期内において、後続の少なくとも 1 つの立ち上がりイベントのブランキングを提供するステップと、

立ち下がりイベント信号を発生させるための立ち下がりイベントソースエッジまたは立ち下がりイベントソース電圧レベルの検出を選択するステップと、

前記少なくとも 1 つの立ち下がりイベントの検出まで、前記少なくとも 1 つの立ち上がりイベントの検出に応じて、少なくとも 1 つの第 1 の出力をアサートするステップと、

次の少なくとも 1 つの立ち上がりイベントの検出まで、前記少なくとも 1 つの立ち下がりイベントの検出に応じて、少なくとも 1 つの第 2 の出力をアサートするステップと

を含む、方法。

(項目 3 0)

立ち上がりイベント位相遅延を提供するステップをさらに含み、前記立ち上がりイベント位相遅延は、前記立ち上がりイベント信号を遅延させる、項目 2 9 に記載の方法。

(項目 3 1)

立ち下がりイベント位相遅延を提供するステップをさらに含み、前記立ち下がりイベント位相遅延は、前記立ち下がりイベント信号を遅延させる、項目 2 9 に記載の方法。

(項目 3 2)

前記第 1 の出力をアサートするステップと、前記第 2 の出力をアサートするステップとの間のデッドバンド時間を提供するステップをさらに含む、項目 2 9 に記載の方法。

(項目 3 3)

前記デッドバンド時間を提供するステップは、前記第 2 の出力をディアサートするステップの後、前記第 1 の出力のアサーションを遅延させるステップを含む、項目 3 2 に記載の方法。

(項目 3 4)

前記デッドバンド時間を提供するステップは、前記第 1 の出力をディアサートするステップの後、前記第 2 の出力のアサーションを遅延させるステップを含む、項目 3 1 に記載の方法。

(項目 3 5)

自動シャットダウンのアサーションに応じて、出力の全てを所定の論理レベルに強制するステップをさらに含む、項目 2 9 に記載の方法。

【 0 0 1 6 】

本開示のより完全な理解は、付随の図面と関連して検討される、以下の説明を参照する

10

20

30

40

50

ことによって得られ得る。

【図面の簡単な説明】

【0017】

【図1】図1および2は、本開示の具体的例示の実施形態による、ソフトウェア構成可能相補出力ジェネレータモジュールの概略ブロック図を図示する。

【図2】図1および2は、本開示の具体的例示の実施形態による、ソフトウェア構成可能相補出力ジェネレータモジュールの概略ブロック図を図示する。

【図3】図3および4は、本開示の別の具体的例示の実施形態による、ソフトウェア構成可能相補出力ジェネレータモジュールの概略ブロック図を図示する。

【図4】図3および4は、本開示の別の具体的例示の実施形態による、ソフトウェア構成可能相補出力ジェネレータモジュールの概略ブロック図を図示する。

【図5】図5および6は、本開示のさらに具体的例示の実施形態による、ソフトウェア構成可能相補出力ジェネレータモジュールの概略ブロック図を図示する。

【図6】図5および6は、本開示のさらに具体的例示の実施形態による、ソフトウェア構成可能相補出力ジェネレータモジュールの概略ブロック図を図示する。

【図7】図7は、本開示の具体的例示の実施形態による、図1 - 6に示されるような立ち上がりおよび立ち下がりイベント入力ブロック、ブランキングおよび位相遅延のための回路の概略ブロック図を図示する。

【図8】図8は、本開示の教示による、アナログ時間遅延回路のより詳細な概略ブロック図の概略ブロック図を図示する。

【図9】図9は、本開示の教示による、デジタル時間遅延回路のより詳細な概略ブロック図を図示する。

【図10】図10は、本開示の教示による、相補出力ジェネレータを有する、混合信号集積回路デバイスの概略ブロック図を図示する。

【図11】図11は、典型的スイッチモード電力供給装置(SMP S)用途において使用される電源コンポーネントの概略図を図示する。

【図12】図12は、負荷を駆動させる典型的フルブリッジ用途において使用される、電源コンポーネントの概略図を図示する。

【発明を実施するための形態】

【0018】

本開示は、種々の修正および代替形態を被り得るが、その具体的例示の実施形態が、図面に図示され、本明細書に詳細に説明される。しかしながら、具体的例示の実施形態の本明細書の説明は、本開示を本明細書に開示される特定の形態に限定することを意図するものではなく、対照的に、本開示は、添付の請求項によって定義される、あらゆる修正および均等物を網羅するものとすることを理解されたい。

【0019】

(詳細な説明)

相補出力ジェネレータ(COG)モジュールは、本開示の教示によると、立ち上がりおよび立ち下がりイベントソースによって判定された少なくとも2つの相補信号を発生させる。COGモジュールの単純構成では、立ち上がりおよび立ち下がりイベントソースは、例えば、限定ではないが、所望の周期およびデューティサイクルを有する、PWM信号であり得る、同一の信号である。COGモジュールは、本単一入力信号を少なくとも2つの相補出力信号に変換してもよい。少なくとも2つの出力信号の周波数およびデューティサイクルは、実質的に、単一入力信号のものと一致する。他のおよびさらなる構成は、デジタル設計の当業者および本開示の利益を有する者に容易に明白となるであろう。相補出力ジェネレータは、2013年7月16日発行のSteedman, et al.による共同所有の米国特許第8,487,685 B2号「Enhanced Complementary Waveform Generator」に開示されており、あらゆる目的のために、参照することによって本明細書に組み込まれる。本開示の種々の実施形態によると、相補出力ジェネレータ(COG)モジュールは、その機能性において向上され得る

。例えば、限定ではないが、以下の付加的新しく、新規、かつ非自明の特徴のうちの少なくとも1つが、本開示の具体的例示的实施形態によると、COGモジュール内に実装されてもよい。

【0020】

COGモジュールは、出力波形のハーフブリッジ、フルブリッジ、およびステアリングを提供する。COGモジュールは、少なくとも6つの動作モードを提供し得る。

- (1) ハーフブリッジモード
- (2) プッシュプルモード
- (3) 順方向フルブリッジモード
- (4) 逆方向フルブリッジモード
- (5) ステアリングモード
- (6) 同期ステアリングモード

10

【0021】

ハーフブリッジモード

ハーフブリッジモードでは、非重複(デッドバンド)時間が、2つのCOGモジュール出力間に挿入され、種々の電力供給装置用途におけるパワートランジスタシュートスルー電流を防止する。

【0022】

プッシュプルモード

プッシュプルモードでは、COGモジュール出力の波形発生は、2つの使用される出力間で交替する。本交替は、いくつかの変圧器ベースの電力供給装置設計を駆動させるために要求される、プッシュプル効果を生成する。出力間のデッドバンドは、概して、変圧器負荷を駆動させるとき要求されない。

20

【0023】

フルブリッジモード

順方向および逆方向フルブリッジ駆動モードでは、COGモジュールの出力は、拡張キャプチャ、コンペア、およびPWM(ECCP)型フルブリッジ駆動に準拠する。1つの出力は、変調され、他の3つの出力は、静的値に保持され得る。ECCP用途は、www.micrочhip.comにおいて利用可能なMicrochipアプリケーションノートAN906、AN1178、AN1138、AN1305、AN893、AN1244等により完全に説明されており、これらのアプリケーションノートは全て、あらゆる目的のために、参照することによって本明細書に組み込まれる。

30

【0024】

ステアリングモード

ステアリングモードでは、複数の信号が、4つのCOGモジュール出力のいずれかにステアリングされ得る。同期ステアリングモードでは、ステアリング構成への変更は、次の立ち上がりイベント入力においてのみ生じる。非同期モードでは、ステアリングは、次の命令サイクルに実施される。

【0025】

COGモジュールはさらに、以下の特徴を提供し得る。

40

選択可能クロック制御

パラレルイネーブルを伴う選択可能立ち上がりおよび立ち下がりイベントトリガソース

出力極性制御

出力ステアリング

立ち上がりイベントに同期される、または

瞬時効果

以下を用いたデッドバンド制御

アナログまたはクロックデッドバンド

独立立ち上がりおよび立ち下がりイベントデッドバンドイネーブル

50

独立立ち上がりおよび立ち下がりイベントデッドバンドカウンタ
 以下を用いたブランキング制御
 独立立ち上がりおよび立ち下がりイベントイネーブル
 独立立ち上がりおよび立ち下がりイベントブランキングカウンタ
 以下を用いた位相制御
 独立立ち上がりおよび立ち下がりイベントイネーブル遅延
 独立立ち上がりおよび立ち下がりイベント位相カウンタ
 以下を用いた自動シャットダウン制御
 パラレルイネーブルを伴う選択可能シャットダウンソース
 自動リスタートイネーブル
 自動シャットダウンオーバーライド制御

10

【 0 0 2 6 】

ここで図面を参照すると、具体的例示的实施形態の詳細が、図式的に図示される。図面中の同一要素は、同一番号によって表され、類似要素は、異なる小文字の添え字を伴う同一番号によって表されるであろう。

【 0 0 2 7 】

図 1 から 6 を参照すると、描写されるは、本開示の具体的例示的实施形態による、ソフトウェア構成可能相補出力ジェネレータ (C O G) モジュールの概略ブロック図である。他のおよびさらなる C O G モジュールは、本開示の範囲内で構成されるソフトウェアであってもよく、本明細書で検討される。C O G モジュールは、概して、番号 1 0 0 (図 1 および 2 - 1 0 0 a、図 3 および 4 - 1 0 0 b、および図 5 および 6 - 1 0 0 c) によって表される。

20

【 0 0 2 8 】

選択可能クロックソース

クロックソース C k が、マルチプレクサ 1 0 2 を用いて選択されてもよい。マルチプレクサ 1 0 2 は、出力 C S < n > を有するクロックソースレジスタ (図示せず) から制御されてもよく、n は、2 進値であってもよい。選択されたクロックソース C k は、以下により完全に説明されるように、C O G モジュール 1 0 0 全体を通して使用されてもよい。

【 0 0 2 9 】

また、図 7 を参照すると、描写されるのは、本開示の具体的例示的实施形態による、立ち上がりおよび立ち下がりイベント入力ブロックと、図 1 - 6 に示されるようなブランキングおよび位相遅延のための回路の概略ブロック図である。

30

【 0 0 3 0 】

選択可能立ち上がりおよび立ち下がりイベントトリガソース

全立ち上がりおよび立ち下がりイベントトリガソース入力のためのパラレルイネーブルは、より動作柔軟性を提供する。少なくとも 1 つの立ち上がりイベントソースが、立ち上がりイベント入力ブロック 1 0 4 を用いて選択されてもよい。立ち上がりイベント入力ブロック 1 0 4 の制御は、出力 R S < p > を有する、立ち上がりイベントソースレジスタ (図示せず) を用いてもよい。立ち上がりイベントソースレジスタは、所望される少なくとも 1 つの立ち上がりイベントソースに対応する p - ビットパターンを記憶してもよい。少なくとも 1 つの立ち下がりイベントソースが、立ち下がりイベント入力ブロック 1 0 6 を用いて選択されてもよい。立ち下がりイベント入力ブロック 1 0 6 の制御は、出力 F S < p > を有する、立ち下がりイベントソースレジスタ (図示せず) を用いてもよく、立ち下がりイベントソースレジスタは、所望される少なくとも 1 つの立ち下がりイベントソースに対応する p - ビットパターンを記憶してもよい。立ち上がりおよび立ち下がりイベントは、同一のソース、例えば、信号ソースからの単一出力であってもよい。本信号ソースは、選択されたクロックソース C k と同期または非同期であってもよい。立ち上がりイベントが生じるレートは、信号周波数を判定し得る。立ち上がりイベント入力から立ち下がりイベント入力までの時間は、信号デューティサイクルを判定し得る。

40

【 0 0 3 1 】

50

独立立ち上がりおよび立ち下がりイベントイネーブル遅延

別個かつ独立の立ち上がりおよび立ち下がりイベントイネーブル遅延、例えば、ブランキング遅延は、より動作柔軟性を提供する。立ち上がりイベントソースは、ANDゲート704pがそこに入力されるRS-pに関して論理高を有するとき、選択されてもよい。立ち下がりイベントソースは、インバータ706pを用いて、立ち上がり信号になるように反転され、ANDゲート704pがそこに入力されるFS-pに関して論理高を有するとき、選択されてもよい。各ANDゲート704出力は、イベント論理レベルのゲートおよびストレージレジスタの両方として作用する、個別のラッチ708のD-入力に結合される。ラッチ708のラッチイネーブル(LE)が、論理低(「0」)にあるとき、そのD-入力における論理レベルは、Q-出力にパスされず、Q-出力は、ラッチイネーブル(LE)が論理高にあった最後の時間からのD-入力の論理レベルを維持するであろう。ラッチイネーブル(LE)が、論理高にあるとき、Q-出力は、ラッチ708のD-入力に従うであろう。

10

【0032】

ラッチ708のラッチイネーブル(LE)は、立ち下がりイベントと関連付けられたブランキングカウンタ718に結合されてもよく、立ち下がりイベントを記憶するために使用されるラッチ708のラッチイネーブル(LE)は、立ち上がりイベントと関連付けられたブランキングカウンタ718に結合されてもよい。ブランキング遅延の量は、該当する場合、ブランキングカウンタ718によって判定され、そのブランキング時間は、出力BLK<q>を有するブランキングレジスタ(図示せず)からロードされる。立ち上がりイベントと関連付けられた1つのブランキングカウンタ718は、立ち下がりイベントのために使用されるラッチ708のLE入力に結合される、その出力BLKR<q>を有し、立ち下がりイベントと関連付けられた第2のブランキングカウンタ718は、立ち上がりイベントのために使用されるラッチ708のLE入力に結合される、その出力BLKF<q>を有する。したがって、個別の立ち上がりおよび立ち下がりブランキングカウンタ718は、他の立ち上がりまたは立ち下がりイベント信号が、要求されるブランキング時間が先行する立ち上がりまたは立ち下がりイベントの終了後に切れる前に認識されないように「阻止またはロックアウト」してもよい。ゼロ値、例えば、BLK<000>に対しては、ブランキング時間は、導入されない。

20

【0033】

イベントソースのエッジおよびレベル感知

立ち上がりおよび/または立ち下がりイベントソースは、レベルまたはエッジ検出感知可能として選択されてもよい。ラッチ708の各Q-出力は、スイッチ(デマルチプレクサ)710を通して、レベル検出器712、または直接、ORゲート716の入力のいずれかに結合されてもよい。スイッチ710が、ラッチ708のQ-出力を直接ORゲート716の入力に結合すると、イベントの論理高は、ORゲート716の出力を論理高にさせるであろう。ラッチ708のQ-出力が、レベル検出器712に結合されると、論理高に対する信号レベル「立ち上がりエッジ」は、ORゲート714の出力を論理高にさせるであろう。ORゲート714の出力は、位相遅延ブロック900の入力に結合されてもよく、その出力は、ORゲート716の入力に結合されてもよい。位相遅延ブロック900は、出力PH<q>を有する位相遅延レジスタ(図示せず)からの値に従って、遅延(位相)を選択された立ち上がりおよび/または立ち下がりイベントに導入するために使用されてもよく、qは、2進値である。qが、ゼロ(0)であるとき、位相遅延は、選択された立ち上がりおよび/または立ち下がりイベントに適用されない。本位相遅延は、図9に示されるように、デジタル的に導出されてもよく、または図8に示されるように、アナログ手段によって導出されてもよい。

30

40

【0034】

図1-6に戻って参照すると、立ち上がりイベント入力ブロック104からの出力は、RSラッチ108の設定(S)入力に結合され、立ち上がりイベント入力ブロック104出力が、論理高になると、RSラッチ108が設定され、そのQ-出力は、論理高になる

50

であろう。しかしながら、ORゲート110からの論理高が、RSラッチ108のリセット(R)入力に結合される場合、そのQ - 出力は、論理低に戻るであろう。RSラッチ108は、リセットし、そのQ - 出力は、立ち下がりイベント入力ブロック106出力が、論理高をアサートする、例えば、立ち下がりイベントが検出される、インバータ112の入力が、論理低にプルされる、またはRSラッチ108のQ - 出力が、論理高になるときに、論理低になるであろう。RSラッチ108は、リセットによって支配され、したがって、ORゲート110からの任意の立ち下がりイベント、例えば、立ち下がりイベント入力ブロック106からの立ち下がりイベント信号、インバータ112からの強制リセット、および/またはRSラッチ114によって支配される。

【0035】

エッジ対レベル感知

一般に、周期的ソースから駆動されるイベントは、エッジ検出されるべきであり、標的回路、例えば、スイッチモード電力供給装置(SMPS)における電圧閾値から導出されるイベントは、レベル感知可能であるべきである。以下の2つの実施例を検討する。第1の実施例は、周期が、50%デューティサイクルクロックによって判定され、COGモジュール出力デューティサイクルが、コンパレータを通してフィードバックされる電圧レベルによって判定される、用途である。クロック入力が、レベル感知可能である場合、50%未満のデューティサイクルは、一貫性のない動作を呈し得る。第2の実施例は、第1の実施例に類似するが、デューティサイクルは、100%に近い。(例えば、SMPSの)フィードバックコンパレータ高/低遷移は、COGモジュール駆動をオフにトリップするが、周期ソースは、ほぼ瞬時に、駆動をオンに戻す。オフサイクルが、十分に短い場合、コンパレータ入力は、ヒステリシスバンドの低側に到達せず、出力変化を不可能にし得る。コンパレータ出力は、低に留まり、エッジ感知をトリガするための高/低遷移がない場合、COGモジュール出力の駆動は、一定駆動オン状態のままである。

【0036】

立ち上がりイベント

立ち上がりイベントは、出力信号アクティブデューティサイクル周期を開始させ得る。立ち上がりイベントは、選択された立ち上がりイベントソースの低/高遷移である。立ち上がり位相遅延が、ゼロであるとき、出力は、瞬時に開始し得る。いくつかのモードでは、立ち上がりデッドバンド時間は、随意の位相遅延後に適用されてもよい。立ち上がりイベントソースは、以下のアクションのうちの任意または全部を生じさせ得る。

立ち上がりイベント位相遅延カウンタを開始させる(イネーブルにされる場合)

立ち下がりイベント入力ブランキングを開始させる(イネーブルにされる場合)

ハーフブリッジモードでは、位相遅延後、立ち上がりデッドバンド遅延を開始させる(イネーブルにされる場合)

ハーフブリッジモードでは、立ち上がりデッドバンド遅延後、OUT0出力を設定する

ハーフブリッジモードでは、立ち上がり位相遅延後、OUT1出力をクリアにする

ステアリングモードでは、同期後、OUT0出力を設定する(イネーブルにされる場合)

プッシュプルモードでは、OUT1がクリアされた後、OUT0を設定する、またはOUT0がクリアされた後、OUT1を設定する

フルブリッジモードでは、OUT3を順方向に設定する、またはOUT1を逆方向に設定する

【0037】

立ち下がりイベント

立ち下がりイベントは、出力信号アクティブデューティサイクル周期を終止させる。立ち下がりイベントは、選択される立ち下がりイベントソースの低/高遷移である。立ち下がり位相遅延が、ゼロであるとき、出力は、瞬時に終了し得る。いくつかのモードでは、立ち下がりデッドバンド時間は、随意の位相遅延後、適用されてもよい。立ち下がりイベ

10

20

30

40

50

ントソースは、以下のアクションのうちの任意または全部を生じさせ得る。

立ち下がりイベント位相遅延カウンタを開始する（イネーブルにされる場合）

立ち上がりイベント入力ブランキングを開始する（イネーブルにされる場合）

ハーフブリッジモードでは、位相遅延後、立ち下がりデッドバンド遅延を開始する（イネーブルにされる場合）

ハーフブリッジモードでは、立ち下がりデッドバンド遅延後、OUT 1 出力を設定する

ハーフブリッジモードでは、立ち下がり位相遅延後、OUT 0 出力をクリアにする

ステアリングモードでは、OUT 0 出力をクリアにする（立ち下がりに対して同期しない）

プッシュプルモードでは、OUT 0 が設定される場合、OUT 0 をクリアにする、またはOUT 1 がクリアにされる場合、OUT 1 をクリアにする

フルブリッジモードでは、OUT 3 を順方向にクリアにする、またはOUT 1 を逆方向にクリアにする

【 0 0 3 8 】

好ましくは、全モードは、立ち下がりによって支配される。立ち上がりソースは、設定入力をフィードし、立ち下がりソースは、SRラッチ108のリセットをフィードする。SRラッチ108は、リセットによって支配され、立ち下がりソースは、常時、「優先」であり、それによって、SRラッチ108の出力をクリアにするであろう。

【 0 0 3 9 】

ブランキング制御

入力ブランキングは、任意の選択されたアナログ入力のイベント入力、例えば、立ち上がりおよび/または立ち下がりイベントが、短時間周期の間、無視される、例えば、マスキングまたはブランキングされ得る、機能である。これは、電源コンポーネントのオン/オフによって生じる電氣的過渡現象（雑音）が、偽イベントを発生させないように防止するためのものである。COGモジュールは、立ち上がりイベントブランキングタイマ（カウンタ）および立ち下がりイベントブランキングタイマ（カウンタ）を含有してもよい。立ち上がりおよび立ち下がりイベントブランキングタイマ（カウンタ）は、それらがブランキングし得る、立ち下がりおよび立ち上がりイベントと相互結合されてもよい。例えば、立ち下がりイベントブランキングイベントブランキングタイマ（カウンタ）は、立ち上がり入力イベントをブランキングするために使用されてもよく、立ち上がりイベントブランキングイベントブランキングタイマ（カウンタ）は、立ち下がり入力イベントをブランキングするために使用されてもよい。いったん開始されると、ブランキングは、対応するブランキングレジスタ（図示せず）出力BLKF < q > およびBLKR < q > によって規定された時間の間、延長してもよい。ブランキングは、ゼロから個別のブランキングレジスタ内の値までのクロック周期をカウントすることによって（図9）、またはマルチプレクサによって選択されたアナログ時間遅延によって（図8）、時間調節される。

【 0 0 4 0 】

以下の特徴は、ブランキングのために利用可能であり得る。

独立立ち上がりイベントおよび立ち下がりイベントブランキングモード選択

独立立ち上がりイベントおよび立ち下がりイベントブランキングカウンタ

【 0 0 4 1 】

以下のブランキングモードが、利用可能であり得る。

ブランキングディスエーブル

瞬時ブランキング

ブランキングディスエーブル

【 0 0 4 2 】

ブランキング機能718が、ディスエーブルにされると、立ち上がりイベントおよび/または立ち下がりイベント入力は、任意のブランキング介入を伴わずに、瞬時に、ラッチ708およびデマルチプレクサ710を通してパスされ得る（図7参照）。

【 0 0 4 3 】

瞬時ブランキング

瞬時ブランキングでは、立ち上がりイベントは、瞬時に、立ち下がりイベント入力をブランキングし得る、立ち上がりイベントブランキングカウンタを開始し得る。立ち下がりイベントは、瞬時に、立ち上がりイベント入力をブランキングし得る、立ち下がりイベントブランキングカウンタを開始し得る。瞬時ブランキングは、非ゼロ値 $B L K < q >$ を適切なブランキングカウンタに書き込むことによって、イネーブルにされ得る。ブランキングカウンタは、クロックパルスの立ち上がりエッジでインクリメントされ得る。立ち上がりイベントおよび立ち下がりイベントが、アナログ信号からのものであり、したがって、同期され得ないため、各サイクル毎に実装される実際のブランキングにある程度のジッタが存在し得る。最大ジッタは、1クロック周期に等しくあり得る。

10

【 0 0 4 4 】

ブランキングイベント重複

ブランキングイベント間に任意の重複が存在する場合、以下のイベントのシーケンスが、生じ得、 $B K x$ は、アクティブブランキング例（立ち上がりまたは立ち下がりイベント）であり、 $B K y$ は、反対の例（立ち下がりまたは立ち上がりイベント）である。

$B K x$ が、カウントアップしているが、未だ完了していない

$B K y$ カウンティングが、始動される

ブランキング制御が、ここで、 $B K x$ イネーブルから $B K y$ イネーブルに切り替える

20

$B K x$ が、ゼロにリセットする

$B K y$ が、そのカウントが完了するまで、カウンティングを継続する

$B K y$ が、ゼロ（通常動作）にリセットする

【 0 0 4 5 】

位相遅延

位相遅延カウンタ 9 0 0 が、立ち上がりイベントのアサーションを遅延させるために使用されてもよい。位相遅延時間は、立ち上がり位相遅延レジスタ（図示せず）出力 $P H < q >$ 内に含有される値によって設定され、 q は、2進数である。イベントの実際のアサーションを切り替える、入力立ち上がりイベント信号からの遅延は、デッドバンドおよびブランキング遅延と同様に実装されてもよい。 $P H < q >$ 値が、ゼロであるとき、立ち上がりイベント位相遅延は、ディスエーブルにされ、それによって、立ち上がりイベント信号が、一直線に、O R ゲート 7 1 6 にパスされることを可能にする。独立立ち上がりおよび立ち下がり位相イネーブルならびにブランキングタイマ（カウンタ）は、図 8 および 9 に示されるように、提供されてもよい。

30

【 0 0 4 6 】

デッドバンド制御

デッドバンド制御は、例えば、限定ではないが、信号ジェネレータ 1 0 5 6（図 1 0）によって制御されるハーフブリッジモード外部電源スイッチ（図 1 1）内のシュートスルー電流を防止するための非重複出力信号を提供し得る。立ち上がりイベントデッドバンドブロック 1 2 2 および立ち下がりイベントデッドバンドブロック 1 2 4 はそれぞれ、クロックカウンタ 9 6 2 およびコンパレータ 9 6 4 から成る、デジタルデッドバンド遅延タイマ（図 9）、および / または複数の単位遅延要素 8 3 0 およびプログラム可能に選択可能マルチプレクサ 8 3 2 から成る、アナログデッドバンド遅延ブロック（図 8）を備えてもよい。立ち上がりおよび立ち下がりデッドバンド時間は、それぞれ、出力 $D B R < q >$ または $D L Y R < q >$ および $D B F < q >$ または $D L Y F < q >$ を有する、その個別のデッドバンドカウンタまたは時間遅延レジスタ（図示せず）からの値に基づいて、これらのデッドバンドブロック 1 2 2、1 2 4 毎に、個々に、プログラムされてもよい。

40

【 0 0 4 7 】

立ち上がりイベントデッドバンド

立ち上がりイベントデッドバンド制御が、二次電源デバイスのオフ後、一次電源デバイ

50

スのオンを遅延させるために使用されてもよい。

【0048】

立ち下がりイベントデッドバンド

立ち下がりイベントデッドバンド制御が、一次電源デバイスのオフ後、二次電源デバイスのオンを遅延させるために使用されてもよい。

【0049】

デッドバンド重複

立ち上がりイベント / 立ち下がりイベントおよび立ち下がりイベント / 立ち上がりイベントの2つのデッドバンド重複例が存在し、それぞれ、システム要件に応じて、異なっており扱われる。

10

【0050】

立ち上がりイベント / 立ち下がりイベント重複

この場合、立ち下がりイベントは、立ち上がりイベントデッドバンドカウンタが、依然として、カウンティングしている間に生じる。以下のイベントのシーケンスが、生じ得る。立ち上がりイベントデッドバンドカウンタが、カウントアップしているが、そのカウントを未だ完了しておらず、立ち下がりイベントデッドバンドカウンタカウンティングが、始動され（有効立ち下がりイベント信号）、出力波形制御が、瞬時に、立ち下がりイベント信号に渡され、立ち上がりイベントデッドバンドカウンタが、次のクロックエッジをリセットし、立ち下がりイベントデッドバンドカウンタが、そのカウントが完了するまで、カウンティングを継続し、次いで、立ち下がりイベントデッドバンドカウンタが、次のクロックエッジ（通常動作）でリセットする。

20

【0051】

立ち下がりイベント / 立ち上がりイベント重複

この場合、立ち上がりイベントは、立ち下がりイベントデッドバンドカウンタが、依然として、カウンティングしている間に、生じる。以下のイベントのシーケンスが、生じ得る。立ち下がりイベントデッドバンドカウンタが、カウントアップしているが、そのカウントを未だ完了しておらず、立ち上がりイベントデッドバンドカウンタカウンティングが、始動され（有効立ち上がりイベント信号）、出力波形制御が、瞬時に、立ち上がりイベント信号に渡され、立ち下がりイベントデッドバンドカウンタが、次のクロックエッジをリセットし、立ち上がりイベントデッドバンドカウンタが、そのカウントが完了するまで、カウンティングを継続し、次いで、立ち上がりイベントデッドバンドカウンタが、次のクロックエッジ（通常動作）でリセットする。

30

【0052】

例えば、立ち下がりイベントデッドバンドが、出力OUT0がオフにされたときから、出力OUT1のオンを遅延させる。立ち下がりイベントデッドバンド時間は、立ち下がりイベント出力が論理高になると、開始する。立ち下がりイベント出力は、ブランキングされていない立ち下がり入力イベントと同時に、高になる。立ち下がりイベントデッドバンド時間は、出力DBF < q > の値によって設定され、qは、立ち下がりイベントデッドバンド時間レジスタ（図示せず）内に含有される2進数である。DBF < q > の値が、ゼロであるとき、立ち下がりイベントデッドバンド時間遅延は、ディスエーブルにされ得る。

40

【0053】

クロックデッドバンド時間遅延

クロックデッドバンド時間遅延は、クロック周波数と等数または倍数であり得る、デッドバンド時間を可能にする。独立立ち上がりおよび立ち下がりイベントイネーブルおよび / または独立立ち上がりおよび立ち下がりイベントデッドバンドカウンタが、提供されてもよい。クロックデッドバンド時間遅延は、プログラムされてもよい。図9を参照すると、描写されるのは、本開示の教示による、使用され得るデジタル時間遅延回路のより詳細な概略ブロック図である。本時間遅延回路は、各クロックパルスをカウントし、そのカウント値をコンパレータ964に出力する、カウンタ962を備えてもよい。コンパレータ964は、カウント値と時間値、例えば、個別のブランキング、位相遅延、および /

50

またはデッドバンド時間レジスタ 966 内に記憶され得る、ブランキング、位相遅延、および/またはデッドバンド時間を比較する。カウント値が、時間値以上であるとき、コンパレータからの出力 Out は、論理高となる。個別のレジスタ 968 が、個別のバッファ 966 への後続同期転送のために、ブランキング、位相遅延、および/またはデッドバンド時間のための時間値を非同期に記憶するために使用されてもよい。

【0054】

アナログデッドバンド時間遅延

アナログデッドバンド時間遅延は、COGモジュールのクロックソースから独立し得る、小デッドバンド時間(より高い粒度の時間選択)を可能にする。例えば、選択可能5ナノ秒時間遅延ステップが、適切な数の直列に接続されたUDE 830の選択を利用することによって、クロック時間から独立して実装されてもよい。独立立ち上がりおよび立ち下がりアナログデッドバンド時間遅延が、提供されてもよく、プログラム可能に選択されてもよい。これは、高周波数および高効率電力変換デバイス、例えば、SMPSにおける用途のために、より優れた、かつより柔軟的な制御を提供する。

10

【0055】

図8を参照すると、本開示の教示による、アナログ時間遅延回路のより詳細な概略ブロック図が、図示される。本時間遅延回路は、複数の単位遅延要素(UDE) 830と、マルチプレクサ832とを備えてもよい。具体的時間遅延は、適切な数の直列に連結されたUDE 830と、遅延レジスタ(図示せず)からの入力選択アドレスDL Y < q > から制御され得る、マルチプレクサ832の選択によって得られ得る。マルチプレクサ832からの出力が、論理高になると、デッドバンドモジュールの適切な出力が、アサートされる。

20

【0056】

出力ステアリング

COGモジュールは、出力、例えば、OUT 0、OUT 1、OUT 2、および/またはOUT 3の任意の組み合わせが、変調された信号、例えば、PWM信号となることを可能にし得る。加えて、同一の信号は、同時に、他の出力のうちの任意の1つ以上でも利用可能であってもよい。COGモジュール自動シャットダウン動作もまた、出力ステアリングに適用されてもよく、イネーブルにされ得る、それらの出力にのみ影響を及ぼしてもよい(図5および6参照)。

30

【0057】

出力ステアリングイベントが発生するとき、瞬時出力ステアリングイベントが、出力ステアリングイベントを要求する命令サイクルの終了時に発生し得る、または効果的ステアリングイベントアップデートが、次の立ち上がりイベントの開始時に発生し得るようにプログラム可能であってもよい。瞬時出力ステアリングイベントは、不完全波形を生じさせ得るが、ユーザのファームウェアが、出力からの信号を瞬時に除去する必要があるとき、有用である。出力ステアリングイベントが、実質的に、次の立ち上がりイベントと同時に生じるとき、完全波形は、常時、產生されるであろう。

【0058】

出力極性制御

各出力OUT xの極性は、排他的ORゲート136を用いて、独立して選択され得る。POL xが、論理低にあるとき、排他的ORゲート136への入力論理レベルの出力反転は、存在しない(出力OUTは、「アクティブ高」にある)。POL xが、論理高にあるとき、排他的ORゲート136への入力論理レベルの出力反転が、存在する(出力OUTは、「アクティブ低」にある)。しかしながら、極性は、オーバーライド値に影響を及ぼさない。出力極性は、極性制御レジスタ(図示せず)からのPOL 0 - POL 3ビットを用いて選択されてもよい。

40

【0059】

自動シャットダウン制御

自動シャットダウンが、瞬時に、現在の出力値を電源回路の安全なシャットダウンを可

50

能にする具体的オーバーライド138でオーバーライドするために使用されてもよい。再起動機能もまた、ある条件下で使用されてもよい。選択可能シャットダウンソース120、自動再起動イネーブル、および自動シャットダウンオーバーライド制御が、例えば、限定ではないが、RSラッチ114、ORゲート118、ANDゲート120、D-ラッチ142、および/またはマルチプレクサ138および140とともに実装されてもよい。

【0060】

シャットダウン

シャットダウンイベントを発生させるために、ORゲート118への入力における手動オーバーライドまたはANDゲート120のうちの1つ以上を通した外部入力ソースの2つの方法がある。

【0061】

手動オーバーライド

自動シャットダウンレジスタが、要求に応じて、動作機能を手動でオーバーライドするために使用されてもよい。ASDEビットを設定することによって、シャットダウンイベントが、発生され得る。ASDEビットは、モジュールがディスエーブルにされる場合でも、設定可能であり得る。これは、COGモジュールがディスエーブルにされる場合でも、ASDオーバーライド状態が、マルチプレクサ138を用いて選択され、マルチプレクサ140を通して、出力OUTxに結合されることを可能にするであろう。マルチプレクサ138および140が、本機能を果たすように示されるが、デジタル回路設計の当業者および本開示の利点を有する者は、他の等しく効果的回路を設計し得、それらの回路は、本明細書で検討される。自動再起動が、ディスエーブルにされる場合、本オーバーライドは、制御ビットが自動シャットダウン制御レジスタ(図示せず)内に設定される限り、持続し得る。自動再起動が、イネーブルにされる場合、ビットは、自動的に、自己クリアし、次の立ち上がりエッジイベントにおいて動作を再開するであろう。

【0062】

外部入力ソース

イベント発生のために利用可能な所与のソースのいずれかが、システムシャットダウンのために利用可能である。これは、外部回路が、任意のソフトウェアオーバーヘッドを伴わずに、監視し、シャットダウンを強制することものである。自動シャットダウン(ASD)ソースに関する重要な考慮点は、それらが、エッジ感知可能ではなく、レベル感知可能であり、ASDレベルが持続する限り、ASDイベントが進行中であるということに留意されたい。具体的ASDソースは、ANDゲート120であり得る。

【0063】

再起動

自動シャットダウンイベントが生じた後、COGモジュールに動作を再開させるための2つの方法がある。

【0064】

手動再起動

いったん自動シャットダウンソースが、非アクティブになり、次いで、S-Rラッチ114からのASDEビットが、例えば、ORゲート116を介して、ソフトウェア内でクリアにされた後、次の立ち上がりエッジイベントで再起動させる。

【0065】

自動再起動

いったん自動シャットダウンイベント信号がクリアにされると、次の立ち上がりエッジイベントで自動的に再起動する。ASDEビットは、自動シャットダウン条件が、依然として、ORゲート118への入力のうちの少なくとも1つに存在する場合、ソフトウェア内でクリアにされないことに留意されたい。

【0066】

出力駆動

マルチプレクサ140は、通常動作を再開すべきことを示す有効立ち上がりイベントが

10

20

30

40

50

存在し、それによって、Dフリップフロップ142をクリアにするまで、マルチプレクサ138からのオーバーライドを維持し得る。立ち上がりイベントは、構成され得る方法に応じて、エッジまたはレベル依存性を有し得る。マルチプレクサ138からの出力は、強制出力制御FOUTによって選択されてもよい。これらの強制出力は、例えば、限定ではないが、論理高、論理低、高インピーダンス(Hi-Z)、または通常イベント駆動論理レベルであってもよい。

【0067】

バッファアップデート

デッドバンド、位相、およびブランキングのためのバッファは、COGモジュール動作の間、異なる時間において、対応するレジスタ値とともにロードされ得る。これらの時間は、COGモジュールが、ディスエーブルまたはイネーブルにされるときであり得る。

10

【0068】

COGモジュールディスエーブル

COGモジュールが、ディスエーブルにされると、デッドバンド、位相、およびブランキングレジスタへの書き込みはまた、直接、個別のバッファも同様にロードし得る。

【0069】

COGモジュールイネーブル

COGモジュールが、イネーブルにされると、値が変更されるとき、全バッファが、実質的に、同一の時間でアップデートすることを確実にする必要がある。実施例は、デバイスが、COGモジュールまで高速周期(例えば、500kHz)を伴って、低クロック速度(例えば、1MHz)で起動しているときである。本状況下では、デッドバンド、位相遅延、およびブランキング値を新しい値でアップデートするために、いくつかのクロック周期を要求するであろう。複数の周期にわたる本アップデートは、望ましくなく、したがって、バッファアップデートを同期させるための方法が、使用されるべきである。バッファをロードするためのステップは、以下となり得る。

20

1. 全レジスタ値をアップデートする

2. ロードビットを設定する

3. 立ち下がりイベント信号の次の立ち上がりエッジにおいて、立ち下がりイベント信号をラッチする

a) 立ち下がりイベント信号のためのラッチを閉鎖する

30

b) 立ち上がりイベントデッドバンドバッファをロードする

c) 立ち下がりイベントブランキングバッファをロードする

d) 位相遅延バッファをロードする

e) 立ち下がりイベント信号のためのラッチを閉鎖する

4. 立ち上がりイベントの次の立ち上がりエッジにおいて、

a) 立ち下がりイベント信号のためのラッチを閉鎖する(立ち下がりイベント信号は、立ち上がりイベント信号を発生させ、したがって、ラッチ立ち下がりイベントは、立ち上がりイベントにおける変更を防止するであろう)

b) デッドバンド立ち下がりイベントレジスタをロードする

c) デッドバンド立ち上がりイベントレジスタをロードする

40

d) ロードビットをクリアにし、ロードの完了を示す

e) 立ち下がりイベントラッチを開放する

ロードビットは、ソフトウェア内でクリアにすることができず、ソフトウェア内でのみ設定可能であり、ハードウェア内でのみクリアにされる。これは、ロード手順の間、意図されない動作を防止するためのものである。

【0070】

COGモジュールリセット

COGモジュールは、リセット信号が、インバータ112への入力においてアサートされる度に、リセットされてもよい。アクティブ低リセットが、インバータ112に適用される場合、SRラッチ108は、そのリセット状態に保持される。インバータ112の出

50

力もまた、そこに結合されたレジスタ、カウンタ等の全てをリセットするものである。リセットがアサートされると、以下のアクションが、生じ得る。レジスタが、そのデフォルト値にリセットされ、プランキングカウンタが、リセットされ、デッドバンドカウンタが、リセットされ、任意の機械または状態発生回路内のフリップフロップおよびラッチが、そのデフォルト値にリセットされる。

【 0 0 7 1 】

図 1 0 を参照すると、描写されるのは、本開示の教示による、相補出力ジェネレータを有する、混合信号集積回路デバイスの概略ブロック図である。混合信号集積回路デバイス 1 0 0 2 は、スイッチモード電力供給装置 (S M P S) (図 1 1 参照) またはハーフまたはフルブリッジ電源デバイス (図 1 2 参照) 、例えば、モータ等を制御するために使用され得る。混合信号集積回路デバイス 1 0 0 2 は、 C O G モジュール 1 0 0 、信号発生モジュール 1 0 5 6 、メモリを伴うデジタルプロセッサ 1 0 5 8 (例えば、マイクロコントローラ) 、アナログ / デジタルコンバータ (A D C) 1 0 6 0 、複数の増幅器 1 0 6 2 、デジタル / アナログコンバータ (D A C) 1 0 6 4 、および電圧基準 1 0 6 6 のうちの 1 つ以上を備えてもよい。 A D C 1 0 6 0 は、アナログマルチプレクサ (図示せず) に結合される入力であってもよく、複数の増幅器 1 0 6 2 は、複数の差動入力増幅器、例えば、動作増幅器であってもよい。信号発生モジュール 1 0 5 6 は、パルス幅変調 (P W M) モジュール、コンパレータ、周波数発生モジュール、および / または構成可能論理セルを備えてもよい。信号発生モジュール 1 0 5 6 からの出力は、 C O G モジュール 1 0 0 によって選択可能であってもよい。

【 0 0 7 2 】

図 1 1 を参照すると、描写されるのは、典型的 S M P S 内で使用される、電源コンポーネントの概略図である。 S M P S 1 1 0 0 の電源コンポーネントは、電圧源 V i n からフィードされ、高トランジスタ 1 1 1 6 、低トランジスタ 1 1 1 8 、インダクタ 1 1 1 2 、フィルタキャパシタ 1 1 1 0 を備えてもよく、全て、図 1 1 に示される、混合信号集積回路デバイス 1 0 0 2 に結合される。

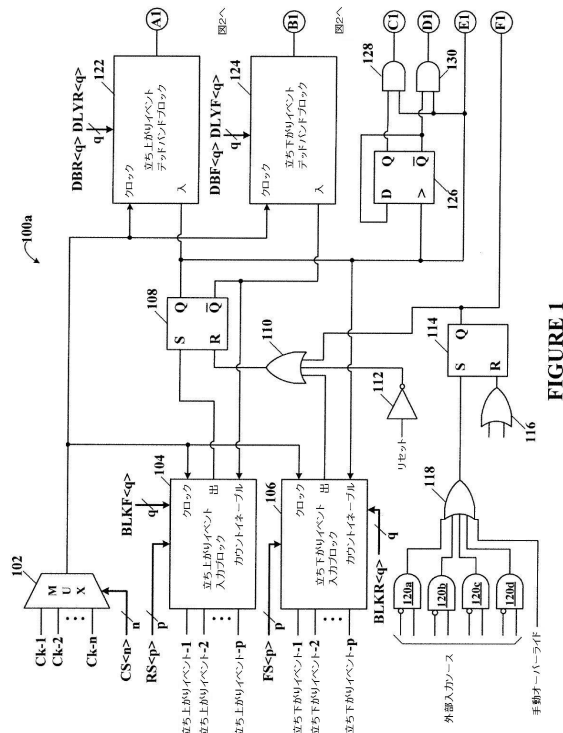
【 0 0 7 3 】

図 1 2 を参照すると、描写されるのは、負荷を駆動させる典型的フルブリッジ用途において使用される、電源コンポーネントの概略図である。概して、番号 1 2 0 0 によって表される、電源回路は、ドライバ 1 2 0 4 と、ハーフブリッジまたはフルブリッジ構成 (フルブリッジが示される) のいずれかにおいて、負荷に結合され得る、パワートランジスタ 1 2 0 2 とを備えてもよい。出力 O U T (0 - 3) のうちの任意の 1 つ以上は、立ち上がりおよび立ち下がりイベント入力、例えば、信号ソースから駆動され、および / またはマルチプレクサ 1 3 8 を用いて、ある論理レベルに強制され得る。フルブリッジモードでは、全 4 つの出力 O U T (0 - 3) が、使用されてもよい。順方向モードでは、 O U T 0 は、アクティブ状態に駆動されてもよく、 O U T 3 は、 O U T 1 および O U T 2 が、非アクティブ状態に駆動され得る間、変調されてもよい。逆方向モードでは、 O U T 2 は、アクティブ状態に駆動されてもよく、 O U T 1 は、 O U T 0 および O U T 3 が、非アクティブ状態に駆動され得る間、変調されてもよい。

【 0 0 7 4 】

本開示の実施形態が、本開示の例示的实施形態を参照して、描写、説明、および定義されたが、そのような参照は、本開示の限定を含意するものではなく、かつそのような限定が推測されるものでもない。開示される主題は、当業者および本開示の利益を有する者に想起されるであろうように、少なからず、形態および機能における修正、改変、および均等物が可能である。本開示の描写および説明される実施形態は、実施例にすぎず、本開示の範囲の包括ではない。

【 図 1 】



【 図 2 】

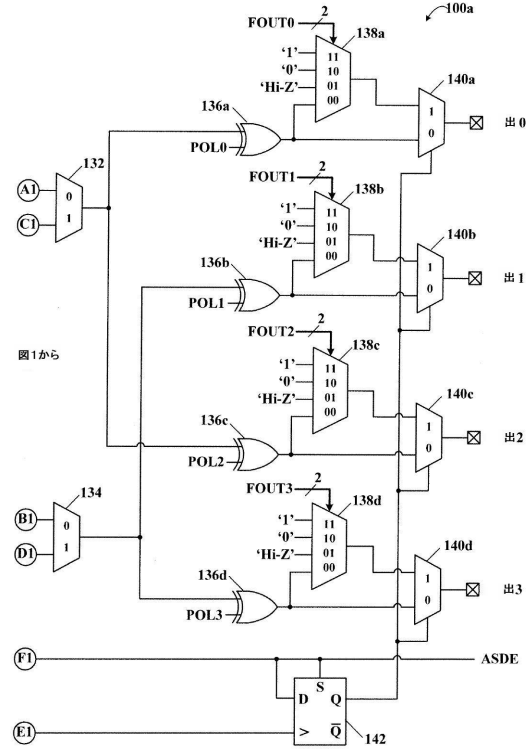
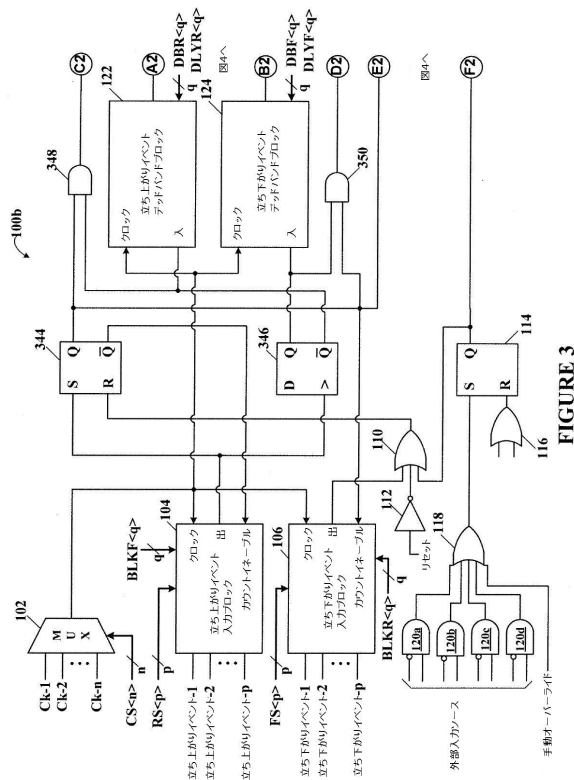


FIGURE 2

【 図 3 】



【 図 4 】

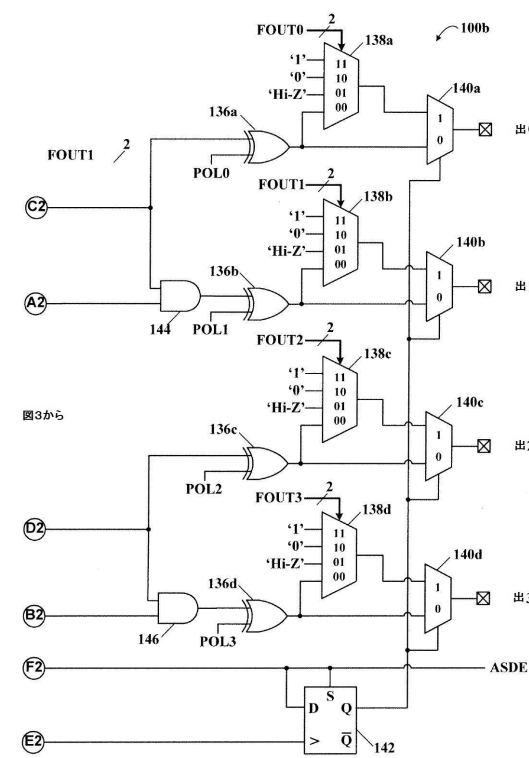


FIGURE 4

【図 5】

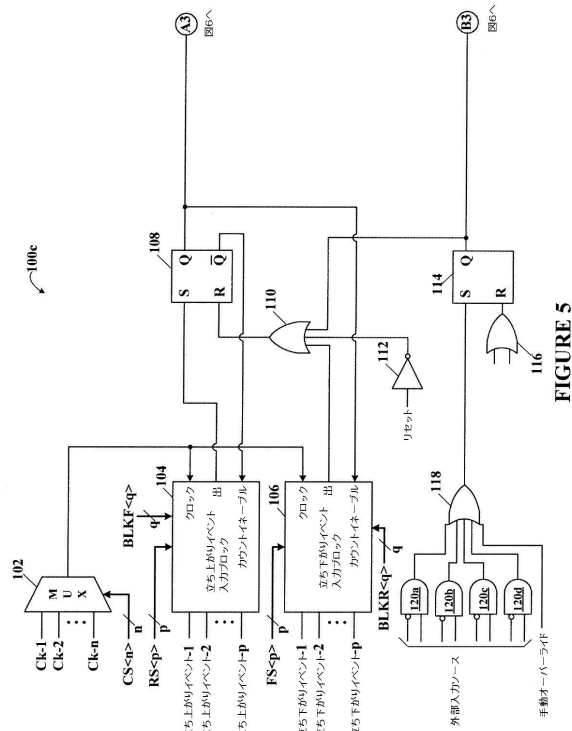


FIGURE 5

【図 6】

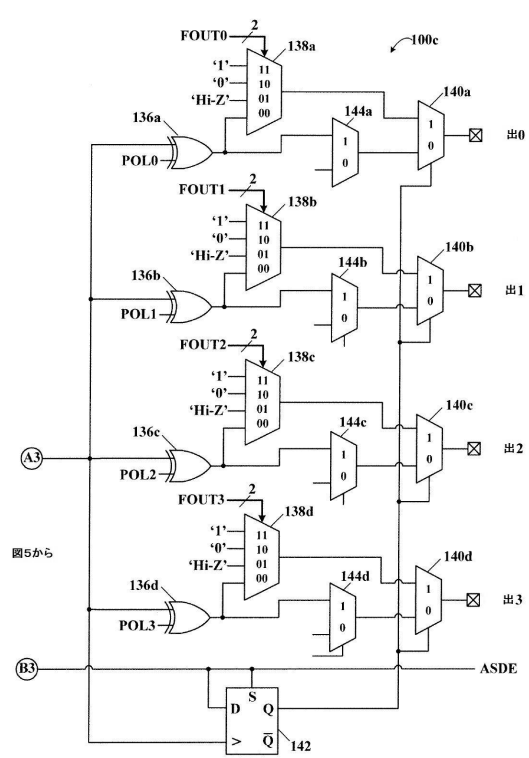


FIGURE 6

【図 7】

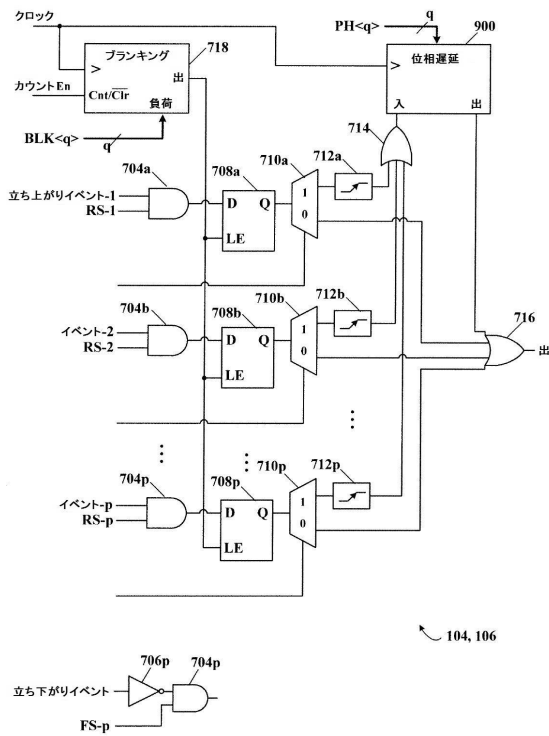


FIGURE 7

【図 8】

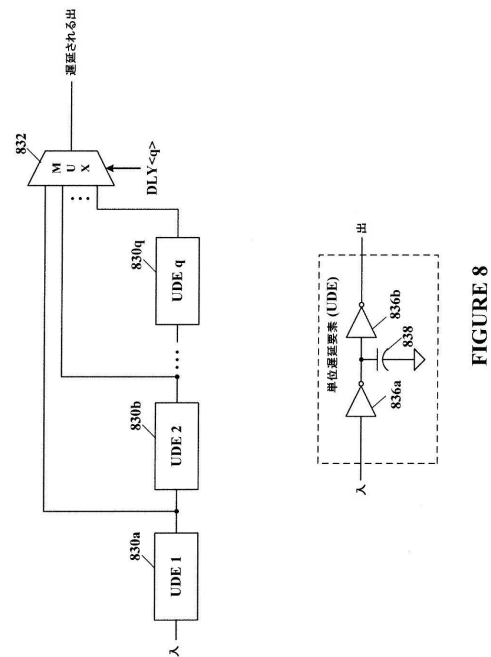


FIGURE 8

【 図 9 】

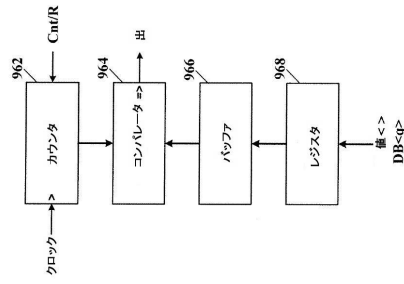


FIGURE 9

【 図 1 0 】

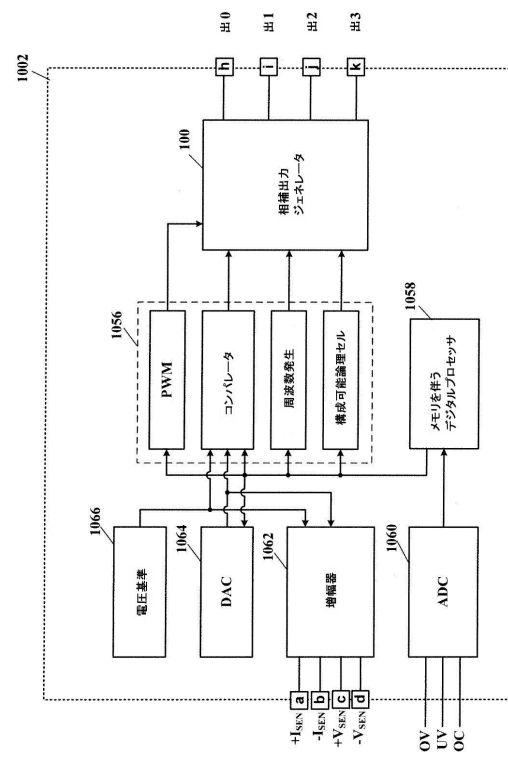


FIGURE 10

【 図 1 1 】

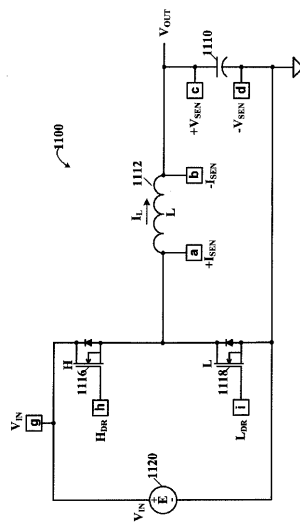


FIGURE 11

【圖 12】

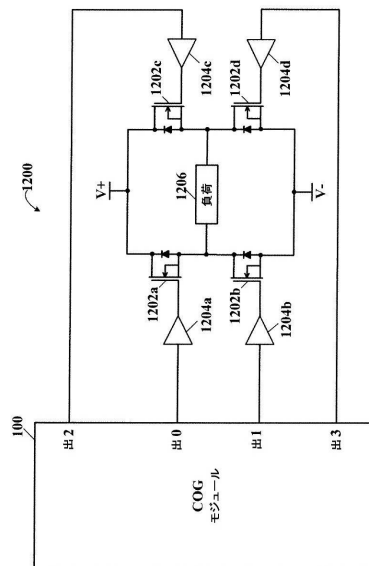


FIGURE 12

フロントページの続き

- (72)発明者 スティードマン, ショーン ステイシー
アメリカ合衆国 アリゾナ 85048, フェニックス, イースト ロックレッジ ロード
2622
- (72)発明者 ランドストラム, ジーク
アメリカ合衆国 アリゾナ 85225, チャンドラー, イースト サン タン ストリート
1732
- (72)発明者 グローザ, クリスチャン ニコラエ
ルーマニア国 パシュカニ, エスシー エー イーティー. 4 エーピー. 9, エヌアール
. 7 ビーエル. ディー8, ブカレスト エスイーシー. 6 エスティーアール.
- (72)発明者 コパチアン, セバスチャン ダン
ルーマニア国 オラデア ジュド. ビホル, ビー1 ディー79 イーティー3 エーピー,
エヌアール 22, エスティーアール メヌモルト
- (72)発明者 ダーマワスキタ, ハートノ
アメリカ合衆国 アリゾナ 85249, チャンドラー, イー. リブラ プレイス 206
6

審査官 及川 尚人

- (56)参考文献 米国特許出願公開第2002/0184469(US, A1)
特開2001-268359(JP, A)
米国特許出願公開第2009/0278621(US, A1)
国際公開第2009/084396(WO, A1)
特開2009-253951(JP, A)
特開2011-055261(JP, A)
特開2011-139365(JP, A)

(58)調査した分野(Int.Cl., DB名)

H03K 5/15 - 5/26
H03K 7/00 - 7/10