

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁸
G11C 8/00 (2006.01)

(45) 공고일자 2006년01월24일
(11) 등록번호 10-0546135
(24) 등록일자 2006년01월18일

(21) 출원번호 10-2004-0034831
(22) 출원일자 2004년05월17일

(65) 공개번호 10-2005-0109813
(43) 공개일자 2005년11월22일

(73) 특허권자 주식회사 하이닉스반도체
경기 이천시 부발읍 아미리 산136-1

(72) 발명자 장은정
서울특별시송파구송파2동한양2차아파트30동401호

이형동
서울특별시서초구양재동370번지

(74) 대리인 황의인
이정훈

심사관 : 윤난영

(54) 지연 고정 루프를 포함하는 메모리 장치

요약

본 발명은 복제 지연 모델(replica delay model)의 지연율이 공정 오차, 온도 또는 전압 변동에 의한 오차가 발생할 경우 보정하여 동기(locking) 이후 외부 클럭과 DQS, DQ간의 스큐(skew)를 최소화할 수 있는 DLL을 포함하는 메모리 장치를 나타낸다. 이를 위해, 외부로부터 입력된 외부 클럭을 버퍼링하여 내부 클럭을 발생하는 입력 클럭 버퍼와, 외부 클럭과 DQS의 위상을 동기시키기 위해 내부 클럭을 지연하는 DLL와, DLL로부터 출력된 출력 클럭을 버퍼링하는 출력 클럭 버퍼와, 출력 클럭 버퍼로부터 출력된 클럭을 이용하여 DQS를 발생하는 출력 제어부를 포함하는데, DLL은 입력 클럭 버퍼의 지연요소 및 지연 라인으로부터 출력된 상기 출력 클럭이 칩 외부로 출력될 때까지의 지연 요소들을 모델링(modeling)하고, 테스트 모드일 때 외부로부터 입력되는 다수의 제어신호들에 따라 지연율이 조절되는 복제 지연 모델(Replica Delay Model)을 포함하는 것을 특징으로 한다.

대표도

도 6

명세서

도면의 간단한 설명

도 1은 일반적인 DLL을 포함하는 메모리 장치를 나타낸 블록도.

- 도 2는 도 1에 도시된 위상 검출기(4)를 나타낸 상세 블록도.
- 도 3a 내지 도 3d는 도 2에 도시된 위상 검출기(4)의 동작을 나타낸 타이밍도.
- 도 4는 도 1에 도시된 지연 라인(8)을 나타낸 상세 블록도.
- 도 5a 및 도 5b는 도 1에 도시된 메모리 장치의 동기 상태(lock state)를 나타낸 타이밍도.
- 도 6은 본 발명에 따른 DLL을 포함하는 메모리 장치를 나타낸 블록도.
- 도 7은 도 6에 도시된 복제 지연 모델(38)을 나타낸 상세 블록도.
- 도 8은 도 7에 도시된 설정부(40)를 나타낸 상세 회로도.
- 도 9는 도 8에 도시된 단위 시프트부(56)를 나타낸 상세 회로도.
- 도 10은 도 7에 도시된 지연 제어부(42)를 나타낸 상세 회로도.
- 도 11은 도 7에 도시된 설정부(40)의 동작을 나타낸 타이밍도.
- 도 12는 도 7에 도시된 지연 제어부(42)의 동작을 나타낸 타이밍도.
- 도 13은 본 발명의 다른 실시예에 따른 DLL을 포함하는 메모리 장치를 나타낸 블록도.
- 도 14는 도 13에 도시된 복제 지연 모델(136)을 나타낸 상세 블록도.
- 도 15는 도 13에 도시된 제어신호 발생부(142)를 나타낸 상세 회로도.
- 도 16 내지 도 19는 도 13에 도시된 메모리 장치의 동작을 나타낸 타이밍도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 지연 고정 루프(Delay Locked Loop; 이하 DLL)를 포함하는 메모리 장치에 관한 것으로, 보다 상세하게는 복제 지연 모델(replica delay model)의 지연율이 공정 오차, 온도 또는 전압 변동에 의한 오차가 발생할 경우 이를 보정하여 동기(locking) 이후 외부 클럭과 DQS, DQ간의 스큐(skew)를 최소화할 수 있는 DLL을 포함하는 메모리 장치에 관한 것이다.

일반적으로 지연 고정 루프(Delay Locked Loop; 이하 DLL)는 DRAM의 외부에서 입력되는 외부 클럭을 이용하여 DRAM 내부에서 외부로 출력되는 데이터의 타이밍을 제어하는 회로이다. 데이터를 오류 없이 칩셋(chipset)에 전송하기 위해서는 DRAM과 칩셋이 동일한 클럭에 동기되어야 한다.

즉, 외부로부터 입력된 클럭이 DRAM 내부로 입력될 때 클럭 입력 버퍼(Input Clock Buffer), 라인 부하(Line Loading), 데이터 출력 버퍼(Data Output Buffer) 등의 로직 회로들에 의해 위상이 지연되어 외부 클럭의 위상과 내부 클럭의 위상이 달라지기 때문에 이를 보상하기 위해서 DLL이 사용된다.

이와 같이 DLL은 DRAM 내부 회로에 의해 지연된 위상(clock skew)을 보상하여, 즉 내부에서 외부로 출력되는 데이터의 위상이 클럭의 위상과 차이가 나지 않도록 외부 클럭을 기준으로 DRAM 코어(Core)에서 감지(sensing)된 데이터가 데이터 출력 버퍼를 통해 출력되는 시점이 외부로부터 입력된 클럭의 타이밍과 동일하게 설정한다.

도 1은 일반적인 DLL을 포함하는 메모리 장치를 나타낸 블록도이다.

메모리 장치는 입력 클럭 버퍼(2), DLL(4), 출력 클럭 버퍼(6) 및 출력 제어부(8)를 포함한다.

입력 클럭 버퍼(Input Clock Buffer)(2)는 외부로부터 입력된 외부 클럭 CLKEXT를 버퍼링하여 내부 클럭 CLKIN를 출력한다.

DLL(4)은 입력 클럭 버퍼(2)로부터 출력된 내부 클럭 CLKIN와 내부 회로를 통해 피드백(feedback)된 피드백 클럭 FBCLK의 위상을 비교하는 위상 검출기(Phase Detector)(10)와, 내부 클럭 CLKIN의 위상을 지연하는 지연 라인(Delay Line)(11)과, 위상 검출기(10)로부터 출력된 위상 검출 신호를 이용하여 지연 라인(Delay Line)(11)의 지연율을 제어하는 지연 라인 제어기(Delay Line Controller)(12)와, 입력 클럭 버퍼(2)의 지연요소 및 지연라인(11)으로부터 출력된 출력 클럭 CLKOUT가 칩 외부로 출력될 때까지의 지연 요소들을 모델링(modeling)한 복제 지연 모델(Replica Delay Model)(13)을 포함한다.

위상 검출기(10)는 내부 클럭 CLKIN와 피드백 클럭 FBCLK의 위상을 비교한다. 즉, 외부 클럭 CLKEXT와 DQS의 위상을 동기시키기 위해 두 클럭을 실시간으로 비교한다.

또한, 위상 검출기(10)는 지연 라인 제어기(12)(예를 들어, 시프트 레지스터 어레이(shift register array))에 비교 정보를 제공하여 지연 라인(11)의 지연율을 조절하여, 두 클럭의 위상 차이를 감소시킨다.

지연 라인(11)은 위상 검출기(10)에 의해 제어되어 위상 지연율을 결정하는 지연 경로를 형성한다. 또한, 지연 라인(11)은 다수의 단위 지연 셀(Unit Delay Cell)이 직렬 연결되어 구성되는데, 각 단위 지연 셀을 제어하는 신호는 지연라인 제어기(12)로부터 출력된 신호에 일대일로 대응된다.

지연 라인 제어기(12)는 지연 라인(11)의 입력 경로를 설정하는 논리 회로와 경로의 위치를 설정하는 양방향성 시프트 레지스터(bidirectional shift register)를 포함한다. 여기서, 시프트 레지스터는 초기 최대/최소 지연 시간을 설정할 수 있도록 구성된다.

지연 라인 제어기(12)는 위상 검출기(10)에 의해 검출된 상태에 따라 지연 라인(11)을 제어하는 신호를 출력하는데, 앞선 상태(lead)의 경우는 한 번의 시프트 레프트(shift left) 신호 DELUP를 발생하여 지연율을 높이고, 뒤떨어진 상태(lag)의 경우는 한 번의 시프트 라이트(shift right) 신호 DELDN를 발생하여 지연율을 낮추고, 고정 상태(lock)의 경우는 시프트 신호를 발생하지 않고 동기 상태 신호 LOCK를 출력한다.

복제 지연 모델(13)은 외부 클럭 CLKEXT이 입력되어 DQS로 출력되기까지 거치는 DLL을 제외한 내부 회로를 축소(shrink), 단순화(simplify) 또는 그대로 이용하여 구성한다. 정확한 지연 요소들은 DLL이 갖는 성능 중의 스큐(skew) 값을 결정한다.

출력 클럭 버퍼(6)는 지연라인(11)으로부터 출력된 출력 클럭 CLKOUT를 버퍼링한다.

출력 제어부(8)는 출력 클럭 버퍼(6)로부터 출력된 클럭 CLKINTP를 이용하여 DQS를 발생한다.

도 2는 도 1에 도시된 위상 검출기(11)를 나타낸 상세 블록도이다.

위상 검출기(11)는 두 개의 위상 검출부(16, 18) 및 지연부(20)를 포함한다. 여기서, 지연부(20)는 한개의 단위 지연 셀(unit delay cell)로 구성된다.

제 1 위상 검출부(16)는 내부 클럭 CLKIN와 피드백 클럭 FBCLK의 위상을 비교한다. 피드백 클럭 FBCLK의 상승 에지(rising edge)가 내부 클럭 CLKIN의 로우 펄스 내에 존재하는 경우, 즉 피드백 클럭 FBCLK의 상승 에지가 내부 클럭 CLKIN의 상승 에지 보다 앞서면(lead), 제 1 위상 검출부(16)의 출력신호 DET1은 로우 레벨이 되고, 피드백 클럭 FBCLK의 상승 에지가 내부 클럭 CLKIN의 상승 에지보다 뒤지면(lag), 제 1 위상 검출부(16)의 출력신호 DET1은 하이 레벨이 된다.

제 2 위상 검출부(18)는 내부 클럭 CLKIN와 피드백 클럭 FBCLK가 지연부(20)에 의해 지연된 지연 피드백 클럭 FBCLKD의 위상을 비교한다. 지연 피드백 클럭 FBCLKD의 상승 에지(rising edge)가 내부 클럭 CLKIN의 로우 펄스 내에 존재하는 경우, 즉 지연 피드백 클럭 FBCLKD의 상승 에지가 내부 클럭 CLKIN의 상승 에지보다 앞서면(lead), 제 2 위상 검출부(18)의 출력신호 DET2는 로우 레벨이 되고, 지연 피드백 클럭 FBCLKD의 상승 에지가 내부 클럭 CLKIN의 상승 에지보다 뒤지면(lag), 제 2 위상 검출부(18)의 출력신호 DET2는 하이 레벨이 된다.

도 3a 내지 도 3d는 도 2에 도시된 위상 검출기(11)의 동작을 순차적으로 나타낸 타이밍도이다.

먼저, 도 3a는 피드백 클럭 FBCLK 및 지연 피드백 클럭 신호 FBCLKD의 상승 에지가 모두 내부 클럭 CLKIN의 상승 에지보다 뒤진 경우(lag)를 나타낸 타이밍도이다. 따라서, 도 2에 도시된 위상 검출기(11)의 제 1 위상 검출부(16) 및 제 2 위상 검출부(18)의 출력신호들 DET1 및 DET2는 모두 하이 레벨이 되어 지연 라인 제어기(12)는 지연라인(11)의 지연율을 증가시키기 위한 지연 증가 신호 DELUP를 발생한다.

따라서, 피드백 클럭 FBCLK 및 지연 피드백 클럭 FBCLKD가 지연되어 도 3b에 도시된 바와 같이 피드백 클럭 FBCLK의 상승 에지는 내부 클럭 CLKIN의 상승 에지 보다 뒤지고, 지연 피드백 클럭 FBCLKD의 상승 에지는 내부 클럭 CLKIN의 상승 에지 보다 앞서게 되어, 도 2에 도시된 위상 검출기(11)의 제 1 위상 검출부(16)의 출력신호 DET1은 하이 레벨이 되고, 제 2 위상 검출부(18)의 출력신호 DET2는 하이 레벨에서 로우 레벨로 천이 되어 지연 라인 제어기(12)는 지연라인(11)의 지연율을 증가시키기 위한 지연 증가 신호 DELUP를 발생한다.

따라서, 피드백 클럭 FBCLK 및 지연 피드백 클럭 FBCLKD가 지연되어 도 3c에 도시된 바와 같이 피드백 클럭 FBCLK 및 지연 피드백 클럭 신호 FBCLKD의 상승 에지가 모두 내부 클럭 신호 CLKIN의 상승 에지 보다 앞선 경우(lead)가 되어, 도 2에 도시된 위상 검출기(11)의 제 1 위상 검출부(16) 및 제 2 위상 검출부(18)의 출력신호 DET1 및 DET2는 모두 로우 레벨이 되어 지연 라인 제어기(12)는 지연라인(11)의 지연율을 증가시키기 위한 지연 증가 신호 DELUP를 발생한다.

따라서, 피드백 클럭 FBCLK 및 지연 피드백 클럭 FBCLKD가 지연되어 도 3d에 도시된 바와 같이 피드백 클럭 신호 FBCLK의 상승 에지는 내부 클럭 CLKIN의 상승 에지 보다 앞서고(lead), 지연 피드백 클럭 FBCLKD의 상승 에지는 내부 클럭 CLKIN의 상승 에지 보다 뒤진 경우(lag)가 되어, 도 2에 도시된 위상 검출기(11)의 제 1 위상 검출부(16)로부터 출력된 신호 DET1은 로우 레벨을 유지하고, 제 2 위상 검출부(18)의 출력신호 DET2는 로우 레벨에서 하이 레벨로 천이되어 내부 클럭 CLKIN과 피드백 클럭 FBCLK의 상승 에지가 일정 구간 이하로 가까워져 동기 상태(lock state)가 된다. 이때, 지연 라인 제어기(12)로부터 출력되는 신호는 제 1 위상 검출부(16)로부터 출력된 신호 DET1에 의해서만 지연 증가(delay up) 신호 DELUP 또는 지연 감소(delay down) 신호 DELDN를 발생할 지가 결정된다. 즉, 제 1 위상 검출부(16)로부터 출력된 신호 DET1이 로우 레벨인 경우 지연 증가 신호 DELUP를 출력하고, 하이 레벨인 경우 지연 감소 신호 DELDN를 출력한다.

도 4는 도 1에 도시된 지연 라인(11)을 나타낸 상세 블록도이다.

지연 라인(11)은 지연 라인 제어기(12)로부터 출력된 신호 DELUP 및 DELDN에 따라 지연 경로가 설정되는 직렬 연결된 다수의 단위 지연 셀(22)을 포함한다.

지연 라인 제어기(12)로부터 지연 증가 신호 DELUP가 출력되면 지연 라인(11)의 지연 경로는 A와 같이 설정되어 지연율이 증가되고, 지연 감소 신호 DELDN가 출력되면 지연 라인(11)의 지연 경로는 B와 같이 설정되어 지연율이 감소된다.

도 5a 및 도 5b는 도 1에 도시된 메모리 장치의 동기 상태(lock state)를 나타낸 타이밍도이다.

먼저, 도 5a는 이상적인 경우(ideal case)를 나타낸 타이밍도로써, 동기 상태(lock state)에서 복제 지연 모델(13)의 지연 시간 D1에 의해 지연된 피드백 클럭 FBCLK와 내부 클럭 CLKIN의 상승 에지가 일치되고, 이때 외부 클럭 CLKEXT와 DLL의 출력 클럭 CLKOUT가 출력 클럭 버퍼(6) 및 출력 제어부(8)에 의한 지연시간 D2에 의해 지연된 DQS의 상승 에지가 일치된다.

한편, 도 5b는 DQS의 상승 에지가 외부 클럭 신호 CLKEXT의 상승 에지와 일치하지 않는 경우를 나타낸 타이밍도이다.

도 5b를 참조하면, 동기 상태(lock state)에서 복제 지연 모델(13)의 지연 시간 D1에 의해 지연된 피드백 클럭 FBCLK와 내부 클럭 CLKIN의 상승 에지가 일치되고, 이때 DQS의 상승 에지가 외부 클럭 신호 CLKEXT의 상승 에지와 일치하기 위

한 DLL(4)의 출력 클럭 CLKOUT가 지연되어야 하는 지연시간 D3이 실제로 DLL의 출력 클럭 CLKOUT가 출력 클럭 버퍼(6) 및 출력 제어부(8)에 의해 지연되는 지연시간 D2와 동일하지 않는 경우 외부 클럭 신호 CLKEXT와 DQS의 상승 에지가 일치하지 않는다.

따라서, 종래 기술에 따른 메모리 장치는 이상적인 지연시간 D3과 실제 지연시간 D2를 일치시키기 위해 복제 지연 모델(13)의 지연율을 조절할 수 없기 때문에 외부 클럭 CLKEXT와 DQS(또는 DQ) 간의 스큐(skew)를 줄일 수 없는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

상기 문제점을 해결하기 위한 본 발명의 목적은 복제 지연 모델(replica delay model)의 지연율을 조절하여 동기 상태(locking) 이후에 외부 클럭과 DQS 또는 DQ간의 스큐를 최소화하는 것이다.

발명의 구성 및 작용

상기 목적을 달성하기 위한 본 발명의 DLL을 포함하는 메모리 장치는 외부로부터 입력된 외부 클럭을 버퍼링하여 내부 클럭을 발생하는 입력 클럭 버퍼; 상기 외부 클럭과 DQS의 위상을 동기시키기 위해 상기 내부 클럭을 지연하는 DLL; 상기 DLL로부터 출력된 출력 클럭을 버퍼링하는 출력 클럭 버퍼; 및 상기 출력 클럭 버퍼로부터 출력된 클럭을 이용하여 상기 DQS를 발생하는 출력 제어부를 포함하고, 상기 DLL은 상기 입력 클럭 버퍼로부터 출력된 내부 클럭과 내부 회로를 통해 피드백(feedback)된 피드백 클럭의 위상을 비교하는 위상 검출기; 상기 내부 클럭의 위상을 지연하는 지연 라인; 상기 위상 검출기로부터 출력된 위상 검출 신호를 이용하여 상기 지연 라인의 지연율을 조절하는 지연 라인 제어기; 및 상기 입력 클럭 버퍼의 지연요소 및 상기 지연 라인으로부터 출력된 상기 출력 클럭이 칩 외부로 출력될 때까지의 지연 요소들을 모델링(modeling)하고, 테스트 모드일 때 외부로부터 입력되는 다수의 제어신호들에 따라 지연율이 조절되는 복제 지연 모델(Replica Delay Model)을 포함하는 것을 특징으로 한다.

또한, 상기 목적을 달성하기 위한 본 발명의 DLL을 포함하는 메모리 장치는 외부로부터 입력된 외부 클럭을 버퍼링하여 내부 클럭을 발생하는 입력 클럭 버퍼; 상기 외부 클럭과 DQS의 위상을 동기시키기 위해 상기 내부 클럭을 지연하는 DLL; 상기 DLL로부터 출력된 출력 클럭을 버퍼링하는 출력 클럭 버퍼; 및 상기 출력 클럭 버퍼로부터 출력된 클럭을 이용하여 상기 DQS를 발생하는 출력 제어부를 포함하고, 상기 DLL은 상기 입력 클럭 버퍼로부터 출력된 내부 클럭과 내부 회로를 통해 피드백(feedback)된 피드백 클럭의 위상을 비교하는 제 1 위상 검출기; 상기 내부 클럭의 위상을 지연하는 지연 라인; 상기 위상 검출기로부터 출력된 위상 검출 신호를 이용하여 상기 지연 라인의 지연율을 조절하는 지연 라인 제어기; 상기 외부 클럭과 상기 DQS의 위상을 비교하는 복제 지연 모델 제어기; 및 상기 입력 클럭 버퍼의 지연요소 및 상기 지연 라인으로부터 출력된 상기 출력 클럭이 칩 외부로 출력될 때까지의 지연 요소들을 모델링(modeling)하고, 테스트 모드일 때 상기 복제 지연 모델 제어기로부터 출력된 신호에 따라 지연율이 조절되는 복제 지연 모델(Replica Delay Model)을 포함하는 것을 특징으로 한다.

상술한 목적 및 기타의 목적과 본 발명의 특징 및 이점은 첨부도면과 관련한 다음의 상세한 설명을 통해 보다 분명해 질 것이다.

이하, 첨부 도면을 참조하여 본 발명의 실시예를 상세히 설명하면 다음과 같다.

도 6은 본 발명에 따른 DLL을 포함하는 메모리 장치를 나타낸 블록도이다.

메모리 장치는 입력 클럭 버퍼(24), DLL(26), 출력 클럭 버퍼(28) 및 출력 제어부(30)를 포함한다.

입력 클럭 버퍼(Input Clock Buffer)(24)는 외부로부터 입력된 외부 클럭 CLKEXT를 내부 클럭 CLKIN로 버퍼링한다.

DLL(26)은 입력 클럭 버퍼(24)로부터 출력된 내부 클럭 CLKIN와 내부 회로를 통해 피드백(feedback)된 피드백 클럭 FBCLK의 위상을 비교하는 위상 검출기(Phase Detector)(32)와, 내부 클럭 CLKIN의 위상을 지연하는 지연 라인(Delay Line)(34)과, 위상 검출기(32)로부터 출력된 위상 검출 신호를 이용하여 지연 라인(Delay Line)(34)의 지연율을 조절하는 지연 라인 제어기(Delay Line Controller)(36)와, 입력 클럭 버퍼(24)의 지연요소 및 지연라인(34)으로부터 출력된 출력 클럭 CLKOUT가 칩 외부로 출력될 때까지의 지연 요소들을 모델링(modeling)한 복제 지연 모델(Replica Delay Model)(38)을 포함한다.

지연 라인(34)은 위상 검출기(32)에 의해 제어되어 위상 지연율을 결정하는 지연 경로를 형성한다. 또한, 지연 라인(34)은 다수의 단위 지연 셀(Unit Delay Cell)이 직렬 연결되어 구성되는데, 각 단위 지연 셀을 제어하는 신호는 지연라인 제어기(36)로부터 출력된 신호에 일대일로 대응된다.

지연 라인 제어기(36)는 지연 라인(34)의 입력 경로를 설정하는 논리 회로와 경로의 위치를 설정하는 양방향성 시프트 레지스터(bidirectional shift register)를 포함한다. 여기서, 시프트 레지스터는 초기 최대/최소 지연 시간을 설정할 수 있도록 구성된다.

지연 라인 제어기(36)는 위상 검출기(32)에 의해 검출된 상태에 따라 지연 라인(34)을 제어하는 신호를 출력하는데, 앞선 상태(lead)의 경우는 한 번의 시프트 레프트(shift left) 신호 DELUP를 발생하여 지연율을 증가시키고, 뒤떨어진 상태(lag)의 경우는 한 번의 시프트 라이트(shift right) 신호 DELDN를 발생하여 지연율을 감소시키고, 동기 상태(lock)의 경우는 시프트 신호를 발생하지 않고 동기 상태 신호 LOCK를 출력한다.

복제 지연 모델(38)은 외부 클럭 CLKEXT이 입력되어 DQS로 출력되기까지 거치는 DLL을 제외한 내부 회로를 축소(shrink), 단순화(simplify) 또는 그대로 이용하여 구성한다. 또한, 복제 지연 모델(38)은 테스트 모드일 때 외부로부터 입력되는 제어신호 TMRPZ 및 TMSRPZ에 따라 지연율이 조절된다. 여기서, 제어신호 TMRPZ 및 TMSRPZ는 시스템의 수신회로(receiver)에서 생성된다.

출력 클럭 버퍼(28)는 지연라인(34)으로부터 출력된 출력 클럭 CLKOUT를 버퍼링한다.

출력 제어부(30)는 출력 클럭 버퍼(28)로부터 출력된 클럭 CLKINTP를 이용하여 DQS를 발생한다.

도 7은 도 6에 도시된 복제 지연 모델(38)을 나타낸 상세 블록도이다.

복제 지연 모델(38)은 설정부(40), 지연 제어부(42) 및 지연부(44)를 포함한다.

설정부(40)는 제어신호 TMRPZ 및 TMSRPZ에 따라 지연 설정 데이터 RPSET<0:4>를 발생한다.

지연 제어부(42)는 설정부(40)로부터 출력된 지연 설정 데이터 RPSET<0:4>에 따라 지연율이 조절되어 DLL(26)로부터 출력된 출력 클럭 CLKOUT를 설정된 지연율에 따라 지연시킨 클럭 RCLKDLL을 출력한다.

지연부(44)는 지연 제어부(42)로부터 출력된 클럭 RCLKDLL를 소정 시간 지연하여 피드백 클럭 신호 FBCLK를 출력한다.

도 8은 도 7에 도시된 설정부(40)를 나타낸 상세 회로도이다.

설정부(40)는 다수의 인버터(46, 48, 50, 52), 피드백 입력부(54), 다수의 단위 시프트부(56) 및 피드백 출력부(58)를 포함한다.

인버터(46, 48)는 제어신호 TMSRPZ를 순차적으로 반전하고, 인버터(50, 52)는 제어신호 TMRPZ를 순차적으로 반전한다.

피드백 입력부(54)는 전송 게이트(60), 노아 게이트(62) 및 인버터(64, 66)를 포함한다. 전송 게이트(60)는 인버터(50, 52)로부터 출력된 신호들 TMRP 및 TMRPZD에 의해 제어되어 피드백 출력부(58)로부터 출력된 피드백 신호 RBRPSET를 선택적으로 전송한다. 노아 게이트(62) 및 인버터(64)는 인버터(46)로부터 출력된 신호 TMSRP에 따라 전송 게이트(60)에 의해 전송된 신호를 선택적으로 래치한다. 인버터(66)는 노아 게이트(62)로부터 출력된 신호를 반전한다. 여기서, 인버터(46)로부터 출력된 신호 TMSRP가 하이 레벨인 경우 피드백 출력부(58)로부터 출력된 신호 FBRPSET에 상관없이 피드백 입력부(54)로부터 출력된 첫 번째 설정 데이터 RPSET<0>는 하이 레벨로 초기화된다.

다수의 단위 시프트부(56)는 인버터(48)로부터 출력된 신호 TMSRPZD에 의해 제어되어 인버터(50, 52)로부터 출력된 신호 TMRP 및 TMRPZD의 한 주기마다 피드백 입력부(54)로부터 출력된 신호 RPSET<0>를 순차적으로 시프트 한다. 여기서, 피드백 입력부(54)로부터 출력된 신호 RPSET<0>을 포함하여 각 단위 시프트부(56)로부터 출력된 신호 RPSET<1:4>가 지연 설정 데이터 RPSET<0:4>가 된다.

피드백 출력부(58)는 전송 게이트(68) 및 인버터(70, 72, 74)를 포함한다. 전송 게이트(68)는 인버터(50, 52)로부터 출력된 신호들 TMRP 및 TMRPZD에 의해 제어되어 마지막 단위 시프트부(56)로부터 출력된 설정 데이터 RPSET<4>를 선택적으로 전송한다. 인버터(70, 72)는 전송 게이트(68)로부터 출력된 신호를 래치한다. 인버터(74)는 인버터(70)로부터 출력된 신호를 반전한다.

도 9는 도 8에 도시된 단위 시프트부(56)를 나타낸 상세 회로도이다.

단위 시프트부(56)는 전송 게이트(76, 78), 인버터(80, 82, 84, 88, 90) 및 낸드 게이트(86)를 포함한다.

전송 게이트(76)는 인버터(50, 52)로부터 출력된 신호들 TMRP 및 TMRPZD에 의해 제어되어 입력단자에 입력된 신호 IN을 선택적으로 전송한다.

인버터(80, 82)는 전송 게이트(76)에 의해 전송된 신호를 래치하고, 인버터(84)는 인버터(80)로부터 출력된 신호를 반전한다.

전송 게이트(78)는 인버터(50, 52)로부터 출력된 신호들 TMRP 및 TMRPZD에 의해 제어되어 인버터(84)로부터 출력된 신호를 선택적으로 전송한다.

낸드 게이트(86) 및 인버터(88)는 인버터(48)로부터 출력된 신호 TMSRPZD에 따라 전송 게이트(78)에 의해 전송된 신호를 선택적으로 래치하고, 인버터(90)는 낸드 게이트(86)로부터 출력된 신호를 반전한다. 여기서, 인버터(48)로부터 출력된 신호 TMSRPZD가 로우 레벨인 경우 입력단자에 인가된 신호에 상관없이 출력단자로부터 출력되는 신호 OUT는 로우 레벨로 초기화된다.

도 10은 도 7에 도시된 지연 제어부(42)를 나타낸 상세 회로도이다.

지연 제어부(42)는 다수의 인버터(91-121) 및 다수의 전송 게이트(111, 113, 115, 117, 119)를 포함한다.

전송 게이트(111)는 지연 설정 데이터 RPSET<0> 및 인버터(110)에 의해 반전된 신호에 따라 출력 클럭 CLKOUT가 인버터(100, 101)에 의해 형성된 지연 경로를 통해 지연된 신호를 선택적으로 전송한다.

전송 게이트(113)는 지연 설정 데이터 RPSET<1> 및 인버터(112)에 의해 반전된 신호에 따라 출력 클럭 CLKOUT가 인버터(91, 92, 102, 103)에 의해 형성된 지연 경로를 통해 지연된 신호를 선택적으로 전송한다.

전송 게이트(115)는 지연 설정 데이터 RPSET<2> 및 인버터(114)에 의해 반전된 신호에 따라 출력 클럭 CLKOUT가 인버터(91, 92, 93, 94, 104, 105)에 의해 형성된 지연 경로를 통해 지연된 신호를 선택적으로 전송한다.

전송 게이트(117)는 지연 설정 데이터 RPSET<3> 및 인버터(116)에 의해 반전된 신호에 따라 출력 클럭 CLKOUT가 인버터(91, 92, 93, 94, 95, 96, 106, 107)에 의해 형성된 지연 경로를 통해 지연된 신호를 선택적으로 전송한다.

전송 게이트(119)는 지연 설정 데이터 RPSET<4> 및 인버터(118)에 의해 반전된 신호에 따라 출력 클럭 CLKOUT가 인버터(91, 92, 93, 94, 95, 96, 97, 98, 108, 109)에 의해 형성된 지연 경로를 통해 지연된 신호를 선택적으로 전송한다.

인버터(120, 121)는 전송 게이트들(111, 113, 115, 117, 119)에 의해 전송된 신호를 순차 반전한다.

도 11은 도 7에 도시된 설정부(40)의 동작을 나타낸 타이밍도이다.

DQS가 외부 클럭 CLKEXT의 위상 차이가 소정 위상 차이 이상인 경우 제어신호 TMSRPZ가 하이 레벨로 인에이블되고 제어신호 TMRPZ가 주기적으로 토글(toggle)한다. 따라서, 제어신호 TMRPZ의 첫 번째 주기에서 하이 레벨로 초기화되어 있던 피드백 입력부(54)로부터 출력된 지연 설정 데이터 RPSET<0>는 첫 번째 단위 시프트부(56)로 시프트되고, 동일한 방법으로 제어신호 TMRPZ의 매 주기마다 이전 단위 시프트부(56)로부터 출력된 지연 설정 데이터 RPSET<i>는 다음 단위 시프트부(56)로 시프트된다. 또한, 마지막 단위 시프트부(56)로부터 출력된 지연 설정 데이터 RPSET<4>는 제어신호 TMRPZ의 토글에 의해 피드백 출력부(58) 및 피드백 입력부(54)를 통해 다시 처음 단위 시프트부(56)로 시프트된다.

도 12는 도 7에 도시된 지연 제어부(42)의 동작을 나타낸 타이밍도로써, 출력 클럭 CLKOUT가 지연 설정 데이터 RPSET<0:4>에 따라 지연율이 조절되어 지연 제어부(42)로부터 출력된 클럭 RCLKDLL의 타이밍이 변하는 것을 알 수 있다.

도 13은 본 발명의 다른 실시예에 따른 DLL을 포함하는 메모리 장치를 나타낸 블록도이다.

메모리 장치는 입력 클럭 버퍼(122), DLL(124), 출력 클럭 버퍼(126), 출력 제어부(128) 및 지연 모델 제어부(138)를 포함한다.

입력 클럭 버퍼(Input Clock Buffer)(122)는 외부로부터 입력된 외부 클럭 CLKEXT를 내부 클럭 CLKIN로 버퍼링한다.

DLL(124)은 입력 클럭 버퍼(122)로부터 출력된 내부 클럭 CLKIN와 내부 회로를 통해 피드백(feedback)된 피드백 클럭 FBCLK의 위상을 비교하는 위상 검출기(Phase Detector)(130)와, 내부 클럭 CLKIN의 위상을 지연하는 지연 라인(Delay Line)(132)과, 위상 검출기(130)로부터 출력된 신호를 이용하여 지연 라인(Delay Line)(132)의 지연율을 조절하는 지연 라인 제어기(Delay Line Controller)(134)와, 입력 클럭 버퍼의 지연요소 및 지연라인(132)으로부터 출력된 출력 클럭 CLKOUT가 칩 외부로 출력될 때까지의 지연 요소들을 모델링(modeling)한 복제 지연 모델(Replica Delay Model)(136)을 포함한다.

지연 라인(136)은 위상 검출기(130)에 의해 제어되어 위상 지연율을 결정하는 지연 경로를 형성한다. 또한, 지연 라인(132)은 다수의 단위 지연 셀(Unit Delay Cell)이 직렬 연결되어 구성되는데, 각 단위 지연 셀을 제어하는 신호는 지연라인 제어기(134)로부터 출력된 신호에 일대일로 대응된다.

지연 라인 제어기(134)는 지연 라인(132)의 입력 경로를 설정하는 논리 회로와 경로의 위치를 설정하는 양방향성 시프트 레지스터(bidirectional shift register)를 포함한다. 여기서, 시프트 레지스터는 초기 최대/최소 지연 시간을 설정할 수 있도록 구성된다. 또한, 지연 라인 제어기(134)는 위상 검출기(130)에 의해 검출된 상태에 따라 지연 라인(132)을 제어하는 신호를 출력하는데, 앞선 상태(lead)의 경우는 한 번의 시프트 레프트(shift left) 신호 DELUP를 발생하여 지연율을 높이고, 뒤떨어진 상태(lag)의 경우는 한 번의 시프트 라이트(shift right) 신호 DELDN를 발생하여 지연율을 낮추고, 고정 상태(lock)의 경우는 시프트 신호를 발생하지 않고 동기 상태 신호 LOCK를 출력한다.

복제 지연 모델(136)은 외부 클럭 CLKEXT이 입력되어 DQS로 출력되기까지 거치는 DLL을 제외한 내부 회로를 축소(shrink), 단순화(simplify) 또는 그대로 이용하여 구성한다. 또한, 복제 지연 모델(136)은 테스트 모드일 때 외부로부터 입력되는 동기 상태 신호 LOCK에 따라 제어되어 복제 지연 모델 제어부(138)로부터 출력된 제어신호 TMRPZ에 따라 지연율이 조절된다.

출력 클럭 버퍼(126)는 지연라인(132)으로부터 출력된 출력 클럭 CLKOUT를 버퍼링한다.

출력 제어부(128)는 출력 클럭 버퍼(126)로부터 출력된 클럭 CLKINTP를 이용하여 DQS를 발생한다. 또한, 출력 제어부(128)에서는 오토 리프레시 명령 AREF에 의해 메모리 장치가 자동으로 스큐를 보정하는 경우, 이러한 보정 동작의 진행이 리드 동작이 진행되는 경우 또는 메모리 소자가 데이터를 외부로 전송하지 않는 오토 리프레시 동작과 같은 명령이 입력되었을 때에도 백그라운드 동작으로 동작할 수 있다. 따라서, 리드 동작에서만 DQS가 발생하는 것이 아니라 오토 리프레시 동작에서도 DQS가 발생하여 외부 클럭 신호 CLKEXT와 DQS의 위상 비교를 수행할 수 있다.

복제 지연 모델 제어부(138)는 선택 위상 검출기(140) 및 제어신호 발생부(142)를 포함한다. 선택 위상 검출기(140)는 오토 리프레시(auto refresh) 명령 AREF 및 리드 명령 RD에 따라 외부 클럭 CLKEXT와 DQS의 위상을 비교하여, DQS의 상승 에지가 외부 클럭 CLKEXT의 상승 에지보다 앞선 경우(lead), 즉 DQS의 상승 에지가 외부 클럭 CLKEXT의 로우 레벨 펄스 구간 내에 존재하는 경우 로우 레벨의 위상 검출 신호 PDOUT를 출력하고, DQS의 상승 에지가 외부 클럭 CLKEXT의 상승 에지보다 뒤떨어진 경우(lack)는 하이 레벨의 위상 검출 신호 PDOUT를 출력한다. 제어신호 발생부(142)는 선택 위상 검출기(140)로부터 출력된 위상 검출 신호 PDOUT에 따라 제어 신호 TMRPZ를 발생하는데, 마지막 지연 설정 데이터 RPSET<4>가 하이 레벨이 되면 제어신호 TMRPZ는 하이 레벨로 초기화된다.

도 14는 도 13에 도시된 복제 지연 모델(136)을 나타낸 상세 블록도이다.

복제 지연 모델(136)은 설정부(144), 지연 제어부(146) 및 지연부(148)를 포함한다.

설정부(144)는 제어신호 TMRPZ 및 동기 상태 신호 LOCK에 따라 지연 설정 데이터 RPSET<0:4>를 발생한다.

지연 조절부(146)는 설정부(144)로부터 출력된 지연 설정 데이터 RPSET<0:4>에 따라 지연 시간을 조절한다.

지연부(148)는 지연 조절부(146)로부터 출력된 클럭 신호 RCLKDLL를 소정 시간 지연하여 피드백 클럭 신호 FBCLK를 출력한다.

또한, 도 14에 도시된 설정부(144), 지연 조절부(146) 및 지연부(148)의 상세 구성은 도 8 내지 도 10에 도시된 실시예의 구성과 동일하기 때문에 여기서는 이의 구성 및 동작 설명은 생략하기로 한다.

도 15는 도 13에 도시된 제어신호 발생부(142)를 나타낸 상세 회로도이다.

제어신호 발생부(142)는 인에이블부(150), 제어부(152) 및 발생부(154)를 포함한다.

인에이블부(150)는 다수의 인버터(156)로 구성된 인버터 체인으로 구성되어, 출력 클럭 CLKOUT를 소정 시간 지연시켜 발생부(154)를 인에이블하는 스트로브 신호 STB를 발생한다.

제어부(152)는 노아 게이트(158), 전승 게이트(160) 및 인버터(161, 162, 163)를 포함하여, 선택 위상 검출기(140)로부터 출력된 위상 검출 신호 PDOUT 및 마지막 설정 데이터 RPSET<4>를 이용하여 비교 신호 IN 및 INZ를 발생한다. 여기서, 전승 게이트(160)는 비교신호 IN 및 INZ의 타이밍을 맞추기 위해 사용된다.

발생부(154)는 래치형 차동 증폭기(latch type differential amplifier)로 구성되고, 인에이블부(150)로부터 출력된 스트로브 신호 STB에 의해 인에이블되어 제어부(152)로부터 출력된 비교신호 IN 및 INZ의 상태에 따라 제어신호 TMRPZ의 상태를 설정한다.

도 16 내지 도 19는 도 13에 도시된 메모리 장치의 동작을 나타낸 타이밍도이다.

먼저, 도 16은 DQS가 외부 클럭 신호 CLKEXT에 동기(lock)되어 동기 상태 신호 LOCK가 하이 레벨이 되고, 복제 지연 모델 제어부(138)의 선택 위상 검출기(140)로부터 출력된 위상 검출 신호 PDOUT가 하이 레벨이 되는 경우를 나타낸 타이밍도이다.

따라서, 제어신호 TMRPZ는 하이 레벨을 유지하여, 설정 데이터 RPSET<0:4>는 초기 상태로 설정되고, 지연 조절부(146)는 최소 지연율로 설정된다.

도 17은 DQS와 외부 클럭 신호 CLKEXT의 동기 상태에서, 지연 조절부(146)의 최대 지연율까지 증가시키는 경우를 나타낸 타이밍도이다.

DQS가 외부 클럭 신호 CLKEXT에 일정 위상 차이 이하를 갖는 상태로 동기되어 동기 상태 신호 LOCK가 하이 레벨이 되었지만, 선택 위상 검출기(140)는 DQS와 외부 클럭 신호 CLKEXT의 위상 차이가 소정 위상 차이 이상이기 때문에 위상 검출 신호 PDOUT는 로우 레벨이 된다.

따라서, 외부 클럭 신호 CLKEXT에 동기되는 제어신호 TMRPZ의 한 주기마다 설정 데이터 RPSET<0:4>는 시프트 된다. 즉, 지연 조절부(146)의 지연율이 점차 증가한다.

이때, 마지막 설정 데이터 RPSET<4>가 하이 레벨이 되면, 제어 신호 발생부(142)에 의해 제어신호 TMRPZ는 하이 레벨로 초기화된다. 따라서, 지연 조절부(146)의 지연율은 최대 값으로 유지된다.

도 18은 DQS와 외부 클럭 신호 CLKEXT의 동기 상태에서, 지연 조절부(146)의 지연율이 증가하여 동기 상태로 설정되는 경우를 나타낸 타이밍도이다.

DQS가 외부 클럭 신호 CLKEXT에 일정 위상 차이 이하를 갖는 상태로 동기되어 동기 상태 신호 LOCK가 하이 레벨이 되었지만, 선택 위상 검출기(140)는 DQS와 외부 클럭 신호 CLKEXT의 위상 차이가 소정 위상 차이 이상이기 때문에 위상 검출 신호 PDOUT는 로우 레벨이 된다.

따라서, 외부 클럭 신호 CLKEXT에 동기되는 제어신호 TMRPZ의 한 주기마다 설정 데이터 RPSET<0:4>는 시프트 된다. 즉 지연 조절부(146)의 지연율이 점차 증가한다.

이때, DQS가 외부 클럭 신호 CLKEXT에 소정 위상 차이 이하가 되어 위상 검출 신호 PDOUT가 하이 레벨이 되면, 제어신호 TMRPZ가 하이 레벨로 유지되어 현재의 지연 조절부(146)의 지연율이 유지된다.

도 19는 DQS와 외부 클럭 신호 CLKEXT의 동기 상태에서 벗어나 초기 상태로 되었다가 다시 동기 상태로 진입하여 지연 조절부(146)의 지연율이 다시 증가하는 경우를 나타낸 타이밍도이다.

먼저, DQS가 외부 클럭 신호 CLKEXT에 일정 위상 차이 이하가 되어 동기 상태 신호 LOCK가 하이 레벨이 되었지만, 선택 위상 검출기(140)는 DQS와 외부 클럭 신호 CLKEXT의 위상 차이가 소정 위상 차이 이상이기 때문에 위상 검출 신호 PDOUT는 로우 레벨이 된다.

따라서, 외부 클럭 신호 CLKEXT에 동기되는 제어신호 TMRPZ의 한 주기마다 설정 데이터 RPSET<0:4>는 시프트 된다. 즉 지연 조절부(146)의 지연율이 점차 증가한다.

이어서, DQS가 외부 클럭 신호 CLKEXT에 소정 위상 차이 이하가 되어 위상 검출 신호 PDOUT가 하이 레벨이 되면, 제어신호 TMRPZ가 하이 레벨로 유지되어 현재의 지연 조절부(146)의 지연율이 유지된다.

이때, 동기 상태에서 벗어나 동기 상태 신호 LOCK가 로우 레벨이 되어 초기 상태로 설정되고, 설정 데이터 RPSET<0:4>는 초기 값("HLLLL")으로 설정되어 지연 조절부(146)의 지연율은 최소 값으로 다시 설정된다.

이 후에, 다시 동기 상태로 진입하여 동기 상태 신호 LOCK가 하이 레벨이 되면, 제어신호 TMRPZ의 한 주기마다 설정 데이터 RPSET<0:4>는 시프트 된다. 즉 지연 조절부(146)의 지연율이 점차 증가한다.

발명의 효과

이상에서 살펴본 바와 같이, 본 발명에 따른 DLL을 포함하는 메모리 소자는 복제 지연 모델의 지연율을 조절하여 공정 오차, 온도 도는 전압 변동에 의한 오차를 보정하여 외부 클럭 신호와 DQS간의 스큐를 최소화할 수 있는 효과가 있다.

또한, DQS와 외부 클럭 신호의 위상을 직접 비교하여 그 결과에 따라 복제 지연 모델의 지연율을 조절하여 공정 오차, 온도 도는 전압 변동에 의한 오차를 보정하여 외부 클럭 신호와 DQS간의 스큐를 최소화할 수 있는 효과가 있다.

아울러 본 발명의 바람직한 실시예는 예시의 목적을 위한 것으로, 당업자라면 첨부된 특허청구범위의 기술적 사상과 범위를 통해 다양한 수정, 변경, 대체 및 부가가 가능할 것이며, 이러한 수정 변경 등은 이하의 특허청구범위에 속하는 것으로 보아야 할 것이다.

(57) 청구의 범위

청구항 1.

외부로부터 입력된 외부 클럭을 버퍼링하여 내부 클럭을 발생하는 입력 클럭 버퍼; 상기 외부 클럭과 DQS의 위상을 동기시키기 위해 상기 내부 클럭을 지연하는 DLL; 상기 DLL로부터 출력된 출력 클럭을 버퍼링하는 출력 클럭 버퍼; 및 상기 출력 클럭 버퍼로부터 출력된 클럭을 이용하여 상기 DQS를 발생하는 출력 제어부를 포함하는데,

상기 DLL은

상기 내부 클럭의 위상을 지연하는 지연 라인;

상기 입력 클럭 버퍼로부터 출력된 내부 클럭과 내부 회로를 통해 피드백(feedback)된 피드백 클럭의 위상을 비교하는 위상 검출기;

상기 위상 검출기로부터 출력된 위상 검출 신호를 이용하여 상기 내부 클럭을 지연시키는 지연율을 조절하는 지연 라인 제어기; 및

상기 입력 클럭 버퍼의 지연요소 및 상기 지연 라인으로부터 출력된 상기 출력 클럭이 칩 외부로 출력될 때까지의 지연 요소들을 모델링(modeling)하고, 테스트 모드일 때 외부로부터 입력되는 다수의 제어신호들에 따라 지연율이 조절되는 복제 지연 모델(Replica Delay Model)을 포함하는 것을 특징으로 하는 DLL을 포함하는 메모리 장치.

청구항 2.

제 1 항에 있어서, 상기 복제 지연 모델은

다수의 지연 경로;

상기 제어신호들에 의해 상기 다수의 지연 경로 중에서 선택된 하나의 지연경로에 따라 상기 DLL로부터 출력된 출력 클럭을 지연하는 지연 조절부; 및

상기 지연 조절부로부터 출력된 클럭을 소정 시간 지연하는 지연부를 포함하는 것을 특징으로 하는 DLL을 포함하는 메모리 장치.

청구항 3.

제 2 항에 있어서, 상기 지연 조절부는

상기 제어신호들에 따라 다수의 지연 설정 데이터를 발생하는 설정부를 더 포함하는 것을 특징으로 하는 DLL을 포함하는 메모리 장치.

청구항 4.

제 3 항에 있어서,

상기 설정부는 링 구조를 갖고, 상기 제어신호들에 따라 제어되어 상기 다수의 지연 설정 데이터를 출력하는 다수의 단위 시프트부를 포함하는 것을 특징으로 하는 DLL을 포함하는 메모리 장치.

청구항 5.

제 4 항에 있어서, 상기 단위 시프트부는

상기 제어신호에 의해 제어되어 입력단자에 입력된 신호를 선택적으로 전송하는 제 1 전송수단;

상기 제 1 전송 수단에 의해 전송된 신호를 래치하는 제 1 래치수단;

상기 제어신호에 의해 제어되어 상기 래치수단에 래치된 신호를 선택적으로 전송하는 제 2 전송수단; 및

상기 제 2 전송수단에 의해 전송된 신호를 래치하는 제 2 래치수단을 포함하는 것을 특징으로 하는 DLL을 포함하는 메모리 장치.

청구항 6.

제 5 항에 있어서,

상기 제 2 래치수단은 상기 제어신호에 의해 초기화되는 것을 특징으로 하는 DLL을 포함하는 메모리 장치.

청구항 7.

제 3 항에 있어서,

지연 조절부는 상기 다수의 지연 설정 데이터에 따라 상기 다수의 지연 경로 중에서 하나의 지연 경로를 선택하는 다수의 선택수단을 더 포함하는 것을 특징으로 하는 DLL을 포함하는 메모리 장치.

청구항 8.

제 7 항에 있어서,

상기 다수의 선택수단은 상기 지연 설정 데이터에 일대일로 대응되어 제어되는 다수의 전송수단으로 구성되는 것을 특징으로 하는 DLL을 포함하는 메모리 장치.

청구항 9.

외부로부터 입력된 외부 클럭을 버퍼링하여 내부 클럭을 발생하는 입력 클럭 버퍼; 상기 외부 클럭과 DQS의 위상을 동기시키기 위해 상기 내부 클럭을 지연하는 DLL; 상기 DLL로부터 출력된 출력 클럭을 버퍼링하는 출력 클럭 버퍼; 및 상기 출력 클럭 버퍼로부터 출력된 클럭을 이용하여 상기 DQS를 발생하는 출력 제어부를 포함하는데,

상기 DLL은

상기 내부 클럭의 위상을 지연하는 지연 라인;

상기 입력 클럭 버퍼로부터 출력된 내부 클럭과 내부 회로를 통해 피드백(feedback)된 피드백 클럭의 위상을 비교하는 제 1 위상 검출기;

상기 위상 검출기로부터 출력된 위상 검출 신호를 이용하여 상기 내부 클럭을 지연시키는 지연율을 조절하는 지연 라인 제어기;

상기 외부 클럭과 상기 DQS의 위상을 비교하는 복제 지연 모델 제어기; 및

상기 입력 클럭 버퍼의 지연요소 및 상기 지연 라인으로부터 출력된 상기 출력 클럭이 칩 외부로 출력될 때까지의 지연 요소들을 모델링(modeling)하고, 테스트 모드일 때 상기 복제 지연 모델 제어기로부터 출력된 신호에 따라 지연율이 조절되는 복제 지연 모델(Replica Delay Model)을 포함하는 것을 특징으로 하는 DLL을 포함하는 메모리 장치.

청구항 10.

제 9 항에 있어서, 상기 복제 지연 모델은

다수의 지연 경로;

상기 복제 지연 모델 제어기로부터 출력된 신호에 의해 상기 다수의 지연 경로 중에서 선택된 지연경로에 따라 상기 DLL로부터 출력된 출력 클럭을 지연하는 지연 조절부; 및

상기 지연 조절부로부터 출력된 클럭을 소정 시간 지연하는 지연부를 포함하는 것을 특징으로 하는 DLL을 포함하는 메모리 장치.

청구항 11.

제 10 항에 있어서, 상기 지연 조절부는

상기 복제 지연 모델 제어기로부터 출력된 신호에 따라 다수의 지연 설정 데이터를 발생하는 설정부를 더 포함하는 것을 특징으로 하는 DLL을 포함하는 메모리 장치.

청구항 12.

제 11 항에 있어서,

상기 설정부는 링 구조를 갖고, 상기 복제 지연 모델 제어기로부터 출력된 신호에 따라 제어되어 상기 다수의 지연 설정 데이터를 출력하는 다수의 단위 시프트부를 포함하는 것을 특징으로 하는 DLL을 포함하는 메모리 장치.

청구항 13.

제 12 항에 있어서, 상기 단위 시프트부는

상기 복제 지연 모델 제어기로부터 출력된 신호에 의해 제어되어 입력단자에 입력된 신호를 선택적으로 전송하는 제 1 전송수단;

상기 제 1 전송 수단에 의해 전송된 신호를 래치하는 제 1 래치수단;

상기 복제 지연 모델 제어기로부터 출력된 신호에 의해 제어되어 상기 래치수단에 래치된 신호를 선택적으로 전송하는 제 2 전송수단; 및

상기 제 2 전송수단에 의해 전송된 신호를 래치하는 제 2 래치수단을 포함하는 것을 특징으로 하는 DLL을 포함하는 메모리 장치.

청구항 14.

제 13 항에 있어서,

상기 제 2 래치수단은 상기 위상 비교기에 의해 동기 상태가 설정되면 상기 지연 라인 제어기로부터 출력되는 동기 상태 신호에 따라 초기화되는 것을 특징으로 하는 DLL을 포함하는 메모리 장치.

청구항 15.

제 11 항에 있어서,

상기 지연 조절부는 상기 다수의 지연 설정 데이터에 따라 상기 다수의 지연 경로 중에서 하나의 지연 경로를 선택하는 다수의 선택수단을 더 포함하는 것을 특징으로 하는 DLL을 포함하는 메모리 장치.

청구항 16.

제 15 항에 있어서,

상기 다수의 선택수단은 상기 지연 설정 데이터에 일대일로 대응되어 제어되는 다수의 전송수단으로 구성되는 것을 특징으로 하는 DLL을 포함하는 메모리 장치.

청구항 17.

제 11 항에 있어서, 상기 복제 지연 모델 제어기는

상기 외부 클럭과 상기 DQS의 위상을 비교하는 제 2 위상 검출기; 및

상기 제 2 위상 검출기로부터 출력된 신호에 따라 상기 외부 클럭에 동기하는 클럭을 발생하는 제어신호 발생기를 포함하는 것을 특징으로 하는 DLL을 포함하는 메모리 장치.

청구항 18.

제 17 항에 있어서,

상기 제 2 위상 검출기는 오토 리프레시 명령 또는 리드 명령에 의해 인에이블되는 것을 특징으로 하는 DLL을 포함하는 메모리 장치.

청구항 19.

제 17 항에 있어서,

상기 제어신호 발생기는 상기 지연 설정 데이터가 최대 값을 갖는 경우 초기화되는 것을 특징으로 하는 DLL을 포함하는 메모리 장치.

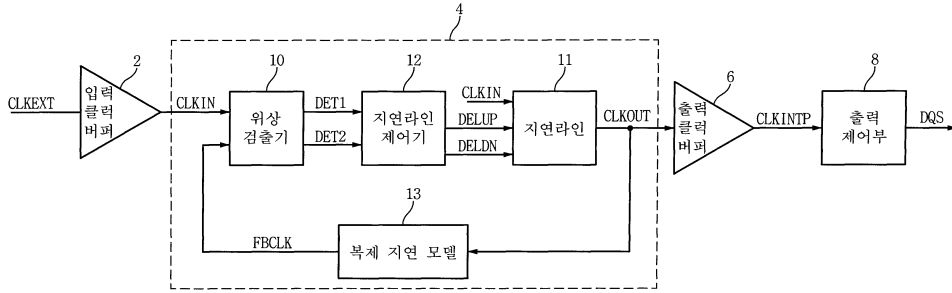
청구항 20.

제 9 항에 있어서,

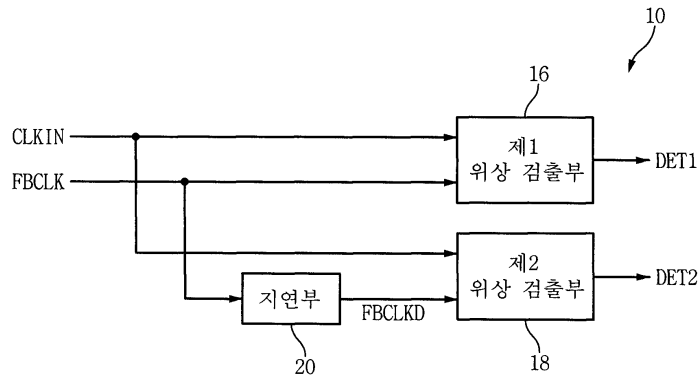
상기 출력 제어부는 오토 리프레시 명령에 의해 인에이블 되는 것을 특징으로 하는 DLL을 포함하는 메모리 장치.

도면

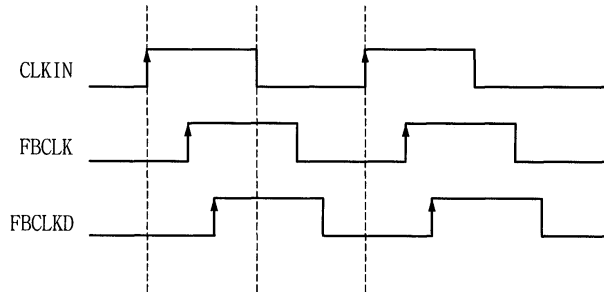
도면1



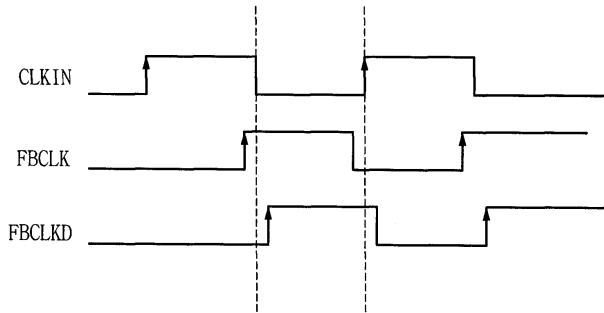
도면2



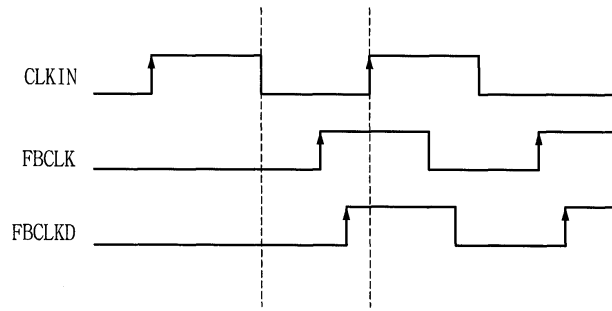
도면3a



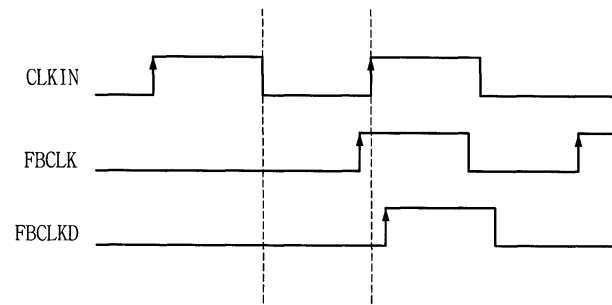
도면3b



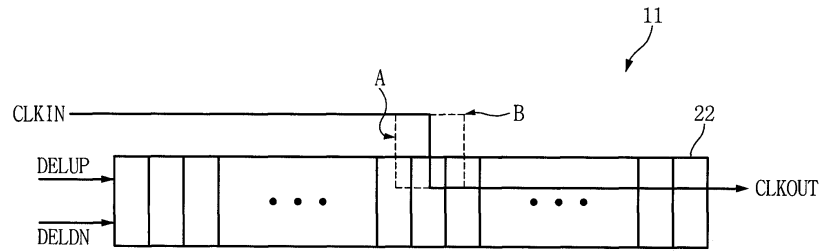
도면3c



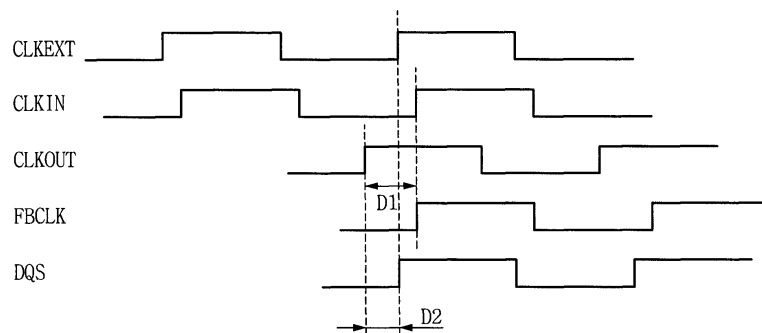
도면3d



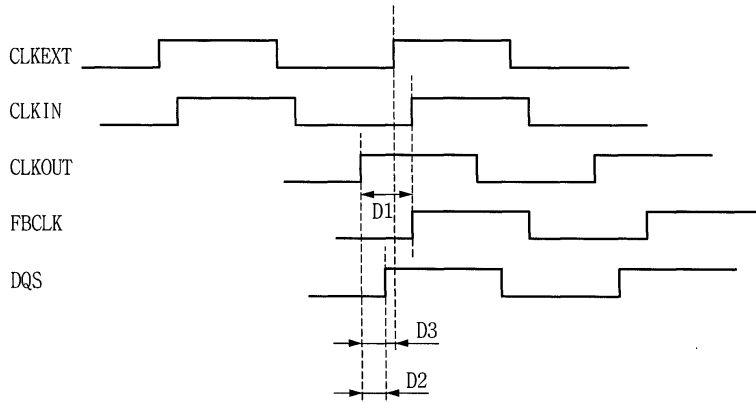
도면4



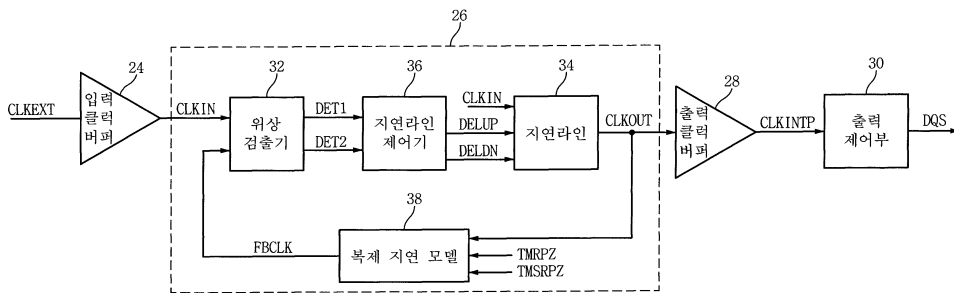
도면5a



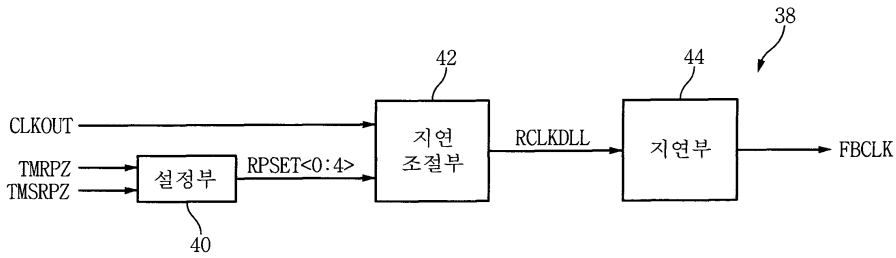
도면5b



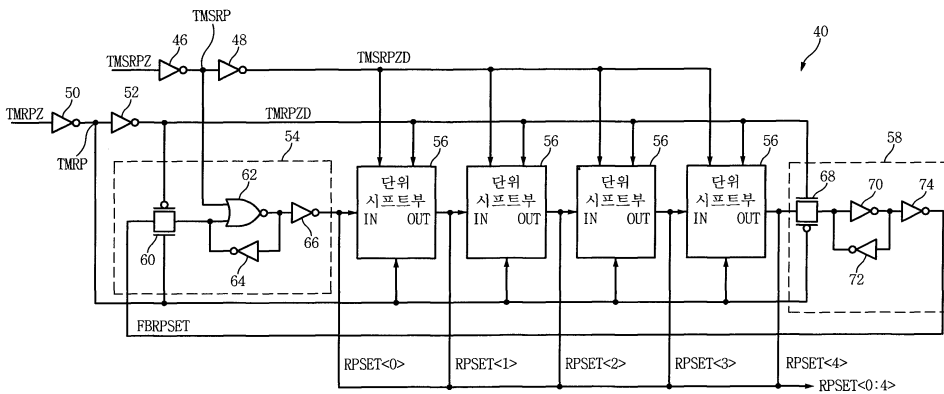
도면6



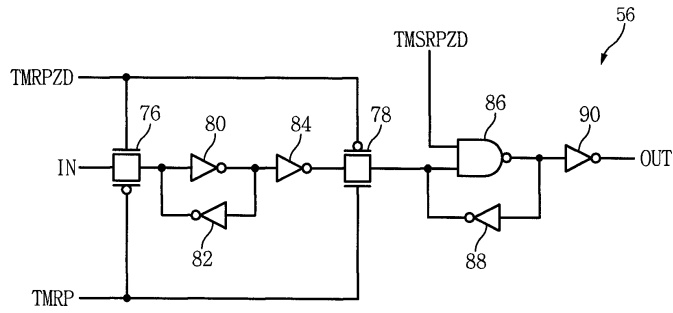
도면7



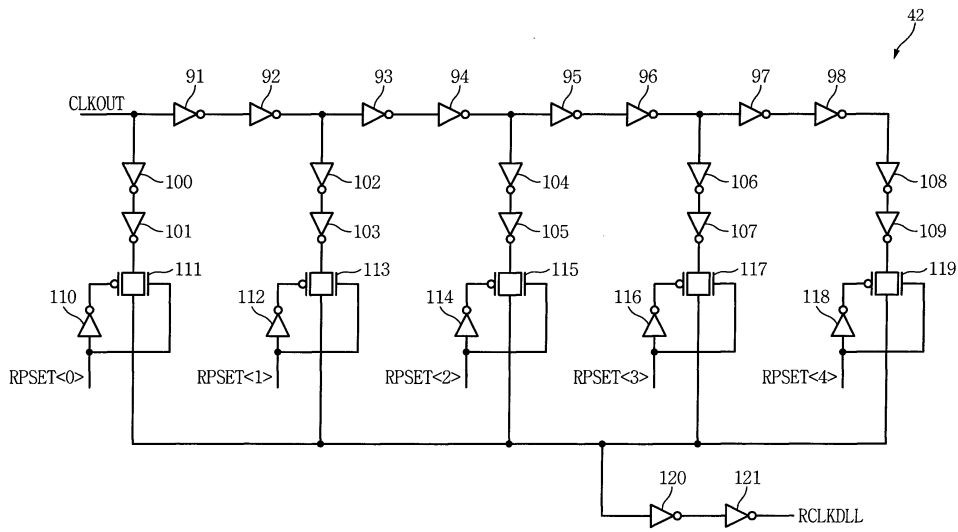
도면8



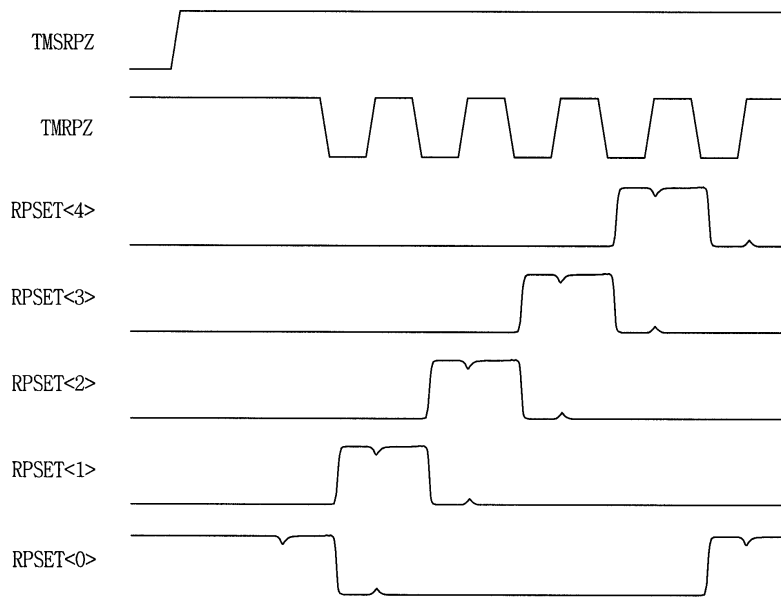
도면9



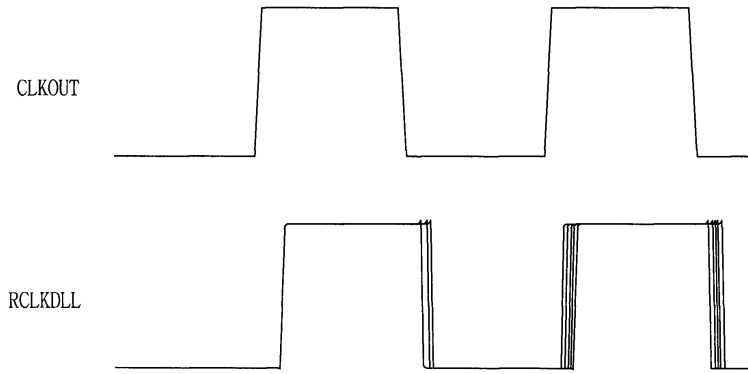
도면10



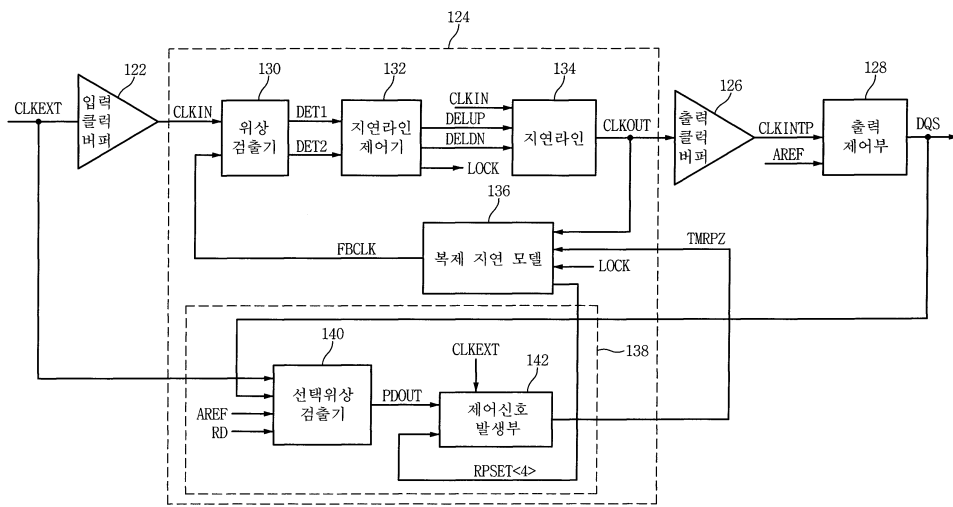
도면11



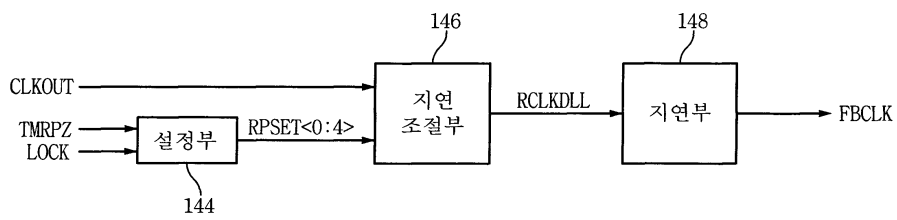
도면12



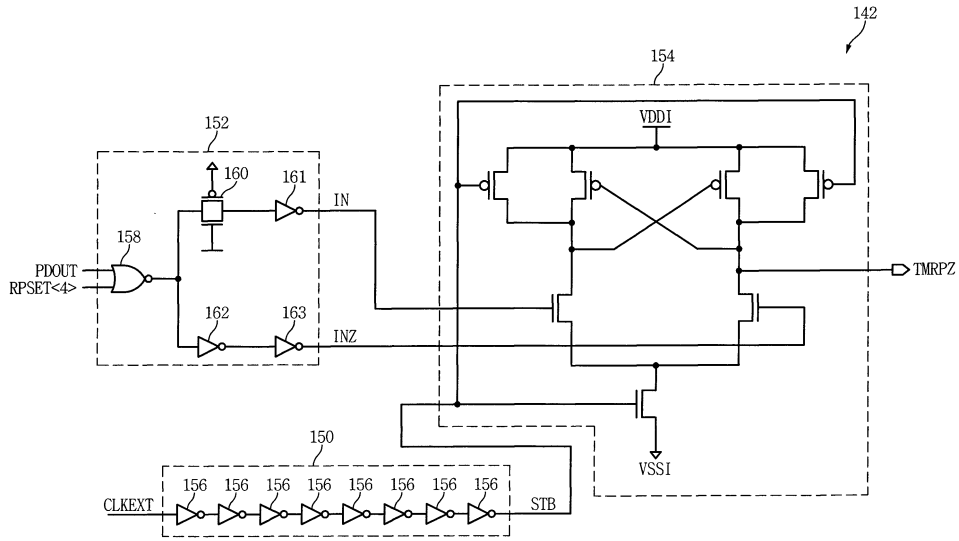
도면13



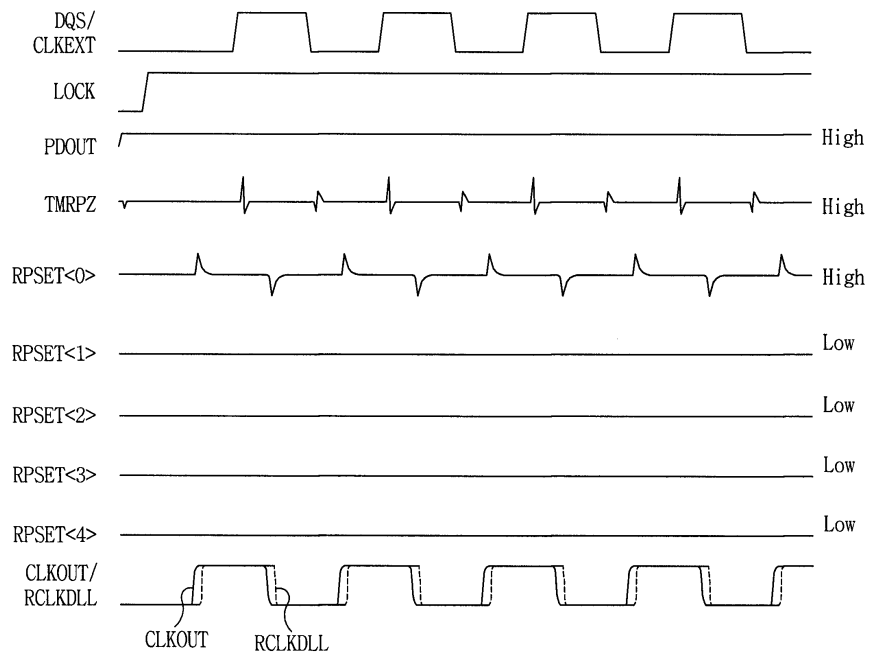
도면14



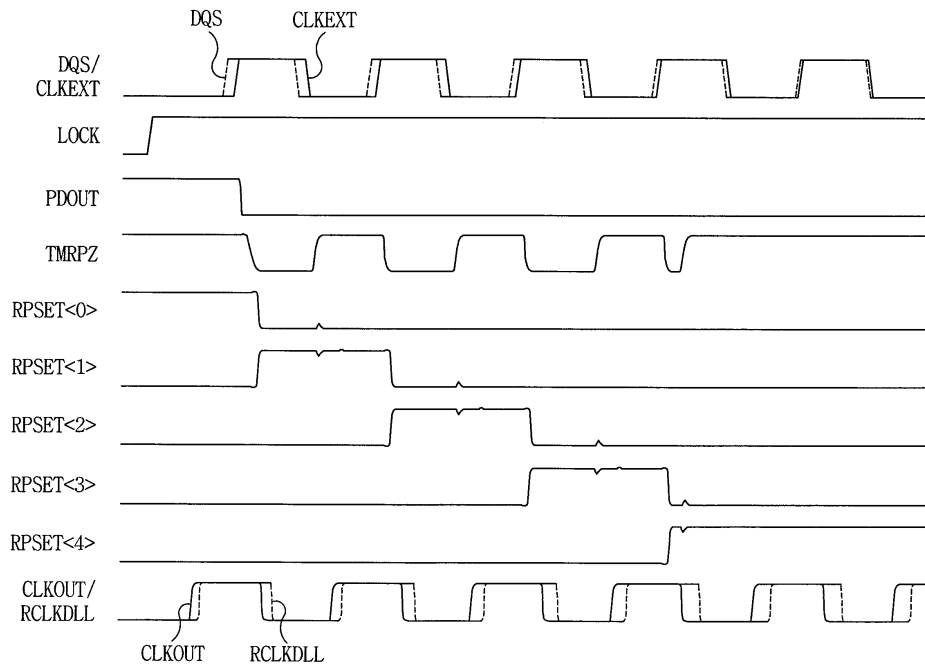
도면15



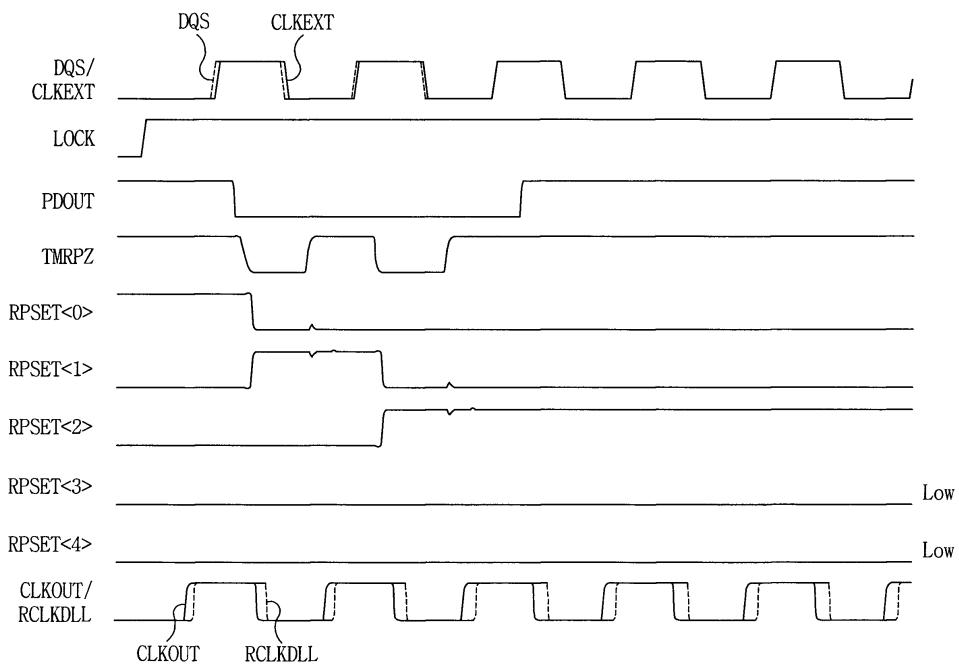
도면16



도면17



도면18



도면19

