

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
H01L 27/11 (2006.01)



[12] 发明专利说明书

专利号 ZL 02143810.2

[45] 授权公告日 2006 年 1 月 18 日

[11] 授权公告号 CN 1237617C

[22] 申请日 1997.2.23 [21] 申请号 02143810.2

分案原申请号 97109936.7

[30] 优先权

[32] 1996. 2. 23 [33] JP [31] 61897/96

[32] 1996. 2. 23 [33] JP [31] 61898/96

[71] 专利权人 株式会社半导体能源研究所

地址 日本神奈川县

[72] 发明人 山崎舜平 小山润 宫永昭治

福永健司

审查员 陈 源

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 张志醒

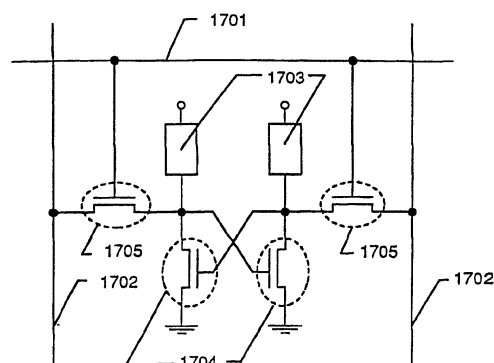
权利要求书 6 页 说明书 28 页 附图 20 页

[54] 发明名称

静态随机存取存储器

[57] 摘要

一种静态随机存取存储器，包括：一个衬底；一对在衬底上形成的交叉连接的驱动晶体管；一对数据选取晶体管；一对位线，经所述数据选取晶体管分别电连接到所述交叉连接的驱动晶体管；以及一位线，电连接到所述一对数据选取存取晶体管，其中，至少各个交叉连接的驱动晶体管包括在衬底上的绝缘表面上形成的结晶半导体膜，所述结晶半导体膜具有其中形成有沟道形成区的单畴区。



1.一种静态随机存取存储器, 包括:

一个衬底;

5 一对在衬底上形成的交叉连接的驱动晶体管;

一对数据选取存取晶体管;

一对位线, 经所述数据选取存取晶体管分别电连接到所述交叉连接的驱动晶体管; 以及

一条字线, 电连接到所述一对数据选取存取晶体管,

10 其中, 至少各个交叉连接的驱动晶体管包括在衬底上的绝缘表面上形成的结晶半导体膜, 所述结晶半导体膜具有其中形成有沟道形成区的单畴区,

其中所述结晶半导体膜包括一个源区和一个漏区, 一个源电极电连接到所述源区, 一个漏电极电连接到所述漏区, 以及

15 一个多晶硅膜连接到所述源电极或所述漏电极。

2.按权利要求1的静态随机存取存储器, 其特征是, 所述单畴区基本上不包括晶界。

3.按权利要求1的静态随机存取存储器, 其特征是, 包括在所述单畴区内的任何晶界都是电稳定的。

20 4.一种静态随机存取存储器, 包括:

一个衬底;

一对在衬底上形成的交叉连接的驱动晶体管;

一对数据选取存取晶体管;

25 一对位线, 经所述数据选取存取晶体管分别电连接到所述交叉连接的驱动晶体管; 以及

一条字线, 电连接到所述一对数据选取存取晶体管,

其中, 至少各个数据选取存取晶体管包括在衬底上的绝缘表面上形成的结晶半导体膜, 所述结晶半导体膜具有其中形成有沟道形

成区的单畴区，

其中所述结晶半导体膜包括一个源区和一个漏区，一个源电极电连接到所述源区，一个漏电极电连接到所述漏区，以及一个多晶硅膜连接到所述源电极或所述漏电极。

5 5.按权利要求4的静态随机存取存储器，其特征是，所述单畴区基本上不包括晶界。

6.按权利要求4的静态随机存取存储器，其特征是，包括在所述单畴区内的任何晶界都是电稳定的。

7.一种静态随机存取存储器，包括：

10 一个衬底；

一对在衬底上形成的交叉连接的驱动晶体管；

一对数据选取存取晶体管；

一对位线，经所述数据选取存取晶体管分别电连接到所述交叉连接的驱动晶体管；以及

15 一条字线，电连接到所述一对数据选取存取晶体管，

其中，至少各个交叉连接的驱动晶体管包括在衬底上的绝缘表面上形成的结晶半导体膜，所述结晶半导体膜具有其中形成有沟道形成区的单畴区，

20 其中，所述结晶半导体膜的结晶方向基本上与衬底的主表面平行，

其中所述结晶半导体膜包括一个源区和一个漏区，一个源电极电连接到所述源区，一个漏电极电连接到所述漏区，以及

一个多晶硅膜连接到所述源电极或所述漏电极。

25 8.按权利要求7的静态随机存取存储器，其特征是，所述单畴区基本上不包括晶界。

9.按权利要求7的静态随机存取存储器，其特征是，包括在所述单畴区内的任何晶界都是电稳定的。

10.一种静态随机存取存储器，包括：

一个衬底;

一对在衬底上形成的交叉连接的驱动晶体管;

一对数据选取存取晶体管;

5 一对位线, 经所述数据选取存取晶体管分别电连接到所述交叉连接的驱动晶体管; 以及

一条字线, 电连接到所述一对数据选取存取晶体管,

其中, 至少各个数据选取存取晶体管包括在衬底上的绝缘表面上形成的结晶半导体膜, 所述结晶半导体膜具有其中形成有沟道形成区的单畴区,

10 其中, 所述结晶半导体膜的结晶方向基本上与衬底的主表面平行,

其中所述结晶半导体膜包括一个源区和一个漏区, 一个源电极电连接到所述源区, 一个漏电极电连接到所述漏区, 以及

一个多晶硅膜连接到所述源电极或所述漏电极。

15 11.按权利要求 10 的静态随机存取存储器, 其特征是, 所述单畴区基本上不包括晶界。

12.按权利要求 10 的静态随机存取存储器, 其特征是, 包括在所述单畴区内的任何晶界都是电稳定的。

13.一种静态随机存取存储器, 包括:

20 一个衬底;

在衬底上形成的一绝缘膜, 该绝缘膜有在一个方向上延伸的凸起;

一对在衬底上形成的交叉连接的驱动晶体管;

一对数据选取存取晶体管;

25 一对位线, 经所述数据选取存取晶体管分别电连接到所述交叉连接的驱动晶体管; 以及

一条字线, 电连接到所述一对数据选取存取晶体管,

其中, 至少各个交叉连接的驱动晶体管包括在绝缘膜上形成的结晶半导体膜, 所述结晶半导体膜具有其中形成有沟道形成区的单

畴区, 以及

其中所述结晶半导体膜包括一个源区和一个漏区, 并且在该源区和该漏区的表面上形成有金属硅化物。

5 14.按权利要求 13 的静态随机存取存储器, 其特征是, 所述单畴区基本上不包括晶界。

15.按权利要求 13 的静态随机存取存储器, 其特征是, 包括在所述单畴区内的任何晶界都是电稳定的。

16.一种静态随机存取存储器, 包括:

一个衬底;

10 在衬底上形成的一绝缘膜, 该绝缘膜有在一个方向上延伸的凸起;

一对在衬底上形成的交叉连接的驱动晶体管;

一对数据选取存取晶体管;

15 一对位线, 经所述数据选取存取晶体管分别电连接到所述交叉连接的驱动晶体管; 以及

一条字线, 电连接到所述一对数据选取存取晶体管,

其中, 至少各个数据选取存取晶体管包括在绝缘膜上形成的结晶半导体膜, 所述结晶半导体膜具有其中形成有沟道形成区的单畴区, 以及

20 其中所述结晶半导体膜包括一个源区和一个漏区, 并且在该源区和该漏区的表面上形成有金属硅化物。

17.按权利要求 16 的静态随机存取存储器, 其特征是, 所述单畴区基本上不包括晶界。

25 18.按权利要求 16 的静态随机存取存储器, 其特征是, 包括在所述单畴区内的任何晶界都是电稳定的。

19.一种移动式计算机, 它包括按权利要求 1 的静态随机存取存储器。

20.一种头戴式显示器, 它包括按权利要求 1 的静态随机存取存

储器。

21.一种机动车导航系统，它包括按权利要求 1 的静态随机存取存储器。

22.一种移动电话，它包括按权利要求 1 的静态随机存取存储器。

5 23.一种摄像机，它包括按权利要求 1 的静态随机存取存储器。

24.一种投影装置，它包括按权利要求 1 的静态随机存取存储器。

25.一种头戴式显示器，它包括按权利要求 4 的静态随机存取存储器。

10 26.一种机动车导航系统，它包括按权利要求 4 的静态随机存取存储器。

27.一种移动电话，它包括按权利要求 4 的静态随机存取存储器。

28.一种摄像机，它包括按权利要求 4 的静态随机存取存储器。

29.一种投影装置，它包括按权利要求 4 的静态随机存取存储器。

15 30.一种移动式计算机，它包括按权利要求 4 的静态随机存取存储器。

31.一种头戴式显示器，它包括按权利要求 7 的静态随机存取存储器。

32.一种机动车导航系统，它包括按权利要求 7 的静态随机存取存储器。

20 33.一种移动电话，它包括按权利要求 7 的静态随机存取存储器。

34.一种摄像机，它包括按权利要求 7 的静态随机存取存储器。

35.一种投影装置，它包括按权利要求 7 的静态随机存取存储器。

36.一种移动式计算机，它包括按权利要求 7 的静态随机存取存储器。

25 37.一种头戴式显示器，它包括按权利要求 10 的静态随机存取存储器。

38.一种机动车导航系统，它包括按权利要求 10 的静态随机存取存储器。

- 39.一种移动电话，它包括按权利要求 10 的静态随机存取存储器。
- 40.一种摄像机，它包括按权利要求 10 的静态随机存取存储器。
- 41.一种投影装置，它包括按权利要求 10 的静态随机存取存储器。
- 5 42.一种移动式计算机，它包括按权利要求 10 的静态随机存取存储器。
- 43.一种头戴式显示器，它包括按权利要求 13 的静态随机存取存储器。
- 10 44.一种机动车导航系统，它包括按权利要求 13 的静态随机存取存储器。
- 45.一种移动电话，它包括按权利要求 13 的静态随机存取存储器。
- 46.一种摄像机，它包括按权利要求 13 的静态随机存取存储器。
- 15 47.一种投影装置，它包括按权利要求 13 的静态随机存取存储器。
- 48.一种移动式计算机，它包括按权利要求 13 的静态随机存取存储器。
- 20 49.一种头戴式显示器，它包括按权利要求 16 的静态随机存取存储器。
- 50.一种机动车导航系统，它包括按权利要求 16 的静态随机存取存储器。
- 51.一种移动电话，它包括按权利要求 16 的静态随机存取存储器。
- 25 52.一种摄像机，它包括按权利要求 16 的静态随机存取存储器。
- 53.一种投影装置，它包括按权利要求 16 的静态随机存取存储器。
- 54.一种移动计算机，它包括按权利要求 16 的静态随机存取存储器。

静态随机存取存储器

技术领域

本发明总的涉及半导体器件，特别涉及有作为其有源层的半导体薄膜的半导体器件及其制造方法。本发明还涉及有多晶硅膜制成的有源层的薄膜半导体晶体管。

背景技术

近年来，半导体薄膜晶体管（TFT）已很广泛地用于电子部件或电子元件的制造中，特别是在厚度减小的显示装置和数字式集成电路（IC）封装中得到广泛利用，这些器件在速度和价格上的优势均得以增大。随着电子装置要求更高的封装密度，更高的速度和更低的功耗，TFT的性能和可靠性就变得更关键了。现有的TFT是在有几十至几百毫微米（nm）厚的介质表面的基片上由硅薄膜构成的。

一种典型的TFT结构包括有源区，在源区和漏区之间的间隔中选择地构成沟道区。有源区，即沟道形成区及其相关的源/漏结区在整体上对确定TFT的性能起到重要作用。可以认为，从源通过沟道至漏的电流路径的阻力，即少数载流子的迁移率能精确地反映出TFT的总电特性。

通常用非晶硅膜作半导体薄膜构成TFT的有源层。这些非晶硅膜可用等离子化学汽相淀积（CVD）和低压热CVD技术形成。

令人遗憾的是，用这种非晶薄膜存在的问题是，由于其固有的电荷载流子迁移率低，对要求以更高速度工作的TFT这种非晶薄膜不能满足要求。结果，要求提高硅膜的结晶度（以下称作“结晶硅膜”）。

一个实例是有源矩阵型或无源型液晶显示装置（LCD），它设置有驱动含有TFT的图形元件或“像素”的驱动电路用的外围电路时，处理图像或待显示的视频信号用的控制电路，储存各种信息用的数据储存电路等。

特别要求控制电路和储存电路的性能与用已知的单晶硅晶片的集成电路（IC）等效。因此，在用在衬底上形成的薄膜半导体集成这些电路，严格要求衬底上制造的结晶硅膜的结晶度与单晶材料的结晶度一致。

已公开了在衬底上形成这种结晶硅膜的方法。例如，要转让给本受让人的日本特许公开6-232059。在该现有技术中，选择金属元素或元素用于

便于或加速硅晶体生长, 并进行 550°C 4 小时热处理。由此, 生成的结晶硅薄膜出现结晶度升高。同样的方法在日本特许公开 6 - 2 4 4 1 0 3 中也有披露。

令人遗憾的是, 即使用上述技术来制造 T F T 的有源层, 所制成的 T F T 用于微处理机电路或存储器电路中结晶度仍不足。半导体制造商从商业上不断要求提高 T F T 的速度, 但由于其自身固有的限制, 使其用上述的现有技术提供的 T F T 有源层不能满足这种严格的要求, 特别是, 为了实现有极好结晶度的结晶硅膜与单晶硅材料的结晶度一致, 应要求膜中基本上不出现晶界。这是因为存在或包括这些晶界起到能级势垒的不良作用, 它妨碍相邻晶粒之间的电子移动或前进。

参见图 1 0 A 至 1 0 F 将上述技术再分成四个步骤来分析用上述技术生长晶体的机理。

参见图 1 0 A, 在衬底上形成氧化硅膜 1 1 作为缓冲层。在氧化硅膜 1 1 上形成非晶硅膜 1 3。氧化硅膜 1 1 的表面上有构形 1 2, 该构形是由于其固有的表面粗糙度和/或污物存在而造成的。在此, 表面构形 1 2 表示成局部凸起仅仅是为了说明。为加速或便于结晶, 在非晶硅膜 1 3 上加几滴含金属元素的涂敷溶液, 然后用离心机按足够高的速度旋转, 将涂敷溶液均匀而径向涂敷到膜 1 3 的上表面上。如图 1 0 A 所示, 这样淀积的涂层 1 4 覆盖非晶硅膜 1 3 的上表面。可以涂层 1 4 中包含的镍 (Ni) 留在膜中。

图 1 0 A 所示结构加热到 500°C 至 700°C , 使非晶硅膜 1 3 结晶。因此, 如图 1 0 B 所示, 金属元素倾向于按箭头所指方向各向同性地在非晶硅膜 1 3 内扩散, 最终达到膜 1 1 与 1 3 之间的界面, 这是分析用的四步中的第 1 步。

这种内部扩散的结果, 如图 1 0 D 所示, 金属元素迁移通过膜 1 1 与 1 3 之间的界面, 导致表面构形 1 2 的局部突起处的分凝。这是第 2 步。这种分凝的出现是由于金属元素实质上企图要求能级稳定, 此时, 表面突起 1 2 作为这种分凝点。

此时, 表面突起 1 2 用作分凝点包含一个或几个金属元素, 在增大的浓度中允许其中出现晶核。我们的研究表明, 金属元素是镍时, 当浓度等于或大于 1×10^{20} 原子/厘米³ 时, 出现晶核。晶核作为晶体生长的起点或“籽晶”。

如图 1 0 D 中数字 1 5 所示, 这种晶体生长按基本上垂直于硅膜表面的方向垂直生长。这是第 3 步。

图 1 0 D 的垂直晶体生长区 1 5 是其中所含的高浓度的金属元素 (S) 向上推时晶体生长所致; 因而, 这些元素按增大了的浓度强制残留于整个非晶硅膜 1 3 的表面内。这使残留在垂直生长区 1 5 中的金属元素的浓度高于膜 1 3 中残留的金属元素浓度。

之后, 如图 1 0 E 所示, 按基本上平行于衬底表面的具体方向 (箭头所指方向), 以非晶硅膜 1 3 与各个垂直生长区 1 5 之间的各个界面 1 6 为籽晶, 开始晶体生长。于是形成横向生长区, 这是第 4 步。如图 1 0 E 所示, 各横向晶体 1 7 可以是柱状如/或针状晶体的混合物, 晶体宽度与非晶硅膜 1 3 的厚度基本一致。

按由相邻的垂直晶体生长区 1 5 划分的一个非晶硅区中横向生长的相对晶体 1 7 彼此靠近的方式, 按平行于衬底表面的方向生长横向晶体 1 7。当这些相对的横向生长晶体 1 7 在其前部彼此接触时, 晶体生长停止, 在其间出现相应的晶体生长界 1 8, 如图 1 0 F 所示。所生成的有这种晶界 1 8 的横向晶体生长区 1 9 有较规则的或对准的结晶度。

而现有的晶体生长方法的一个缺点是, 在膜的表面上存在或形成了多个分凝点, 使晶核密度增大, 因而引起不希望有的妨碍相邻晶体生长的单个晶粒。会使晶粒直径减小。换言之, 用上述的现有技术进行晶体生长构成作为 T F T 有源层的结晶硅膜, 所生成的膜中必然包含晶界。这给实现使结晶度达到与单晶半导体材料的结晶度相等造成严重的障碍。

若这种晶核出现的频率下降, 则晶粒直径会相应增大。但是, 即使在这种情况下, 对晶核所处位置的控制也是极其困难或几乎是不可能的。通常根据金属元素所处的位置来确定分凝的实际位置。就现有技术而言, 分凝点, 如图 1 0 A 中局部的表面突起 1 2 出现在薄膜表面的任意位置上。这就是说, 分凝点的确切位置很难控制或几乎不能控制的。除此之外, 本发明人还发现, 按上述的现有技术制造的任何结晶硅膜中必然包含结晶工艺中所用的金属元素, 所生成的半导体膜用作半导体器件的有源层会使半导体器件的稳定性和制造重复性变坏。

发明内容

因此, 本发明的目的是为克服现有技术中存在的缺陷而提供一个新的和改

进了的方法。

本发明的另一目的是提供一种改进的半导体器件，它能克服现有技术存在的问题，还提供该半导体器件的制造方法。

本发明的又一目的是提供一种半导体器件，它不用单晶半导体晶片制造，也能提高性能和可靠性。

本发明再一个目的是在有介电表面的载体上形成单畴区，其结晶度与单晶材料相等。

本发明的又一个目的是提供一种半导体器件，它有覆盖在有介质表面的衬底上的有源层，并且用其结晶度与单晶材料的结晶度相等的单畴区制成。

为达到上述目的，按本发明的一个方案，在其表面上有绝缘膜的衬底上形成半导体薄膜，它由单畴区构成，该单畴区中包括基本平行于衬底表面的多个柱形和/或针状晶体。所述薄膜下的绝缘膜有用指定的形状构图法具体确定的表面构形。

按本发明的另一方案，在其表面上有绝缘膜的衬底上的半导体薄膜是由包括多个柱形和/或针状晶体的其中基本不存在晶界的单畴区构成。半导体薄膜下的绝缘膜的表面有用指定构图法构成的具体构形，构成半导体薄膜的单畴区中包含仔细规定的浓度等于或小于5个原子%的氢或卤族元素。卤族元素选自氯、溴和氟。

按本发明的另一方案，半导体器件只用单畴区形成其有源层。此时，单畴区中基本上不存在晶界。

按本发明的又一方案，在其表面上有绝缘膜的衬底上形成半导体薄膜的方法，包括步骤：在衬底的绝缘膜上用溅射法形成氧化硅膜；对所述氧化硅膜刻图，在其上形成预定的表面结构图形；用低压CVD法在氧化硅膜上形成非晶硅膜，在氧化硅膜和非晶硅膜中的至少一个中残留有易于或加速其结晶的金属元素。进行第1热处理，使非晶硅膜实质上转变成结晶硅膜。在含卤元素的气氛中进行第2热处理，由此在结晶硅膜上形成含卤元素的热氧化膜，使结晶硅膜经第2热处理转变成单畴区，并除去热氧化膜。由此形成了用作半导体器件有源层的单畴区。

应注意，这里所用的术语“单畴区”是指用按本发明的半导体薄膜制造方法构成的横向生长的晶体区，用该区使其结晶度增大，实际上可基本上当作单

晶。单畴区的主要特征是在其整个区域内没出现晶界，因而，抑制或消除了因跃迁或层间缺陷造成的其它形式的任何晶格缺陷或位错。另一特征是，单畴区不包含任何其它形式的金属元素，因而不会对半导体器件的主要特性造成有害的影响。

还应注意，即使有极少的晶界存在，也能按预定的方法消除晶界，使其保持电稳定。这种电稳定晶界已报道的有 $\{1\ 1\ 1\}$ 晶界， $\{1\ 1\ 1\}$ 层间缺陷， $\{2\ 2\ 1\}$ 双晶界，和 $\{2\ 2\ 1\}$ 扭曲双-晶界(R. Simokawa and Y. Hayashi, Jpn, J. Appl. phys, 27(1987). pp 751-758)。

本发明人认为，单畴区中包含的晶界作为电稳定区仍有可能增大。换言之，即使在其中可以看到一些晶界，这种电稳定区中也不会影响或妨碍其中的电荷载流子移动。这意味着内部电流可电“穿透”的流动。

按本发明的这种单畴区的制造包括通过增大各晶粒的直径来减少其中任何可能出现的晶界数来精确控制晶核位置的独特构思。

本发明主要探索了使非晶硅膜下的绝缘膜或介质膜表面极其平滑的方法。这样做是为了在非晶硅膜下设置缓冲层。可用溅射技术人造石英作靶形成氧化硅缓冲膜。图18展示出一种推荐的人造石英靶的组分表作为参考。因此，形成的氧化硅膜具有增大了的密度和平滑度。其上没有任何可能的分凝点出现，与现有技术不同。

本发明另一个关键的原理是在氧化硅膜上构图，形成有预定外形图的特定表面构形，它可以包括表面上的凹凸。换言之，为了加速或容易结晶，故意形成一些金属元素的分凝点，使其能很好地控制有可能出现在膜表面上的晶核的实际位置。这就有可能在任何需要的位置生长成任何所需大小的晶体。因此对半导体制造商作出了巨大的贡献。

本发明另一个重要特征是，在衬底上用低压CVD法形成非晶硅膜。与用等离子CVD法形成的非晶硅膜相比，这种低压CVD法具有以下的特点：含氢量小，膜质量更致密，天然晶核出现的几率减小。天然晶核出现的几率减小导致晶核位置的控制精度提高。

本发明的又一关键原理是，在含卤族元素的特定气氛中进行热处理，因此，能制成单畴区。在本发明人的实验基础上分析研究了适用于改变生成晶体的方法，因此能生成尺寸较大的晶粒，其结度是单晶或等于单晶（更准确地说是变

成单畴区)。

附图说明

通过以下结合附图对本发明优选实施例的更详细说明,本发明的这些目的、其它目的,特征和优点将成为显而易见的。

图1 A至1 F, 2 A至2 C是按本发明一个优选实施例的有单畴区的半导体薄膜的主要形成步骤的剖面示意图,

图3 A至3 C是说明按本发明的原理的半导体器件中横向晶体生长区的各个说明图,

图4 A至4 E是按本发明另一优选实施例的有单畴有源层的半导体器件的主要形成步骤的剖面示意图;

图5是薄膜晶体管(TFT)的电特性曲线图;

图6是氯化镍的蒸气压与温度关系的曲线图;

图7是结晶硅膜中含的氯浓度分布曲线图;

图8是已知绝缘体上的半导体(SOI)结构的缺点说明图;

图9是按本发明又一实施例的单畴区的平面结构图;

图10 A至10 F是现有技术的结晶半导体薄膜的主要形成步骤的剖面示意图;

图11是按本发明的又一实施例的在单畴区中形成有多个TFT有源层图形的液晶显示(LCD)衬底的透视图;

图12 A至12 E, 13 A至13 D, 和14 A至14 B是按本发明的另一实施例的半导体器件的主要形成步骤的剖面示意图;

图15 A至15 D是按本发明又一实施例的半导体器件主要制造步骤的剖面示意图。

图16 A和17 A分别展示出动态随机存取存储器(DRAM)的存储器阵列中的一个单元部分和静态随机存取存储器(SRAM)的存储器阵列中的一个单元部分;

图16 B和17 B是上图的各单元的剖面示意图;

图18是人造石英靶的组分比表。

图19 A至19 D是按本发明又一实施例的半导体器件的主要形成步骤的剖面示意图;

图20 A至20 F是用本发明的半导体器件的几种典型电子设备图。

具体实施方式

例 1

参见图 1 A 至 1 F 充分说明作为本发明关键的“单畴”区的制造方法，见图 1 A，是有绝缘表面或介质表面的衬底 1 0 1 的示意图（未画出尺度）。用耐热性高的材料，如石英，硅等制成的衬底 1 0 1。如图所示，用人造石英作靶，用溅射法在衬底 1 0 1 上形成氧化硅膜 1 0 2。氧化硅膜 1 0 2 的顶表面具有增大了的平滑性和光洁度。例如，测试膜 1 0 2 的任何可能的表面形状其高度为 3 nm 以下，宽度为 10 nm 以上，这种表面构形是用目测甚至用原子力显微镜测试系统都将是很难或根本无法分辨的。

形成极其平滑的氧化硅膜 1 0 2 后，对生成结构刻图，在膜 1 0 2 的顶表面上形成矩形或方形的许多预定的小岛状图形。小岛可以是图 1 A 所示的突起 1 0 3。膜 1 0 2 的表面上的表面小岛 1 0 3 也可以换成有相密形状的凹坑。岛 1 0 3 最好是高度等于所覆盖的非晶硅膜 1 0 4 的一半厚度。膜 1 0 4 是用等离子 CVD，溅射，或低压 CVD 形成的，预定厚度为 10 至 75 nm，最好是 15 至 45 nm。用低压 CVD 法时，用乙硅烷（ Si_2H_6 ）或丙硅烷（ Si_3H_8 ）作膜形成气体。仔细设定膜 1 0 4 的厚度，使其在用后面形成的结晶硅膜作其有源层的半导体器件制造中规定的膜厚范围内，同时使其截止电流下降。

应注意，用低压 CVD 法形成的非晶硅膜 1 0 4 在以后的结晶步骤中天然核出现的几率较小。术语“天然核出现的几率”是指加热或加热可能出现的晶核比，但不会造成非晶硅膜 1 0 4 受到加速或容易结晶用的诸如镍（Ni）的某些金属元素的影响或干扰。为了制成有大的直径的大晶粒，要求天然核出现几率下降。结果，使各晶体之间的相互干扰减少（即，使那些相互邻近的最终要生长成相互靠近的晶体由于接触或“碰撞”而造成晶体生长结束的可能性减小）。

还应注意，非晶硅膜 1 0 4 的形成中，要特别注意氧化硅膜 1 0 2 的露出表面上保持清洁。正如本说明书开篇中结合现有技术所作的说明所述，若膜表面污染，会产生促进结晶的金属元素的分凝点，因而产生了不希望出现的晶核生长的起点或“籽晶”。

非晶硅膜 1 0 4 形成后，生成的结构在含氧气的气氛中用紫外线（UV）辐照，在膜 1 0 4 上形成极薄氧化膜（未画）。该氧化膜能改善用于引入所选

金属元素的涂敷溶液的浸润性。之后，含有加速结晶的金属元素的有预定浓度的溶液滴几滴在露出的膜表面上，形成液膜（未画出）。这里用的元素是铁（Fe）、钴（Co）、镍（Ni）、钌（Ru）、铑（Rh）、钯（Pd）、钨（Os）、铱（Ir）、铂（Pt）、铜（Cu）或金（Au），或其组合。这种情况下建议用Ni，因为镍对于制造预定的单畴区有明显的优点。这在以后会说明。这里，考虑到在后面的热处理中有可能存在残留的杂质。因此，最好用硝酸镍溶液而不用乙酸镍溶液，因为后者内固有的碳在随后所述的热处理中继续进行的不希望有的碳化而残留在形成的热氧化膜中。

之后，图1 A所示结构用离心机以足够的旋转速度将涂敷溶液均匀而径向的旋涂于非晶硅膜104的上表面上。因此镍涂敷溶液105淀积在薄104的上表面上，其间有极薄的氧化膜（未画出）。很重要的一点是，在非晶硅膜104的上表面确定有表面突起106。突起106的形状与下面的岛103的形状基本相同，并与岛103自对准，岛103恰好位于表面突起106的下面并嵌于膜102，104之间。

旋涂工艺中，由于图1 A所示结构的顶表面上存在表面突起106，Ni涂敷溶液由于表面张力的作用而粘到突起106的侧壁上，使表面上突起周围的镍浓度增大。在随后的结晶步骤中有利于促进晶体生长，即，平行于衬底表面横向结晶。

实施例1中，假定在非晶硅膜104上旋涂溶液，同样，也可在非晶硅膜104形成之前在氧化硅缓冲层102上旋涂溶液。若合适的话，也可在膜102，103上分别旋涂这种溶液。

之后，加热图1 A所示结构，在不活泼气体气氛中在450℃加热一小时除去氢。此后，在预定的温度范围500℃至700℃，最好在550至600℃，对图1所示结构再加热4至8小时，使非晶硅膜104结晶。这在以下将称作“第1热处理”。

非晶硅膜104按以下方式结晶，第1步，非晶硅膜104中的镍被热激活，各向同性均匀地按图1 B中箭头所指方向向下扩散进膜104中。

之后，第2步，镍在氧化硅缓冲层102与非晶硅膜104之间的界面向岛103迁移分凝。这可以由故意形成的岛103的突出形状作分凝点，如图1 C所示。

之后,如图1D所示,在分凝点岛103周边出现晶核。当岛103周边的镍浓度变成等于或大于 1×10^{20} 原子/cm³时,出现该晶核。确定允许晶体生长或结晶的这些晶核,使按基本上垂直于硅膜表面的特定方向生长晶体,这是第3步。如上所述生成的垂直生长晶区107中含的镍浓度大。

第4步,以垂直生长区107作籽晶,按基本平行于硅膜表面的方向横向生长晶体。如图1E所示,非晶硅膜104中晶区107的相对边逐渐形成横向晶体生长区108。这些横向晶本生长区108是多个方向相同或对准的柱形和/或针状晶段的混合或组合,因此,与垂直晶体生长区107相比,其结晶度极高。

第4步中,控制分凝点形成的位置,能生长出大直径的晶粒,各个晶粒不会受到相邻晶粒的无意的影响或干扰。因此,可按适当选择的设计参数,精确控制分凝点形成的位置,在任何需要的位置形成任何所需大小的晶体。注意,这里晶粒尺寸可以扩大到什么程度取决于适当确定的温度下进行多长时间的热处理。因此,可按半导体器件生产所要求的价格限制自由设计实际的晶体尺寸。晶粒大小的确定还要考虑到在随后进行的单晶化工艺中进行的附加的高温热处理中,晶体还会进一步生长。

图1F所示的横向晶体生长的结果,在氧化硅缓冲层102上形成结晶硅膜109。这里,应注意所述制造方法与现行的图形外延生长方法有以下差别:外延生长是利用上层的非晶硅膜的结晶过程中在预定表面位置出现最稳定表面的固有特性,使图形外延生长的膜的表面形状与下面的基础覆盖膜的表面形状一致,以校准结晶硅膜的分布;相反,本发明所用方法的特征是,设置一个特定区域,该区域容易发生促进结晶的金属元素这里是镍的分凝,来改变涂敷膜的表面形状,以改变表面能级。因而,实施例与图形外延生长不同的主要原因是,改变表面构形,以形成晶核。

图3A展示出结晶硅膜109的平面图。其中数字301是指结晶第3步形成的垂直晶体生长区,即图1D中的107。实施例中,由于形成小的方形小岛图形,因此该区域301是方形,302是指第4步形成的横向晶体生长区,即图1F中的109。以垂直生长区301中心处为籽晶或晶核生成横向晶体生长302,本实施例中,由于籽晶区301能认为是一个针点,如图3A所示,所生成的平面形状总的类似于一个六边形。出现这种形状的原因是,

本行业技术人员所公知的是，由 $(1\ 1\ 1)$ 面围绕的晶核生长的硅晶体是一个六边形的晶粒。另一方面，本发明人发现，用镍作促进结晶的金属元素，在各柱体的末端和侧边部分或针形晶体的末端或侧边部分在结晶过程中形成镍硅化物。已知该镍硅化物的稳定面相当于 $(1\ 1\ 1)$ 面。因此，环绕垂直生长的籽晶区 $3\ 0\ 1$ 的面主要由镍硅化物的稳定表面面即 $(1\ 1\ 1)$ 面构成。结果，发现，假定区域 $3\ 0\ 1$ 是一个点时，用 $3\ 0\ 1$ 作为起始进行晶体生长时，图3 A 中的横向晶体生长区 $3\ 0\ 2$ 可以认为有六边形。

如图3 A 所示，六边形的横向晶体生长区 $3\ 0\ 2$ 可再分成六个子区A至F，其中每个子区可认为是单晶粒。这是因为，在子区A至F相互接触的的相邻位置处会出现诸如滑移缺陷等位错缺陷。

将图3 B 放大，多个小的柱体或针形晶体混合组成横向生长的子区A至F的一部分。从宏观上看，这些晶体的高密度或“一群”晶体使每个子区均可总的看成是单个晶粒。注意，这些柱形或针形晶体中的每一个都是单畴区，其中不存在任何晶界。因此可以认为是单晶体。还应注意，由于各个晶体生长并排出了其中所含诸如镍的杂质，金属硅化物形成在每个晶体的表面上，因此生成图3 B 中的晶界 $3\ 0\ 3$ 处的镍分凝。因此，图3 B 的晶态仅仅是多个单畴的集合。但该晶态具有极高的结晶度。它是用单个单畴区填充图3 A 中各个子区A至F 所不能实现的。

为完全达到发明目的，还要求增加特殊的工艺，以改善图3 B 中横向生长区 $3\ 0\ 2$ 的结晶度。该工艺以下称作“单晶化”。并得参照图2 A 至2 C 说明。实际上，用在含卤族元素的氧化气氛中进行热处理可实现单晶化，这在以后称作“第2 热处理”。

包括结晶硅膜 $1\ 0\ 9$ 的图1 F 的结构经进一步热处理（而第2 热处理），使露出的结晶硅膜 $1\ 0\ 9$ 在 $7\ 0\ 0$ 至 $1\ 1\ 0\ 0\ ^\circ\text{C}$ 的高温热处理1 至2 4 小时。最好是膜 $1\ 0\ 9$ 在 $8\ 0\ 0$ 至 $1\ 0\ 0\ 0\ ^\circ\text{C}$ 热处理6 至1 2 小时。很重要的是，这里所用气氛设计为图2 A 所示步骤用的含卤族元素的气氛。本例中，第2 热处理是在 $9\ 5\ 0\ ^\circ\text{C}$ 在含 HCl 浓度为3 v o l % 的氧气氛中热处理6 小时。注意，这里，为充分地达到吸杂作用，建议气氛中含氮化物气体，因为用氮化物可减慢任何氧化物膜的形成速度。还应注意，本例中用 HCl 气体为引入材料时，可选用 Cl 作卤族元素。其它类气体也可用，如 HF ， NF_3 ， HBr ，

Cl_2 ， F_2 和/或 Br_2 。卤族元素的氢氧化物或有机物（碳水化合物）均是可用的其它例子。

图2 A 的步骤的第2 热处理中，由于氯的作用，使加热的结晶硅膜1 0 9 中的镍被吸收。因此，吸入到覆盖的热氧化膜1 1 0 中的镍元素被排出到大气中。因此，如图2 B 所示，从膜1 0 9 中除去了所含的几乎全部镍元素，从而提供了由热氧化膜1 1 0 覆盖的无镍的结晶硅膜1 1 1。

图2 B 的吸杂步骤中除去的镍在结晶过程中向晶界推出而分凝，见图3 C 中的3 0 4。因此认为镍作为镍硅化物存在于晶界处。镍硅化物分解，晶界中的镍原子分离或断开后，由于有大量的不成对的硅的偶联键，所以生成镍的氯化物。幸运的是，有几个不成对的硅原子偶联键与剩下的那些偶联键在 950°C 的第2 热处理中强制复合。若仍有不成对的键，由结晶硅膜1 1 1 中包含的氢和卤族元素填充。这样，使膜1 1 1 变成含5 原子%以下的氢和卤族元素。由于硅原子的这种复合确保晶界在结中，提高了匹配特性，从而消除或减少了其中的晶界。而且，第2 热处理的结果，使柱形和针状晶体内的渡越、位错或其它任何可能的层间晶体缺陷几乎完全消失，提高了它的结晶度。

为进行比较，将参照图3 B 和3 C 更充分地说明结晶度的提高。加热图3 B 所示横向晶体生长区的晶体结构，用氯气的吸杂作用从膜中除去所含的镍。这样做时，硅与镍之间的偶联或结合断开，形成不成对的偶联键，之后，它们与邻近的硅原子的偶联键在热处理中复合，生成图3 C 所示晶体结构。

图3 C 的结构变成有几个结界面，如图3 C 中虚线3 0 4 所指。由热处理而图3 B 的晶界3 0 3 分解，然后再复合，从而形成这些界面3 0 4。图3 A 中每个晶体段A 至F，其中的柱形成针状晶体高度匹配或对准地复合在一起，构成图3 C 所示的无任何晶界的几乎是完美的状态。这确保了图3 A 的每个子区A 至F 实质上无晶界和无诸如镍之类的杂质。每个晶段相当于其中无任何晶体缺陷的单畴区。我们的用二次离子质谱仪（SIMS）分析的实验表明，单畴区中Ni 的浓度减小1 至3 个数量级。

再回到图2 C，镍吸杂工艺之后，除去作为吸杂剂的图2 B 中的热氧化膜1 1 0。除去膜1 1 0 以防止镍原子再扩散进结晶硅膜1 1 1 中。由此获得如图所示的镍浓度减小了的结晶硅膜1 1 1。在卤族元素气氛中进行热处理，使该区中的Ni 除去或减少，使镍的浓度低到足以不对预定的包括TF T 的半导

体器件的生产或制造造成任何麻烦的程度，如在 1×10^{18} 原子/ cm^3 以下， 1×10^{17} 原子/ cm^3 更好， 1×10^{16} 原子/ cm^3 最好。从而提高了结晶度，使单畴区的晶体结构与单晶材料相等。

本发明的一个特征是，用所形成的单畴区作为包括 T F T 的半导体器件的有源层。

图 1 1 中所示半导体结构，它用于有多个 T F T 的有源矩阵液晶显示 (L C D) 装置中，其中每个 T F T 的有源区用按本发明的单畴区构成。如图所示，该结构包括其上有绝缘或介质表面的衬底 2 1，在衬底的绝缘或介质表面上有按行和列排列的 T F T 有源层 2 4 的图形矩阵。衬底 2 1 的两对边缘处的两条纵向表面区 2 2 的某些位置处有垂直晶体生长区。虚线 2 3 表示由于横向晶体生长区的相互冲突而在此形成的线性晶界的轨迹。这里用虚线表示是因为这种晶界 2 3 在有源层 2 4 构图之后随之消失。

如图 1 1 所示，有源层 2 4 的阵列集中形成在衬底 2 1 的顶表面，同时避免包括垂直晶体生长区的面积 2 2 和晶界 2 3 的轨迹。尽管针对图示的 L C D 结构部分进行了说明，但上述说明也对在衬底 2 1 上设置 10^6 数量级的 T F T 有源层的结构 (图中看不到) 有效。

例 2

用例 1 的单畴制造 T F T 结构的方法示于图 4 A 至 4 E。本例将结合顶栅 T F T 结构说明，但本发明不限于此。本行业的技术人员会容易地发现，图 4 A 至 4 E 所示方法也能用于制造有高耐热性的栅电极的底栅 T F T。

如图 4 A 所示，石英衬底 4 0 1 的表面上有依次叠置的氧化硅膜 4 0 2 和“伪单晶”单畴硅膜 4 0 3。注意，膜 4 0 2，4 0 3 可用图 1 A - 1 F 和 2 A - 2 C 所示方法制造。硅膜 4 0 3 中有上述的单畴区。如图 4 A 所示，用刻图技术对膜 4 0 3 刻图。该刻图膜 4 0 3 以后用作 T F T 结构的有源层。

图 4 A 的结构中，用等离子 C V D 法淀积另一氧化硅膜 4 0 4 到预定厚度。例如， 150 nm 。该膜 4 0 4 以后用作 T F T 的栅绝缘膜。也可以用氧/氮化硅或氮化硅制造膜 4 0 4。然后，用溅射法在膜 4 0 4 上淀积 500 nm 厚的铝膜 4 0 5。膜 4 0 5 覆盖膜 4 0 4，并用作 T F T 的栅电极。膜 4 0 5 含 $0.2 \text{ wt} \%$ 的杂质钨 (S c)。膜 4 0 5 可用其它导电材料如钽，钼等制成。

之后，图 4 A 所示结构形成典型厚度为 10 nm 的阳极氧化膜 (未示出)

覆盖在铝膜 4 0 5 上。该形成工艺用氨水中性的 1, 2 - 亚乙基二甲醇溶液作电解溶液。结构放入电解溶液中, 膜 4 0 5 用作阳极、铂层 (未画出) 作阴极, 进行阳极氧化。该步骤形成的阳极氧化膜足够密, 以改善随后形成于其上的光刻胶掩模的接触或粘接特性。

如图 4 B 所示, 铝膜 4 0 5 构图、在氧化硅膜 4 0 4 上形成岛 4 0 6。铝膜岛 4 0 6 将用作 T F T 栅极的底层。尽管图 4 B 中已省略了, 图 4 A 中膜 4 0 5 构图用的掩膜层还没除去, 因此, 在该阶段还继续保留。

对图 4 B 的结构以岛 4 0 6 作阳极再次进行阳极氧化工艺。这里的电解液可以是含 3 % 草酸的水溶液。该步骤由于有所述的光刻胶掩模 (未画出) 存在, 因此只在岛 4 0 6 的侧壁进行阳极氧化。如图 4 C 所示, 只在岛 4 0 6 的相对侧壁生成阳极氧化膜 4 0 7。这些侧壁膜 4 0 7 是多孔性的, 并能生长到几微米长。多孔侧壁膜 4 0 7 的测试厚度为 7 0 0 n m。用调节氧化时间来控制该膜厚。膜 4 0 7 形成后, 除去光刻胶掩模。再进行阳极氧化工艺, 形成覆盖岛 4 0 9 的薄且致密阳极氧化膜 4 0 8。也可用上述阳极氧化相同的条件进行该阳极氧化工艺。注意, 该步中, 认为是所用电解液进入或渗入多孔阳极氧化膜 4 0 7 中而形成阳极氧化膜 4 0 8。膜 4 0 8 的厚度应增大到 1 5 0 n m 以上, 以便在随后的步骤中注入所选择的杂质形成所需的偏移栅区。在随后的步骤中, 这种致密的膜 4 0 8 可抑制或消除 T F T 栅电极表面上出现小丘 (以后以数字 4 0 9 表示)。

薄且致密的阳极氧化膜 4 0 8 形成后, 所选择的导电类型杂质, 这里是形成 N - 沟道 T F T (N T F T) 用的 P 型导电杂质掺入或用离子注入法注入底层已构图的硅膜 4 0 3 中。由此形成隔开的重掺杂区 4 1 0, 4 1 1, 如图 4 C 所示, 它将用作 T F T 结构的源和漏。

用乙酸 (醋酸), 磷酸和硝酸混合液, 选择腐蚀多孔阳极氧化膜 4 0 7。之后, 在生成结构中再注入 P 型杂质。该离子注入剂量一般小于在膜 4 0 3 中形成源区 4 1 0 和漏区 4 1 1 所注入的剂量。因此, 在膜 4 0 3 中确定隔开的轻掺杂区 4 1 2、4 1 3, 它们与重掺杂的源和漏区 4 1 0、4 1 1 的内边缘接触, 如图 4 D 所示, 并使轻掺杂区 4 1 2 与 4 1 3 之间的中间区 4 1 4 与覆盖其上的栅电极岛 4 0 9 自对准。中间区 4 1 4 作为 T F T 结构的沟道区。

图 4 D 所示结构注入杂质后用激光束、红外线束或紫外线 (U V) 束辐照

进行退火处理。按该方法获得称作“轻掺杂漏 (LDD)”结构的基本功能TFT结构, 它包括源区410、轻掺杂区 (LDD区) 412、413、沟道区414和漏区411。

该阶段建议在300至350℃进行0.5至1小时的等离子加氢处理。该工艺是将氢掺入有源层403使其达到预定浓度, 如5原子% (1×10^{21} 原子/cm³ 以下), 最好是 1×10^{15} 至 1×10^{21} 原子/cm³ 以下。掺入的氢能中和并除去有源区403中或有源层与栅绝缘膜之间的界面能级中的硅原子的不成对的偶联键。

之后, 如图4E所示, 在图4D所示结构上淀积作为层间绝缘层的介质膜415。膜415可由氧化硅, 氮化硅, 氧/氮化硅, 树脂或由它们组合的多层结构构成。最好用氮化硅, 可消除在前面步骤中掺入的氢朝器件结构上再扩散出去。之后, 对层间绝缘膜415刻图, 确定用作电连接所需的接触孔的开口。淀积金属层416、417以使用金属填充这些接触孔, 设置TFT的源电极和漏电极。在该TFT用作有源矩阵中的像素晶体管时, 不需设置给栅电极409加电压的凸点或焊盘电极。但是, TFT用在外围驱动电路中时, 需要同栅409同时构成相关的凸点或焊盘电极。制成的结构在氢气气氛中在350℃进行加氢热处理。因此制成图4E所示TFT结构。

这样制成的TFT结构可能有场效应载流子迁移率, 使其能实现高速开关操作。这是因为它的有源层完全由单畴区构成所致。由于沟道区和与漏接触处基本上无晶界, 消除了其中的镍化物的分凝, 因此可靠性提高。

例3

为形成单畴区而在含卤族元素的气氛中进行热氧化处理的显著优点已在例1说明了。

见图6, 它是氯化镍 (NiCl₂) 的蒸气压与温度关系的曲线图。如图所示, 电子NiCl₂是一种升华材料, 图2C中单畴结构硅膜111中的Ni具有升华性, 它很快被氯吸收。生成的氯化镍从结晶硅膜向外扩散到空气中或由覆盖它的热氧化膜吸收而排出。这有利于从硅膜除去Ni。

现参见表示TFT的栅电压 (V_g) 与漏电流 (I_d) 的关系曲线图即图5说明图4E所示TFT结构的电性能。该图中画出了V_g-I_d的两条曲线; 一个曲线501是按本发明的图4E所示TFT的V_g-I_d曲线, 另一条

5 0 2 是不进行热处理的氮化物退火步骤而制成的标准T F T 的 $V_g - I_d$ 曲线。

对5 0 1、5 0 2 两条晶体管特性曲线进行比较发现，按本发明的T F T 中流过的导通电流比标准T F T 中流过的导通电流大2 至4 个数量级。如图5 所示，栅电压为0 至5 伏时，在T F T 是导电时导通电流是指试图流过的漏电流。

从图5 的曲线还能看出图4 E 所示T F T 的亚阈值特性比标准T F T 的阈值下特性高。这里所用的“亚阈值特性”是T F T 开关操作的锐度的典型测试值，作为本行业的技术人员很容易识别，当T F T 从截止转换到导通态时， $I_d - V_g$ 曲线的上升角更尖锐，亚阈值特性较好。

还应注意，标准T F T 的亚阈值特性在 $350 \text{ mV/十进制(decade)}$ 左右，而本发明的T F T 的亚阈值特性低至 $100 \text{ mV/十进制(decade)}$ 。这就是说，按本发明的T F T 的开关特性高，作为T F T 操作速度表示参数的场效应载流子迁移率，标准T F T 是 $80 \text{ 至} 100 \text{ cm}^2/\text{Vs}$ ，而本发明的T F T 是 $180 \text{ 至} 200 \text{ cm}^2/\text{Vs}$ 。这意味着后者能高速操作。以上说明可由实验证明，按本发明的T F T 结构使由性能有极大提高。

例4

正如参见图4 E 所示结构所作的说明，我们的实验证明用氯对金属元素吸杂具有显著优点。

见图7，它是由S I M S 分析测试的实验结果的典型曲线，表示结晶硅膜的浓度分布曲线。注意，这里接近膜表面的位置中的某些区域的测试值不重要。因为，表面可能有凹凸不平或表面中吸收了剩余物而造成的不利影响或干扰。还应注意，由于同样原因使邻近界面的数据也可能有误。从图7 可能得知，在结晶硅膜与覆盖它的热氧化膜之间的界面或其附近有大量氯存在。同样，由于结晶膜的表面中吸附的氯在热处理开始时和被吸收的Ni 一起向外扩进热氧化膜中，也可以假定是被称为“悬空键”的大量不成对的偶联键在要用氯进行热处理的热氧化膜形成之前在结晶硅膜的表面处。

例5

有氧化硅膜的硅衬底上形成的有单晶的T F T -S O I 结构的一个特征是，能充分抑制或消除影响结晶特性或对结晶特性造成麻烦的不利参数因素，如生

成的单畴结晶有源层中的管 (p i p e) 密度, 界面能级、固定电荷、穿透渡越等。更具体地说, 随着半导体技术的最新发展, S O I 结构的功耗减小, 但它还有缺点, 见图8。它是影响一个典型的S O I 结构中的结晶度的几个因素的综合说明图。晶体结构中产生的硅膜中的界面能级和固定电荷, 和由于外部影响而产生的金属污染和硼的聚集。按本发明的制造方法能使这些因素的不利影响减到最小或消除。按本发明方法特别包括在含卤族元素的气氛中对结晶硅膜热处理, 可使硅膜单晶化并同时金属元素吸杂。进行吸杂工艺能除去其中包含的任何可能的金属污物。这主要是由于卤族元素对由镍原子断裂而产生的硅原子的不成对的偶联键数量的增大起到辅助作用。用热退火工艺进行单晶化的优点是能抑制或消除诸如不均匀的管密度, 界面能级, 固定电荷, 穿透渡越等有害因素。图8所示的淀积或沉淀物是以硅化物为基的材料, 它们可用卤族元素的吸杂作用除去。若这些材料是氧化物材料, 在热处理中可由氧的再分离扩散而使其消失。

例6

图1 A所示的在氧化硅缓冲层1 0 2 上形成表面凸起1 0 3 的一个可能的改型如图9所示, 其中突起1 0 3 由细长矩形槽代替, 尽管这也可以是有相应的平面形状的细长突起。按图1 A至1 F所示实施例的相同方式进行晶粒生长。

如图9所示, 以垂直生长晶区9 0 1 作晶核或籽晶形成横向晶体生长区9 0 2。区域9 0 2 与图3 A的区域3 0 2 的差别是籽晶是线形而不是针点形。由于存在这种差别, 横向生长区9 0 2 有延长的平行六面体形状, 如图9所示。在石英衬底上实际生长的该区域9 0 2 再分成8 段A至H, 沿籽晶9 0 1 的长度Y 的相对晶段A - C, F - H 的面积比沿籽晶9 0 1 的宽度X 方向的相对侧的两段D 和E 的面积小到可以忽略不计的程度。这是由于垂直生长的籽晶9 0 1 的长度Y 比其宽度X 长很多。

当这种图9所示的宽晶段D、E 被单晶化时这种排列的优点是, 相应生长的单畴区的面积增大。用这种增大的单畴区形成T F T 有源层可在结晶度相同和均匀的一个单畴区中确定多个有源层。

例7

图1 2 A至1 4 D展示在互补金属氧化物 (C M O S) 晶体管的制造方法。用了例2 所示形成方法制造的T F T, 尽管本发明不限于此。

如图1 2 A所示,用结合图1 A - 2 C所述的方法在石英衬底3 1淀积氧化硅膜3 2。用上述的相同方法,在膜3 2的表面上淀积单畴结晶硅膜。然后对该硅膜刻图,以确定相互隔开的单畴有源层3 3、3 4,有源层3 3作N - 沟道T F T (N T F T) 的有源层;另一有源层3 4作P - 沟道T F T (P T F T) 的有源层。只画出两个晶体管仅仅是为了说明。实际上,本发明在实用中是在一个单片衬底上用微电子制造技术构成几百万个P - 沟和N - 沟T F T。

单畴有源层3 3, 3 4形成之后,用等离子C V D法淀积覆盖的栅绝缘膜3 5,使其厚度达到预定厚度,如5 0至2 0 0 n m,最好是1 0 0 - 1 5 0 n m。可用氧化硅、氧/氮化硅、氮化硅或其它合适的介质材料制造膜3 5。获得图1 2 A所示结构。

之后,如图1 2 B所示,用溅射或电子束淀积技术,在图1 2 A所示结构上淀积导电膜3 6。膜3 6可用铝制造,在以后可用作T F T的栅电极。为消除形成的小丘或晶须,可使膜3 6中含0.2 w t %的钨(S c)。这些称作刺状或针状凸起,是因铝的不正常晶体生长而产生的。这些凸起存在的缺点是在相邻布线或叠层芯片引线间会产生不希望有的短路和相互干扰。膜3 6也可用包括钽的可阳极氧化金属材料制造。

图1 2 B的步骤是用阳极氧化工艺,在电解液中,用膜3 6作阳极,在铝膜3 6上形成致密薄膜3 7。这里用的电解液是用氨水中和的含3 %酒石酸的1, 2 - 亚乙基二甲醇溶液。用这种阳极氧化法能形成高密度的均匀氧化膜,并用调节所加电压可以控制厚度。这里,膜3 7的测试厚度是1 0 n m,它对于随后要在其上形成的光刻胶掩膜的粘附性的提高起到重要作用。

之后,如图1 2 C所示,在1 2 B所示结构上形成有掩膜部分3 8、3 9的已刻图光刻胶层。用光刻胶掩模3 8、3 9对下面的铝膜3 6和阳极氧化膜3 7刻图,获得有相应的已刻图膜部分4 0、4 1的图1 2 C所示结构。用膜4 0、4 1作阳极对该结构进行阳极氧化。该工艺中只对4 0、4 1的侧壁选择地阳极氧化。这是因为在膜4 0、4 1的上表面还留有致密的膜3 7和掩模部分3 8、3 9的叠层。结果,在膜4 0、4 1的侧壁上生长出厚度为几微米的多孔氧化膜4 2, 4 3。这种阳极氧化进展的距离,即侧壁氧化4 2、4 3的厚度例如是7 0 0 n m。阳极氧化的距离将根据随后要形成的轻掺杂区的长度来确定。我们的实验建议,膜4 2、4 3的厚度最好在6 0 0至8 0 0 n m

范围内。在该阶段, 图1 2 D 的结构有所示的栅电极1、2。

除去光刻胶掩膜3 8、3 9 后, 用相同的电解液对图1 2 D 所示结构再次阳极氧化。该工艺中, 电解液企图进入和填充多孔侧壁氧化膜4 2、4 3 中。如图1 2 E 所示, 形成致密的侧壁氧化膜4 4、4 5。这些氧化膜4 4、4 5 的典型厚度是5 0 至4 0 0 n m。调节所加外部电压可控制该厚度。早先形成的致密氧化膜3 7 的剩余部分与氧化膜4 4、4 5 成为一个整体。

图1 2 E 所示步骤生成的结构在其整个表面上用诸如磷 (P) 的N 型杂质掺杂。掺杂量为 2×10^{14} 至 $5 \times 10^{15} \text{ cm}^{-2}$ 。剂量最好是 1 至 $2 \times 10^{15} \text{ cm}^{-2}$ 内。可用现有的等离子或离子注入技术。结果, 如图1 2 E 所示, 在单畴有源层3 3、3 4 中确定重掺杂区4 6-4 9。一对掺杂区4 6、4 7 与其相应的有侧壁氧化膜4 2 的栅电极1 自对准, 另一对掺杂区4 8-4 9 与有侧壁氧化膜4 3 的栅电极2 自对准。

此后, 用铝混合酸选择腐蚀除去侧壁氧化膜4 2、4 3。此时, 在氧化膜4 2、4 3 正下方的有源区由于没掺入任何掺杂离子。因此基本上是本征型。

除去氧化膜4 2、4 3 后, 如图1 3 A 所示, 在要形成P T F T 的右边表面区上选择形成光刻胶掩膜层5 0。图1 3 A 所示结构的左边表面区 保持露出。

之后, 如图1 3 B 所示, 该结构用P 型杂质掺杂, 与图1 2 E 所示步骤相比, 杂质剂量较小, 例如是 1×10^{13} 至 $5 \times 10^{14} \text{ cm}^{-2}$, 最好是 3×10^{13} 至 $1 \times 10^{14} \text{ cm}^{-2}$ 。掺杂结果, 在单畴有源层3 3 的所选择部分确定隔开的轻掺杂区5 2、5 4, 现在除去位于侧壁氧化膜4 2 下的部分。如图所示, 这些区5 2、5 4 与栅电极1 自对准。使区域5 1 与5 2 接触, 而区域5 5 与5 4 接触, 按此方式在有源层3 3 的外部确定重掺杂区5 1、5 5。这些外部的重掺杂区5 1、5 5 将分别用作N T F T 的源和漏。内部轻掺杂区5 2、5 4 横向设置在本征沟道形成区5 3 的两相对端, 它与栅电极1 自对准。位于沟道区5 3 与漏区5 5 之间的一个区域5 4 用作所称的“轻掺杂漏 (L D D)”区。

图1 3 B 中应注意, 由于掺杂中, 有覆盖在栅电极1 的表面的薄氧化膜4 4, 使离子不能注入其中, 因此在沟道5 3 与轻掺杂区5 2、5 4 之间存在没掺杂的区域 (未画出)。要求该没掺杂的区域的宽度等于氧化膜4 4 的厚度,

在与本发明相关的现有技术中通常称作“偏移栅”区。偏移栅区主要是没有掺杂的本征型。但是，无栅电压时，它不构成沟道，因此起到电阻元件的作用，能减弱内电场，抑制或消除对材料质量的损坏，增加TFT的净寿命。注意，这里的偏移宽度减小，生成的偏移区不存有这种功能。还未完全建立对它的定量分析。

NTFT形成后，如图13C所示，除去光刻胶50，之后，形成另一已刻图的光刻胶层56，覆盖左边的NTFT。用该光刻层56作掩模，给图13C所示结构掺如硼(B)的P型杂质。剂量是 2×10^{14} 至 $1 \times 10^{16} \text{ cm}^{-2}$ ，最好是 1 至 $2 \times 10^{15} \text{ cm}^{-2}$ 。若合适，也可用与图12E所示步骤相同的剂量。掺杂区57，61确定在单畴有源层34的相对边。这些区也可以含N-硅和P-型两种杂质，主要用作接触盘，用于将相关焊盘电极由互连到芯片引线。换言之，不像左边的NTFT结构那样，PTFT的源区和漏区从功能上看与区57、61的不同。关于这一点，将会看到由其它掺杂区58，60构成的PTFT的源区和漏区分别与其相应的栅极2自对准。只由硼离子注入是本征区的部位来确定这些区域58、60。为此，这里无任何其它杂质存在。容易控制杂质浓度。因此，获得晶格匹配特性优异的PI结，同时减少了由于离子注入而产生的晶体不均匀。注意，在某些情况下，如果需要，用氧化膜45覆盖栅电极2的表面使偏移栅区仍然存在。但是，与NTFT相比，我们的实验表明PTFT几乎不退化、因此，图示结构没有这种偏移区。

为此，如图13C所示，在PTFT的单畴有源层34中形成源区58和漏区60。源区58与漏区60之间的未掺杂的中间区确定为沟道形成区。有源层34的相对侧边部分的掺杂区57、61作为接触盘，用于从漏区60给源区58供给电流，驱动源区58。

除去光刻胶56后，如图13D所示，之后，用激光束照射生成结构，以激活掺入的杂质，并对掺杂区退火。可以进行激光照射，以减少NTFT的一对源和漏区51、55与PTFT的另一对源和漏区58、60之间的结晶度差。由于在图13C所示步骤的离子注入中，源和漏区58、60无明显损坏，因此认为它们之间的结晶度无明显差别。因而，激光退火可修复两种TFT的掺源区和漏区，以确保PTFT和NTFT有相同或一致的晶体管特性。

之后，如图14A所示，用等离子或热CVD法在图13D所示结构的整

个表面上淀积层间介质膜6 2，使其厚度为4 0 0 n m。可用氧化硅，氧/氮化硅，氮化硅它们构成的多层结构构成膜6 2。

最后，如图1 4 B所示，在层间绝缘膜6 2中确定几个用作接触孔所需的开口。选择形成刻图后的导电膜6 3 - 6 6，以填充接触孔，用作P - 沟道和N - 沟道T F T的源和漏。还形成芯片引线图形，使N T F T的漏电极6 4电连接到P T F T的漏电极6 6，并使其绝缘栅电极1、2互连。因此获得C M O S T F T结构，它用于新型高速/高精度显示板，它包括有源矩阵L C D，有源矩阵电致发光等。

所述T F T制造方法的重点是在图1 2 E、1 3 B和1 3 C所示步骤，单畴有源区3 3、3 4的表面上完全被以后用作刻图后的栅绝缘膜的硅氧化膜3 5覆盖。被氧化层3 5覆盖的有源层3 3、3 4进行离子掺杂，有利于减少在有源层表面出现不均匀和剩余物污染的危险性。从而大大提高了合格率和所制成的T F T的可靠性。

例8

如图2 C所示，应注意，单畴结构硅膜1 1 1可以制造在诸如硅晶片的半导体衬底上。这种情况下，要求在衬底顶表面上淀积附加的介质膜。为此，通常允许用热氧化膜。因而，在7 0 0至1 3 0 0℃的典型温度范围内进行热处理预定时间，可按膜厚改变热处理时间。热氧化处理的气氛选择燃烧的O₂，O₂ - H₂O，H₂O，O₂ - H₂。随着近年来半导体技术的发展，提出可在包含如HCl，Cl₂等卤族元素的气氛中进行氧化处理。由于已发展到可在硅晶片上构成各种半导体元件，因此硅晶片成了近来的半导体制造技术中的关键。本发明结合现有的硅晶片制造技术在这种半导体晶片上形成单畴硅膜，使本发明的应用进一步拓展。

现在再回到图1 5 A至1 5 B，其中示出了按本发明的又一实施例的单畴结晶硅膜制造方法，在硅晶片上制成的集成电路(I C)上形成有这种膜的T F T结构。

图1 5 A中，展示出(未画出尺度)用现有微制造技术制成的M O S F E T I C器件。该I C具有其顶表面上形成有M O S F E T的硅衬底7 1，所述M O S F E T与一般为热氧化膜的有关的元件隔离介质层7 2、7 3一起构成。在衬底7 1的表面中M O S F E T有相互隔开的源区7 4和漏区7 5。它们可

以通过给衬底7 1 注入所选导电类型的杂质及其随后的扩散步骤制成。众所周知, 衬底7 1 是P 型时, 选N 型杂质, 如磷 (P), 注入; 若衬底7 1 是N 型, 则选P 型杂质, 如硼 (B), 注入。MOS FET 还有在衬底表面中的源区7 4 与源区7 5 之间确定的沟道形成区7 6 , 和覆盖在沟道形成区7 6 上的绝缘栅电极7 7 。可用多晶硅制造栅电极7 7 。可用其间的栅绝缘膜使栅电极7 7 与衬底7 1 电绝缘。该膜可以是热氧化膜的剩余部分, 它是在为形成源区7 4 和漏区7 5 而注入离子区在扩散中控制膜厚而形成的。用氧化硅膜7 8 覆盖栅7 7 , 使衬底7 1 上的源电极7 9 , 漏电极8 0 或其它相邻元件隔离。

如图1 5 B 所示, 在图1 5 A 所示的MOS FET -I C 结构上淀积层间介质膜8 1 。膜8 1 可用氧化硅, 氮化硅或其它材料制成。在膜8 1 中选择的位置确定接触孔。之后, 形成已构图的导电布线层8 2 如芯片引线, 使漏电极8 0 与I C 所需的一部件或多个部件电互连。

之后, 用现有的化学/ 机械抛光 (CMP) 技术抛光图1 3 B 所示结构的表面, 获得表面平坦的I C 结构, 如图1 5 C 所示。如所示的, 由于这种表面抛光处理, 所制成的层间介质层8 3 具有平坦光滑的顶表面8 4 , 顶表面8 4 上除去了不希望有的引线8 2 的凸起。图1 3 C 中, 数字8 5 是指引线8 2 的平坦部分, 其上形成与漏电极8 0 互连的芯片引线8 6 。建议选用能抗加热温度高达1 1 0 0 °C的高耐热材料制造源电极7 9 、漏电极8 0 和引线8 6 。这是考虑到在随后的单畴结晶有源层制造中要进行的加热。

之后, 如图1 5 D 所示, 在图1 5 C 所示结构的整个表面上淀积层间介质膜8 7 。在该膜8 7 上将形成用作T F T 有源层的单畴结晶硅膜。这种有源层的形成与图1 A -2 C 所示相同。更具体地说, 在膜8 7 上形成已刻图的单畴结晶硅有源层8 8 。淀积栅绝缘膜8 9 覆盖膜8 7 和有源层8 8 。之后, 形成栅电极9 0 , 绝缘覆盖有源层8 8 的沟道区。之后, 将所选的杂质注入有源层8 8 。

杂质注入后, 在栅电极9 0 的相对侧壁上选择形成绝缘体9 1 。该侧壁绝缘体9 1 的形成包括淀积氧化硅膜 (未画出) 的步骤, 其厚度大于栅电极9 0 的厚度, 它覆盖全部表面, 用各向异性干腐蚀除去该绝缘膜的选择部分, 由此只在栅9 0 的相对侧壁留下绝缘体。

再次进行离子注入, 在有源层8 8 中确定重掺杂的源和漏区, 而允许某些

部分被侧壁绝缘体9 1 屏蔽, 留作轻掺杂区。之后, 用热处理和/ 或激光束辐照进行杂质激活处理。因此, 淀积由氧化硅或氮化硅制成的介质膜作层间绝缘层。对该膜层腐蚀, 在其中形成接触孔。最后, 形成源电极9 3 和漏电极9 4 , 使有源层8 8 中的源和漏通过接触孔而电互连。

图1 5 A 至1 5 D 所示实施例的显著优点是, 可在已有的I C 器件上制造有多层或“三维(3 D)”结构的T F T。具体地说, 有图1 5 D 所示3 D MOS -I C /T F T 结构的上T F T 有极大的增强晶体管作用, 它在速度和可靠性上等于在诸如硅晶片或衬底7 1 的单晶基板上制造的低标准MOS I C 的速度和可靠性。这种优点可使I C 器件的集成度或封装密度提高, 而不降低其固有特性。

例1 0

图1 4 A 和1 4 B 展示出使用本发明的动态随机存取存储器(D R A M) 器件, 它用了本发明的T F T 结构。D R A M 包括一个电容器/ 一个晶体管存储器单元的矩阵, 其中的一个单元示于图1 6 A。如图所示, 存储器单元包括数据传输晶体管1 6 0 3 , 晶体管1 6 0 3 有与一个相关的并联字线耦连的栅, 与相关的位线1 6 0 2 耦连的源, 和漏。晶体管1 6 0 3 是具有由上述的单畴结晶硅膜制成的有源层的T F T。单元还包括有关的数据存储电容器1 6 0 4 , 电容器1 6 0 4 有与T F T 1 6 0 3 的漏耦连的一个电极, 另一电极与固定电位如地耦连。图1 6 A 所示D R A M 单元中, 字线1 6 0 1 加所选择的电位的电压信号, 该电位加到栅, 使T F T 1 6 0 3 导电。这就使数据信号从位线1 6 0 2 通过T F T 1 6 0 3 传输到电容器1 6 0 4 , 使其中出现相应的电荷载流子聚集或集成, 用于数据写出。读出操作中, 存储的载流子通过T F T 1 6 0 3 传输到位线1 6 0 2。

见图1 6 B, 它是图1 6 A 所示D R A M 单方的剖面图, 如图所示, 石英或硅衬底1 6 0 5 的顶表面上形成氧化硅膜1 6 0 6 , 用硅衬底时, 可用称作绝缘体上的半导体(S O I) 结构。膜1 6 0 6 可以是热氧化层。在膜1 6 0 6 上形成的T F T 有按本发明原理的单畴结晶硅有源层1 6 0 7。

如图1 6 B 所示, 有源层1 6 0 7 上盖有栅绝缘膜1 6 0 8 , 其上设置有绝缘的栅电极1 6 0 9。层间绝缘膜1 6 1 0 层叠于覆盖栅1 6 0 9 的膜1 6 0 8 上。膜1 6 1 0 有接触孔, 通过它, 按与上述实施例相同的方式, 使

有源层1607中的源区与源电极1611电连接。如图16B所示,源电极1611也耦连到相应的位线1602。在层间绝缘膜1610上还有作为数据存储电容器1604的一个电极的另一导电层1612,它与下面的有源层1607中的TFT的漏区间确定一预定电容。同时形成源电极1611,电容器电极1612和位线1602,绝缘层1613覆盖单元的整个顶表面作为保护层。

图16A和16B所示实施例的显著特征是能抑制漏电流。这是因为用TFT1603形成的SOI结构,成本低/集成度高,一个电容器/一个晶体管的DRAM单元的结面积减至最小,因而提高了数据储存可靠性。

另一个优点是,由于SOI-DRAM单元结构使储存电容减小而可靠性和性能并不降低,因而,能实现低压操作。

例11

图17A和17B展示了用本发明的静态随机存取存储器(SRAM)器件,它用了按本发明的TFT结构。SRAM包括NMOS或CMOS存储单元的矩阵,每个单元均有双稳态触发器(F/F)电路,如图16所示。当连续加电功率于SRAM单元时,按F/F电路的导通或截止,静态存储“0”或“1”的二进制一位逻辑数据。如图17A所示,单元在字线1701与一对位线1702之间的相交处,它包括F/F电路,F/F电路由一对交叉连接的驱动晶体管1704和相关的高阻负载元件1703构成。通过有与字线1701耦联的栅的数据选取存取晶体管1705使一对负载元件1703和晶体管1704在公共结点与一位线1702连接。通过相同的数据选取晶体管1705使另一对负载元件和晶体管连到另一位线1702。

图17B展示出SRAM单元中用的TFT的剖面图。衬底1706可用石英或硅制成。衬底1706上的氧化硅膜1707作第一涂层,在它上面形成TFT的单畴结晶硅有源层1708。有源层1708由栅绝缘膜1709覆盖,栅绝缘膜1709上形成已构图的栅电极1710。覆盖的层间介质膜1711有接触孔,通过它使源电极1712和漏电极1713电连接到按上述方法在有源层1708中确定的源区和漏区。源电极1712和漏电极1713与位线1702一起制造。按顺序将层间介质膜1714和多晶硅膜1715叠置。后面的膜1715用作高阻负载元件1703,如图17A所

示。用所选介质材料制成的保护膜1 7 1 6 覆盖整个多层结构。用此设置, 由于用了在S O I 衬底结构上制造的有单畴有源层1 7 0 8 的T F T, S R A M 单元能可靠地高速运行而且可安装性极好。

例1 2

本发明的又一实施例是将图4 E (例2) 所示半导体器件与图1 4 B (例7) 所示C M O S 结构组合构成有源矩L C D 器件, 它是在单个芯片衬底上集成有源矩阵的T F T 像素的行和列排列的矩阵与有关驱动电路。更具体地说, 像素阵列用至少一个T F T 构成这些像素中的单个像素。衬底表面周围设置驱动电路, 包围T F T 像素矩阵。图4 E 所示T F T 结构的性能与单晶M O S F E T 相同, 这些像素T F T 也用作图1 4 B 的C M O S T F T 的驱动T F T。

有源矩阵L C D 的显著优点是, 像素晶体管中的截止电流可减小或最小。原因如下: 如上所述T F T 有源层由单畴结晶硅膜构成, 除了建立使早已增大的截止电流很快流过所形成的电流通路外不存在任何晶界。因而导致单个像素电极的信号电荷组的可保留性增大。

该实施例的另一个优点是用图1 4 B 所示C M O S T F T 结构使C M O S T F T 驱动电路的性能提高, 使P M O S T F T 和/ N M O S T F T 之间的晶体管特性等效。

例1 3

在栅绝缘膜的制造中可对图4 A - 4 E 所示制造方法作如下改型。图2 C 所示单畴结晶硅膜1 1 1 制成后, 只选用单畴区形成T F T 有源层。有源层上用如C V D 或P V D 法的汽相法淀积以硅为主要成分- 这里是氧化硅为主要成分一的介质薄膜, 其厚度为2 0 至1 5 0 n m、最好是8 0 n m 的预定厚度。就最好的介质膜的耐压特性而言, 这种氧化硅膜的厚度是合适的。可用包括氧/氮化硅, 氮化硅的其它等效材料来代替氧化硅。

制成氧化硅膜后, 生成结构再在含卤族元素的气氛中加热。该加热在以后叫做“第3 热处理”。第3 热处理的条件与前面所述的第2 热处理条件相同, 像图1 A - 2 C 所述实施例一样进行。

该第3 热处理中, 再次减少有源层中残留的如镍等金属元素的含量, 因而提高单畴区的结晶度。该工艺中, 在有源层与氧化硅之间的界面处进行热氧化反应, 生成2 0 n m 的热氧化膜。这种情况下, 建议有源层最终厚度在2 0 至

30 nm 的范围内, 最好为25 nm。这有利于使截止电流减至最小。

第3 热处理完成后, 生成的结构在含氟气氛中在950 °C再热处理1 小时, 修复热氧化膜和氧化硅膜的任何可能的热缺陷, 提高膜质量。而且, 在含卤族元素的气氛中热处理, 使有源层与覆盖的绝缘膜之间界面附近的卤族元素的浓度升高。我们的SIMS 实验表明, 卤族元素浓度范围是 1×10^{19} 至 1×10^{20} 原子/cm³。有源层与氧化硅膜之间界面处形成的热氧化膜将用于与氧化硅膜一起构成栅绝缘膜。缺陷能级和晶格点阵中的硅原子在热氧化膜形成中均将减小, 以增强有源层与栅绝缘膜之间生成的界面态。如结合图1 A - 2 C 所示实施例作的说明, 有源层的顶表面的平整度可达到最大程度。因此, 热氧化反应的逐渐进行使栅绝缘膜的厚度均匀。改善了界面态, 同时增大了栅绝缘膜的耐压或击穿电压特性。

本例的优点是, 有源层中的金属元素如Ni 的含量减小, 使有源层和覆盖它的栅绝缘膜之间的界面态优异。因而使半导体器件的电特性和可靠性提高。可选择同时进行图1 A - 2 C 所示实施例的第2 热处理和本例的第3 热处理。这样, 使在进行第1 热处理前对图1 F 所示结晶硅膜109 刻图, 构成有源层, 然后对其进行按本例的工艺处理。

例1 4

图4 E 所示半导体器件与图1 4 B 所示CMOS 结构组合的有源矩阵LCD 的一个可能的改型如下: 本例是例2 的改型, 改善了有源层与栅绝缘膜之间的界面态。

图2 C 所示单畴结晶硅膜111 制成后, 只选用单畴区形成TFE 有源层。在有源层上用CVD 或PVD 法等汽相法淀积氧化硅膜, 其厚度为20 至150 nm。

制成氧化硅膜后, 在500 °C至700 °C, 最好是640 至650 °C对生成结构热处理。所确定的温度范围在热氧化温度的下限附近。在含氧或卤族元素的气氛中进行热处理。也可用含湿气的湿气氛。热处理0.5 至2 小时, 使热氧化膜达到所需厚度, 例如几毫微米。典型厚度是1 至9 nm。当厚度等于该厚度时完成该热氧化膜生长。

本方法的优点是, 有源层与栅绝缘膜之间能获得好的界面态, 减少或消除极性界面或其附近的剩余的固定电荷或缺陷能级。用热氧化只是使有源层顶表

面部分, 即其深度或厚度为1 至3 nm 的有限的一个极薄区域内的这些缺陷减少或消除。换言之, 本例中, 专门形成厚度极薄的薄热氧化膜能实现优异的界面态。这里的氧化使在有源层的顶表面上减少1 至3 nm 的厚度而生成2 至6 nm 厚的新的热氧化膜。能实现这种良好的界面的一个原因可能是, 不希望有的剩余固定电荷和/或晶体缺陷主要集中在有源层与栅绝缘膜之间, 有源层表面1 -3 nm 厚的上述极薄区中作为中心。因此, 经热氧化除去或代替了该薄的表面区, 就有可能几乎完全除去这些缺陷。

本发明的另一优点是能提高半导体器件的生产效率, 即产量, 因为这里可用较低温度进行热氧化, 减少了所用设备的造价。

例1 5

见图1 9 A 至1 9 D, 它展示出按本发明另一实施例的T F T 制造工艺, 制造中用多晶硅膜作T F T 的栅电极。

图1 9 A 中, 用玻璃制成绝缘衬底1 9 0 1。玻璃衬底1 9 0 1 的上表面上顺序形成第1 涂敷膜1 9 0 2、已刻图的单畴结晶有源层1 9 0 3、栅绝缘膜1 9 0 4、和已刻图的栅电极1 9 0 5。用结合图1 A -2 C 所述实施例工艺制造有源层1 9 0 3。用多晶硅制栅1 9 0 5。

之后, 图1 9 A 所示结构用离子注入技术掺杂, 按图1 9 B 所示的与栅1 9 0 5 自对准方式在有源层 1 9 0 3 中确定隔开的掺杂区1 9 0 6, 1 9 0 7。之后, 在生成结构上, 用低压C V D 法或等离子C V D 或溅射法, 淀积0.5 至1 μ m 厚的氮化硅膜1 9 0 8。也可用氧化硅制膜1 9 0 8。

之后, 对图1 9 B 所示结构进行深腐蚀, 选择腐蚀覆盖膜1 9 0 8, 只剩下1 9 0 5 的相对侧壁上的部分, 如图1 9 C 所示。这里1 9 0 9 指示这些侧壁绝缘体。腐蚀中, 也除去栅绝缘膜1 9 0 4, 除栅电极1 9 0 5 和侧壁绝缘体1 9 0 9 组成的掩模下的部分外, 几乎大部分栅绝缘膜1 9 0 4 均除去。

之后, 对图1 9 C 所示结构用离子注入法注入所选择的杂质。杂质剂量这里是大于前一步骤的离子注入剂量。第2 离子注入中, 侧壁绝缘体1 9 0 9 正下方的区域1 9 1 0、1 9 1 1 中的杂质浓度保持不变, 因为没有杂质注入。有源层1 9 0 3 中剩余的露出区1 9 1 2、1 9 1 3 再注入离子进行掺杂, 使其中的杂质浓度增大。通过第1 和第2 离子注入步骤, 有源层1 9 0 3 变成了有重掺杂的源区1 9 0 2、漏区1 9 1 3 以及恰好位于侧壁绝缘体1 9 0 9 正

下方的轻掺杂(LDD区)区1910, 1911。有源层1903还有没掺杂的中间区1914, 它位于栅1905的正下方, 用作所得TFT中的沟道形成区。

图19C所示结构上形成厚30nm的钛膜(未画出), 它与硅膜进行化学反应, 除去钛膜后, 生成的结构用灯退火技术加热, 在源区1912、漏1913和栅1905的露出表面上形成硅化钛膜1915-1917, 如图19D所示。可用钽、钨和钼膜的任一种代替钛膜。之后, 淀积厚500nm的氧化硅膜1918作层间绝缘体。之后, 形成几种合适的已刻图的芯片引线1919-1921, 用于电连接源1912、漏1913和栅1905, 完成图19D所示TFT结构。

本方法的优点是TFT结构中能达到良好的欧姆接触, 因为, 通过硅化钛膜1915-1917使TFT与芯片引线之间电连接。

""例16""

按本发明的实施例所述的任何一种TFT可广泛用于各种半导体器件, 包括电光显示板, 如有源矩阵LCD, EL或EC装置; 储存器器件, 如DRAM, SRAM, VRAM, SDRAM, ROM, PROM, EEPROM, 快速EEPROM, NAND/NOR EEPROM等, 其它等同物可用于改进电子设备或电子系统, 如TV摄像机, 头戴式显示组体, 机动车用导航系统, 前或后面投影显示单元, 家用摄像机, 个人计算机等。

见图20A, 它是一汽车计算机, 该计算机通常由主机2001, 调谐部分2002, 显示单元2003, 控制开关2004和显示单元2005构成。本发明的TFT用于组装显示单元2005和主机的主IC中。

头戴式显示器如图20B所示, 该显示器通常由主机2101, 显示单元2102和固定带2103构成。显示单元2102包括一对尺寸较小的显示屏。

机动车导航系统如图20C所示。如图所示, 该装置包括主机2201, 显示单元2202, 控制开关2203, 和天线2204。按本发明的半导体器件用于显示单元2201和内装电子电路用的IC。显示单元2202用作监视器, 可用肉眼识别该监视器上的道路图, 因而分辨范围较宽。

便携式或手持移动电话示于图20D, 它包括主机2301, 声音输出部

分2 3 0 2，声音输入部分2 3 0 3，显示单元2 3 0 4，控制开关2 3 0 5，和天线2 3 0 6。按本发明的半导体器件用于显示单元2 3 0 1和内部电子电路用的I C中。

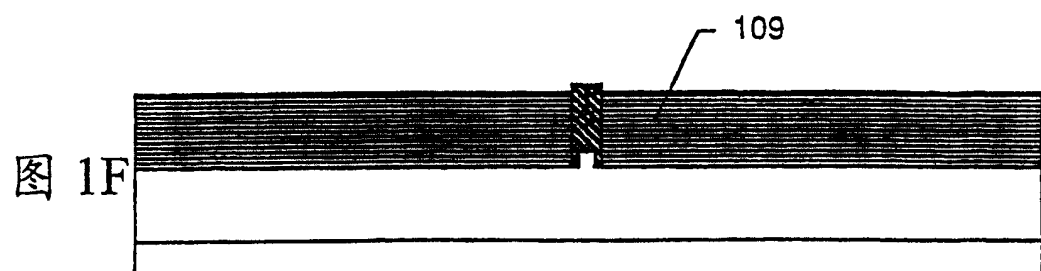
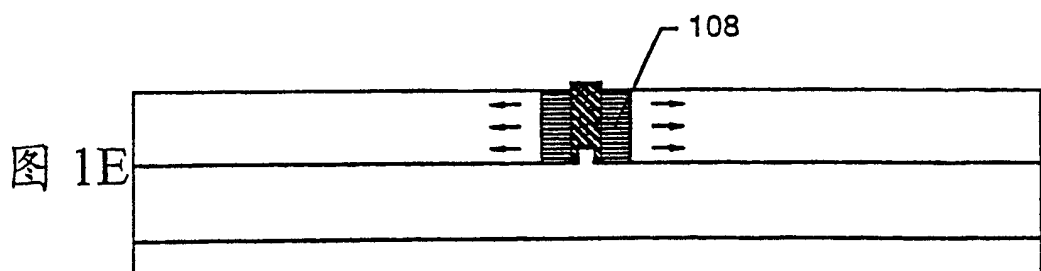
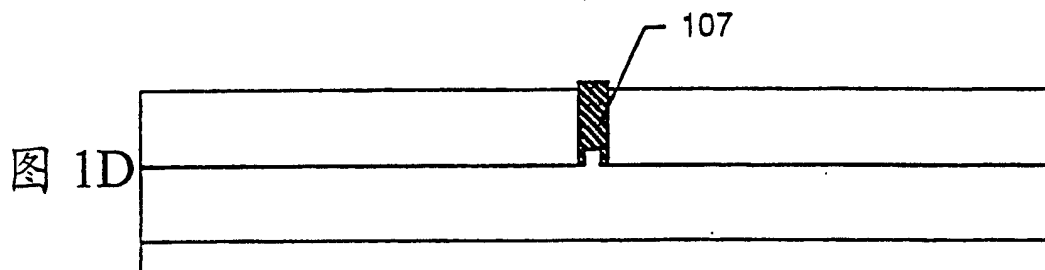
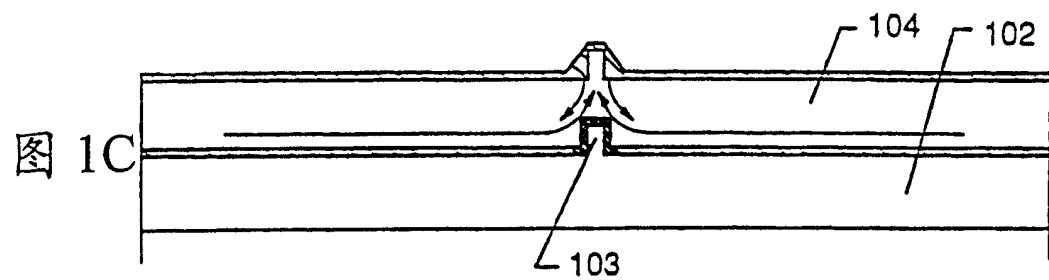
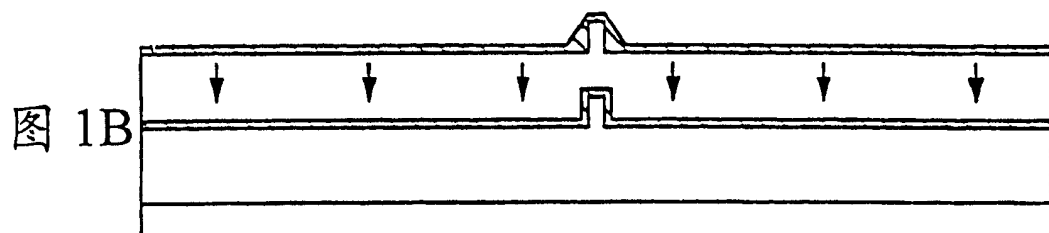
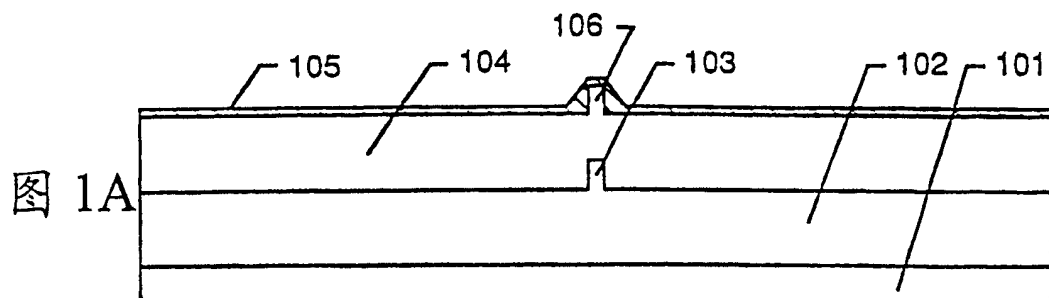
摄像机如图2 0 E所示，它包括主机2 4 0 1，显示单元2 4 0 2，声音输入部分2 4 0 3，控制开关2 4 0 4，电池盒2 4 0 5和图形接收器2 4 0 6。本发明的半导体器件可用于显示单元2 4 0 2和内部电子电路用的I C。

前面式投影装置如图2 0 F所示，它由主机2 5 0 1，光源2 5 0 2，反射型显示单元2 5 0 3，光学系统2 5 0 4（包括已知的分束器，偏光镜等），和相关的荧屏2 5 0 5。荧屏2 5 0 5是大尺寸的显示屏，适合于会议和学术会议中用的显示，要求显示单元2 5 0 3具高清晰度。

除上述应用之外，本发明的半导体器件还能用于其它类型的电光媒体或装置。包括后面式投影系统，便携式电子智能工具，如轻便终端。如上所述，本发明的应用很广，几乎涵盖了当前允许的所有电子显示系统。

已经说明了本发明用有意形成的分凝点作为晶体生长用的晶核或籽晶，并在含卤族元素的气氛中进行热处理，以提高晶体尺寸的可控性，能形成或制成大的单畴区。用这种安排可在带介质表面的衬底上形成预定的单畴区，该单畴区的晶体结构基本上与单晶材料相同，能用结晶度等于单晶的结晶硅膜作如T F T的半导体器件的高质量有源层。因而可使所构成的半导体电路的性能提高到等于用现有的单晶片制成的I C的特性。

虽然结合优选实施例对本发明作了详细说明，但本行业的技术人员应了解，本发明还会有各种形式上和细节上的变化，但这些变化均不脱离本发明精神和发明范围。



在含卤族元素气体中热处理

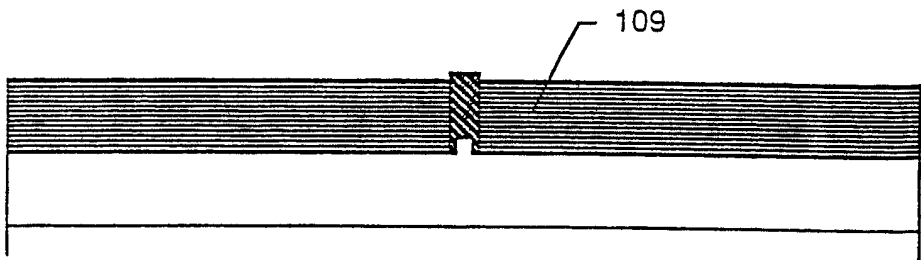


图 2A

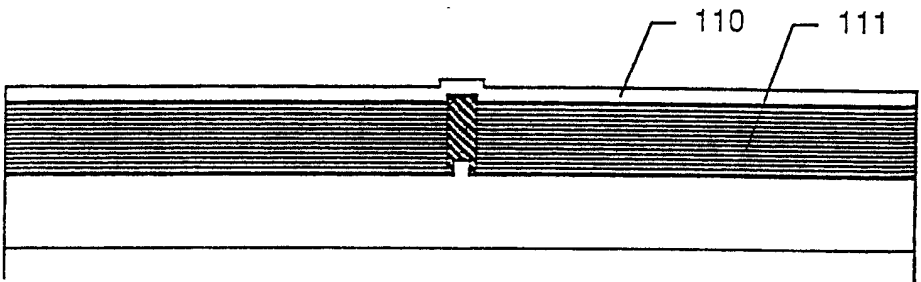


图 2B

除去热氧化膜

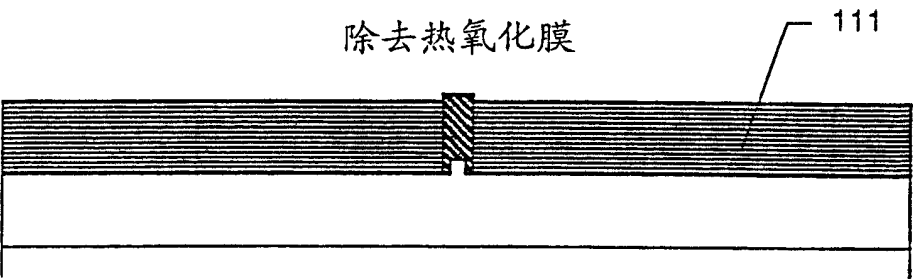


图 2C

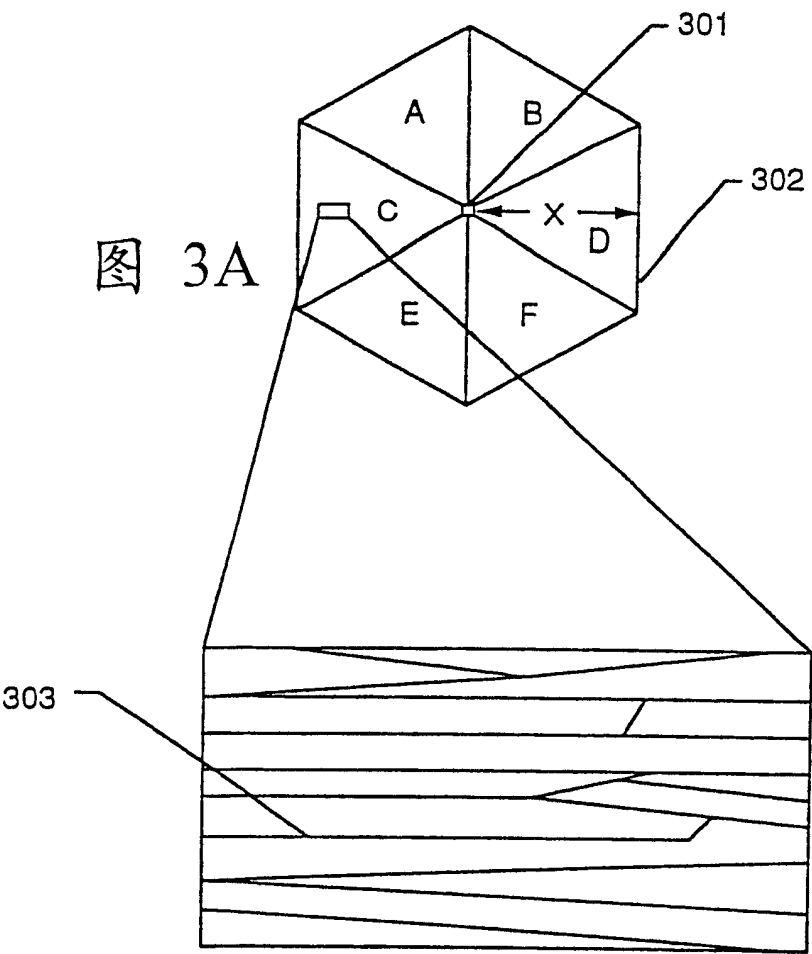


图 3B

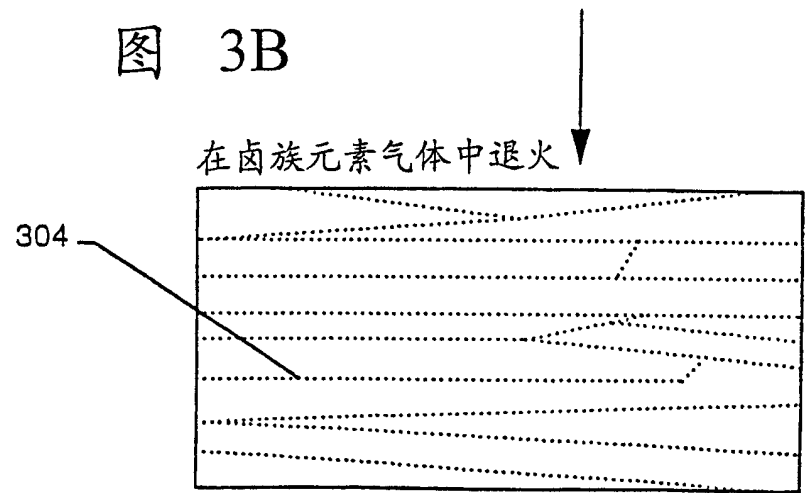


图 3C

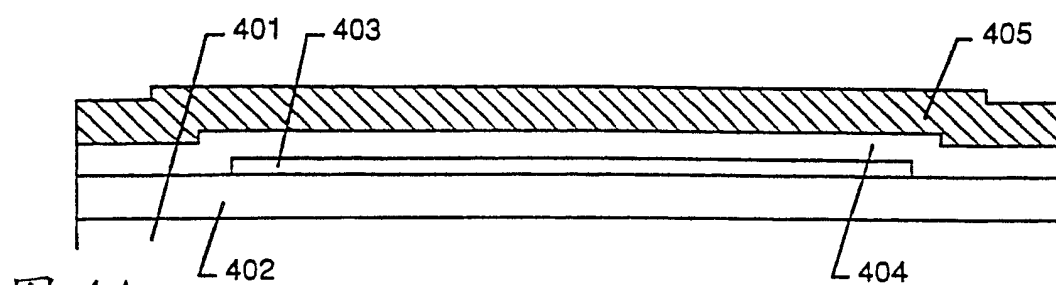


图 4A

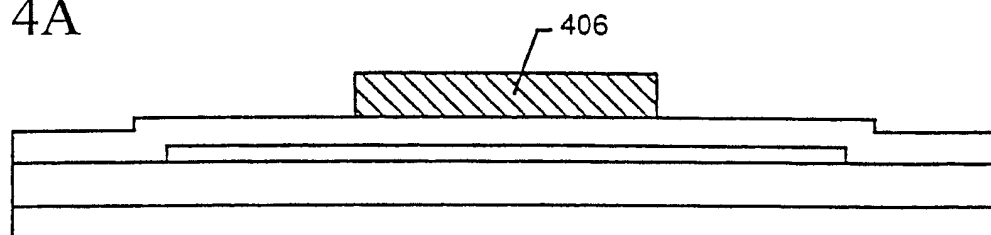


图 4B

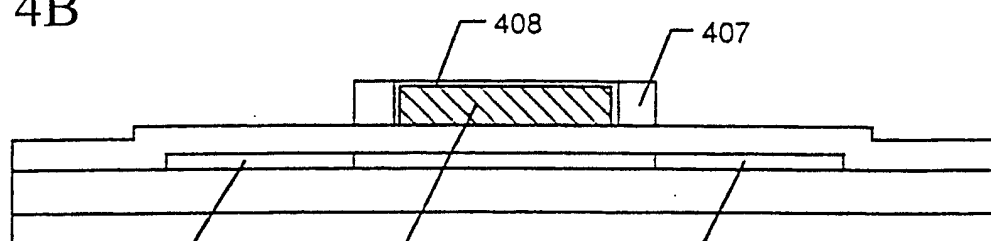


图 4C

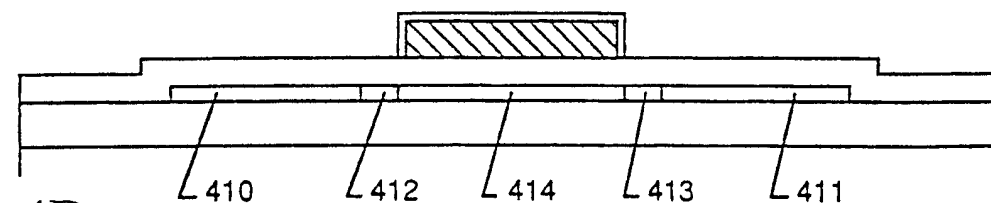


图 4D

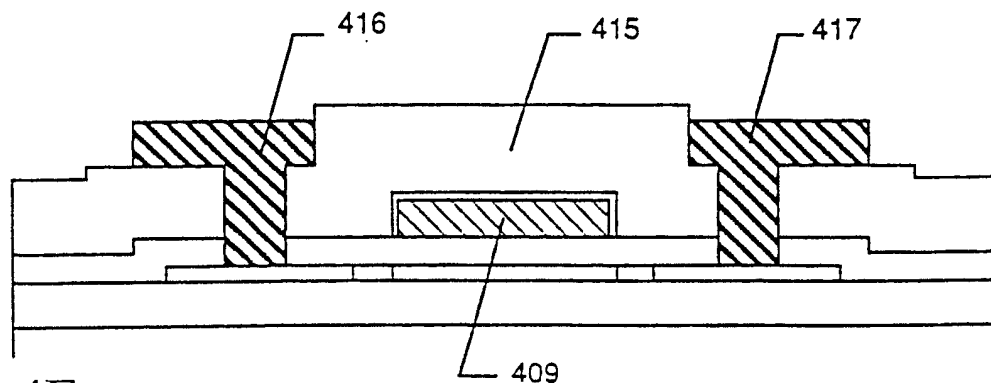


图 4E

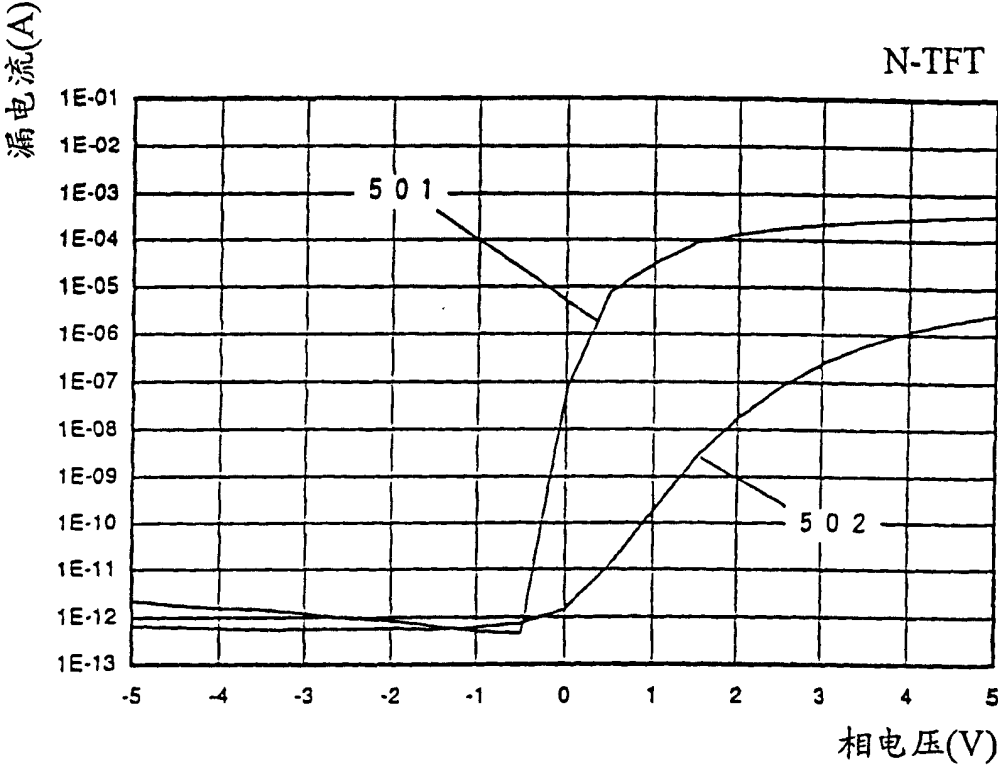


图 5

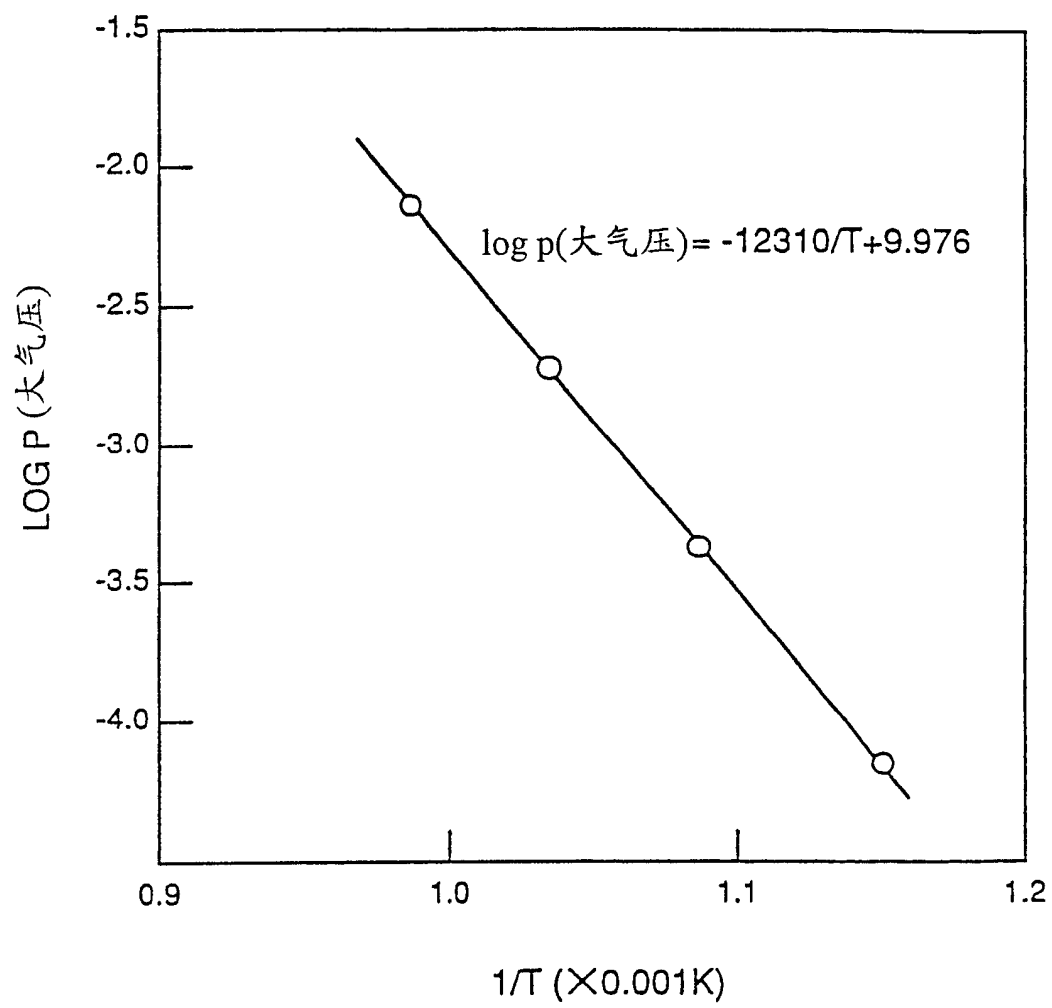


图 6

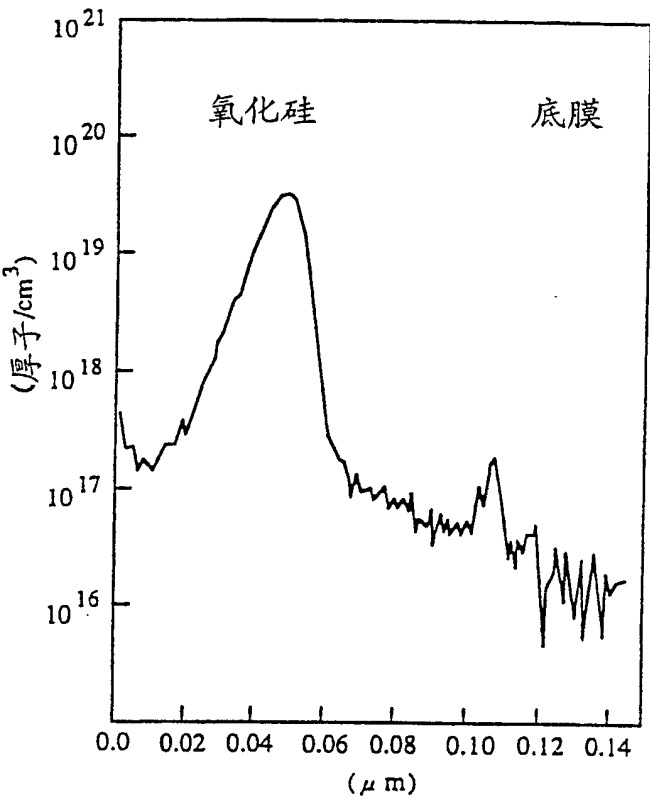


图 7

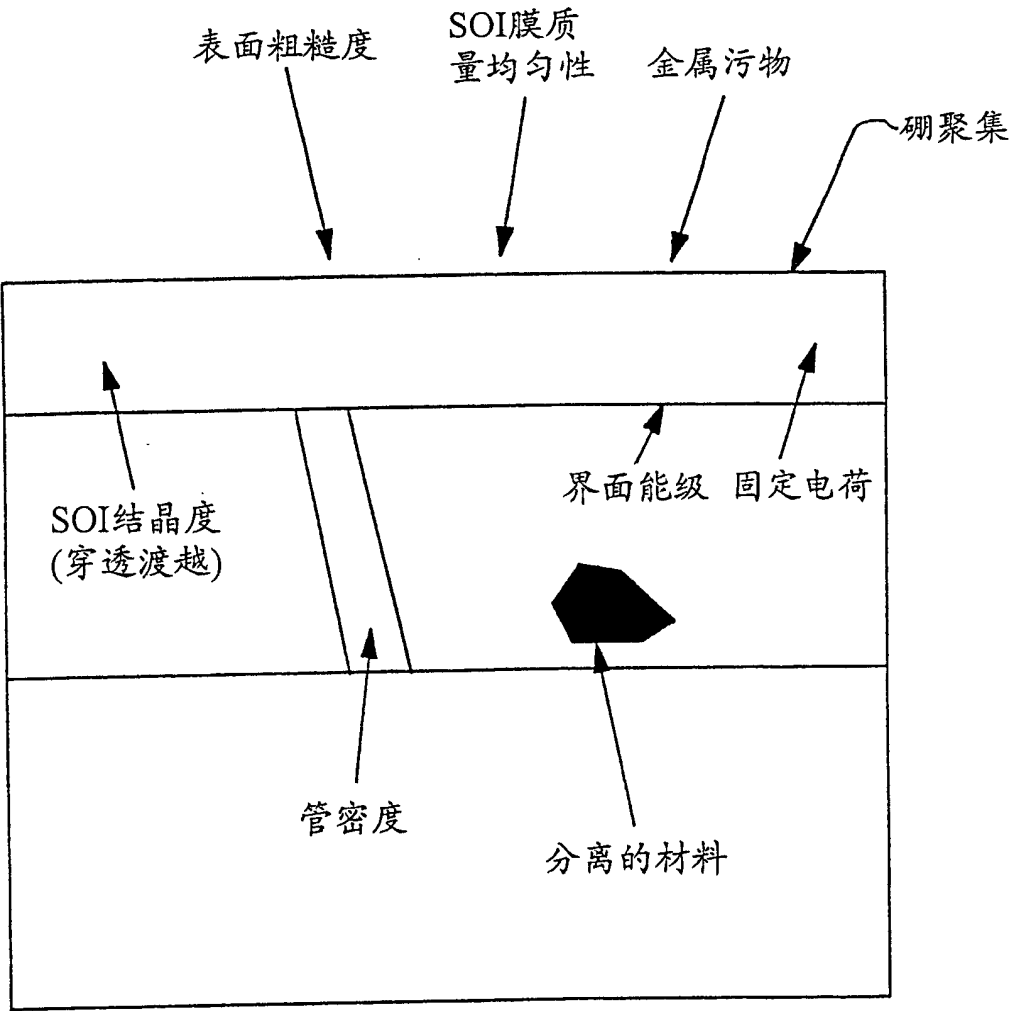


图 8

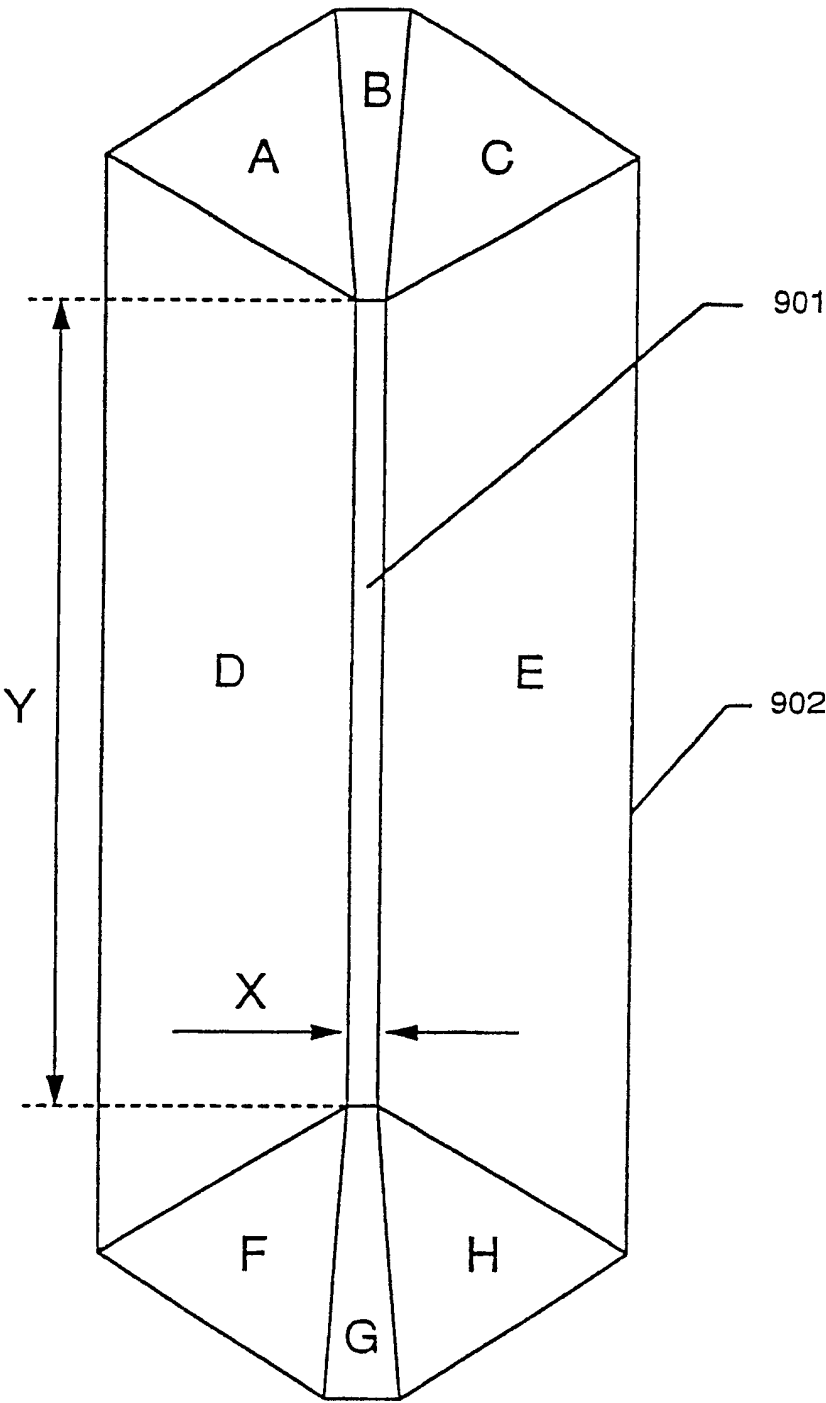


图 9

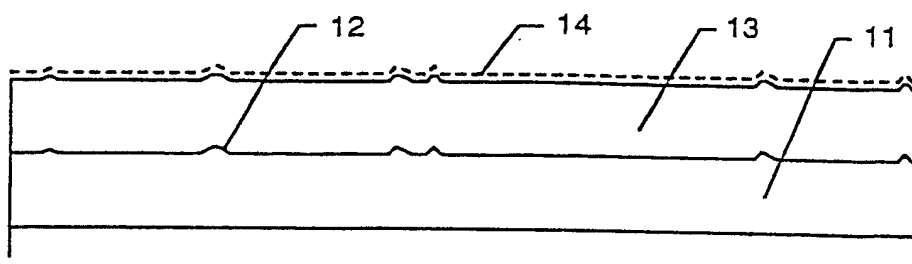


图 10A

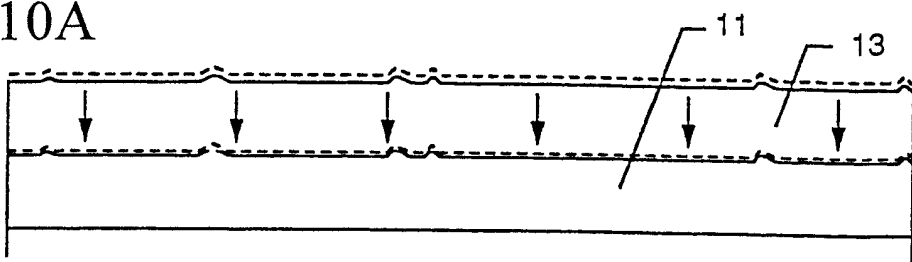


图 10B

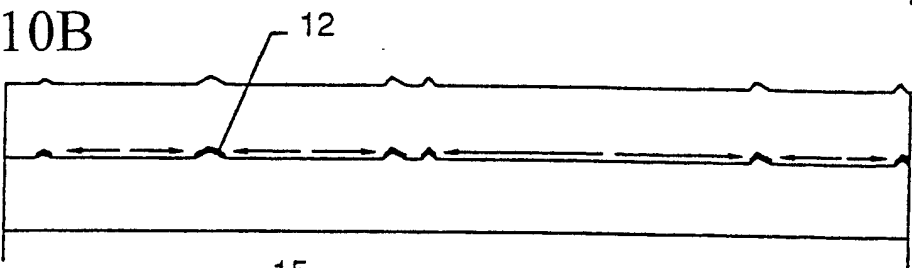


图 10C

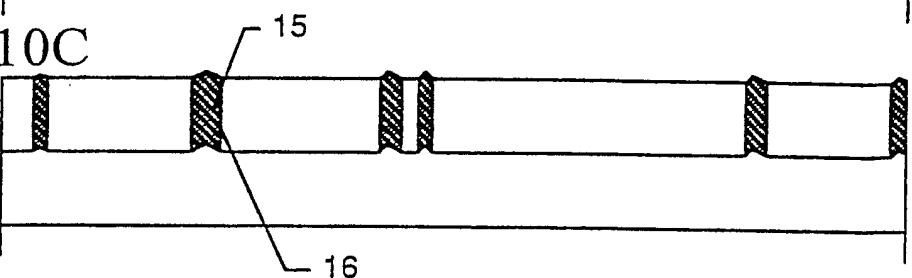


图 10D

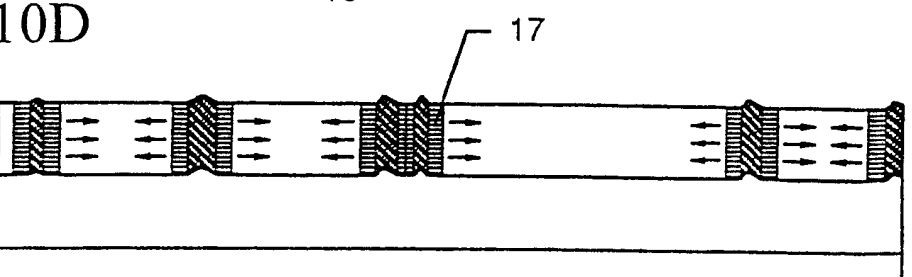


图 10E

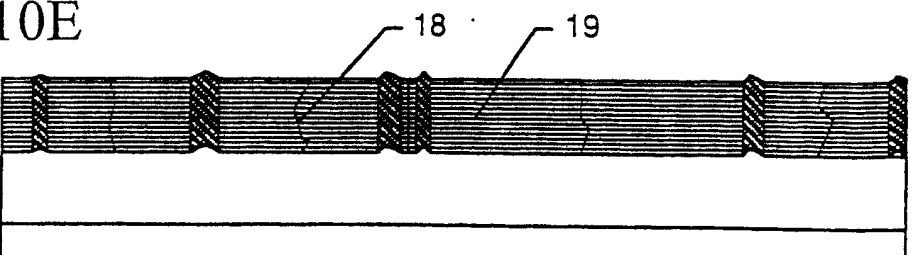


图 10F

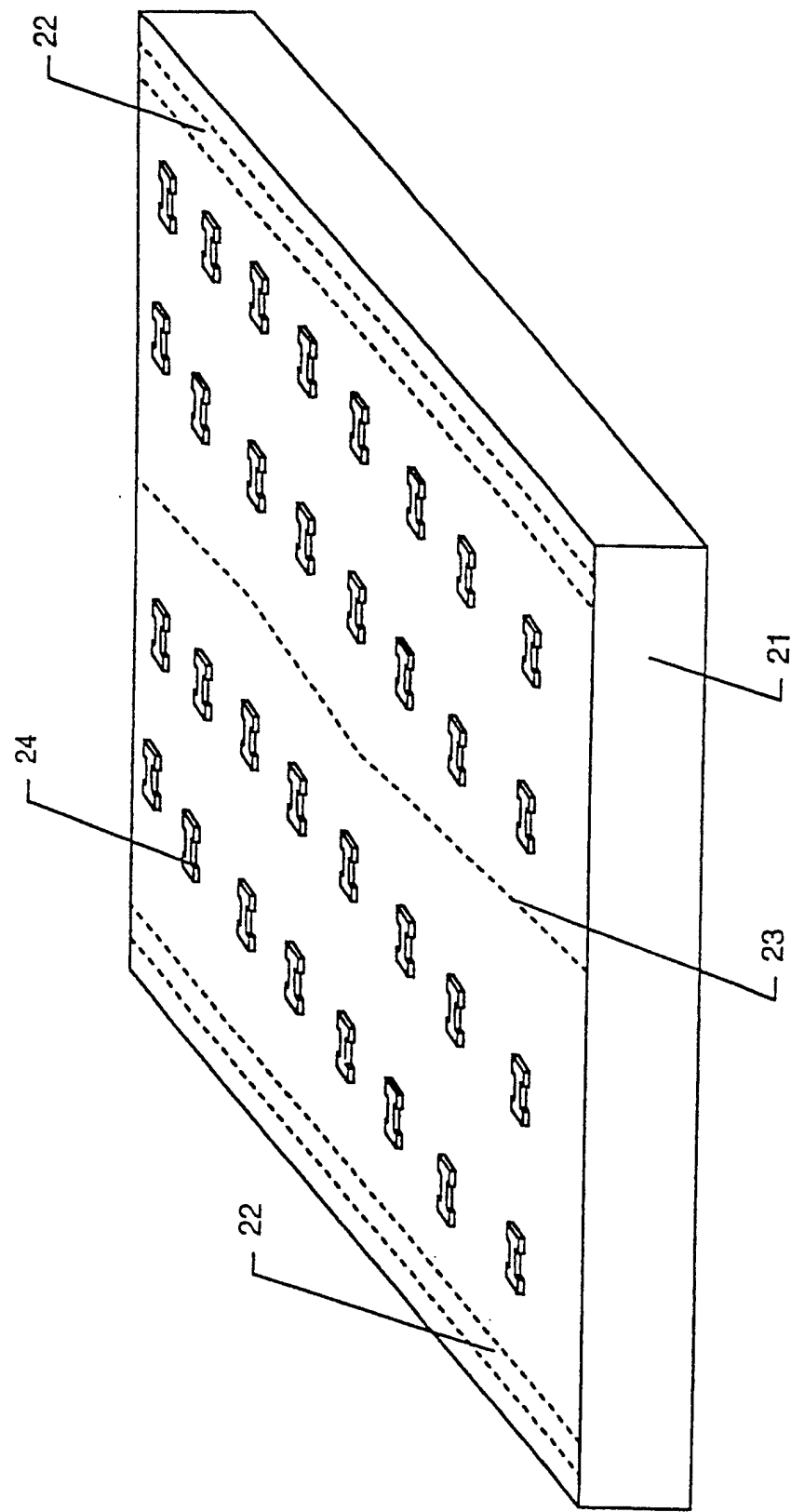


图 11

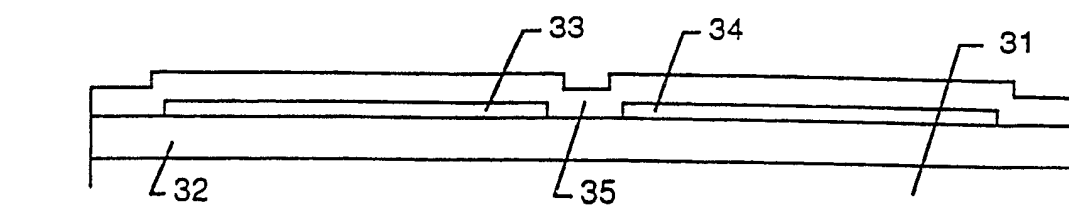


图 12A

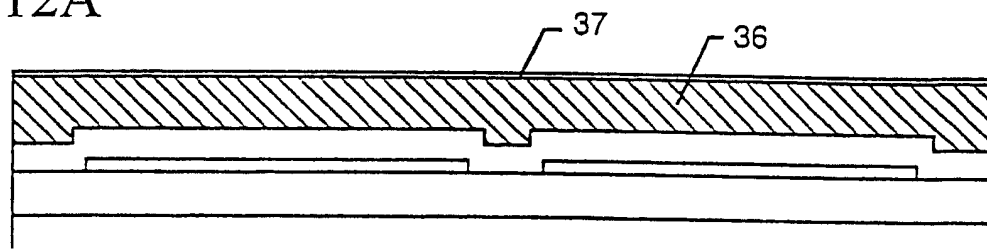


图 12B

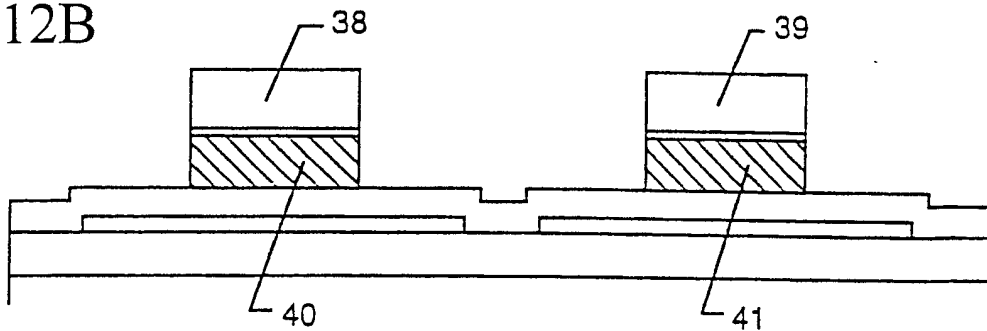


图 12C

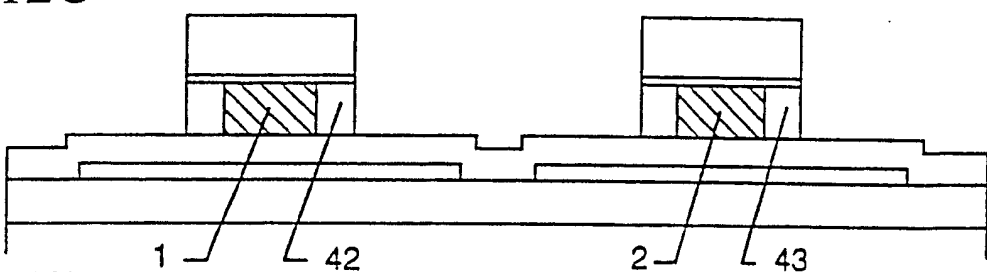


图 12D

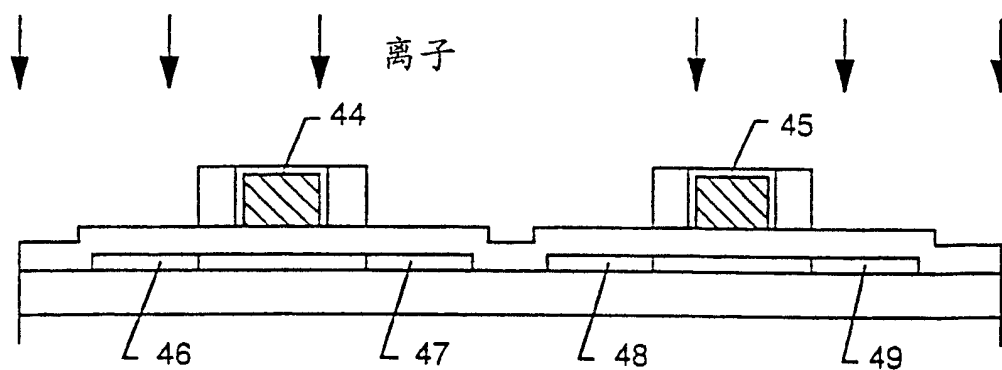


图 12E

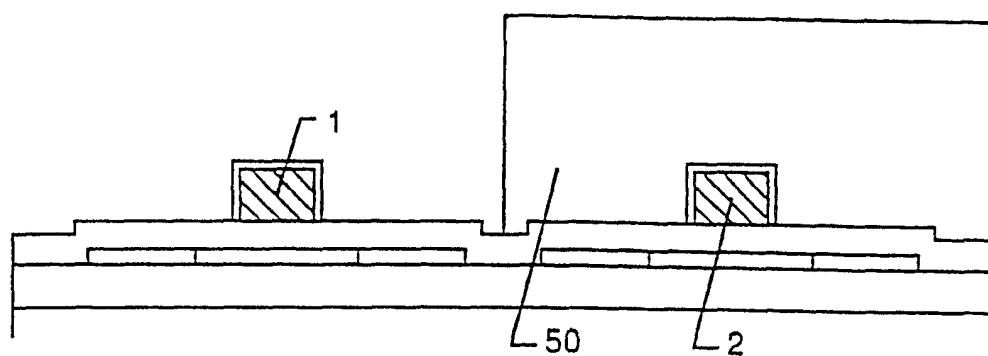


图 13A

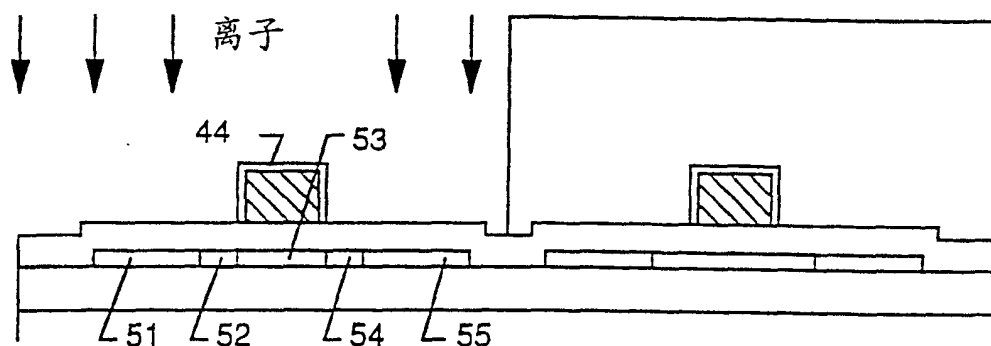


图 13B

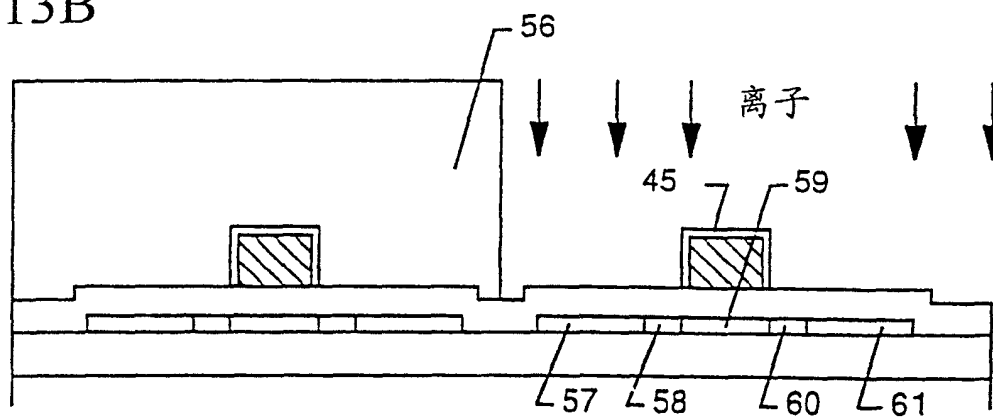


图 13C

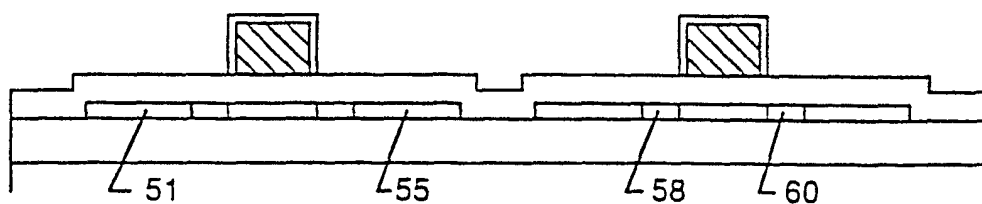


图 13D

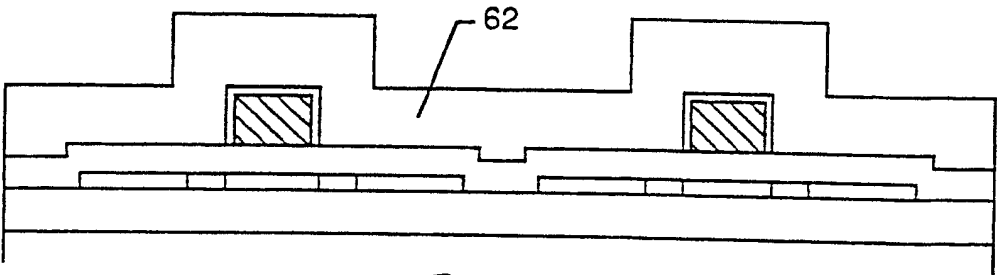


图 14A

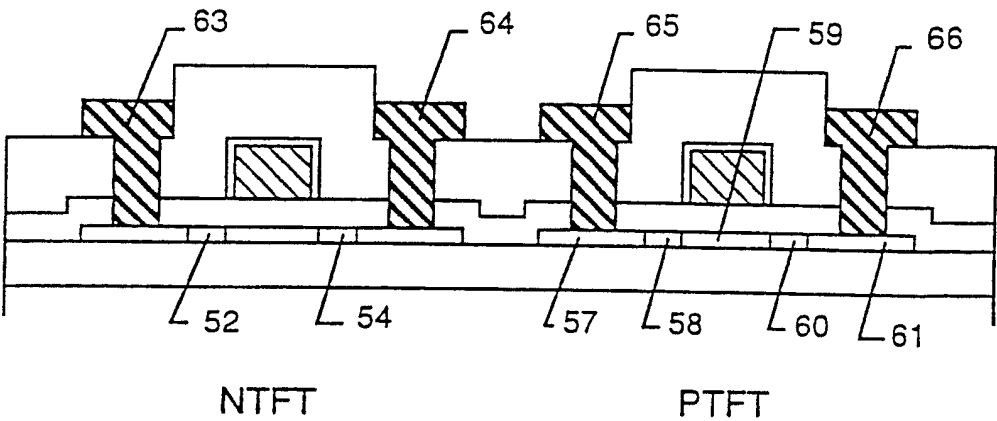
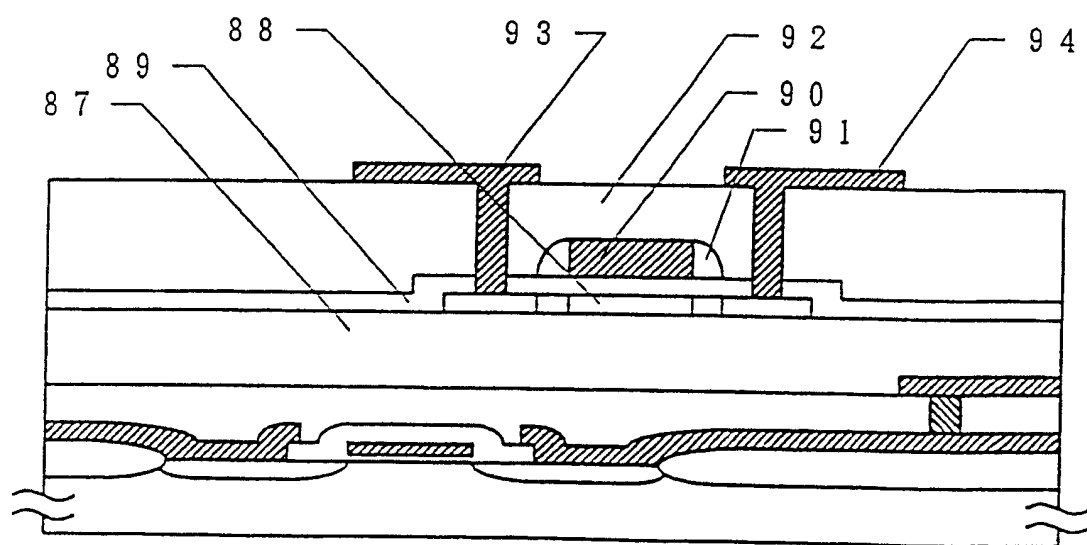
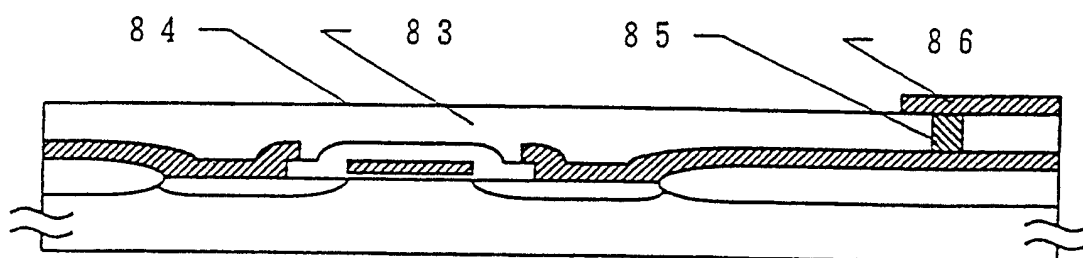
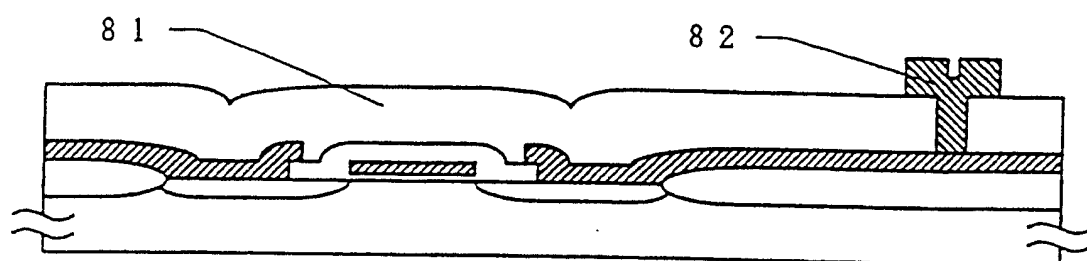
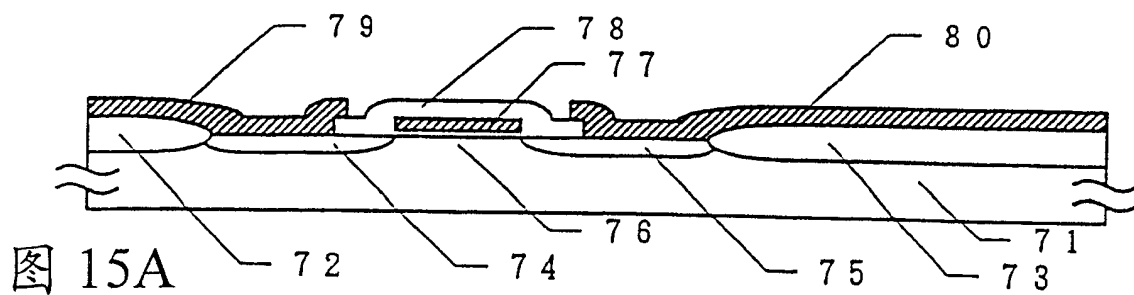


图 14B



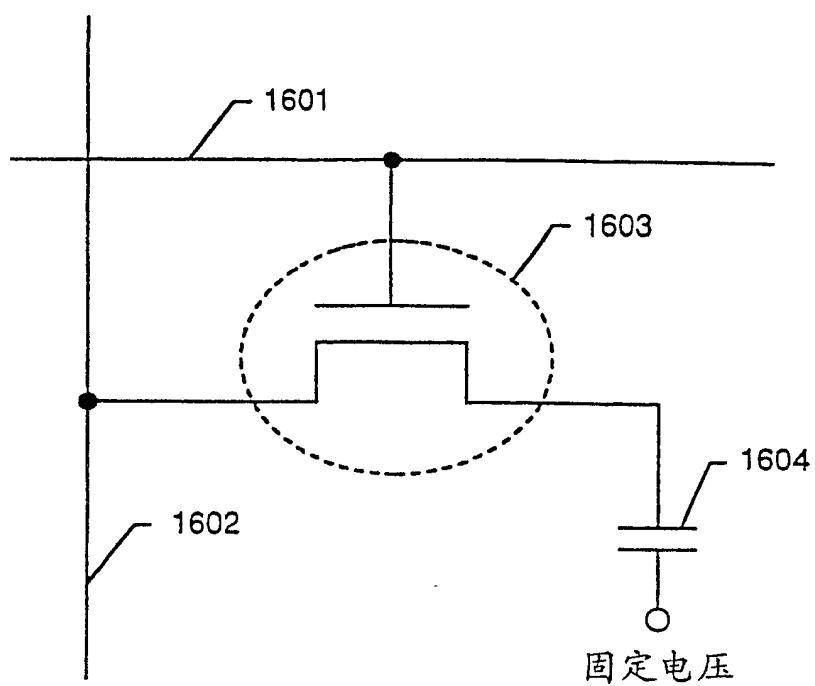


图 16A

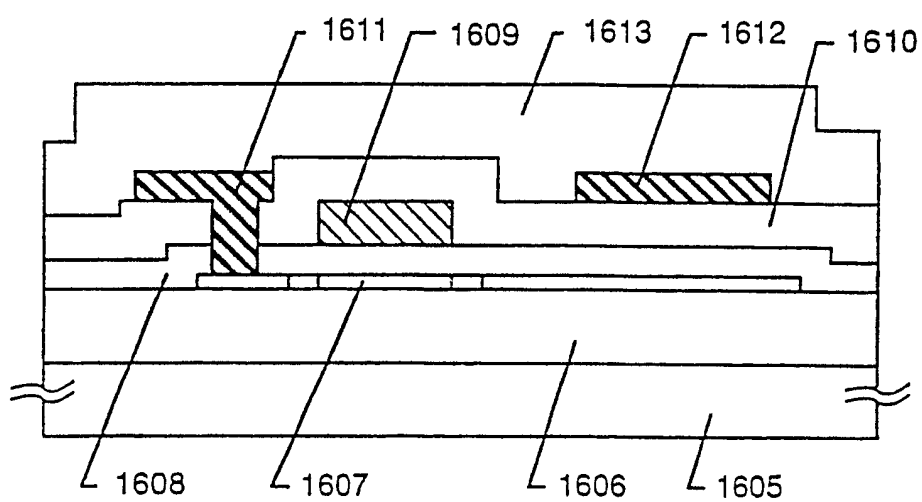


图 16B

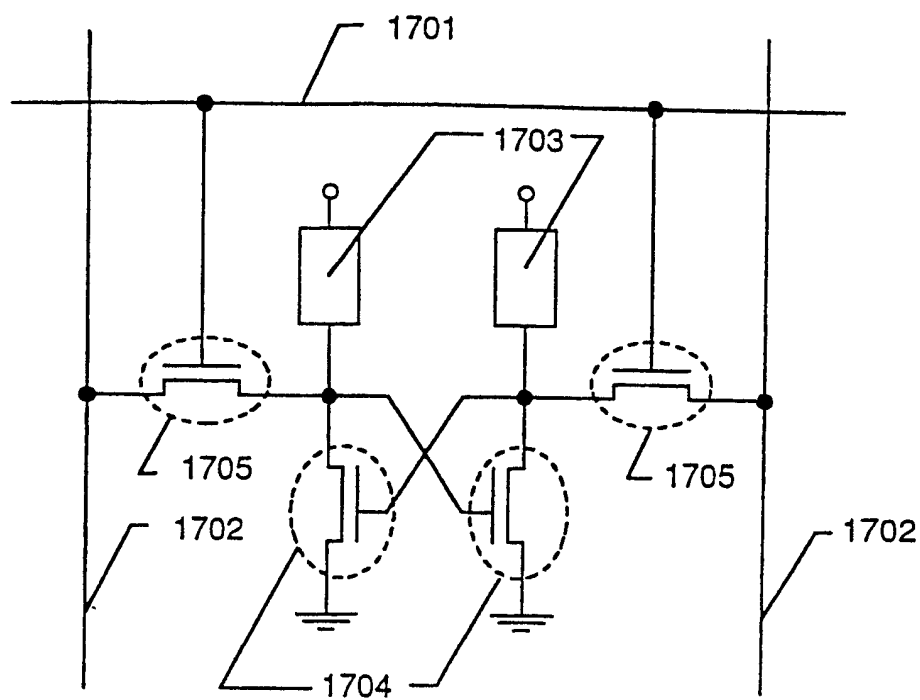


图 17A

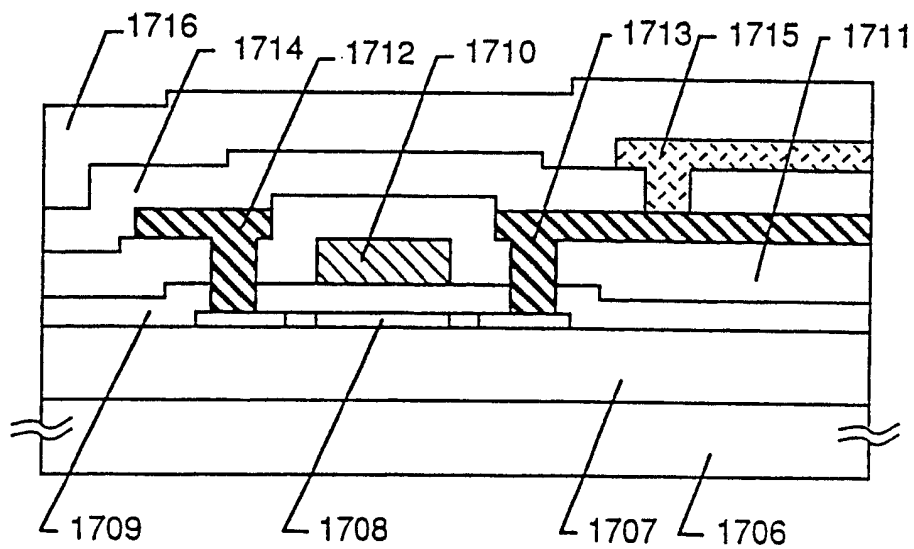


图 17B

元素	浓度 (ppm)	元素	浓度 (ppm)
Fe	0.045	Ca	0.16
Ni	0.016	Mn	<0.001
Na	>0.005	Al	0.004
K	>0.004	U ^{*2}	<0.000031
Ti ^{*1}	<0.05	Th ^{*2}	<0.00016
Mg	>0.005	F ^{*3}	310
Cu	0.009	Cl ^{*2}	<0.73
Cr	0.003	OH ^{*4}	ND

用极化塞曼无框架原子吸收测试的

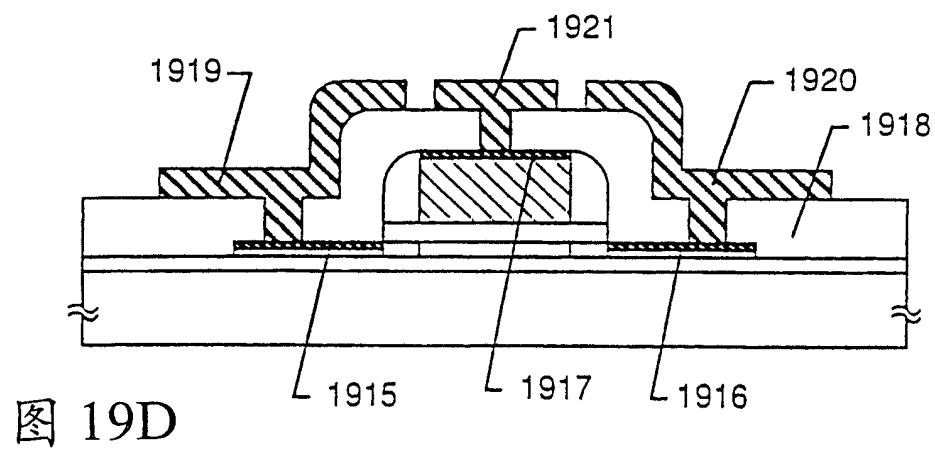
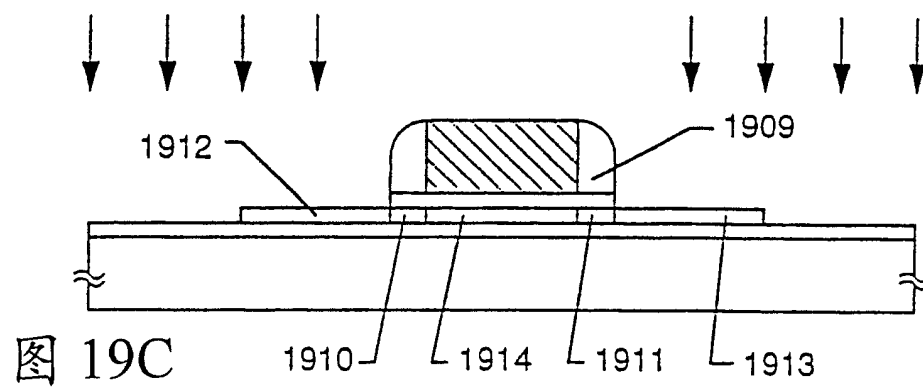
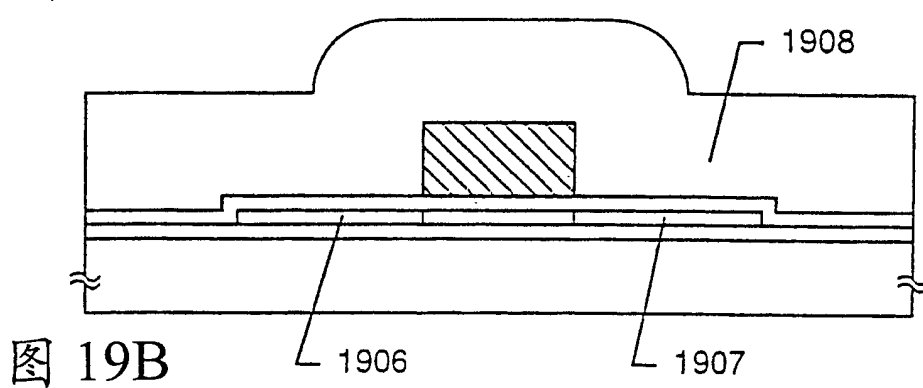
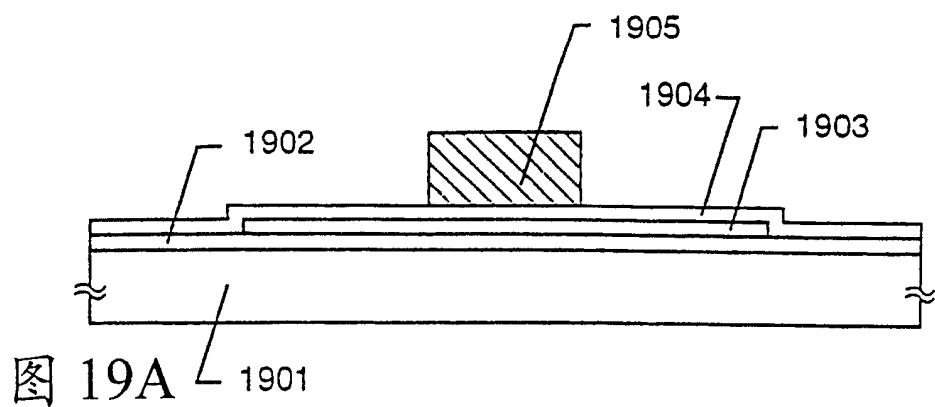
*1 发光密度分析

*2 放射化学分析

*3 EPMA

*4 IR 吸收

图 18



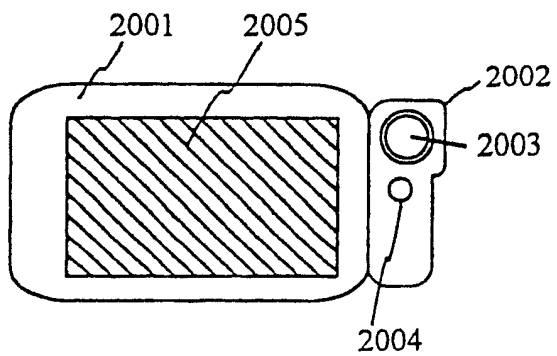


图 20A

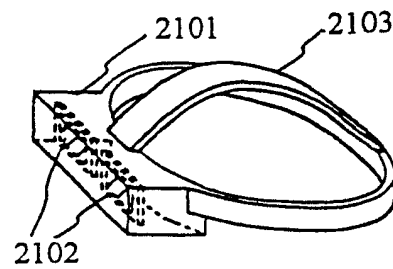


图 20B

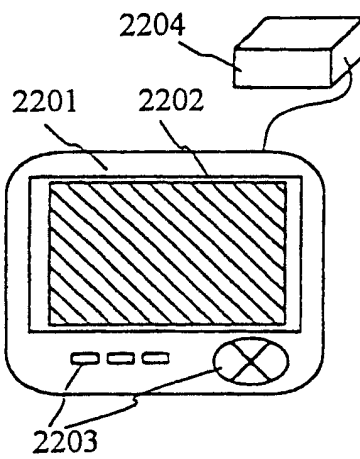


图 20C

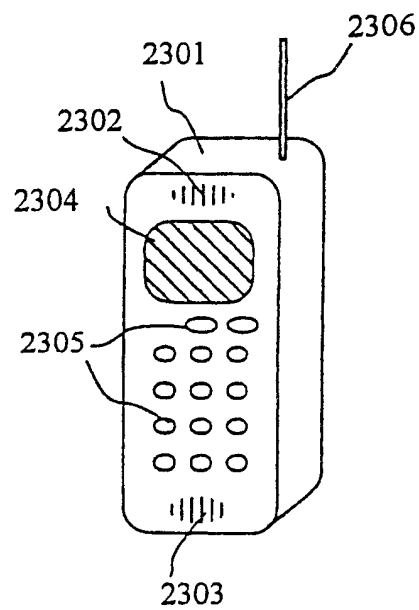


图 20D

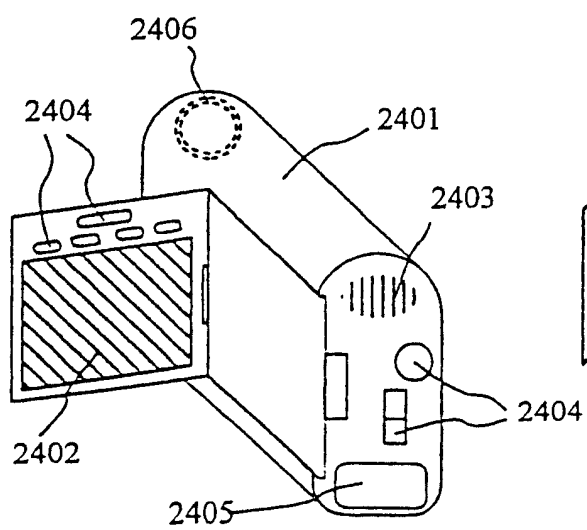


图 20E

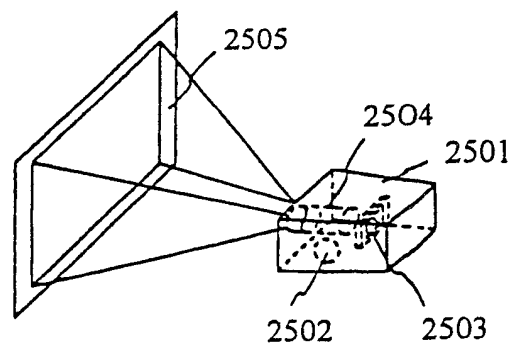


图 20F