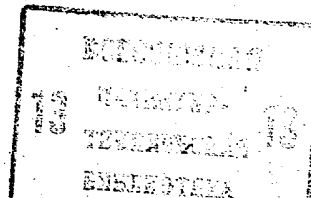




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

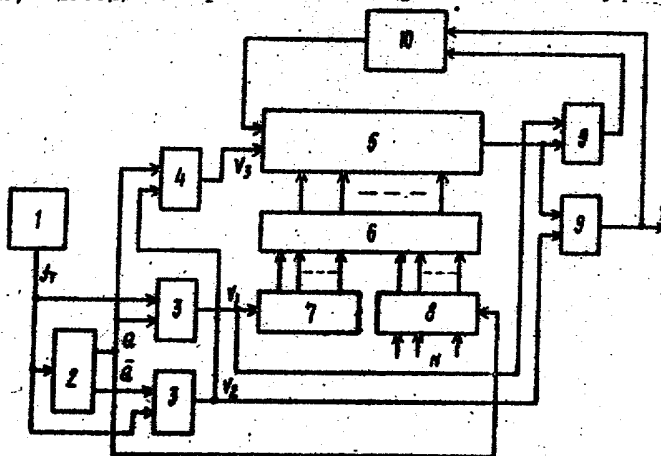
ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 3367046/18-24
(22) 11.12.81.
(46) 23.04. 83. Бюл. № 15
(72) А.М. Водовозов и В.Н. Лабичев
(71) Вологодский политехнический институт
(53) 681.325(088.8)
(56) 1. Авторское свидетельство СССР № 524175, кл. G 06 F 7/58, 1975.
2. Авторское свидетельство СССР по заявке № 3243239/18-24, кл. G 06 F 7/58, 1981 (прототип).

(54)(57) ГЕНЕРАТОР ПСЕВДОСЛУЧАЙНОЙ ПОСЛЕДОВАТЕЛЬНОСТИ, содержащий генератор тактовых импульсов, счетчик, сумматор по модулю два, выход которого соединен с информационным входом блока памяти, отличающийся тем, что, с целью расширения функциональных возможностей генератора путем обеспечения изменения статистических характеристик формируемой последовательности, он содержит коммутатор, параллельный сумматор, два D-триггера, Т-триггер, два элемента И и элемент ИЛИ, выход которого соединен с управляющим входом блока памяти, выход которого

соединен с D-входами D-триггеров, выходы которых соединены с входами сумматора по модулю два соответственно, выход генератора тактовых импульсов соединен с входом Т-триггера и с первыми входами первого и второго элементов И, выходы которых соединены с С-входами соответствующих D-триггеров, прямой выход Т-триггера соединен с управляющим входом коммутатора, с первым входом элемента ИЛИ и с вторым входом первого элемента И, выход которого соединен со счетным входом счетчика, разрядные выходы которого соединены с первой группой входов параллельного сумматора соответственно, выходы которого соединены с соответствующими адресными входами блока памяти, инверсный выход Т-триггера соединен с вторым входом второго элемента И, выход которого соединен с вторым входом элемента ИЛИ, выход второго D-триггера является выходом генератора, группой входов которого является группа входов коммутатора, группа выходов которого соединена с второй группой входов параллельного сумматора соответственно.



Фиг. 1

Изобретение относится к вычислительной технике и может быть использовано для решения вероятностных задач методом моделирования.

Известен генератор псевдослучайной последовательности двоичных чисел, содержащий регистр сдвига с сумматором по модулю 2 в цепи обратной связи, генератор тактовых импульсов, выход которого соединен со входом регистра сдвига, а также счетчик и блок сумматоров [1].

Недостатком данного устройства является малое значение периода псевдослучайной последовательности, ограниченное разрядностью регистра сдвига. Увеличение периода последовательности за счет разрядности регистра приводит к усложнению схемы и снижению ее надежности.

Наиболее близким по техническому решению к изобретению является генератор псевдослучайной последовательности, содержащий тактовый генератор, счетчик импульсов, блок памяти и сумматор по модулю 2. В данной схеме работа, выполняемая блоком памяти, аналогична работе многоуровневого регистра сдвига. За счет увеличения объема памяти длина генерируемой последовательности увеличивается без значительного усложнения схемы [2].

Недостатком известного устройства является сложность изменения характеристик генерируемой псевдослучайной последовательности. Изменение последовательности возможно за счет изменения временного сдвига между сигналами на входах сумматора по модулю 2 путем увеличения или уменьшения разрядности регистра сдвига. Однако это приводит к изменению общего числа разрядов генератора и связано со значительным изменением схемы.

Цель изобретения - расширение функционирования возможностей генератора за счет обеспечения изменения характеристик формируемой последовательности.

Для достижения поставленной цели в генератор псевдослучайной последовательности, содержащий генератор тактовых импульсов, счетчик, сумматор по модулю два, выход которого соединен с информационным входом блока памяти, введены коммутатор, параллельный сумматор, два D-триггера, T-триггер, два элемента И и элемент ИЛИ, выход которого соединен с управляющим входом блока памяти, выход которого соединен с D-входами D-триггеров, выходы которых соединены со входами сумматора по модулю два соответственно, выход генератора тактовых импульсов

соединен со входом T-триггера и с первыми входами первого и второго элементов И, выходы которых соединены с С-входами соответствующих D-триггеров, прямой выход T-триггера соединен с управляющим входом коммутатора, с первым входом элемента ИЛИ и со вторым входом первого элемента И, выход которого соединен со счетным входом счетчика, разрядные выходы которого соединены с первой группой входов параллельного сумматора соответственно, выходы которого соединены с соответствующими адресными входами блока памяти, инверсный выход T-триггера соединен со вторым входом второго элемента И, выход которого соединен со вторым входом элемента ИЛИ, выход второго D-триггера является выходом генератора, группой входов которого является группа входов коммутатора, группа выходов которого соединена со второй группой входов параллельного сумматора соответственно.

На фиг. 1 дана блок-схема генератора; на фиг. 2 - диаграмма его работы.

Генератор псевдослучайной последовательности содержит генератор 1 тактовых импульсов, T-триггер 2, элементы И 3, элемент ИЛИ 4, блок 5 памяти, параллельный сумматор 6, счетчик 7, коммутатор 8, D-триггеры 9 и сумматор 10 по модулю два.

Генератор работает следующим образом.

Сигнал f_T с выхода генератора 1 поступает на вход триггера 2 и элементы И 3. На прямом и инверсном выходах триггера 2 формируются сигналы Q и $\bar{Q}$ формы меандр (фиг. 2), а на выходах элементов И 3 - несовпадающие последовательности импульсов V_1 и V_2 (фиг. 2) с частотой $f_{T/2}$. Каждый импульс сигнала V_1 , поступающий на вход счетчика 7, увеличивает код M на его разрядных выходах, соединенных со входами первого слагаемого параллельного сумматора 6.

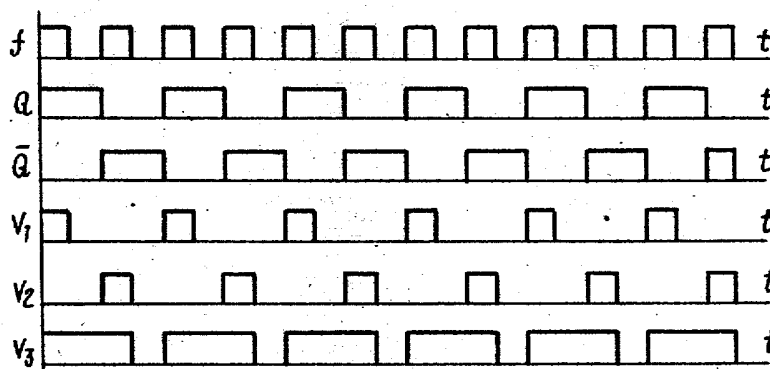
При состоянии Q = 1 коммутатором 8 подключается ко всем входам второго слагаемого кодовый сигнал логического нуля. Сумматор 6 формирует на адресных шинах блока памяти 5 код M, определяющий адрес опрашиваемой ячейки памяти. Элемент ИЛИ, формирующий сигнал $V_3 = Q \vee V_2$, воздействуя на вход управления режимом работы блока 5 памяти, устанавливает блок памяти в режим считывания, и в первый D-триггер 9 сигналом переписывается содержимое ячейки памяти с адресом M. С приходом следующего импульса f_T триггер 2 переходит в состояние Q = 0, ком-

мутатор 8 подключает ко входам второго слагаемого сумматора 6 управляющий кодовый сигнал N . Сумматор 6 формирует на адресных шинах блока 5 памяти, работающего по-прежнему в режиме считывания, код $M + N$, и во второй D-триггер 9 сигналом переписывается содержимое ячейки памяти $M + N$. На входах сумматора по модулю 2 формируется двоичное число, определяемое состоянием D-триггеров 9. По окончании импульса V_2 на выходе элемента ИЛИ 4 формируется сигнал $V_3 = 0$; блок 5 памяти переходит в режим записи, происходит запись числа с выхода сумматора по модулю 2 в ячейку памяти с номером $M + N$.

Во время работы счетчик 7 проходит все K своих возможных состояний, число которых равно объему памяти блока 5 памяти, и число, записанное в каждую i -ячейку памяти, считывается на вход первого D-триггера 9 че-

рез $K - N$ периодов сигнала V_1 , а на вход второго D-триггера 9 - через K периодов. В результате работа, выполняемая блоком 5 памяти, аналогична работе K -разрядного регистра сдвига, охваченного обратной связью через сумматор по модулю 2, подключенный своими входами к последнему (k -му), и $K - N$ -му разрядам регистра. За счет изменения регулирующей кодовой комбинации на входах коммутатора 8 может быть изменен номер разряда эквивалентного регистра сдвига, к которому подключен полусумматор.

Таким образом, генератор псевдослучайной последовательности позволяет получить все возможные последовательности при выбранном объеме памяти. При этом изменение длины генерируемой последовательности не связано с изменением схемы устройства и увеличением аппаратных затрат.



Фиг. 2

Составитель А. Карасов
 Редактор Н. Егорова Техред К. Мыцьо Корректор С. Шекмар
 Заказ 3006/58 Тираж 704 Подписное
 ВНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5
 филиал ППП "Патент", г. Ужгород, ул. Проектная, 4