

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 23/498 (2006.01)

H05K 1/02 (2006.01)



[12] 发明专利说明书

专利号 ZL 200610101808.4

[45] 授权公告日 2008 年 12 月 17 日

[11] 授权公告号 CN 100444373C

[22] 申请日 2006.7.11

[21] 申请号 200610101808.4

[30] 优先权

[32] 2005.10.10 [33] KR [31] 10-2005-0095027

[73] 专利权人 三星电机株式会社

地址 韩国京畿道水原市灵通区梅滩 3 洞
314

[72] 发明人 崔奉洛

[56] 参考文献

CN1551338 A 2004.12.1

JP9-115946 A 1997.5.2

JP2003-243438A 2003.8.29

JP2000-216195 A 2000.8.4

JP11-284032 A 1999.10.15

审查员 夏瑞临

[74] 专利代理机构 北京铭硕知识产权代理有限公司

代理人 郭鸿禧 冯 敏

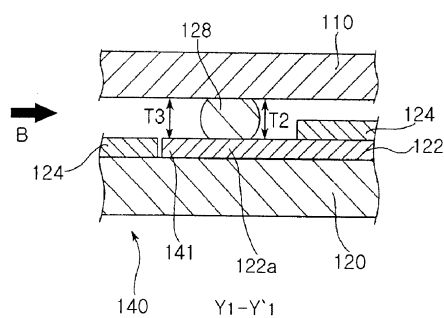
权利要求书 2 页 说明书 8 页 附图 7 页

[54] 发明名称

无空隙电路板和具有该电路板的半导体封装

[57] 摘要

本发明提供了一种无空隙电路板和具有该无空隙电路板的半导体封装，该无空隙电路板包括：保护层，覆盖和保护形成在基底上表面上的电极图案。保护层涂覆在设置在电极图案上的焊料球的周围除了紧靠焊料球的附近之外，从而形成开口。该无空隙电路板还包括至少一个间隙补偿部分，间隙补偿部分包括突起，突起在电极图案之前与向开口注入的底部填充材料接触。突起的厚度与暴露在开口中的电极图案的部分的厚度相同。这防止了在底部填充材料的注入期间由于不均匀的毛细管作用而导致的其中捕获有空气的空隙。



1、一种无空隙电路板，包括：

保护层，覆盖和保护形成在基底上表面上的电极图案，其中，所述保护层被涂覆在设置在所述电极图案上的焊料球周围，除了紧靠所述焊料球的附近之外，从而形成开口；

至少一个间隙补偿部分，包括突起，所述突起在所述电极图案之前与向所述开口注入的底部填充材料接触，所述突起的厚度与暴露在所述开口中的电极图案的部分的厚度相同，

其中，所述间隙补偿部分的所述突起从所述电极图案延伸，所述突起的前端与所述保护层的内边接触。

2、如权利要求1所述的无空隙电路板，其中，所述间隙补偿部分的宽度与暴露在所述开口中的电极图案的部分的宽度相同。

3、根据权利要求1所述的无空隙电路板，其中，所述间隙补偿部分以所述焊料球为基准从所述电极图案转向至少90度。

4、根据权利要求1所述的无空隙电路板，其中，所述突起由与所述电极图案的材料相同的材料制成，并在所述电极图案的制造过程中形成。

5、一种倒装芯片半导体封装，包括：

至少一个半导体芯片；

基底，具有通过焊料球安装在其上的所述半导体芯片，电极图案形成在所述基底上，保护层被涂覆在设置在所述电极图案上的所述焊料球周围，除了紧靠所述焊料球的附近外，从而形成开口；

底部填充部分，由通过间隙注入的底部填充材料形成，所述间隙形成在所述半导体芯片和所述基底之间；

至少一个间隙补偿部分，包括突起，所述突起在所述电极图案之前与向所述开口注入的底部填充材料接触，所述突起的厚度与暴露在所述开口中的电极图案的部分的厚度相同，

其中，所述间隙补偿部分的所述突起从位于所述基底上的所述电极图案延伸，所述突起的前端与所述保护层的内边接触。

6、根据权利要求5所述的倒装芯片半导体封装，其中，所述间隙补偿部分的宽度与暴露在所述开口中的电极图案的部分的宽度相同。

7、根据权利要求5所述的倒装芯片半导体封装，其中，所述间隙补偿部分的厚度与暴露在所述开口中的电极图案的厚度相同。

8、根据权利要求5所述的倒装芯片半导体封装，其中，所述间隙补偿部分以所述焊料球为基准从所述电极图案转向至少90度。

9、根据权利要求5所述的倒装芯片半导体封装，其中，所述突起由与所述电极图案的材料相同的材料制成，并在所述电极图案的制造过程中形成。

无空隙电路板和具有该电路板的半导体封装

本申请要求于2005年10月10日在韩国知识产权局提交的第2005-95027号韩国专利申请的利益，其公开通过引用包含于此。

技术领域

本发明涉及一种无空隙(void-free)电路板和具有该无空隙电路板的半导体封装。更具体地讲，本发明涉及一种无空隙电路板及具有该无空隙电路板的封装，该无空隙电路板能够防止在将底部填充(underfill)材料注入到间隙的过程中由于半导体芯片和基底之间形成的不均匀间隙造成的不均匀的毛细管作用(capillary action)而导致的其中捕获有空气的空隙，从而防止生产不合格产品，并提高了产品的可靠性。

背景技术

紧凑小型化的电子装置的最新趋势为在半导体封装技术中所需的高速、高端和高密度安装方法。响应于这种需求，已经开发了芯片规格封装中的倒装芯片安装技术。

公知的倒装芯片安装技术包括将未封装的半导体芯片安装在电路板上，从而组装成半导体芯片封装的技术。

图1是示出了传统半导体封装的剖视图。如图所示，电极图案3被形成在电路板2的上表面上的信号线，阻焊保护层4以预定的厚度形成在电路板2的上方。

保护层4不形成在紧靠电极图案3的连接端3a(见图2)的附近，从而形成开口6，开口6暴露电极图案3的连接端3a和连接端3a周围的电路板2的上表面。

焊料球(solder ball)7在与形成在半导体芯片1的底面上的电极端(未示出)对应的位置被放置在电极图案3的连接端3a上。半导体芯片1通过焊料球与电路板2电连接。

由于附于半导体芯片1的底面的焊料球的高度，使得如上所述的将半导体

芯片 1 安装在电路板 2 上的过程中在半导体芯片 1 和电路板 2 之间形成间隙。结果，支撑半导体芯片 1 的力量减弱，由于振动产生的应力，导致与焊料球 7 接触的部分会被损坏。

因此，由绝缘树脂制成的底部填充材料通过配料器 (dispenser) (未示出) 被注入到半导体芯片 1 和电路板 2 之间，并被固化以形成支撑半导体芯片 1 的底部填充部分 8，从而完成倒装芯片封装 10。

然而，如图 2A 中所示，由于以与电极图案 3 相对或不同的方向来注入底部填充材料以形成底部填充部分 8，所以半导体芯片 1 和电路板 2 之间的间隙不均匀，这导致了空隙，在空隙中空气填充开口 6，如图 2B 中所示。

即，在开口 6 中半导体芯片 1 和电路板 2 之间的间隙 T1 大于在开口 6 中暴露的电极图案 3 与半导体芯片 1 之间的间隙 T2，因此，在底部填充材料的注入过程中，在间隙 T1 中毛细管作用较少生效。结果，底部填充材料移动通过间隙 T1 的流速相对小于底部填充材料移动通过较窄间隙 T2 的流速。

在这种情况下，如图 2A 中所示，在方向 B 上被注入在半导体芯片 1 和电路板 2 之间的底部填充材料沿着以虚线描绘的方向 C 流动，从而填补开口 6 与半导体芯片 1 之间的空间，其中，底部填充材料在间隙 T1 中的流速比间隙 T2 中的流速慢。结果，到达焊料球 7 外表面的底部填充材料捕获空气，从而形成空隙 V。

在可靠性测试、质量测试或制造过程中，在至少 200 摄氏度的高温下对底部填充部分 8 加热的过程中，形成在底部填充部分 8 中的间隙 V 膨胀并爆炸，从而降低了产品的可靠性，其中，间隙 V 的膨胀和爆炸是生产出不合格产品的主要因素。

发明内容

本发明致力于解决现有技术的上述问题，因此，本发明的特定实施例的目的在于提供一种无空隙电路板，其能够防止在将底部填充材料注入在半导体芯片和基底之间的过程中由于不均匀的毛细管作用而导致的其中捕获有空气的空隙的形成。

本发明特定实施例的另一目的在于提供一种半导体封装，其防止在将底部填充材料注入在半导体芯片和基底之间的过程中由于不均匀的毛细管作用而导致的其中捕获有空气的空隙的形成，从而防止生产出不合格产品，并提

高了产品的可靠性。

根据用于实现该目的的本发明的一方面，提供了一种无空隙电路板，该无空隙电路板包括：保护层，覆盖和保护形成在基底上表面上的电极图案，其中，保护层被涂覆在设置在电极图案上的焊料球的周围，除了紧靠焊料球的附近外，从而形成开口；至少一个间隙补偿部分，包括突起，该突起在电极图案之前与向开口注入的底部填充材料接触，该突起的厚度与暴露在开口中的电极图案的部分的厚度基本相同。

优选地，间隙补偿部分的宽度与暴露在开口中的电极图案的部分的宽度基本相同。

优选地，间隙补偿部分以焊料球为基准从电极图案转向至少 90 度。

优选地，间隙补偿部分的突起从电极图案延伸。

优选地，间隙补偿部分的突起由与电极图案的材料相同的材料制成，并在电极图案的制造过程中形成。

优选地，间隙补偿部分的突起的前端与保护层的内边接触。

优选地，间隙补偿部分的突起从保护层向焊料球延伸。

优选地，间隙补偿部分的突起由与保护层的材料相同的材料制成，并在保护层被涂覆时形成。

优选地，间隙补偿部分的突起的前端向焊料球的外表面的附近延伸。

优选地，间隙补偿部分的突起被单独地设置，既没有与电极图案接触的一端也没有与保护层接触的另一端。

优选地，间隙补偿部分的突起由与电极图案的材料相同的材料制成，并在电极图案的制造过程中形成。

优选地，间隙补偿部分的突起由与保护层的材料相同的材料制成，并在保护层被涂覆时形成。

根据用于实现该目的的本发明的另一发明，提供了一种倒装芯片半导体封装，其包括：至少一个半导体芯片；基底，具有通过焊料球安装在其上的半导体芯片，电极图案形成在基底上，保护层被涂覆在设置在电极图案上的焊料球周围，除了紧靠焊料球的附近外，从而形成开口；底部填充部分，由通过间隙注入的底部填充材料形成，间隙形成在半导体芯片和基底之间；至少一个间隙补偿部分，包括突起，突起在电极图案之前与向开口注入的底部填充材料接触，突起的厚度与暴露在开口中的电极图案的部分的厚度相同。

优选地，间隙补偿部分的宽度与暴露在开口中的电极图案的部分的宽度相同。

优选地，间隙补偿部分的厚度与暴露在开口中的电极图案的部分的厚度相同。

优选地，间隙补偿部分以焊料球为基准从电极图案转向至少 90 度。

优选地，间隙补偿部分的突起从位于基底上的电极图案延伸。

优选地，间隙补偿部分的突起由与电极图案的材料相同的材料制成，并在电极图案的制造过程中形成。

优选地，间隙补偿部分的突起的前端与保护层的内边接触。

优选地，间隙补偿部分的突起从保护层向焊料球延伸。

优选地，间隙补偿部分的突起由与保护层的材料相同的材料制成，并在保护层被涂覆时形成。

优选地，间隙补偿部分的突起的前端向焊料球的外表面的附近延伸。

优选地，间隙补偿部分的突起被单独地设置在基底上，既不具有与电极图案接触的一端也不具有与保护层接触的另一端。

优选地，间隙补偿部分的突起由与电极图案的材料相同的材料制成，并在电极图案的制造过程中形成。

优选地，间隙补偿部分的突起由与保护层的材料相同的材料制成，并在保护层被涂覆时形成。

优选地，间隙补偿部分的突起从半导体的下表面向着基底向下突起。

附图说明

从下面结合附图的详细描述中，本发明的以上和其它目的、特征和其它优点将变得更容易理解，在附图中：

图 1 是示出了传统的倒装芯片半导体封装的局部剖视图；

图 2A 是示出了图 1 中示出的传统半导体封装的主要部分的局部平面图；

图 2B 是沿着图 2A 中的 Y-Y' 截取的局部剖视图；

图 3 是示出了根据本发明第一实施例的倒装芯片半导体封装的局部剖视图；

图 4A 和图 4B 示出了根据本发明第一实施例的倒装芯片半导体封装，其中图 4A 是主要部分的平面图，图 4B 是沿着图 4A 中的线 Y1-Y1' 截取的局部

剖视图;

图 5A 和图 5B 示出了根据本发明第二实施例的倒装芯片半导体封装, 其中, 图 5A 是主要部分的平面图, 图 5B 是沿着图 5A 中的线 Y2-Y2' 截取的局部剖视图;

图 6A 和图 6B 示出了根据本发明第三实施例的倒装芯片半导体封装, 其中, 图 6A 是主要部分的平面图, 图 6B 是沿着图 6A 中的线 Y3-Y3' 截取的局部剖视图;

图 7 是示出了根据本发明第四实施例的倒装芯片半导体封装的局部剖视图。

具体实施方式

现在将参照附图来详细描述本发明的优选实施例。

图 3 是示出了根据本发明第一实施例的倒装芯片半导体封装的剖视图, 图 4A 是示出了其主要部分的局部平面图, 图 4B 是示出了其主要部分的局部剖视图。

如图 3、图 4A 和图 4B 中所示, 倒装芯片半导体封装 100 包括半导体芯片 110、基底 120、底部填充部分 130 和间隙补偿部分 140。

半导体芯片 110 由通过焊料球 125 倒装芯片地结合到基底 120 上表面上的至少一种有源芯片组件组成。

根据在基底 120 上表面上预先设计的图案, 基底 120 具有用导电材料比如 Cu 或 Ni 印刷或层压的电极图案 122。

对应于形成在半导体芯片 110 底面上的电极端 (未示出), 电极图案 122 在其端部具有连接端 122a。

阻焊保护层 124 被以预定的厚度涂覆在形成在基底 120 上表面上的电极图案 122 上, 以在电镀或焊接过程中保护电极图案 122 和基底 120。

保护层 124 没有涂覆在电极图案 122 的连接端 122a 的附近以形成开口 126, 从而暴露连接端 122a 和围绕连接端 122a 的基底 120 上表面的部分。

在这里, 优选地, 阻焊保护层 124 由绝缘材料比如环氧树脂 (epoxy) 制成, 以在电镀或焊接过程中用作掩模或绝缘层。

在图中, 开口 126 被示出为环绕焊料球 128 的环形, 但这不限制本发明, 并且根据基底 120 的设计条件可进行各种更改。

此外，在基底 120 上靠近半导体芯片 110 可安装无源元件（未示出）比如电容器、电感器和电阻器。

为了防止由于基底 120 和半导体芯片 110 之间的间隙导致的支撑半导体芯片 110 的力量减弱，并加强与焊料球 128 接触的部分，利用配料器（未示出）通过间隙注入由绝缘树脂制成的液态底部填充材料，从而通过毛细管作用来填充间隙。底部填充材料被固化，从而形成底部填充部分 130，以支撑半导体芯片 110。

同时，在开口 126 中设置至少一个间隙补偿部分 140，以防止在注入底部填充材料期间由于半导体芯片 110 和基底 120 之间的不均匀间隙造成的不均匀毛细管作用导致的空隙的形成，其中，开口 126 暴露基底 120 上表面的部分和电极图案 122 的部分。

设置这种间隙补偿部分 140 以基本上使间隙 T2 和间隙 T3 相等，其中，间隙 T2 在半导体芯片 110 和电极图案 122 之间，间隙 T3 在半导体芯片 110 和开口 126 的部分之间，当底部填充材料注入到半导体芯片 110 和基底 120 之间时，所述间隙补偿部分 140 的部分在电极图案 122 之前与底部填充材料接触。

为了达到上述目的，在开口 126 中的间隙补偿部分 140 的部分的厚度与电极图案 122 的在开口 126 中暴露的部分的厚度相同。

采用上述的结构，相对于底部填充材料的注入方向 B，半导体芯片 110 和基底 120 之间的间隙变得大致均匀。因此，通过毛细管作用注入的底部填充材料的毛细管作用均匀地发生在间隙补偿部分 140 和保护层 124，从而使得底部填充材料的流速均匀。

优选地，间隙补偿部分 140 以焊料球 128 为基准从电极图案 122 转向至少 90 度。

如图 4A 和 4B 中所示，间隙补偿部分 140 可具有突起 141，突起 141 在基底 120 上从电极图案 122 连续地延伸。

在这里，突起 141 由与电极图案 122 的材料相同的材料制成，并在电极图案 122 的制造过程中同时地形成。

突起 141 可在与底部填充材料的注入方向对应的方向上从电极图案 122 线性延伸，但这不限制本发明。可选择地，突起 141 可以从电极图案 122 延伸，而相对于底部填充材料的注入方向偏斜。

此外，优选地，突起 141 的前端与保护层 124 的内边接触，以有助于底部填充材料通过突起 141 流向焊料球 128，其中，所述保护层的内边形成与开口 126 的边界。

图 5A 是根据本发明第二实施例的倒装芯片半导体封装的主要部分的局部平面图，图 5B 是其局部剖视图。

如图 5A 和 5B 中所示，在开口 126 中的间隙补偿部分 140 可具有突起 142，突起 142 以预定长度在基底 120 上从保护层 124 的内边延伸至焊料球 128，其中，所述保护层 124 的内边形成与开口 126 的边界。

突起 142 由与保护层 124 的材料相同的材料制成，并当保护层 124 被涂覆时可以被一体地形成。优选地，突起 142 的前端延伸至焊料球 128 外表面的附近，以有助于底部填充材料通过突起 142 流向焊料球 128。

图 6A 是示出了根据本发明第三实施例的倒装芯片半导体封装的主要部分的局部平面图，图 6B 是其局部剖视图。

如图 6A 和图 6B 中所示，在开口 126 中的间隙补偿部分 140 具有突起 143，突起 143 被单独设置在基底 120 上，而既没有与电极图案 122 接触的一端又没有与保护层 124 接触的另一端。

在这里，突起 143 可以在形成电极图案 122 的过程中由与电极图案 122 的材料相同的材料制成，或者，可选择地，突起 143 可以在形成保护层 124 的过程中由与保护层 124 的材料相同的材料制成。

此外，在半导体芯片 110 和基底 120 上可形成树脂密封剂（未示出）比如环氧树脂密封剂，以保护它们不受外部环境的影响。

图 7 是示出了根据本发明第四实施例的倒装芯片半导体封装的主要部分的局部剖视图。

如图 7 中所示，在开口 126 中的间隙补偿部分 140 可具有突起 144，突起 144 从半导体芯片 110 的底面向着基底 120 向下突出，而既没有与电极图案 122 接触的一端又没有与保护层 124 接触的另一端。

在这种情况下，优选地，突起 144 向下突出的尺寸使得间隙 T3 与间隙 T2 基本上相等，其中，间隙 T3 在突起 144 与基底 120 之间，间隙 T2 在电极图案 122 与半导体芯片 110 之间。

在具有上述结构的半导体封装 100 中，以预定的厚度将阻焊保护层 124 涂覆在基底 120 上，以在电镀或焊接过程中保护被图案印刷在基底 120 上表面

上的电极图案和基底 120。通过开口 126 暴露其上将被放置焊料球 128 的电极图案 122 的连接端的附近，其中，开口 126 没有被涂覆保护层 124。

因此，焊料球 128 放置在电极图案 122 的连接端 122a 上，半导体芯片 110 通过焊料球 128 与基底 120 电连接。

然后，通过配料器，液态底部填充材料被注入在半导体芯片 110 和基底 120 之间，并被固化从而形成底部填充部分 130，以加大支撑半导体芯片 110 的力量并加强与焊料球 128 接触的部分。

如图 4A 和 4B 中所示，间隙补偿部分 140 具有突起 141，突起 141 从电极图案 122 延伸，从而在将底部填充材料注入在半导体芯片 110 和基底 120 之间的过程中，关于底部填充材料的注入方向 B，突起 141 首先与底部填充材料接触。因此，突起 141 和半导体芯片 110 之间的间隙 T3 变得与电极图案 122 和半导体芯片 110 之间的间隙 T2 基本上相同。

这里，间隙补偿部分 140 可具有从电极图案 122 延伸的突起 141，但这不限制本发明。可选择地，如图 5A 和 5B 中所示，间隙补偿部分 140 可具有从保护层 124 延伸的突起 142，或者如图 6A 和 6B 中所示，间隙补偿部分 140 可具有一端与电极图案 122 分隔且另一端与保护层 124 分隔的突起 143。此外，如图 7 中所示，间隙补偿部分 140 可具有从半导体芯片 110 的底面向下突出的突起 144。

采用上述的结构，底部填充材料通过间隙补偿部分 140 流向焊料球 128 的流速，变得与通过保护层 124 流向开口 126 附近的流速基本上相同。

因此，底部填充材料到达焊料球 128 的外表面，从而填补开口 126，而不形成通过捕获空气形成的空隙 V，从而有助于注入底部填充材料以填补半导体芯片 110 和基底 120 之间的空间的过程。

根据以上提出的本发明，在开口中设置间隙补偿部分，以使半导体芯片和突起的首先与底部填充材料接触的部分之间的间隙，与半导体芯片和电极图案之间的间隙相等。因此，以与通过保护层流向开口附近的流速相同的流速，注入的底部填充材料通过间隙补偿部分流向焊料球，从而填补开口，而不形成其中捕获有空气的空隙。结果，防止生产不合格产品，并提高产品可靠性。

虽然已经结合优选实施例示出和描述了本发明，但是，对于本领域的技术人员，在不脱离由权利要求限定的本发明的精神和范围的情况下可以进行更改和变化将是清楚的。

图 1

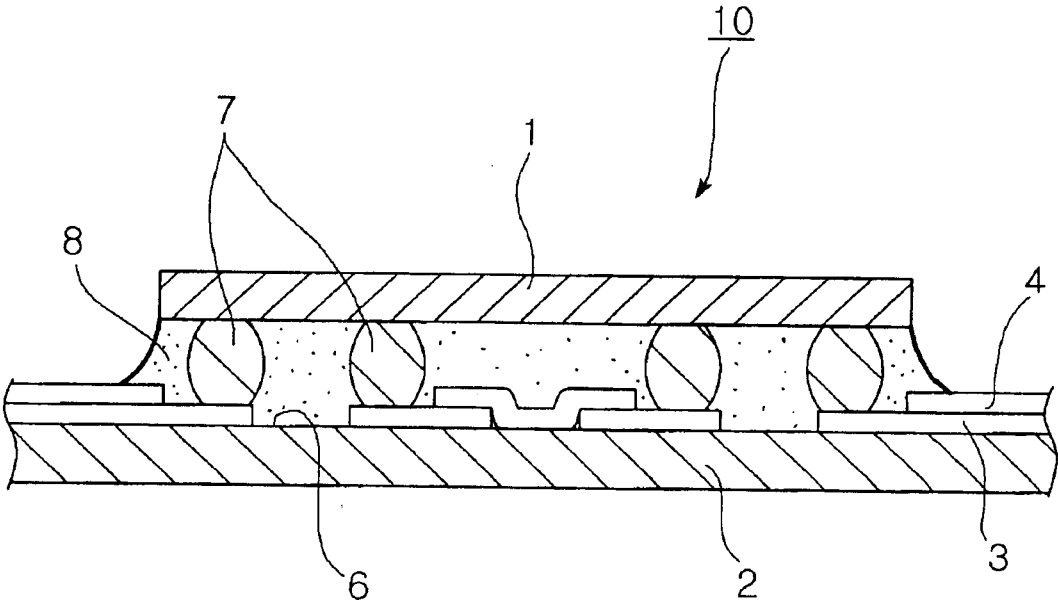


图 2A

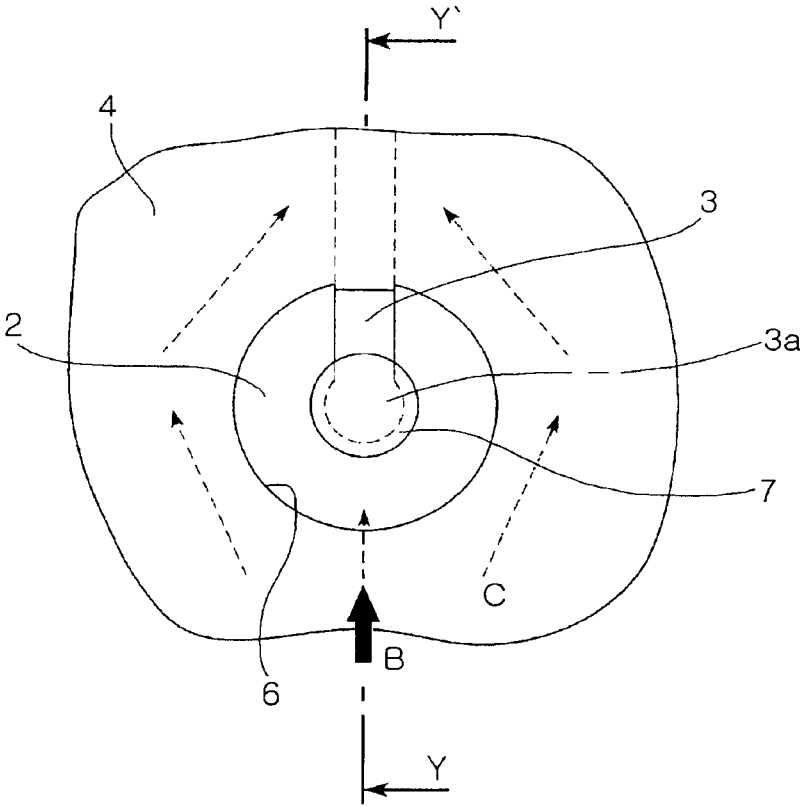
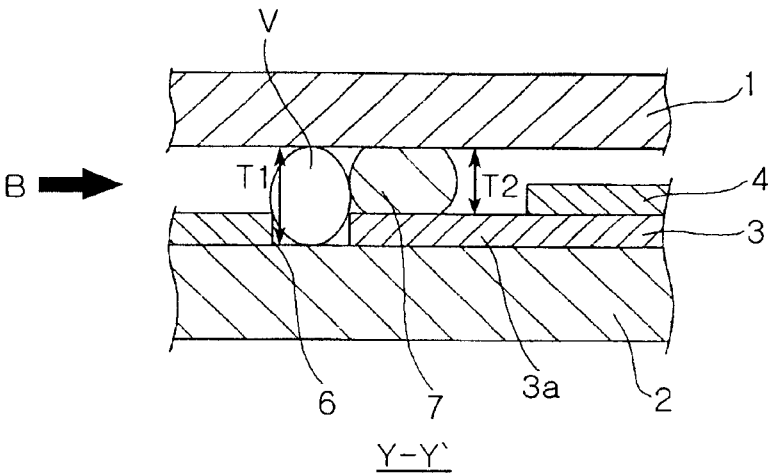


图 2B



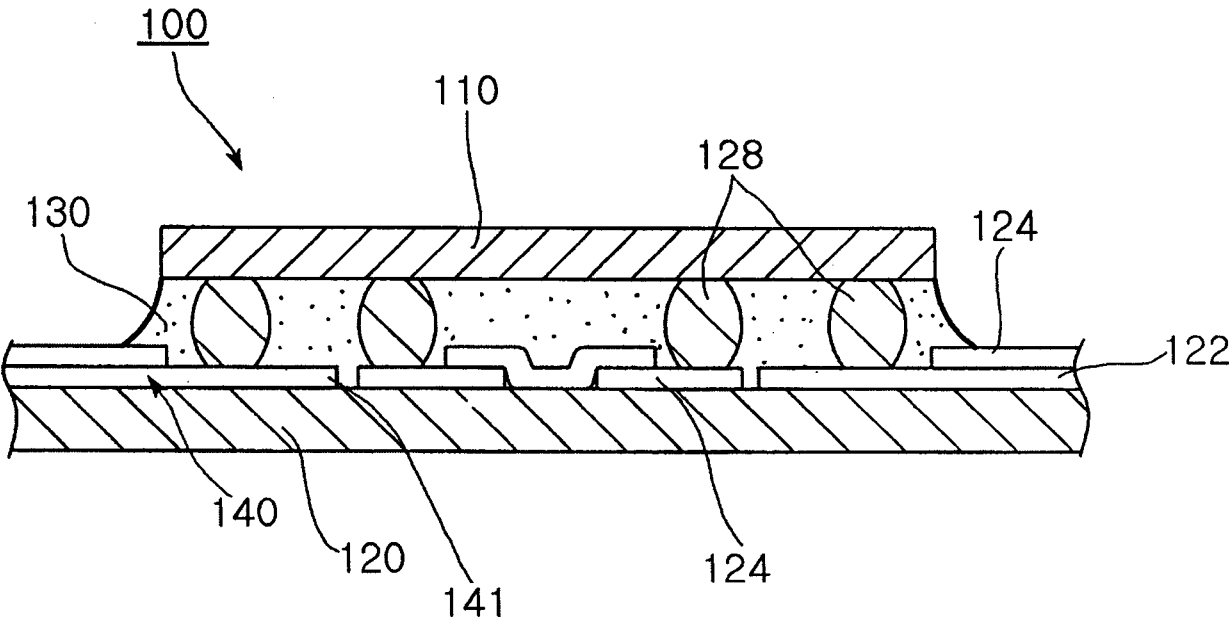


图 3

图 4A

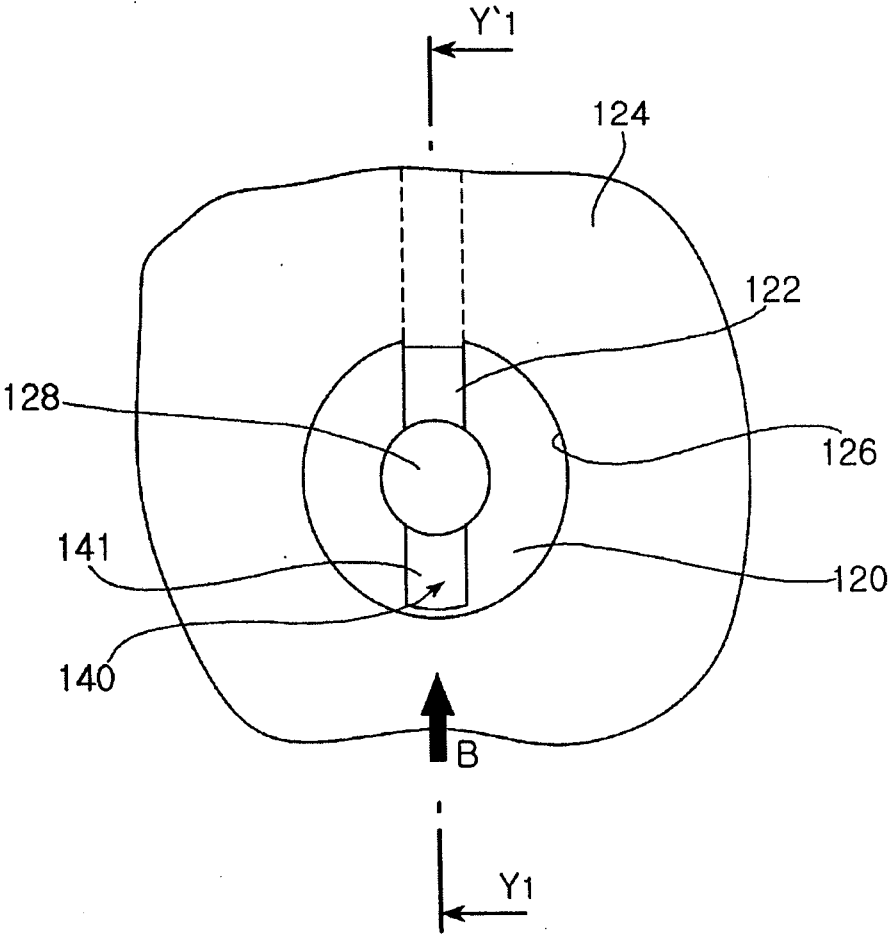
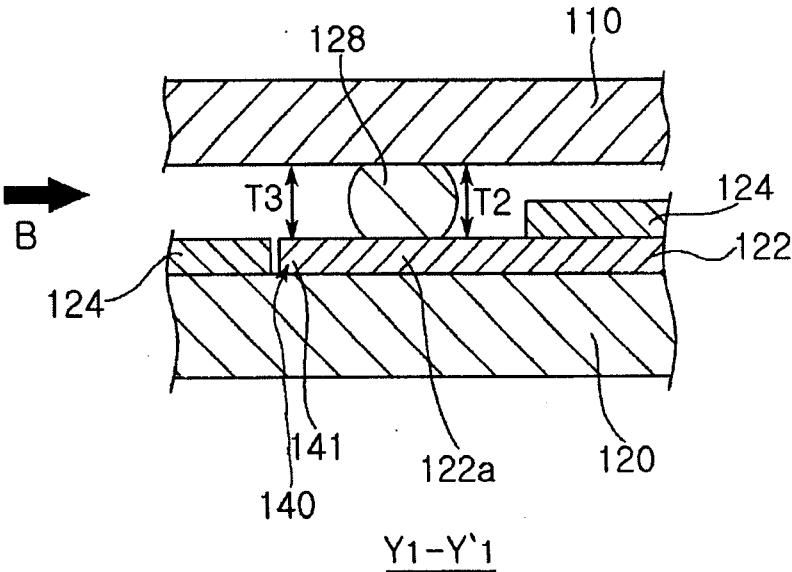


图 4B



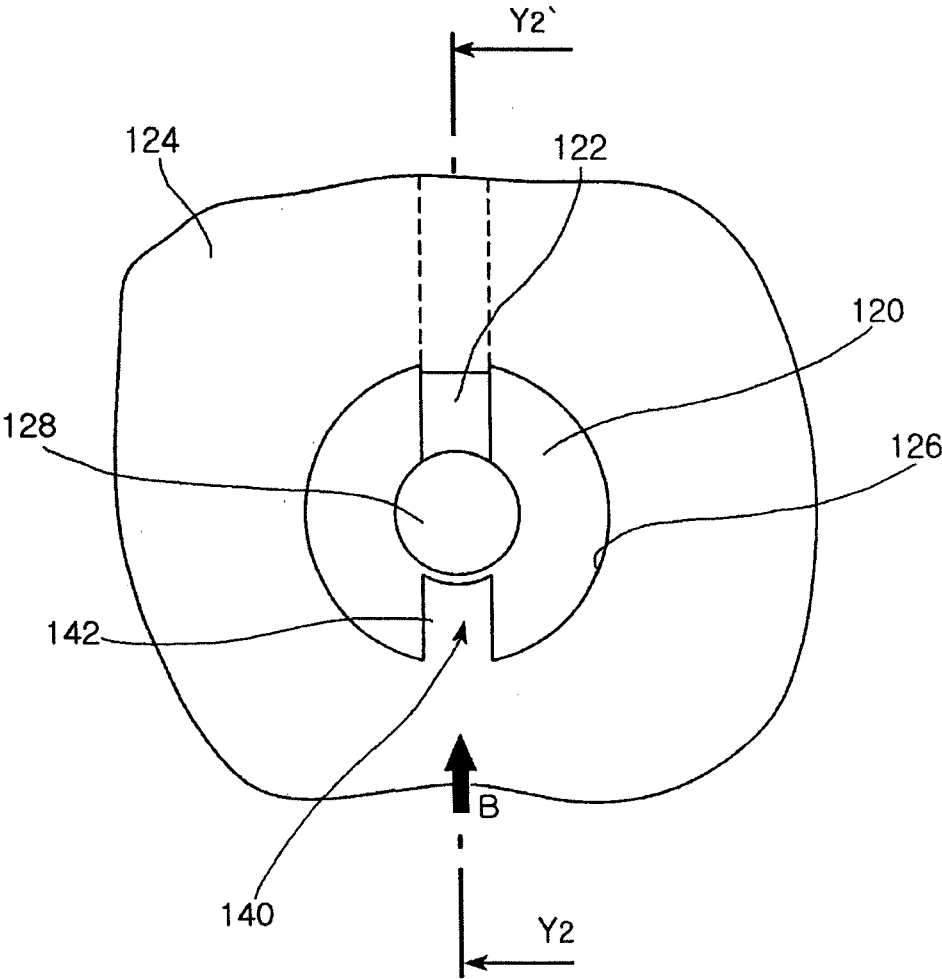


图 5A

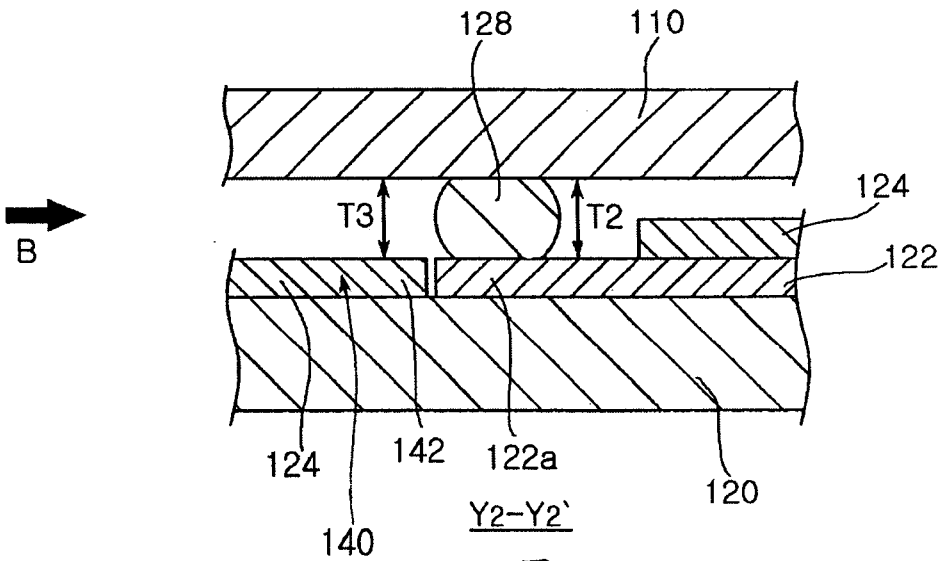


图 5B

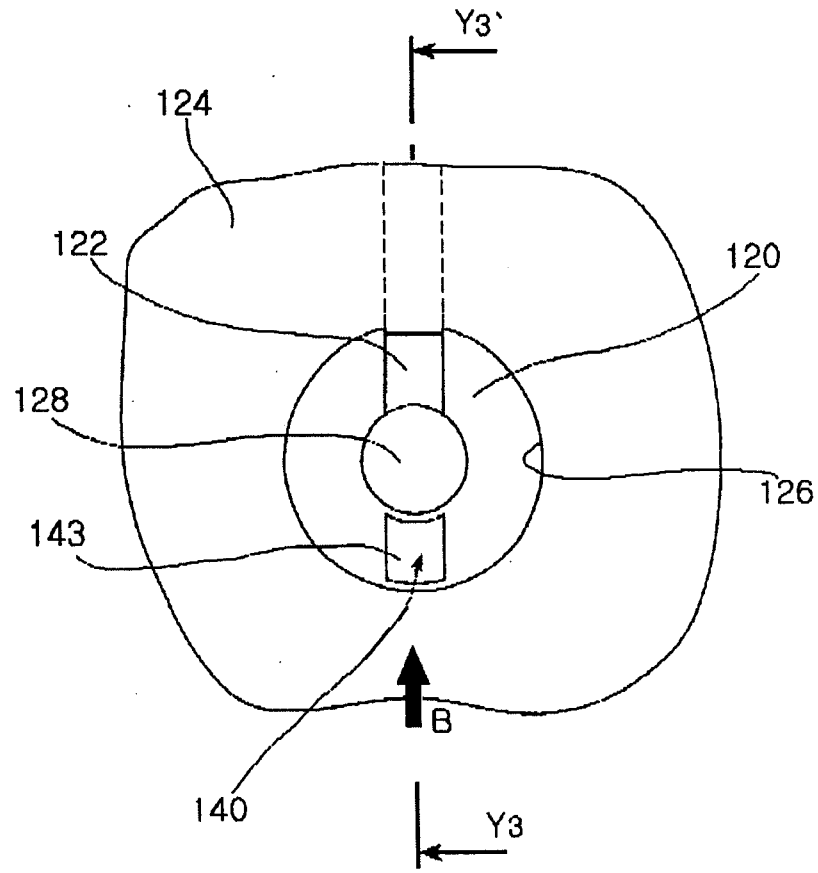


图 6A

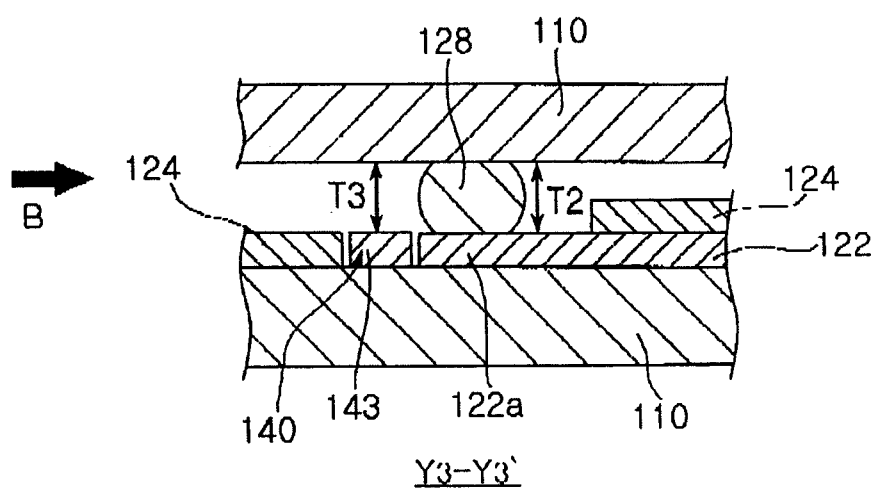


图 6B

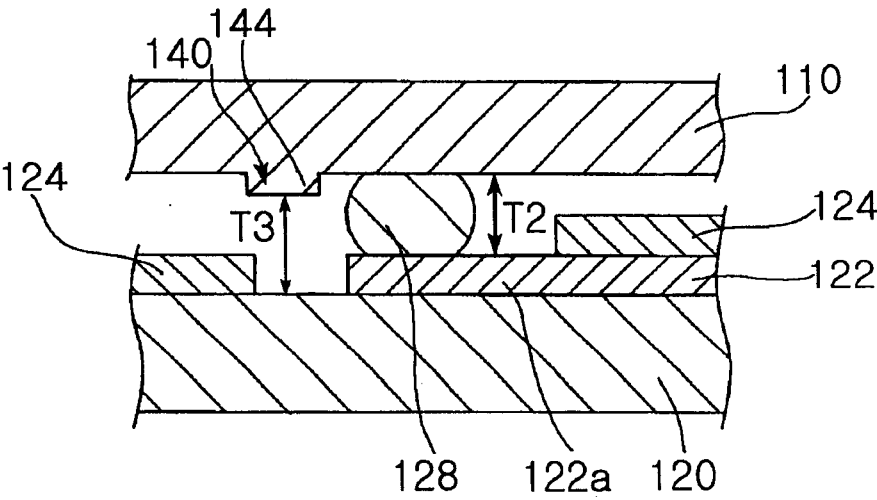


图 7