

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-204548

(P2012-204548A)

(43) 公開日 平成24年10月22日(2012.10.22)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 1 9 A	5 C 0 9 4
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 2 C	5 F 1 1 0
GO 9 F 9/30 (2006.01)	HO 1 L 29/78 6 1 8 B	
	GO 9 F 9/30 3 3 8	

審査請求 未請求 請求項の数 6 O L (全 13 頁)

(21) 出願番号 特願2011-66747 (P2011-66747)
 (22) 出願日 平成23年3月24日 (2011. 3. 24)

(71) 出願人 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100098785
 弁理士 藤島 洋一郎
 (74) 代理人 100109656
 弁理士 三反崎 泰司
 (74) 代理人 100130915
 弁理士 長谷部 政男
 (74) 代理人 100155376
 弁理士 田名網 孝昭
 (72) 発明者 徳永 和彦
 東京都港区港南1丁目7番1号 ソニー株式会社内

最終頁に続く

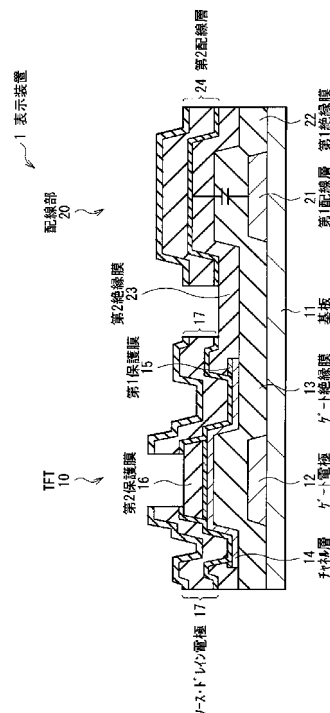
(54) 【発明の名称】 表示装置およびその製造方法

(57) 【要約】

【課題】 TFT の特性劣化を抑制しつつクロス容量を低下することが可能な表示装置およびその製造方法を提供する。

【解決手段】 基板 11 上にゲート電極 12 および第 1 配線層 21 を形成したのち、全面にゲート絶縁膜 13 を形成する。次に、ゲート絶縁膜 13 上に半導体層 14 A を形成したのち、半導体層 14 A 上に第 1 保護膜 15 を形成する。第 1 配線層に対向する領域の半導体層 14 および第 1 保護膜 15 の除去およびその他の領域をエッチングにより加工する。次いで、全面に第 2 保護膜 23 を形成および加工したのち、ソース・ドレイン電極 17 および第 2 配線層 24 を形成する。これにより、チャンネル層 14 表面の損傷が防止されると共に、配線部 20 のクロス容量が低減される。

【選択図】 図 1



【特許請求の範囲】

【請求項 1】

薄膜トランジスタと、配線部とを備え、
 前記薄膜トランジスタは、
 ゲート電極と、
 酸化物半導体を主成分とするチャンネル層と、
 前記ゲート電極とチャンネル層との間に設けられたゲート絶縁膜と、
 前記チャンネル層に接すると共に、前記ゲート電極とは反対側に設けられた第 1 保護膜と、
 前記第 1 保護膜上に設けられた第 2 保護膜と、
 前記チャンネル層に接触し、ソース・ドレイン電極となる一対の電極とを有し、
 前記配線部は、
 第 1 配線と、
 前記第 1 配線に対向する第 2 配線と、
 前記第 1 配線と第 2 配線との間に設けられると共に、前記ゲート絶縁膜に連なる第 1 絶縁膜と前記第 2 保護膜に連なる第 2 絶縁膜との積層構造を有する絶縁層とを有する
 表示装置。

10

【請求項 2】

前記薄膜トランジスタは、前記ゲート電極、ゲート絶縁膜、チャンネル層、第 1 保護膜および第 2 保護膜を基板上にこの順で備えた、請求項 1 に記載の表示装置。

20

【請求項 3】

前記一対の電極は前記チャンネル層上に設けられている、請求項 1 に記載の表示装置。

【請求項 4】

基板上にゲート電極および第 1 配線層を形成する工程と、
 前記ゲート電極上および前記第 1 配線層上にそれぞれゲート絶縁膜および第 1 絶縁膜を形成したのち、前記ゲート絶縁膜および第 1 絶縁膜上に酸化物半導体を主成分とする半導体層を形成する工程と、
 前記半導体層上に第 1 保護膜を形成したのち、前記半導体層および第 1 保護膜をエッチングし加工しゲート電極に対向する領域に、前記第 1 保護膜を積層する酸化物半導体を主成分とするチャンネル層を形成すると共に、少なくとも前記第 1 配線層に対向する領域の前記半導体層および第 1 保護膜を除去する工程と、
 前記第 1 保護膜および前記第 1 絶縁膜上にそれぞれ第 2 保護膜および第 2 絶縁膜を形成したのち、前記第 2 保護膜をエッチングし加工する工程と、
 前記チャンネル層に接するようにソース・ドレインとなる一対の電極を形成すると共に、少なくとも前記第 1 配線層に対向する位置に第 2 配線層を形成する工程と
 を含む表示装置の製造方法。

30

【請求項 5】

前記ゲート絶縁膜および第 1 絶縁膜を同一工程で形成する、請求項 4 に記載の表示装置の製造方法。

【請求項 6】

前記一対の電極および第 2 配線層を同一工程で形成する、請求項 4 に記載の表示装置の製造方法。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、チャンネルとして酸化物半導体層を有する薄膜トランジスタ (Thin Film Transistor; TFT) を備えた表示装置およびその製造方法に関する。

【背景技術】

【0002】

従来、液晶ディスプレイ (Liquid Crystal Display; LCD) では、チャンネル層とソー

50

ス・ドレイン電極とを直接積層したチャンネルエッチ型ボトムゲート構造のTFTが一般的に使用されている。このTFTを用いたLCDでは、LCDの高精細化やフレームレートの増加により、TFTの周辺に形成されている配線間の電気容量（クロス容量）の大きさが問題となっていた。

【0003】

一方、チャンネル層に酸化物半導体を用いたTFTでは、チャンネル領域に保護膜を設けたボトムゲート構造が多く用いられている。酸化物半導体を主成分とするチャンネル層は、製造時に用いられる各種プラズマによる損傷を抑えるための改良がなされている。例えば特許文献1では、チャンネル層を形成したのち、チャンネル層の表面を酸素プラズマによる処理と湿式洗浄を行うことによりチャンネル層の表面部の電気抵抗を増大させている。これにより後続工程でのチャンネル層表面部の損傷の防止および特性劣化の低減が図られている。

10

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2008-205469号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、チャンネル層表面部の損傷は、上記酸素プラズマによる処理および湿式洗浄等だけでは十分に抑えられていない。また、配線部におけるクロス容量の低減については解決されていない。

20

【0006】

本発明はかかる問題点に鑑みてなされたもので、その目的は、TFTの特性劣化を抑制しつつ配線部におけるクロス容量を低下することが可能な表示装置およびその製造方法を提供することにある。

【課題を解決するための手段】

【0007】

本発明による表示装置は、薄膜トランジスタと、配線部とを備え、薄膜トランジスタは、ゲート電極と、酸化物半導体を主成分とするチャンネル層と、ゲート電極とチャンネル層との間に設けられたゲート絶縁膜と、チャンネル層に接すると共に、ゲート電極とは反対側に設けられた第1保護膜と、第1保護膜上に設けられた第2保護膜と、チャンネル層に接触し、ソース・ドレイン電極となる一対の電極とを有し、配線部は、第1配線と、第1配線に対向する第2配線と、第1配線と第2配線との間に設けられると共に、ゲート絶縁膜に連なる第1絶縁膜と前記第2保護膜に連なる第2絶縁膜との積層構造を有する絶縁層とを有するものである。

30

【0008】

本発明による表示装置の製造方法は、以下の工程（要件）を備えている。

(A1) 基板上にゲート電極および第1配線層を形成する工程

(B1) ゲート電極上および第1配線層上にそれぞれゲート絶縁膜および第1絶縁膜を形成したのち、ゲート絶縁膜および第1絶縁膜上に酸化物半導体を主成分とする半導体層を形成する工程

40

(C1) 半導体層上に第1保護膜を形成したのち、半導体層および第1保護膜をエッチングし加工しゲート電極に対向する領域に、第1保護膜を積層する酸化物半導体を主成分とするチャンネル層を形成すると共に、少なくとも第1配線層に対向する領域の半導体層および第1保護膜を除去する工程

(D1) 第1保護膜および第1絶縁膜上にそれぞれ第2保護膜および第2絶縁膜を形成したのち、第2保護膜をエッチングし加工する工程

(E1) チャンネル層に接するようにソース・ドレインとなる一対の電極を形成すると共に、少なくとも第1配線層に対向する位置に第2配線層を形成する工程

【0009】

50

この表示装置およびその製造方法では、TFTにおいてチャンネル層上に第1保護膜を形成することにより、チャンネル層の損傷が防止される。また、配線部において第1絶縁膜上に直接第2絶縁膜を積層することにより、第1配線層と第2配線層との間の膜厚が確保される。

【発明の効果】

【0010】

本発明の表示装置およびその製造方法によれば、TFTを構成するゲート絶縁膜および配線部を構成する第1絶縁膜上に酸化物半導体を主成分とする半導体層を形成したのち、半導体層上に第1保護膜を形成する。続いて、半導体層および第1保護膜を同時にエッチング加工し、少なくとも第1配線層に対向する領域の第1保護膜を除去するようにした。このため、TFTでは、チャンネル層上に設けられた第1保護膜によってチャンネル層の損傷が防止され、薄膜トランジスタの特性劣化が抑制される。また、配線部では第1絶縁膜上に直接第2絶縁膜が積層することにより第1配線層と第2配線層との間の膜厚が確保され、クロス容量を抑えることが可能となる。

10

【図面の簡単な説明】

【0011】

【図1】本発明の一実施の形態に係る表示装置の構成を表す断面図である。

【図2】表示装置の構成例を表すブロック図である。

【図3】図2に示した画素の詳細構成例を表す回路図である。

【図4】図1に示した表示装置の製造方法を工程順に表す断面図である。

20

【図5】比較例に係る表示装置の構成を表す断面図である。

【図6】図5に示した表示装置の製造方法を工程順に表す断面図である。

【図7】実施例および比較例の薄膜トランジスタの電流および電圧の特性図である。

【図8】上記表示装置を含むモジュールの概略構成を表す平面図である。

【図9】上記表示装置の適用例1の外観を表す斜視図である。

【図10】(A)は適用例2の表側から見た外観を表す斜視図であり、(B)は裏側から見た外観を表す斜視図である。

【図11】適用例3の外観を表す斜視図である。

【図12】適用例4の外観を表す斜視図である。

【図13】(A)は適用例5の開いた状態の正面図、(B)はその側面図、(C)は閉じた状態の正面図、(D)は左側面図、(E)は右側面図、(F)は上面図、(G)は下面図である。

30

【発明を実施するための形態】

【0012】

以下、本発明の実施の形態について図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

1. 実施の形態(ボトムゲート型TFTの例)

(1) 表示装置の構成

(1-1) TFT

(1-2) 配線部

(1-3) 表示装置の全体構成

(2) 表示装置の製造方法

2. 表示装置を含むモジュールの構成例

3. 具体的な適用例1~5

40

【0013】

[実施の形態]

(1) 表示装置の構成

図1は本発明の一実施の形態に係る表示装置1の断面構成の一部を表したものである。この表示装置1は基板11上にTFT10および配線部20を有している。TFT10は基板11上にゲート電極12, ゲート絶縁膜13, チャンネル層14, 第1保護膜15, 第

50

2 保護膜 1 6 およびソース・ドレイン電極 1 7 をこの順に備えたものである。配線部 2 0 は基板 1 1 上に第 1 配線層 2 1 , 第 1 絶縁膜 2 2 , 第 2 絶縁膜 2 3 および第 2 配線層 2 4 をこの順に備えたものである。

【 0 0 1 4 】

基板 1 1 は例えばシリコン基板であるが、その他、合成石英、ガラス、金属、樹脂または樹脂フィルムなどの材料からなるものでもよい。

【 0 0 1 5 】

(1 - 1) T F T の構成

ゲート電極 1 2 は、T F T 1 0 に印加されるゲート電圧によりチャネル層 1 4 中の電子密度を制御するものであり、例えば、厚みが 1 0 0 n m のモリブデン (M o) の単層、または厚みが 5 0 n m の M o 層と、厚みが 4 0 0 n m のアルミニウム (A l) 層またはアルミニウム合金層とを積層した 2 層構造を有している。アルミニウム合金層としては、例えばアルミニウム - ネオジム合金層が挙げられる。

10

【 0 0 1 6 】

ゲート絶縁膜 1 3 は、例えばシリコン (S i) を含む絶縁膜材料から構成されている。このゲート絶縁膜 1 3 はゲート電極 1 2 を覆うものであり、例えばゲート電極 1 2 上を含む基板 1 1 の表面全体に渡って形成されている。

【 0 0 1 7 】

チャネル層 1 4 は導電性の酸化物半導体、例えば酸化亜鉛 (Z n O) , 酸化インジウムスズ (Indium Tin Oxide ; I T O) , I n - M - Z n - O (M は G a , A l , F e , S n のうち少なくとも 1 種) などを主成分として含む酸化物半導体層である。

20

【 0 0 1 8 】

第 1 保護膜 1 5 は絶縁膜材料、例えば S i O ₂ 等の酸化物を主成分として構成されたものである。なお、第 1 保護膜 1 5 に用いられる材料はこれに限らず、酸化アルミニウム (A l ₂ O ₃) を主成分として構成してもよい。第 1 保護膜 1 5 は、チャネル層 1 4 を保護するためのものであり、チャネル層 1 4 の成膜直後に形成することで、製造時に用いられる各種プラズマによるチャネル層 1 4 の表面の損傷を防ぐことができる。第 1 保護膜の膜厚は、1 0 n m 以上 5 0 0 n m 以下の範囲が好ましい。1 0 n m 未満であればチャネル層 1 4 を保護する能力が低下し、5 0 0 n m より厚くなると、必要以上にエッチングのプロセス時間が長くなるからであり、より好ましくは 5 0 n m 以上 3 0 0 n m 以下の範囲である。

30

【 0 0 1 9 】

第 2 保護膜 1 6 はゲート電極 1 3 と対向する領域に設けられている。第 2 保護膜は第 1 保護膜と同様に、絶縁膜材料、例えば S i O ₂ 等の酸化物を主成分として構成されている。具体的には、例えば窒化シリコンと酸化シリコンとの積層構造 (S i N / S i O ₂) または酸化アルミニウムと酸化シリコンとの積層構造 (A l ₂ O ₃ / S i O ₂) が挙げられる。第 2 保護膜 1 6 の膜厚は、1 0 n m 以上 5 0 0 n m 以下の範囲が好ましく、より好ましくは 5 0 n m 以上 3 0 0 n m 以下の範囲である。

【 0 0 2 0 】

ソース・ドレイン電極 1 7 は、第 2 保護膜 1 6 の表面から第 1 保護膜 1 5 の側面を介してチャネル層 1 4 の表面に設けられている。ソース・ドレイン電極 1 7 は、例えば M o , A l , チタン (T i) 等の金属あるいはそれらの多層膜によって構成されている。

40

【 0 0 2 1 】

第 2 保護膜 1 6 およびソース・ドレイン電極 1 7 上には、例えば上記第 1 保護膜 1 5 あるいは第 2 保護膜 1 6 と同一材料よりなる保護膜 (図示せず) が設けられている。

【 0 0 2 2 】

(1 - 2) 配線部

第 1 配線層 2 1 および第 2 配線層 2 4 は所定の信号を伝達するためのものであり、例えば T F T 1 0 を制御する信号線 D T L および走査線 W S L (共に図 2 参照) 等である。第 1 配線層 2 1 は上記ゲート電極 1 3 と同一材料および同一工程において形成されている。

50

第 2 配線層 2 4 はソース・ドレイン電極 1 7 と同一材料および同一工程において形成されている。

【 0 0 2 3 】

第 1 絶縁膜 2 2 および第 2 絶縁膜 2 3 は、第 1 配線層 2 1 と第 2 配線層 2 4 との間における短絡を防ぐためのものである。第 1 絶縁膜 2 2 および第 2 絶縁膜 2 3 はそれぞれ上記ゲート絶縁膜 1 3 および第 2 保護膜 1 4 と同一材料および同一工程において形成されており、第 2 絶縁膜 2 3 は第 1 絶縁膜 2 2 上に直接積層された構成を有している。

【 0 0 2 4 】

(1 - 3) 表示素子の全体構成

次に、上記 T F T 1 0 および配線部 2 0 を備えた表示装置の一例を、図 2 を用いて説明する。図 2 は極薄型の有機発光カラーディスプレイとして用いられる表示装置 1 の構成を表したものである。この表示装置 1 は、例えば、T F T 1 0 を備えた基板 1 1 に、表示素子として複数の有機発光素子よりなる画素 P X L C がマトリクス状に配置されてなる表示領域 1 1 0 を有する。この表示領域 3 0 の周辺には、信号部である水平セクタ (H S E L) 3 1 と、スキャナ部であるライトスキャナ (W S C N) 3 2 および電源スキャナ (D S C N) 3 3 とが形成されている。

10

【 0 0 2 5 】

表示領域 3 0 において、列方向には信号線 D T L 1 ~ D T L n が配置され、行方向には走査線 W S L 1 ~ W S L m および電源ライン D S L 1 ~ D S L m が配置されている。各信号線 D T L と各走査線 W S L との交差点に、有機発光素子 P X L C (赤色、青色および緑色のいずれか一つ (サブピクセル)) を含む画素回路 4 0 が設けられている。各信号線 D T L は、水平セクタ 3 1 に接続され、この水平セクタ 3 1 から信号線 D T L に映像信号が供給される。各走査線 W S L は、ライトスキャナ 3 2 に接続されている。各電源ライン D S L は、電源スキャナ 3 3 に接続されている。

20

【 0 0 2 6 】

図 3 は、画素回路 4 0 の一例を表したものである。画素回路 4 0 は、サンプリング用トランジスタ 3 A および駆動用トランジスタ 3 B と、保持容量 3 C と、有機発光素子 P X L C よりなる発光素子 3 D とを有するアクティブ型の駆動回路である。これらトランジスタ 3 A , 3 B は上記本発明の薄膜トランジスタにより構成されている。

【 0 0 2 7 】

サンプリング用トランジスタ 3 A は、そのゲートが対応する走査線 W S L 1 に接続され、そのソースおよびドレインの一方が対応する信号線 D T L 1 に接続され、他方が駆動用トランジスタ 3 B のゲート g に接続されている。駆動用トランジスタ 3 B は、そのドレイン d が対応する電源線 D S L 1 に接続され、ソース s が発光素子 3 D のアノードに接続されている。発光素子 3 D のカソードは接地配線 3 H に接続されている。なお、この接地配線 3 H は全ての画素 P X L C に対して共通に配線されている。保持容量 3 C は駆動用トランジスタ 3 B のソース s とゲート g との間に接続されている。

30

【 0 0 2 8 】

サンプリング用トランジスタ 3 A は、走査線 W S L 1 から供給される制御信号に応じて導通し、信号線 D T L 1 から供給された映像信号の信号電位をサンプリングして保持容量 3 C に保持するものである。駆動用トランジスタ 3 B は、第 1 電位にある電源線 D S L 1 から電流の供給を受け、保持容量 3 C に保持された信号電位に応じて駆動電流を発光素子 3 D に供給するものである。発光素子 3 D は、供給された駆動電流により、映像信号の信号電位に応じた輝度で発光するようになっている。

40

【 0 0 2 9 】

この表示装置 1 では、走査線 W S L から供給される制御信号に応じてサンプリング用トランジスタ 3 A が導通し、信号線 D T L から供給された映像信号の信号電位がサンプリングされて保持容量 3 C に保持される。また、第 1 電位にある電源線 D S L から駆動用トランジスタ 3 B に電流が供給され、保持容量 3 C に保持された信号電位に応じて、駆動電流が発光素子 3 D (赤色、青色および緑色の各有機発光素子) に供給される。各発光素子 3

50

Dは供給された駆動電流により映像信号の信号電位に応じた輝度で発光する。

【0030】

この表示装置1は、例えば次のようにして製造することができる。

【0031】

(製造方法)

まず、図4(A)に示したように、ガラスよりなる基板11上に、例えばスパッタ法により、例えばモリブデン(Mo)層を成膜した後、フォトリソグラフィおよびドライエッチングによりゲート電極12および第1配線層21を形成する。続いて、例えば、基板11の全面に例えばプラズマCVD(Chemical Vapor Deposition; 化学気相成長)法により厚さ200nmのSiO_xを成膜しゲート絶縁膜13および第1絶縁層22を形成する

10

【0032】

次に、図4(B)に示したように、真空中において例えば、In-Ga-Znの酸化物ターゲットを用いたスパッタ法により半導体層14Aを成膜する。続いて、第1保護膜15としてCVD法により厚さ20nmのSiO_xを成膜したのち、フォトリソグラフィおよび例えば希フッ酸系溶液を用いたエッチングにより第1保護膜15と共に半導体層14Aを加工し、ゲート電極13に対向する領域にチャンネル層14を形成する。

【0033】

続いて、図4(C)に示したように、第1絶縁膜15およびゲート絶縁膜13の全面に例えばプラズマCVD法により厚さ200nmのSiO_xを成膜し第2保護膜16および第2絶縁膜23を形成する。

20

【0034】

次に、図4(D)に示したように、例えばフォトリソグラフィによるレジストのパターニングとドライエッチングによりチャンネル層14と次の工程において形成するソース・ドレイン電極17とのコンタクト領域を形成する。具体的には、CF₄系ガスを用いることにより第1保護膜15および第2保護膜16を同時に所定の形状に加工する。

【0035】

続いて、例えばスパッタ法を用いてTi/Al/Moをそれぞれ50nm, 900nm, 50nmの膜厚で成膜し、例えば酸素添加のCl₂CF₄ガスによるドライエッチングによりソース・ドレイン電極17および第2配線層24を形成する。これにより、配線部20が形成される。最後に、チャンネル層14中の酸素欠損をなくすために熱処理を行う。具体的には、例えば窒素および酸素の雰囲気下、酸素濃度約40%、温度300度、2時間の熱処理を行うことでTF₁₀形成される。以上により本実施の形態の表示装置1が完成する。

30

【0036】

図5は従来の表示装置100の断面構成を表したものである。この表示装置100を構成するTF₁₁₀にはチャンネル層114上には1層の保護膜116が設けられており、配線部120には第1絶縁膜122と第2絶縁膜122との間に半導体層114Aが挟持されている。

【0037】

図6は従来の表示装置100の製造工程を表したものである。以下に各工程を簡単に説明する。まず、図6(A)に示したように、基板111上にゲート電極および第1配線層を形成したのち、基板111、ゲート電極112および第1配線層121の全面にゲート絶縁膜113および第1絶縁膜122を形成する。続いて、図6(B)に示したように、ゲート絶縁膜113上に半導体層114および保護膜116(第2保護膜16および第2絶縁膜23に相当)を形成する。次に、図6(C)に示したように保護膜116をフォトリソグラフィおよびエッチングにより加工したのち、図6(D)に示したように半導体層114Aをフォトリソグラフィおよびエッチングにより加工してチャンネル層114を形成する。最後に、保護膜116、チャンネル層114および基板111の全面にソース・ドレイン電極117および第2配線層124に対応するメタル層を成膜および加工すること

40

50

により表示装置 100 が完成する。

【0038】

以上のように製造された表示装置 100 では、TF T 110 および配線部 120 において以下の問題が生じる。まず、TF T 110 では、全面に成膜した保護膜 116 を所定の形状に加工するためにエッチングを行うが、その際、保護膜 116 の下層のチャンネル層 114 が露出しているためエッチングのための各種プラズマあるいはエッチング液等に曝される。これによりチャンネル層 114 の表面が損傷し、TF T 110 の特性が劣化する。また、配線部 120 では、第 1 絶縁膜 122 と第 2 絶縁膜 123 との間に半導体層 114 A が残存するため、第 2 絶縁膜 123 の表面から基板 111 にかけて形成される第 2 配線層 124 と短絡が生じる。これにより、第 1 配線層 121 と第 2 配線層 124 との間のクロス容量は実質第 1 絶縁膜の膜厚となる。即ち、クロス容量の増大により、信号の伝達等に不具合が生じる等の信頼性が低下するという問題があった。

10

【0039】

本実施の形態は、チャンネル層 14 (半導体層 14 A) 上に第 1 保護膜 15 を形成するようにしたものである。これにより、TF T 10 では各種プラズマ等によるチャンネル層 14 の損傷を防ぐことが可能となる。また、本実施の形態は、ゲート電極 13 に対向する領域以外の半導体層 14 A を第 1 保護膜 15 と共に除去、即ち、第 1 配線層の上部の領域のチャンネル層を除去するようにしたものである。これにより、配線部 20 では第 1 絶縁膜 22 および第 2 絶縁膜 23 が直接積層される。即ち、第 1 配線層 21 と第 2 配線層 24 との間の十分な膜厚を確保することが可能となる。

20

【0040】

図 7 は比較例 (図 7 (A)) および本実施の形態の実施例 (図 7 (B)) の面内における電流電圧特性を表したものである。図 7 (A) では、ばらつきがあるのに対し、図 7 (B) ではばらつきは見られない。このことから本実施の形態の製造方法によって TF T を製造することによって TF T 特性のばらつきが低減されたことがわかる。

【0041】

このように本実施の形態の表示装置およびその製造方法では、チャンネル層 14 上に第 1 保護膜 15 を形成するようにしたので、第 2 保護膜の加工時におけるチャンネル層 14 表面の損傷が防止され、TF T 10 の特性劣化を抑制することが可能となる。また、第 1 配線層 21 上の半導体層 14 A を除去することにより、第 1 配線層 21 と第 2 配線層 24 との間の膜厚が確保される。即ち、第 1 配線層 21 と第 2 配線層 24 とのクロス容量が低減される。従って表示装置の信頼性が向上する。

30

【0042】

(モジュールおよび適用例)

続いて表示装置の適用例について説明する。上記表示装置は、テレビジョン装置、デジタルカメラ、ノート型パーソナルコンピュータ、携帯電話等の携帯端末装置あるいはビデオカメラなど、外部から入力された映像信号あるいは内部で生成した映像信号を、画像あるいは映像として表示するあらゆる分野の電子機器の表示装置として用いることが可能である。

【0043】

40

(モジュール)

例えば図 8 に示したようなモジュールとして、後述する適用例 1 ~ 5 などの種々の電子機器に組み込まれる。このモジュールは、例えば、基板 11 の一辺に、封止用基板 50 および接着層 (図示せず) から露出した領域 210 を設け、この露出した領域 210 に、水平セクタ 31、ライトスキャナ 32 および電源スキャナ 33 の配線を延長して外部接続端子 (図示せず) を形成したものである。外部接続端子には、信号の入出力のためのフレキシブルプリント配線基板 (FPC; Flexible Printed Circuit) 220 が設けられていてもよい。

【0044】

(適用例 1)

50

図 9 は上記表示装置が適用されるテレビジョン装置の外観を表したものである。このテレビジョン装置は、例えば、フロントパネル 3 1 0 およびフィルターガラス 3 2 0 を含む映像表示画面部 3 0 0 を有しており、この映像表示画面部 3 0 0 は、上記各実施の形態に係る表示装置により構成されている。

【 0 0 4 5 】

(適用例 2)

図 1 0 は上記表示装置が適用されるデジタルカメラの外観を表したものである。このデジタルカメラは、例えば、フラッシュ用の発光部 4 1 0、表示部 4 2 0、メニュースイッチ 4 3 0 およびシャッターボタン 4 4 0 を有しており、その表示部 4 2 0 は、上記各実施の形態に係る表示装置により構成されている。

10

【 0 0 4 6 】

(適用例 3)

図 1 1 は上記表示装置が適用されるノート型パーソナルコンピュータの外観を表したものである。このノート型パーソナルコンピュータは、例えば、本体 5 1 0、文字等の入力操作のためのキーボード 5 2 0 および画像を表示する表示部 5 3 0 を有しており、その表示部 5 3 0 は、上記各実施の形態に係る表示装置により構成されている。

【 0 0 4 7 】

(適用例 4)

図 1 2 は上記表示装置が適用されるビデオカメラの外観を表したものである。このビデオカメラは、例えば、本体部 6 1 0、この本体部 6 1 0 の前方側面に設けられた被写体撮影用のレンズ 6 2 0、撮影時のスタート/ストップスイッチ 6 3 0 および表示部 6 4 0 を有しており、その表示部 6 4 0 は上記表示装置により構成されている。

20

【 0 0 4 8 】

(適用例 5)

図 1 3 は上記表示装置が適用される携帯電話機の外観を表したものである。この携帯電話機は、例えば上側筐体 7 1 0 と下側筐体 7 2 0 とを連結部 (ヒンジ部) 7 3 0 で連結したものであり、ディスプレイ 7 4 0、サブディスプレイ 7 5 0、ピクチャーライト 7 6 0 およびカメラ 7 7 0 を有している。そのディスプレイ 7 4 0 またはサブディスプレイ 7 5 0 は、上記表示装置により構成されている。

【 0 0 4 9 】

30

以上、実施の形態を挙げて本発明の表示装置 1 について説明したが、本発明は上記実施の形態に限定されるものではなく、本発明の表示装置 1 の構成およびその製造方法は、上記実施の形態と同様の効果を得ることが可能な限りにおいて自由に变形可能である。

【 0 0 5 0 】

例えば、上記実施の形態では、チャンネル層 1 4 の材料として、In - Ga - Znを用いたが、Gaの代わりにAlあるいはFeを用いてもよい。また、上記実施の形態ではソース・ドレイン電極 1 7 はTi / Al / Moからなる 3 層としたが、例えばMo / Al / MoあるいはTi / Al / Tiからなる 3 層としてもよい。また、上記実施の形態では、スパッタ法によりチャンネル層 1 4 を真空中で成膜したのち、一旦大気中に出してCVD法にて第 1 保護膜 1 5、第 2 保護膜 1 6 をこの順に成膜したが、スパッタ装置とCVD装置をクラスタ化した装置により、各層 1 4、1 5、1 6 を真空中にて連続成膜してもよい。

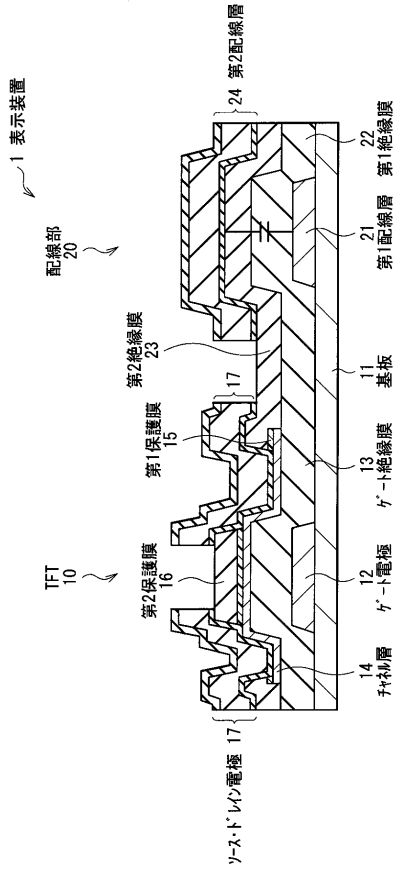
40

【符号の説明】

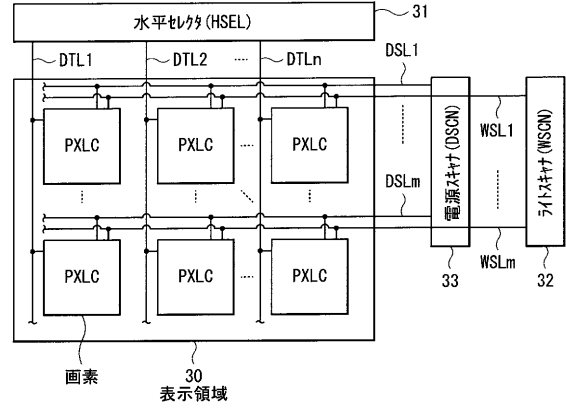
【 0 0 5 1 】

1 ... 表示装置、1 0 ... TFT (薄膜トランジスタ)、1 1 ... 基板、1 2 ... ゲート電極、1 3 ... ゲート絶縁膜、1 4 ... チャンネル層、1 4 A ... 半導体層、1 5 ... 第 1 保護膜、1 6 ... 第 2 保護膜、1 7 ... ソース・ドレイン電極、2 0 ... 配線部、2 1 ... 第 1 配線層、2 2 ... 第 1 絶縁膜、2 3 ... 第 2 絶縁膜、2 4 ... 第 2 配線層。

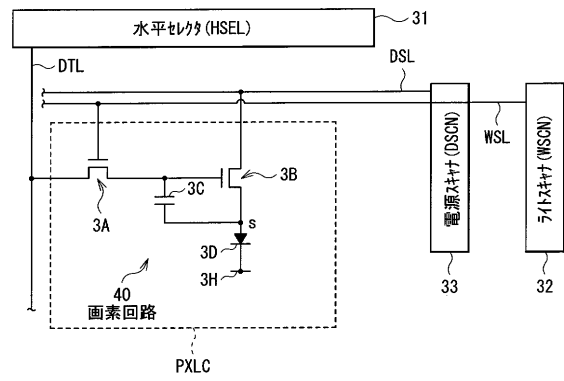
【図1】



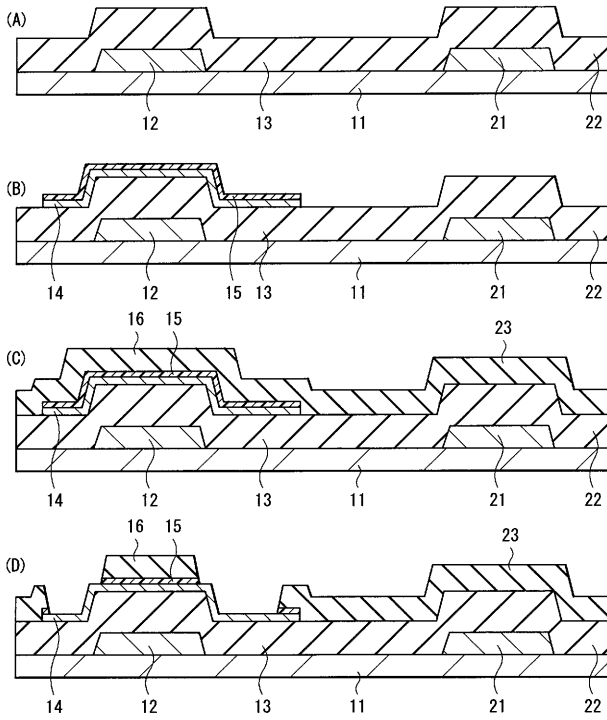
【図2】



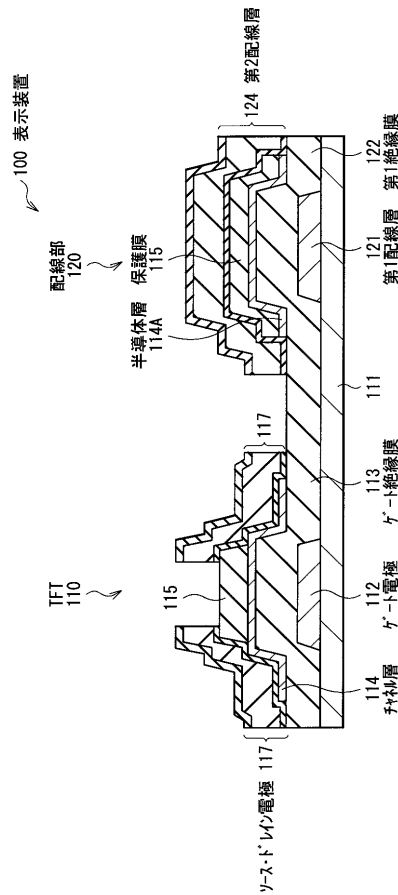
【図3】



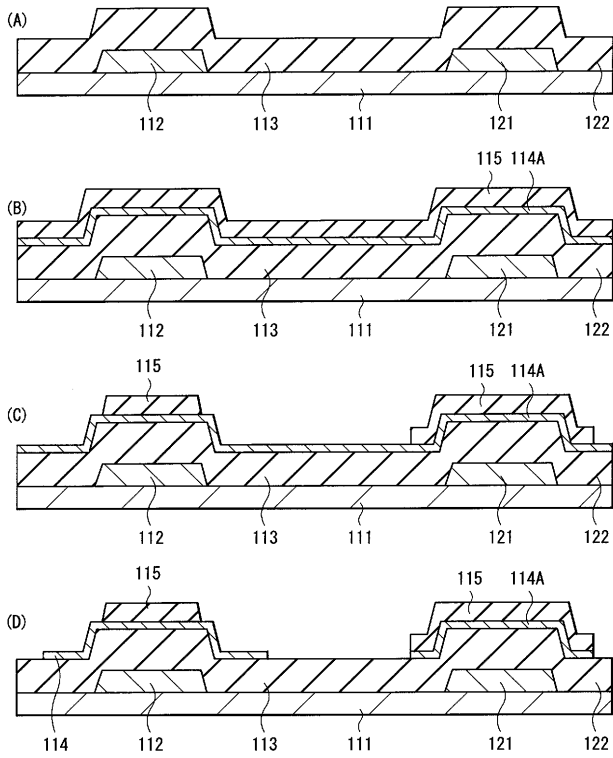
【図4】



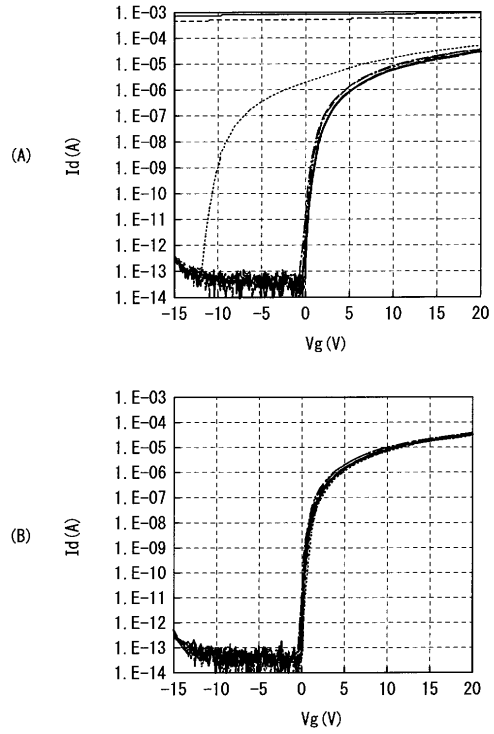
【図5】



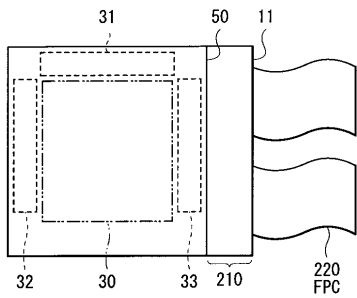
【図 6】



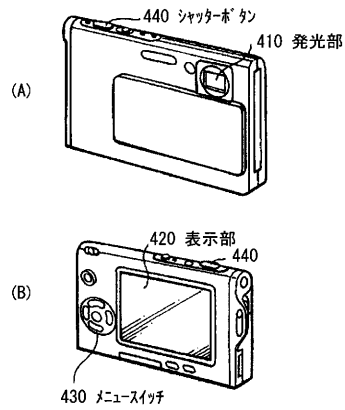
【図 7】



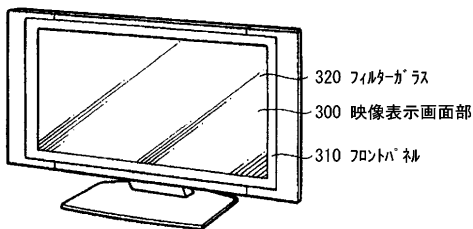
【図 8】



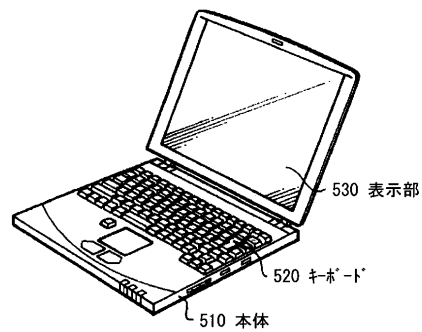
【図 10】



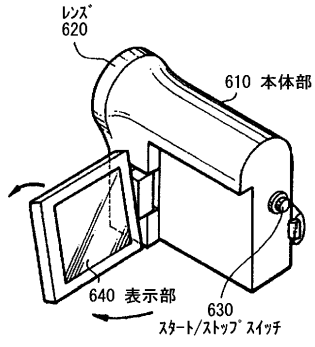
【図 9】



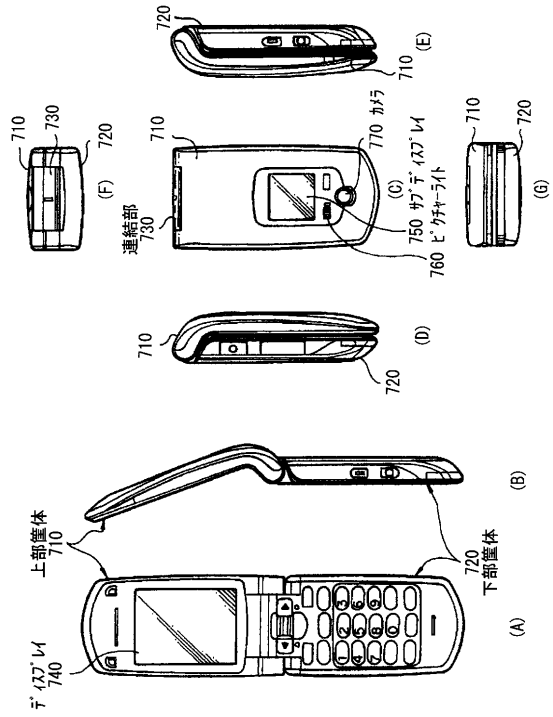
【図 11】



【図 1 2】



【図 1 3】



フロントページの続き

Fターム(参考) 5C094 AA21 AA37 AA43 DA13 DA15 DB04 FB14 GB10
5F110 AA02 BB01 CC07 DD01 DD02 DD05 EE02 EE03 EE04 EE06
EE14 EE44 FF02 FF30 GG01 GG43 GG58 HK03 HK04 HK21
HK22 HK33 NN03 NN04 NN12 NN14 NN22 NN23 NN24 NN35
NN71 NN73 QQ08 QQ09