



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년05월02일
 (11) 등록번호 10-1853453
 (24) 등록일자 2018년04월24일

(51) 국제특허분류(Int. Cl.)
 H01L 51/52 (2006.01) G09G 3/30 (2006.01)
 (21) 출원번호 10-2012-0075166
 (22) 출원일자 2012년07월10일
 심사청구일자 2017년07월10일
 (65) 공개번호 10-2014-0008096
 (43) 공개일자 2014년01월21일
 (56) 선행기술조사문헌
 KR1020100024871 A

(73) 특허권자
 삼성디스플레이 주식회사
 경기도 용인시 기흥구 삼성로 1 (농서동)
 (72) 발명자
 김태근
 충남 천안시 서북구 변영로 467, 삼성모바일디스플레이 (성성동)
 민광훈
 충남 천안시 서북구 변영로 467, 삼성모바일디스플레이 (성성동)
 강성연
 충남 천안시 서북구 변영로 467, 삼성모바일디스플레이 (성성동)
 (74) 대리인
 특허법인 고려

전체 청구항 수 : 총 20 항

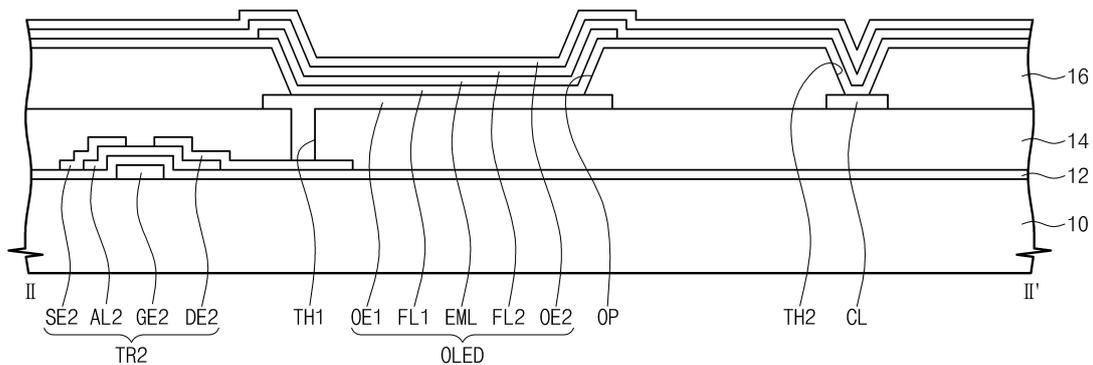
심사관 : 김우영

(54) 발명의 명칭 **화소 및 화소를 포함하는 유기발광 표시장치**

(57) 요약

유기발광 표시장치의 화소는 제1 전원전압을 출력하는 트랜지스터, 상기 트랜지스터에 연결된 유기발광소자 및 기준전압이 인가되는 배선을 포함한다. 상기 유기발광소자는 상기 제1 전원전압을 수신하는 제1 전극, 상기 제1 전극 상에 배치된 제1 공통층, 상기 제1 공통층 상에 배치된 유기발광층 및 상기 유기발광층 상에 배치되며, 상기 제1 전원전압과 다른 제2 전원전압을 수신하는 제2 전극을 포함한다. 상기 제1 공통층은 상기 배선에 접속되어 상기 트랜지스터의 누설전류를 접지시킨다.

대표도



명세서

청구범위

청구항 1

제1 전원전압을 출력하는 트랜지스터;

상기 트랜지스터에 연결된 유기발광소자; 및

상기 트랜지스터의 누설전류를 접지시키는 기준전압이 인가되는 배선을 포함하고,

상기 유기발광소자는

상기 제1 전원전압을 수신하는 제1 전극;

상기 제1 전극 상에 배치된 제1 공통층;

상기 제1 공통층 상에 배치된 유기발광층; 및

상기 유기발광층 상에 배치되며, 상기 제1 전원전압과 다른 제2 전원전압을 수신하는 제2 전극을 포함하고,

상기 제1 공통층은 상기 배선에 접속된 것을 특징으로 하는 화소.

청구항 2

제1 항에 있어서,

상기 제1 공통층은 정공 주입층을 포함하는 것을 특징으로 하는 화소.

청구항 3

제2 항에 있어서,

상기 제1 공통층은 상기 정공 주입층과 상기 유기발광층 사이에 배치된 정공 수송층을 더 포함하는 것을 특징으로 하는 화소.

청구항 4

제2 항에 있어서,

상기 유기발광층과 상기 제2 전극 사이에 배치된 전자 주입층을 더 포함하는 것을 특징으로 하는 화소.

청구항 5

제4 항에 있어서,

상기 유기발광층과 상기 전자 주입층 사이에 배치된 전자 수송층을 더 포함하는 것을 특징으로 하는 화소.

청구항 6

제2 항에 있어서,

상기 배선은 상기 제1 전극과 동일한 층 상에 배치된 것을 특징으로 하는 화소.

청구항 7

복수 개의 주사 라인들 및 상기 복수 개의 주사 라인들에 절연되게 교차하는 복수 개의 데이터 라인들을 포함하는 기관; 및

각각이 제1 전원전압 및 상기 제1 전원전압보다 낮은 제2 전원전압을 수신하여 발광하는 유기발광소자를 포함하고, 상기 복수 개의 주사 라인들 중 대응하는 주사 라인들 및 상기 복수 개의 데이터 라인들 중 대응하는 데이

터 라인들에 각각 연결된 복수 개의 화소들을 포함하고,

상기 유기발광소자는

상기 제1 전원전압을 수신하는 제1 전극;

상기 제1 전극 상에 배치된 제1 공통층;

상기 제1 공통층 상에 배치된 유기발광층; 및

상기 유기발광층 상에 배치되고, 상기 제2 전원전압을 수신하는 제2 전극을 포함하고,

상기 제1 공통층은 누설전류에 의한 상기 유기발광층의 발광을 방지하는 기준전압을 수신하는 것을 특징으로 하는 유기발광 표시장치.

청구항 8

제7 항에 있어서,

상기 제1 공통층은 정공 주입층을 포함하는 것을 특징으로 하는 유기발광 표시장치.

청구항 9

제8 항에 있어서,

상기 제1 공통층은 상기 정공 주입층과 상기 유기발광층 사이에 배치된 정공 수송층을 더 포함하는 것을 특징으로 하는 유기발광 표시장치.

청구항 10

제8 항에 있어서,

상기 유기발광층과 상기 제2 전극 사이에 배치된 전자 주입층을 더 포함하는 것을 특징으로 하는 유기발광 표시장치.

청구항 11

제10 항에 있어서,

상기 유기발광층과 상기 전자 주입층 사이에 배치된 전자 수송층을 더 포함하는 것을 특징으로 하는 유기발광 표시장치.

청구항 12

제7 항에 있어서,

상기 복수 개의 화소들 중 i 번째 주사 라인과 j 번째 데이터 라인에 연결된 화소는(여기서 i 및 j 는 2 이상의 정수),

상기 i 번째 주사 라인 및 상기 j 번째 데이터 라인에 연결된 제1 트랜지스터;

상기 제1 트랜지스터에 연결된 제1 전극 및 상기 제1 전원 전압을 수신하는 제2 전극을 포함하는 커패시터;

상기 제1 트랜지스터, 상기 커패시터 및 상기 유기발광소자에 연결된 제2 트랜지스터를 더 포함하는 것을 특징으로 하는 유기발광 표시장치.

청구항 13

제12 항에 있어서,

상기 제2 트랜지스터는,

상기 기판 상에 배치된 게이트 전극, 상기 게이트 전극과 제1 절연층을 사이에 두고 중첩하는 반도체층, 상기 반도체층에 중첩하는 소스 전극, 및 상기 반도체층에 중첩하며 상기 소스 전극과 이격되어 배치되고 상기 유기발광소자의 제1 전극에 전기적으로 연결된 드레인 전극을 포함하는 것을 특징으로 하는 유기발광 표시장치.

청구항 14

제13 항에 있어서,

상기 기판은 상기 기준전압을 수신하며 상기 게이트 전극과 동일한 층 상에 배치된 공통배선을 더 포함하는 것을 특징으로 하는 유기발광 표시장치.

청구항 15

제13 항에 있어서,

상기 기판은 상기 기준전압을 수신하며 상기 소스 전극과 동일한 층 상에 배치된 공통배선을 더 포함하는 것을 특징으로 하는 유기발광 표시장치.

청구항 16

제13 항에 있어서,

상기 기판은 상기 소스 전극 및 상기 드레인 전극을 커버하는 제2 절연층 및 상기 기준전압을 수신하는 공통배선을 더 포함하고,

상기 제1 전극과 상기 공통배선은 상기 제2 절연층 상에 배치된 것을 특징으로 하는 유기발광 표시장치.

청구항 17

제7 항에 있어서,

상기 복수 개의 화소들 중 i 번째 주사 라인과 j 번째 데이터 라인에 연결된 화소는(여기서 i 및 j 는 2 이상의 정수),

상기 i 번째 주사 라인 및 상기 j 번째 데이터 라인에 연결되고, 상기 i 번째 주사 라인에 인가된 주사신호에 응답하여 턴-온되는 제1 트랜지스터;

상기 제1 트랜지스터에 연결되고, 상기 유기발광소자에 공급되는 전류량을 제어하는 제2 트랜지스터;

상기 제2 트랜지스터의 게이트 전극과 상기 제2 트랜지스터의 출력전극 사이에 접속되고, 상기 i 번째 주사 라인에 인가된 주사신호에 응답하여 턴-온되는 제3 트랜지스터;

$i-1$ 번째 주사선에 인가된 주사신호에 응답하여 상기 기준전압을 출력하는 제4 트랜지스터;

상기 유기발광소자의 발광 제어신호에 응답하여 상기 제2 트랜지스터에 상기 제1 전원전압을 제공하는 제5 트랜지스터;

상기 유기발광소자의 발광 제어신호에 응답하여 상기 제2 트랜지스터로부터 상기 유기발광소자에 상기 제1 전원전압을 제공하는 제6 트랜지스터; 및

상기 제4 트랜지스터의 드레인 전극에 연결된 제1 전극 및 상기 제1 전원전압을 수신하는 제2 전극을 포함하는 커패시터를 포함하는 특징으로 하는 유기발광 표시장치.

청구항 18

제17 항에 있어서,

상기 제6 트랜지스터는,

상기 기판 상에 배치된 게이트 전극, 상기 게이트 전극과 제1 절연층을 사이에 두고 중첩하는 반도체층, 상기 반도체층에 중첩하는 소스 전극, 및 상기 반도체층에 중첩하며 상기 소스 전극과 이격되어 배치되고 상기 유기발광소자의 제1 전극에 전기적으로 연결된 드레인 전극을 포함하는 것을 특징으로 하는 유기발광 표시장치.

청구항 19

제18 항에 있어서,

상기 기판은 상기 기준전압을 수신하며 상기 제4 트랜지스터의 소스 전극에 연결된 공통배선을 더 포함하고,

상기 공통배선은 상기 소스 전극 또는 상기 게이트 전극과 동일한 층 상에 배치된 것을 특징으로 하는 유기발광 표시장치.

청구항 20

제18 항에 있어서,

상기 기판은 상기 소스 전극 및 상기 드레인 전극을 커버하는 제2 절연층 및 상기 기준전압을 수신하며 상기 제 4 트랜지스터의 소스 전극에 연결된 공통배선을 더 포함하고,

상기 제1 전극과 상기 공통배선은 상기 제2 절연층 상에 배치된 것을 특징으로 하는 유기발광 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 화소 및 이를 포함하는 유기발광 표시장치에 관한 것으로, 더욱 상세하게는 표시품질이 향상된 화소 및 유기발광 표시장치에 관한 것이다.

배경 기술

[0002] 상기 유기발광 표시장치는 복수 개의 화소들을 포함한다. 상기 복수 개의 화소들 각각은 유기발광소자를 구비한다. 상기 유기발광소자는 광을 방출하는 유기발광층 및 상기 유기발광층에 구동전압을 인가하는 전극들을 포함한다. 또한, 상기 유기발광층과 상기 전극들 사이에 공통층들이 배치된다.

[0003] 또한, 상기 복수 개의 화소들 각각은 적어도 하나의 트랜지스터 및 적어도 하나의 커패시터를 구비한다. 상기 적어도 하나의 트랜지스터는 상기 유기발광소자에 구동전압을 제공한다. 상기 커패시터는 상기 유기발광소자에 인가되는 구동전압을 하나의 프레임 구간 동안 유지한다.

[0004] 상기 커패시터의 턴-온 구간동안 상기 복수 개의 화소들 각각은 광을 표시한다. 상기 커패시터의 턴-오프 구간 동안 상기 복수 개의 화소들 각각은 광을 표시하지 않는다. 그러나, 상기 복수 개의 화소들 중 일부는 대응하는 트랜지스터의 턴-오프 구간 동안 상기 대응하는 트랜지스터에서 발생한 누설전류에 의해 발광된다.

발명의 내용

해결하려는 과제

[0005] 따라서, 본 발명의 목적은 누설전류에 의한 발광을 방지하여 표시품질이 향상된 화소 및 이를 포함하는 유기발광 표시장치를 제공하는 것이다.

과제의 해결 수단

[0006] 본 발명의 일 실시예에 따른 화소는 적어도 하나의 트랜지스터, 유기발광소자, 상기 트랜지스터의 누설전류를 접지시키는 기준전압이 인가되는 배선을 포함한다. 상기 트랜지스터는 제1 전원전압을 출력하고, 상기 유기발광소자는 트랜지스터에 연결된다.

[0007] 상기 유기발광소자는 상기 제1 전원전압을 수신하는 제1 전극, 상기 제1 전극 상에 배치된 제1 공통층, 상기 제1 공통층 상에 배치된 유기발광층, 및 상기 유기발광층 상에 배치되며, 상기 제1 전원전압과 다른 제2 전원전압을 수신하는 제2 전극을 포함한다. 상기 제1 공통층은 상기 배선에 접속된다.

[0008] 상기 제1 공통층은 정공 주입층을 포함하고, 상기 제1 공통층은 상기 정공 주입층과 상기 유기발광층 사이에 배치된 정공 수송층을 더 포함할 수 있다. 상기 배선은 상기 제1 전극과 동일한 층 상에 배치될 수 있다.

[0009] 본 발명의 일 실시예에 따른 유기발광 표시장치는 기판 상에 복수 개의 주사 라인들 및 상기 복수 개의 주사 라인들에 절연되게 교차하는 복수 개의 데이터 라인들을 포함하는 기판 및 복수 개의 화소를 포함한다.

[0010] 상기 복수 개의 화소들 각각은 제1 전원전압 및 상기 제1 전원전압보다 낮은 제2 전원전압을 수신하여 발광하는 유기발광소자를 포함한다. 상기 복수 개의 화소들은 상기 복수 개의 주사 라인들 중 대응하는 주사 라인들 및 상기 복수 개의 데이터 라인들 중 대응하는 데이터 라인들에 각각 연결된다.

발명의 효과

- [0011] 상술한 바에 따르면, 본 발명의 일 실시예에 따른 화소는 유기발광소자와 상기 유기발광소자에 구동전압을 제공하는 트랜지스터를 포함한다. 상기 유기발광소자는 상기 트랜지스터와 연결된 제1 전극, 상기 제1 전극 상에 배치된 제1 공통층, 및 상기 제1 공통층 상에 배치된 유기발광층을 포함한다.
- [0012] 상기 제1 공통층은 기준전압을 수신한다. 상기 제1 공통층은 상기 기준전압을 수신하는 공통라인에 접속된다. 상기 제1 공통층은 상기 트랜지스터의 턴-오프 구간 동안 상기 트랜지스터에서 발생한 누설전류를 상기 공통라인에 접지시킨다. 그에 따라 상기 누설전류에 의한 상기 화소의 발광이 방지된다.

도면의 간단한 설명

- [0013] 도 1은 본 발명의 일 실시예에 따른 유기발광 표시장치의 블록도이다.
- 도 2는 도 1에 도시된 화소의 등가회로도이다.
- 도 3은 도 2에 도시된 화소의 레이아웃이다.
- 도 4a 및 도 4b는 도 3에 도시된 화소의 일부에 대응하는 단면도이다.
- 도 5a 및 도 5b는 본 발명의 다른 실시예에 따른 화소의 일부에 대응하는 단면도이다.
- 도 6는 본 발명의 일 실시예에 따른 유기발광 표시장치의 블록도이다.
- 도 7은 도 6에 도시된 화소의 등가회로도이다.
- 도 8은 도 7에 도시된 화소에 인가되는 신호들의 타이밍도이다.
- 도 9는 도 7에 도시된 화소의 일부에 대응하는 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0014] 이하, 도면을 참조하여 본 발명의 일 실시예에 따른 유기발광 표시장치를 설명한다.
- [0015] 도면에서는 여러 층 및 영역을 명확하게 표현하기 위하여 일부 구성요소의 스케일을 과장하거나 축소하여 나타내었다. 명세서 전체에 걸쳐 유사한 참조 부호는 유사한 구성 요소를 지칭한다. 그리고, 어떤 층이 다른 층의 '상'에 형성된다(배치된다)는 것은, 두 층이 접해 있는 경우뿐만 아니라 두 층 사이에 다른 층이 존재하는 경우도 포함한다. 또한, 도면에서 어떤 층의 일면이 평평하게 도시되었지만, 반드시 평평할 것을 요구하지 않으며, 적층 공정에서 하부층의 표면 형상에 의해 상부층의 표면에 단차가 발생할 수도 있다.
- [0016] 도 1은 본 발명의 일 실시예에 따른 유기발광 표시장치의 블록도이고, 도 2는 도 1에 도시된 화소의 등가회로도이다.
- [0017] 도 1을 참조하면, 본 발명의 실시예에 의한 유기발광 표시장치는 표시패널부(DP), 타이밍 제어부(100), 주사 구동부(200), 및 데이터 구동부(300)를 포함한다.
- [0018] 상기 표시패널부(DP)는 복수 개의 주사 라인들(S1~Sn), 복수 개의 데이터 라인들(D1~Dm), 및 상기 복수 개의 주사 라인들(S1~Sn) 중 대응하는 주사 라인들과 복수 개의 데이터 라인들(D1~Dm) 중 대응하는 데이터 라인들에 연결된 복수 개의 화소들(PX₁₁~PX_{nm})을 포함한다.
- [0019] 상기 표시패널부(DP)는 적어도 하나의 기관(미도시)을 포함한다. 상기 복수 개의 주사 라인들(S1~Sn)과 상기 복수 개의 데이터 라인들(D1~Dm)은 상기 기관 상에 배치된다. 상기 복수 개의 주사 라인들(S1~Sn)과 상기 복수 개의 데이터 라인들(D1~Dm)은 서로 다른 방향으로 연장되고, 서로 절연된다.
- [0020] 상기 표시패널부(DP)는 외부로부터 제1 전원전압(ELVDD) 및 제2 전원전압(ELVSS)을 공급받는다. 상기 복수 개의 화소들(PX₁₁~PX_{nm}) 각각은 상기 제1 전원전압(ELVDD) 및 상기 제2 전원전압(ELVSS)을 수신하고, 대응하는 데이터 신호에 응답하여 광을 생성한다. 상기 제1 전원전압(ELVDD)은 상기 제2 전원전압(ELVSS) 보다 높은 레벨의 전압이다.
- [0021] 상기 타이밍 제어부(100)는 입력 영상신호들을 수신하고, 상기 표시패널부의 동작모드에 부합하게 변환된 영상 데이터들과 각종 제어신호를 출력한다.

- [0022] 상기 주사 구동부(200)는 타이밍 제어부(100)로부터 주사 구동제어신호(SCS)를 수신한다. 상기 주사 구동제어신호(SCS)를 공급받은 상기 주사 구동부(200)는 복수 개의 주사 신호들을 생성한다. 상기 복수 개의 주사신호들을 상기 복수 개의 주사 라인들(S1~Sn)에 순차적으로 공급된다.
- [0023] 상기 데이터 구동부(300)는 상기 타이밍 제어부(100)로부터 데이터 구동제어신호(DCS) 및 상기 영상데이터들(I_{DATA})을 수신한다. 상기 데이터 구동부(300)는 상기 데이터 구동제어신호(DCS)와 상기 영상데이터들(I_{DATA})에 근거하여 복수 개의 데이터 신호들을 생성한다. 상기 복수 개의 데이터 신호들은 상기 복수 개의 데이터 라인들(D1~Dm)에 공급된다.
- [0024] 도 2는 i번째 주사 라인(S_i)과 j번째 데이터 라인(D_j)에 연결된 화소(PX_{ij})의 등가회로도이다. 하나의 화소(PX_{ij})를 도시하고 있으나, 상기 복수 개의 화소들(PX₁₁~PX_{mm}) 각각은 도 2에 도시된 등가회로를 갖는다. 한편, 도 2에 도시된 등가회로는 하나의 예시에 불과하고 상기 화소의 구성은 변형되어 실시될 수 있다.
- [0025] 상기 화소(PX_{ij})는 제1 트랜지스터(TR1), 제2 트랜지스터(TR2), 커패시터(C1), 및 유기발광소자(OLED)를 포함한다.
- [0026] 상기 제1 트랜지스터(TR1)는 상기 i번째 주사 라인(S_i)에 연결된 게이트 전극, 상기 j번째 데이터 라인(D_j)에 연결된 소스 전극, 및 드레인 전극을 포함한다. 상기 제1 트랜지스터(TR1)는 상기 i번째 주사 라인(S_i)에 인가된 주사 신호에 응답하여 상기 j번째 데이터 라인(D_j)에 인가된 데이터 신호를 출력한다.
- [0027] 상기 커패시터(C1)는 상기 제1 트랜지스터(TR1)에 연결된 제1 전극 및 상기 제1 전원전압(ELVDD)을 수신하는 제2 전극을 포함한다. 상기 커패시터(C1)는 상기 제1 트랜지스터(TR1)로부터 수신한 상기 데이터 신호에 대응하는 전압과 상기 제1 전원전압(ELVDD)의 차전압을 충전한다.
- [0028] 상기 제2 트랜지스터(TR2)는 상기 제1 트랜지스터(TR1)의 상기 드레인 전극 및 상기 커패시터(C1)의 상기 제1 전극에 연결된 게이트 전극, 상기 제1 전원전압(ELVDD)을 수신하는 소스 전극, 및 드레인 전극을 포함한다. 상기 제2 트랜지스터(TR2)의 상기 드레인 전극은 상기 유기발광소자(OLED)에 연결된다.
- [0029] 상기 제2 트랜지스터(TR2)는 상기 커패시터(C1)에 저장된 전압에 대응하여 상기 유기발광소자(OLED)에 상기 제1 전원전압(ELVDD)을 공급한다. 상기 커패시터(C1)는 상기 제2 트랜지스터(TR2)의 턴-온 구간을 유지시킨다.
- [0030] 상기 유기발광소자(OLED)는 상기 제2 트랜지스터(TR2)에 연결된 제1 전극(미도시) 및 상기 제2 전원전압(ELVSS)을 수신하는 제2 전극(미도시)을 포함한다. 상기 유기발광소자(OLED)는 상기 제1 전극과 상기 제2 전극 사이에 배치된 제1 공통층(FL1), 유기발광층(EML), 및 제2 공통층(FL2)을 더 포함한다. 상기 유기발광소자(OLED)는 상기 제2 트랜지스터(TR2)의 턴-온 구간동안 발광하고, 상기 제2 트랜지스터(TR2)의 턴-오프 구간 동안 발광하지 않는다.
- [0031] 이때, 상기 제2 트랜지스터(TR2)의 턴-오프 구간동안 누설전류가 발생한다. 상기 제2 트랜지스터(TR2)의 상기 누설전류가 상기 유기발광소자(OLED)에 전달되면, 상기 유기발광소자(OLED)는 상기 누설전류에 대응하는 광을 생성한다.
- [0032] 한편, 상기 복수 개의 화소들(PX₁₁~PX_{mm})에 포함된 유기발광소자(OLED)들의 제1 공통층들(FL1)은 서로 연결될 수 있다. 즉, 상기 복수 개의 화소들(PX₁₁~PX_{mm})의 상기 제1 공통층들(FL1)은 일체형이다.
- [0033] 설명의 편의상 도 2에 도시된 상기 유기발광소자(OLED)는 화소(PX_{ij})의 상기 제2 트랜지스터(TR2)의 누설전류에 의해 발광되는 것으로 설명하였으나, 상기 누설전류는 일체형의 상기 제1 공통층들(FL1)을 따라 인접한 화소들로 전달될 수 있다. 다시 말해, 도 2에 도시된 화소(PX_{ij})의 발광원인이 되는 누설전류가 반드시 상기 화소(PX_{ij})의 제2 트랜지스터(TR2)에서 발생한 것이 아니고, 인접한 화소들에서 발생한 것일 수 있다.
- [0034] 상기 누설전류에 대응하는 광이 생성되는 것을 방지하기 위해 상기 유기발광소자(OLED)에는 기준전압(Vref)이 인가된다. 좀 더 구체적으로 상기 유기발광소자의 상기 제1 공통층(FL1)에 상기 기준전압(Vref)이 인가된다.
- [0035] 상기 기준전압(Vref)은 그라운드 전압일 수 있다. 또한, 상기 기준전압(Vref)은 상기 제2 전원전압(ELVSS)과 동일한 레벨의 전압일 수 있다. 또한, 상기 기준전압(Vref)은 아래의 수학적 식 1에 따른 레벨의 전압일 수 있다.
- [0036] [수학적 식 1]

- [0037] $-1V \leq (\text{제2 전원전압} - \text{기준전압}) \leq 1V$
- [0038] 상기 누설전류는 상기 유기발광층에 전달되지 않고 상기 기준전압으로 접지된다. 그에 따라 상기 누설전류에 대응하는 광은 생성되지 않는다.
- [0039] 도 3은 도 2에 도시된 화소의 레이아웃이고, 도 4a 및 도 4b는 도 3에 도시된 화소의 일부에 대응하는 단면도이다. 도 3에서 유기발광소자의 상기 제1 공통층, 상기 제2 공통층, 및 상기 제2 전극은 미도시되었다.
- [0040] 도 3 내지 도 4b에 도시된 것과 같이, 상기 제1 기판(10) 상에 상기 i번째 주사 라인(Si), 및 상기 j번째 데이터 라인(Dj)이 서로 절연되게 배치된다. 또한, 상기 제1 기판(10) 상에 상기 제1 전원전압(ELVDD)을 수신하는 전원라인(KL) 및 상기 기준전압(Vref)을 수신하는 공통라인(CL)이 배치된다.
- [0041] 상기 제1 트랜지스터(TR1)의 게이트 전극(GE1, 이하 제1 게이트 전극)은 상기 i번째 주사 라인(Gi)으로부터 분기된다. 상기 제1 기판(10) 상에 상기 i번째 주사 라인(Gi)을 커버하는 제1 절연층(12)이 배치된다. 상기 제1 절연층(12)은 유기막 및/또는 무기막을 포함한다.
- [0042] 상기 제1 트랜지스터(TR1)의 반도체층(AL1, 이하, 제1 반도체층)은 상기 제1 절연층(12)을 사이에 두고, 상기 제1 게이트 전극(GE1) 상에 배치된다. 상기 제1 트랜지스터(TR1)의 소스 전극(SE1, 이하 제1 소스 전극)과 드레인 전극(DE1, 이하 제1 드레인 전극)은 상기 제1 반도체층(AL1)에 중첩하게 배치된다. 상기 제1 소스 전극(SE1)과 상기 제1 드레인 전극(DE1)은 서로 이격되어 배치된다.
- [0043] 상기 커패시터(C1)의 상기 제1 전극(CE1)은 상기 제1 절연층(12) 상에 배치된다. 상기 커패시터(C1)의 상기 제1 전극(CE1)은 상기 제1 드레인 전극(DE1)에 연결된다.
- [0044] 상기 제1 절연층(12) 상에 상기 제1 소스 전극(SE1), 상기 제1 드레인 전극(DE1), 및 상기 커패시터(C1)의 상기 제1 전극(CE1)을 커버하는 제2 절연층(14)이 배치된다.
- [0045] 상기 제2 절연층(14)에 상기 커패시터(C1)의 상기 제2 전극(CE2)이 배치된다. 상기 제2 전극(CE2)은 상기 전원라인(KL)에 연결된다.
- [0046] 상기 제2 트랜지스터(TR2)의 게이트 전극(GE2, 이하 제2 게이트 전극)은 상기 커패시터(C1)의 제1 전극(CE1)과 연결된다. 상기 제2 트랜지스터(TR2)의 반도체층(AL2, 이하, 제2 반도체층)은 상기 제1 절연층(12)을 사이에 두고, 상기 제2 게이트 전극(GE2) 상에 배치된다. 상기 제2 트랜지스터(TR2)의 소스 전극(SE2, 이하 제2 소스 전극)과 드레인 전극(DE2, 이하 제2 드레인 전극)은 상기 제2 반도체층(AL2)에 중첩하게 배치된다. 상기 제2 소스 전극(SE2)과 상기 제2 드레인 전극(DE2)은 서로 이격되어 배치된다. 상기 제2 절연층(14)은 상기 제2 소스 전극(SE2) 및 상기 제2 드레인 전극(DE2)을 커버한다.
- [0047] 상기 제2 절연층(14) 상에 상기 유기발광소자(OLED)가 배치된다. 상기 제2 절연층(14) 상에 상기 유기발광소자(OLED)의 제1 전극(OE1), 상기 제1 전극(OE1) 상에 제1 공통층(FL1), 상기 제1 공통층(FL1) 상에 유기발광층(EML), 상기 유기발광층(EML) 상에 제2 공통층(FL2), 상기 제2 공통층(FL2) 상에 제2 전극(OE2)이 배치된다. 한편, 상기 제2 공통층(FL2)은 생략될 수 있다.
- [0048] 도 3 내지 도 4b는 일체형의 상기 제1 공통층들(FL1)을 구비한 상기 복수 개의 화소들(PX₁₁~PX_{nm}) 중 하나의 화소(PX_{ij})를 예시적으로 도시하고 있다.
- [0049] 상기 제1 전극(OE1)은 상기 제2 절연층(14)을 관통하는 제1 콘택홀(TH1)을 통해 상기 제2 드레인 전극(DE2)에 연결된다. 상기 제1 전극(OE1)은 양극 또는 음극일 수 있다. 본 실시예에서 상기 제1 전극(OE1)은 양극으로 설명된다.
- [0050] 상기 제1 공통층(FL1)은 정공 주입층을 포함한다. 또한, 상기 제1 공통층(FL1)은 상기 정공 주입층 상에 배치된 정공 수송층을 더 포함할 수 있다. 상기 제2 공통층(FL2)은 전자 주입층을 포함한다. 또한, 상기 제2 공통층(FL2)은 상기 유기발광층(EML)과 상기 전자 주입층 사이에 배치된 전자 수송층을 더 포함할 수 있다.
- [0051] 상기 제2 절연층(14) 상에 제3 절연층(16)이 배치된다. 상기 제3 절연층(16)은 상기 커패시터(C1)의 상기 제2 전극(CE2)을 커버한다. 상기 제3 절연층(16)은 상기 유기발광소자(OLED)의 상기 제1 전극(OE1)을 노출시키는 개구부(OP)를 구비한다. 상기 개구부(OP)의 측벽은 상기 제1 전극(OE1)에 대해 경사질 수 있다.
- [0052] 상기 제3 절연층(16) 상에 상기 제1 공통층(FL1)이 배치된다. 상기 제1 공통층(FL1)은 상기 개구부(OP)에 배치되고, 상기 제1 전극(OE1)에 접촉된다. 상기 제1 공통층(FL1)은 상기 개구부(OP)의 측벽에 배치된다.

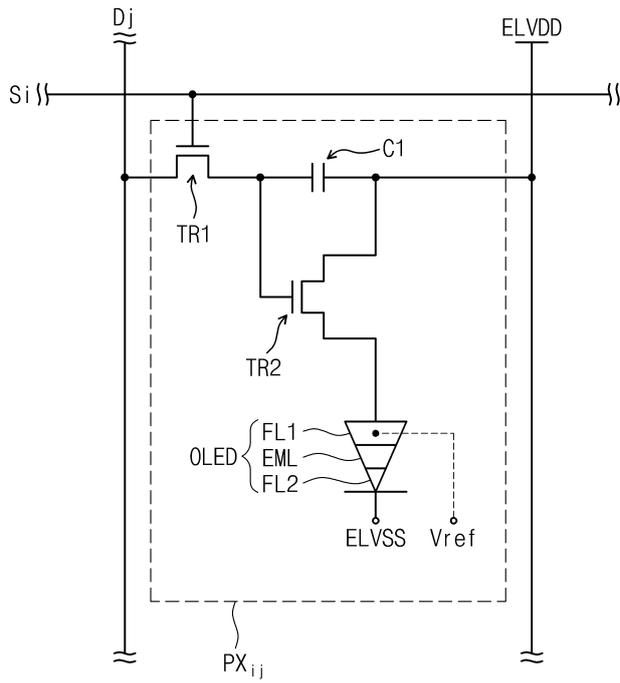
- [0053] 상기 유기발광층(EML)은 상기 개구부(OP)에 대응하게 상기 제1 공통층(FL1) 상에 배치된다. 상기 제2 공통층(FL2)은 상기 제1 공통층(FL1) 상에 배치된다. 상기 제2 공통층(FL2)은 상기 유기발광층(EML)을 커버한다. 상기 제2 전극(OE2)은 상기 제2 공통층(FL2) 상에 배치된다.
- [0054] 상기 공통라인(CL)은 상기 제2 절연층(14) 상에 배치된다. 상기 제1 공통층(FL1)의 일부분은 상기 공통라인(CL)에 접촉한다. 상기 제1 공통층(FL1)의 일부분은 상기 제3 절연층(16)을 관통하는 제2 컨택홀(TH2)을 통해 상기 공통라인(CL)에 접촉한다.
- [0055] 상기 제2 트랜지스터(TR2)의 턴-오프 구간동안 발생한 상기 누설전류는 상기 제1 공통층(FL1)을 통해 상기 공통라인(CL)으로 접지된다. 따라서, 상기 제2 트랜지스터(TR2)의 턴-오프 구간동안 상기 유기발광소자(OLED)는 상기 누설전류에 의해 발광되지 않는다.
- [0056] 한편, 도시되지는 않았으나, 상기 제3 절연층(16) 상에 또 다른 절연층과 또 다른 기판이 배치될 수 있다. 상기 또 다른 절연층은 투명하거나, 레드, 그린, 블루 중 어느 하나의 컬러를 가질 수 있다. 또한, 상기 또 다른 기판은 상기 화소를 보호하는 봉지기판일 수 있다.
- [0057] 도 5a 및 도 5b는 본 발명의 다른 실시예에 따른 화소의 일부에 대응하는 단면도이다.
- [0058] 도 5a에 도시된 것과 같이, 상기 공통라인(CL10)은 상기 제1 절연층(12)의 일면 상에 배치될 수 있다. 즉, 상기 공통라인(CL10)은 상기 제2 드레인 전극(DE2)과 동일한 층상에 배치될 수 있다. 상기 공통라인(CL100)은 상기 제2 드레인 전극(DE2)과 동일한 물질로 구성될 수 있다. 이때, 상기 제2 컨택홀(TH20)은 상기 제3 절연층(16) 및 상기 제2 절연층(14)을 관통한다.
- [0059] 도 5b에 도시된 것과 같이, 상기 공통라인(CL100)은 상기 제1 기판(10)의 일면 상에 배치될 수 있다. 즉, 상기 공통라인(CL100)은 상기 제2 게이트 전극(GE2)과 동일한 층상에 배치될 수 있다. 상기 공통라인(CL100)은 상기 제2 게이트 전극(GE2)과 동일한 물질로 구성될 수 있다. 이때, 상기 제2 컨택홀(TH200)은 상기 제3 절연층(16) 및 상기 제2 절연층(14), 및 상기 제1 절연층(12)을 관통한다.
- [0060] 도 6는 본 발명의 일 실시예에 따른 유기발광 표시장치의 블럭도이고, 도 7은 도 6에 도시된 화소의 등가회로도이다. 도 8은 도 7에 도시된 화소에 인가되는 신호들의 타이밍도이고, 도 9는 도 7에 도시된 화소의 일부에 대응하는 단면도이다.
- [0061] 이하, 도 6 내지 도 9를 참조하여 본 실시예에 따른 유기발광 표시장치에 대해 설명한다. 다만, 도 1 내지 도 5b에 도시된 구성과 동일한 구성에 대한 상세한 설명은 생략한다.
- [0062] 도 6에 도시된 것과 같이, 본 발명의 실시예에 의한 유기발광 표시장치는 표시패널부(DP10), 타이밍 제어부(100), 주사 구동부(200), 및 데이터 구동부(300)를 포함한다.
- [0063] 상기 표시패널부(DP10)는 복수 개의 주사 라인들(S1~Sn), 복수 개의 데이터 라인들(D1~Dm), 복수 개의 제어 라인들(E1~En), 및 복수 개의 화소들(PX0₁₁~PX0_{mm})을 포함한다. 상기 복수 개의 화소들(PX0₁₁~PX0_{mm})은 상기 복수 개의 제어 라인들(E1~En) 중 대응하는 제어 라인들, 상기 복수 개의 주사 라인들(S1~Sn) 중 대응하는 주사 라인들 및 복수 개의 데이터 라인들(D1~Dm) 중 대응하는 데이터 라인들에 연결된다.
- [0064] 상기 주사 구동부(200)는 상기 복수 개의 주사신호들을 상기 복수 개의 주사 라인들(S1~Sn)에 순차적으로 공급한다. 또한, 상기 주사 구동부(200)는 주사 구동제어신호(SCS)에 응답하여 복수 개의 발광 제어신호들을 생성하고, 상기 복수 개의 발광 제어신호들을 상기 복수 개의 제어 라인들(E1~En)에 순차적으로 공급한다. 여기서, 상기 복수 개의 발광 제어신호들 각각의 하이구간의 폭은 상기 복수 개의 주사신호들 각각의 하이구간의 폭과 동일하거나 길게 설정된다.
- [0065] 상기 복수 개의 화소들(PX0₁₁~PX0_{mm}) 각각은 제1 전원전압(ELVDD) 및 제2 전원전압(ELVSS)을 수신한다. 상기 복수 개의 화소들(PX0₁₁~PX0_{mm}) 각각은 데이터 신호에 대응하는 광을 생성한다. 여기서, 상기 복수 개의 화소들(PX0₁₁~PX0_{mm}) 각각의 발광시간은 대응하는 발광 제어신호들에 의하여 제어된다.
- [0066] 상기 복수 개의 화소들(PX0₁₁~PX0_{mm}) 중 i번째 화소행에 배열된 화소들은 i+1번째 화소행에 배열된 화소들과 전기적으로 연결된다. 상기 i번째 화소행에 배열된 화소들은 i번째 주사라인에 연결된 화소들이고, 상기 i+1번째 화소행에 배열된 화소들은 i+1번째 주사라인에 연결된 화소들이다. 예컨대, 첫번째 주사라인(S1)에 연결된 화소들은 두번째 주사라인(S2) 화소들과 전기적으로 연결된다.

- [0067] 도 7에 도시된 것과 같이, 화소(PX0_{ij})는 제1 내지 제6 트랜지스터(TR10~TR60), 유기발광소자(OLED), 커패시터(C10)를 포함한다. 도 7에 도시된 화소(PX0_{ij})는 하나의 예시에 불과하고, 상기 화소(PX0_{ij})에 포함된 트랜지스터의 개수와 커패시터의 개수는 변경될 수 있다.
- [0068] 상기 제1 트랜지스터(TR10)는 상기 i번째 주사 라인(Si)에 연결된 게이트 전극, 상기 j번째 데이터 라인(Dj)에 연결된 소스 전극, 및 제1 노드(N1)에 연결된 드레인 전극을 포함한다. 상기 제1 트랜지스터(TR10)는 상기 i번째 주사 라인(Si)에 인가된 주사 신호에 응답하여 상기 j번째 데이터 라인(Dj)에 인가된 데이터 신호를 상기 제1 노드(N1)에 출력한다.
- [0069] 상기 제2 트랜지스터(TR20)는 상기 제1 노드(N1)에 접속된 소스 전극, 제6 트랜지스터(TR60)에 연결된 드레인 전극, 및 상기 커패시터(C10)의 제1 전극에 연결된 게이트 전극을 포함한다. 상기 제2 트랜지스터(TR20)는 상기 커패시터(C10)에 충전된 전압에 따른 전류를 유기발광소자(OLED)에 공급한다.
- [0070] 상기 제3 트랜지스터(TR30)는 상기 제2 트랜지스터(TR20)의 드레인 전극에 연결된 소스 전극, 상기 제2 트랜지스터(TR20)의 게이트 전극에 연결된 드레인 전극, 및 상기 i번째 주사 라인(Si)에 접속된 게이트 전극을 포함한다. 상기 제3 트랜지스터(TR30)는 상기 i번째 주사 라인(Si)에 인가된 주사신호에 응답하여 상기 제2 트랜지스터(TR20)를 다이오드형태로 접속시킨다.
- [0071] 상기 제4 트랜지스터(TR40)은 i-1번째 주사 라인(Si-1)에 접속된 게이트 전극, 초기화전압(Vint)이 인가되는 제2 노드(N2)에 연결된 드레인 전극, 및 상기 커패시터(C10)의 상기 제1 전극에 연결된 소스 전극을 포함한다. 상기 제4 트랜지스터(TR40)는 상기 i-1번째 주사 라인(Si-1)에 인가된 주사신호에 응답하여 상기 커패시터(C10)의 상기 제1 전극의 전압 및 상기 제2 트랜지스터(TR00)의 게이트 전극의 전압을 초기화전압(Vint) 초기화시킨다.
- [0072] 상기 제5 트랜지스터(TR50)는 상기 제1 전원전압(ELVDD)이 인가되는 제3 노드(N3)에 접속된 소스 전극, 상기 제1 노드(N1)에 연결된 드레인 전극, 및 i번째 제어 라인(Ei)에 연결된 게이트 전극을 포함한다. 상기 제5 트랜지스터(TR50)는 상기 i번째 제어 라인(Ei)에 인가된 발광 제어신호가 로우 구간일 때 턴-온되고, 상기 제1 전원전압(ELVDD)을 제1 노드(N1)에 공급한다.
- [0073] 상기 제6 트랜지스터(TR60)은 상기 제2 트랜지스터(TR20)의 드레인 전극에 연결된 소스 전극, 상기 유기발광소자(OLED)에 연결된 드레인 전극, 및 상기 i번째 제어 라인(Ei)에 연결된 게이트 전극을 포함한다. 상기 제6 트랜지스터(TR60)는 상기 i번째 제어 라인(Ei)에 인가된 발광 제어신호가 로우 구간일 때 턴-온되고, 상기 제2 트랜지스터(TR20)로부터 공급되는 전류를 상기 유기발광소자(OLED)에 공급한다. 상기 i번째 제어 라인(Ei)에 인가된 발광 제어신호가 하이구간일 때 상기 제6 트랜지스터(TR60)는 턴-오프된다.
- [0074] 상기 커패시터(C10)는 상기 제2 트랜지스터(TR20)의 게이트 전극에 연결된 제1 전극과 상기 제3 노드(N3)에 연결된 제2 전극을 포함한다. 상기 커패시터(C10)는 상기 제2 트랜지스터(TR20)의 문턱전압 및 상기 j번째 데이터 라인에 인가된 데이터 신호에 대응하는 전압을 충전한다.
- [0075] 이하, 도 7 및 8을 참조하여 상기 화소(PX0_{ij})의 동작과정을 상세히 설명한다. 상기 i번째 제어 라인(Ei)에 인가된 상기 발광 제어신호의 하이구간에 대응하여 상기 제5 트랜지스터(TR50) 및 상기 제6 트랜지스터(TR60)은 턴-오프된다. 이때, 상기 제1 전원전압(ELVDD)은 상기 제2 트랜지스터(TR20)에 인가되지 않으므로, 상기 유기발광소자(OLED)는 발광되지 않는다.
- [0076] 상기 i-1번째 주사 라인(Si-1)에 인가된 주사신호의 로우구간에 대응하여 상기 제4 트랜지스터(TR40)는 턴-온된다. 상기 제4 트랜지스터(TR40)이 턴-온되면 상기 커패시터(C10)의 제1 전극 및 상기 제2 트랜지스터(TR20)의 게이트 전극에 상기 초기화전압(Vint)이 공급된다. 다시 말해, 상기 제4 트랜지스터(TR40)가 턴-온되면 상기 커패시터(C10)의 제1 전극의 전압 및 상기 제2 트랜지스터(TR20)의 게이트 전극의 전압이 상기 초기화전압(Vint)으로 초기화된다. 여기서, 초기화전압(Vint)은 상기 데이터 신호에 대응하는 전압보다 낮은 전압이다.
- [0077] 상기 초기화전압(Vint)은 예컨대, 그라운드 전압일 수 있다. 또한, 상기 초기화전압(Vint)은 아래의 수학식 2에 따른 레벨의 전압일 수 있다.
- [0078] [수학식 2]
- [0079]
$$-1V \leq (\text{제2 전원전압} - \text{초기화전압}) \leq 1V$$
- [0080] 이후, 상기 i-1번째 주사 라인(Si-1)에 인가된 주사신호가 하이구간일 때, 상기 i번째 주사 라인(Si)으로 인가

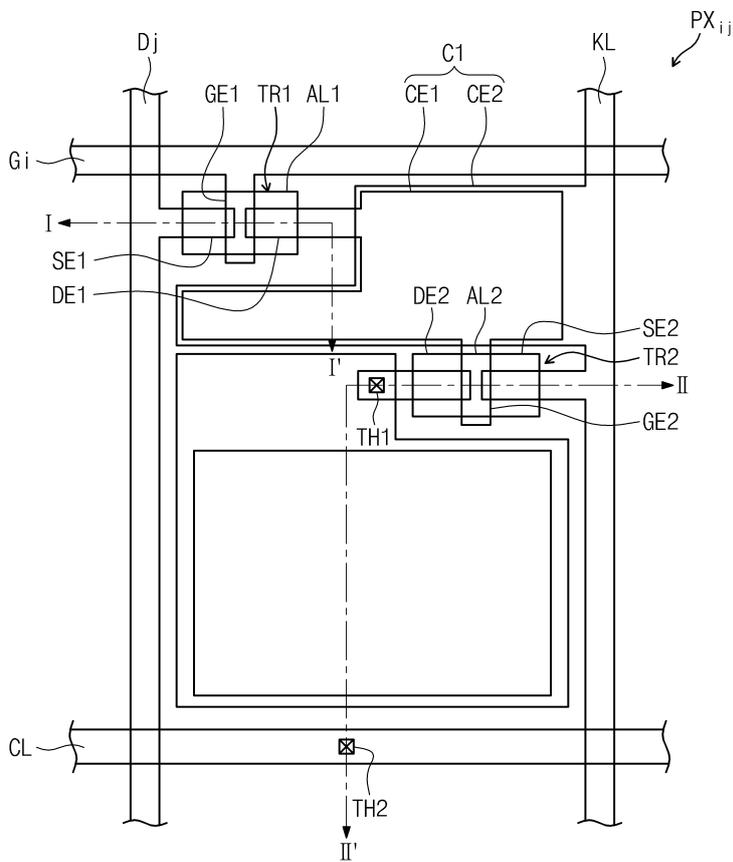
된 주시신호는 하이구간을 갖는다. 상기 i번째 주사 라인(Si)으로 인가된 주사신호의 로우구간에 대응하여 상기 제1 트랜지스터(TR10) 및 상기 제3 트랜지스터(TR30)는 턴-온된다. 상기 제3 트랜지스터(TR30)이 턴-온되면 상기 제1 트랜지스터(TR10)이 다이오드 형태로 접속된다.

- [0081] 상기 제1 트랜지스터(TR10)가 턴-온되면 상기 j번째 데이터 라인(Dj)으로 공급되는 데이터 신호가 상기 제1 트랜지스터(TR10)를 경유하여 상기 제1 노드(N1)에 공급된다. 이때, 상기 제2 트랜지스터(TR20)의 게이트 전극의 전압이 상기 초기화전압(Vint)으로 설정되기 때문에 상기 제2 트랜지스터(TR20)는 턴-온된다.
- [0082] 상기 제2 트랜지스터(TR20)가 턴-온되면 상기 제1 노드(N1)에 인가된 데이터 신호가 상기 제2 트랜지스터(TR20) 및 상기 제3 트랜지스터(TR30)를 경유하여 상기 커패시터(C10)의 상기 제1 전극에 공급된다. 상기 커패시터(C10)는 상기 데이터 신호에 대응하는 전압 및 상기 제2 트랜지스터(TR20)의 문턱전압의 합에 대응되는 전압을 충전한다.
- [0083] 상기 커패시터(C10)가 충전된 후, 상기 발광 제어신호의 로우구간에 대응하게 상기 제5 트랜지스터(TR50) 및 상기 제6 트랜지스터(TR60)는 턴-온된다.
- [0084] 상기 제5 트랜지스터(TR50) 및 상기 제6 트랜지스터(TR60)가 턴-온되면 상기 제3 노드(N3)와 상기 유기발광소자(OLED) 사이에 전류경로가 형성된다. 상기 제2 트랜지스터(TR20)의 게이트 전극에 인가된 전압에 대응하여 상기 제1 전원전압(ELVDD)으로부터 유기발광소자(OLED)에 흐르는 전류량이 제어된다.
- [0085] 한편, 상기 제6 트랜지스터(TR60)의 턴-오프 구간동안 누설전류가 발생할 수 있다. 상기 제6 트랜지스터(TR60)의 상기 누설전류가 상기 유기발광소자(OLED)에 전달되면, 상기 유기발광소자(OLED)는 상기 누설전류에 대응하는 광을 생성한다.
- [0086] 상기 누설전류에 대응하는 광이 생성되는 것을 방지하기 위해 상기 유기발광소자(OLED)에는 기준전압이 인가된다. 좀 더 구체적으로 상기 유기발광소자(OLED)의 상기 제1 전극과 상기 유기발광층(EML) 사이에 배치된 제1 공통층(FL1)에 상기 기준전압이 인가된다. 본 실시예에서 상기 기준전압은 상기 초기화전압(Vint)이다.
- [0087] 도 9에 도시된 것과 같이, 상기 제1 기판(10) 상에 상기 초기화전압(Vint)을 수신하는 공통라인(CL20)이 배치된다.
- [0088] 상기 제6 트랜지스터(TR60)의 게이트 전극(GE6)이 상기 제1 기판(10) 상에 배치된다. 상기 제6 트랜지스터(TR60)의 반도체층(AL6)은 제1 절연층(12)을 사이에 두고, 상기 게이트 전극(GE6) 상에 배치된다. 상기 제6 트랜지스터(TR60)의 소스 전극(SE6)과 드레인 전극(DE6)은 상기 반도체층(AL6)에 증착하게 배치된다. 상기 제2 절연층(14)은 상기 소스 전극(SE6) 및 상기 드레인 전극(DE6)을 커버한다.
- [0089] 상기 제2 절연층(14) 상에 상기 유기발광소자(OLED) 및 상기 공통라인(CL20)이 배치된다. 상기 제2 절연층(14) 상에 상기 유기발광소자(OLED)의 제1 전극(OE1), 상기 제1 전극(OE1) 상에 제1 공통층(FL1), 상기 제1 공통층(FL1) 상에 유기발광층(EML), 상기 유기발광층(EML) 상에 제2 공통층(FL2), 상기 제2 공통층(FL2) 상에 제2 전극(OE2)이 배치된다. 한편, 상기 공통라인(CL20)은 도 5a 및 도 5b에 도시된 것과 같이, 다른 층 상에 형성될 수 있다.
- [0090] 상기 제2 절연층(14) 상에 제3 절연층(16)이 배치된다. 상기 제3 절연층(16)은 상기 유기발광소자(OLED)의 상기 제1 전극(OE1)을 노출시키는 개구부(OP)를 구비한다. 상기 제3 절연층(16) 상에 상기 제1 공통층(FL1)이 배치된다.
- [0091] 상기 제1 공통층(FL1)의 일부분은 상기 제2 절연층(14) 상에 배치된 상기 공통라인(CL20)에 접촉한다. 상기 제1 공통층(FL1)의 일부분은 상기 제3 절연층(16)을 관통하는 제2 컨택홀(TH2)을 통해 상기 공통라인(CL20)에 접촉한다.
- [0092] 상기 제6 트랜지스터(TR60)의 턴-오프 구간동안 발생한 상기 누설전류는 상기 제1 공통층(FL1)을 통해 상기 공통라인(CL20)으로 접지된다. 따라서, 상기 제6 트랜지스터(TR60)의 턴-오프 구간동안 상기 유기발광소자(OLED)는 상기 누설전류에 의해 발광되지 않는다.
- [0093] 이상에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자 또는 해당 기술 분야에 통상의 지식을 갖는 자라면, 후술될 특허청구범위에 기재된 본 발명의 사상 및 기술 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.
- [0094] 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허청구범위

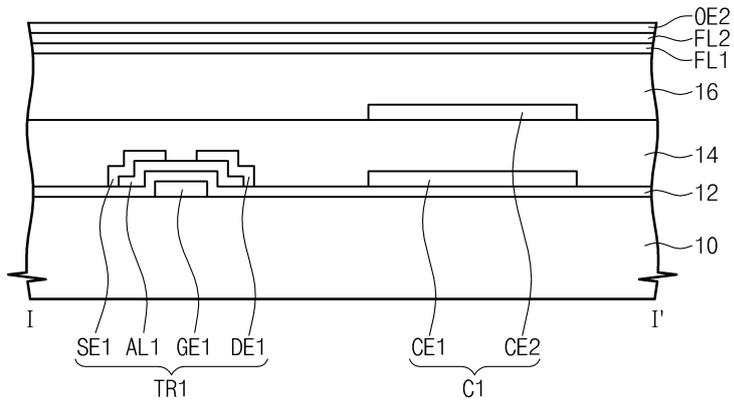
도면2



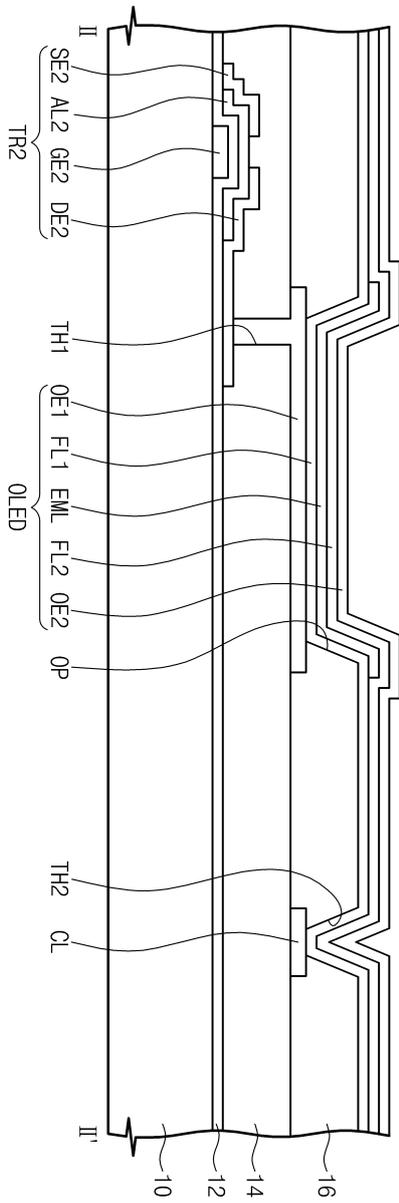
도면3



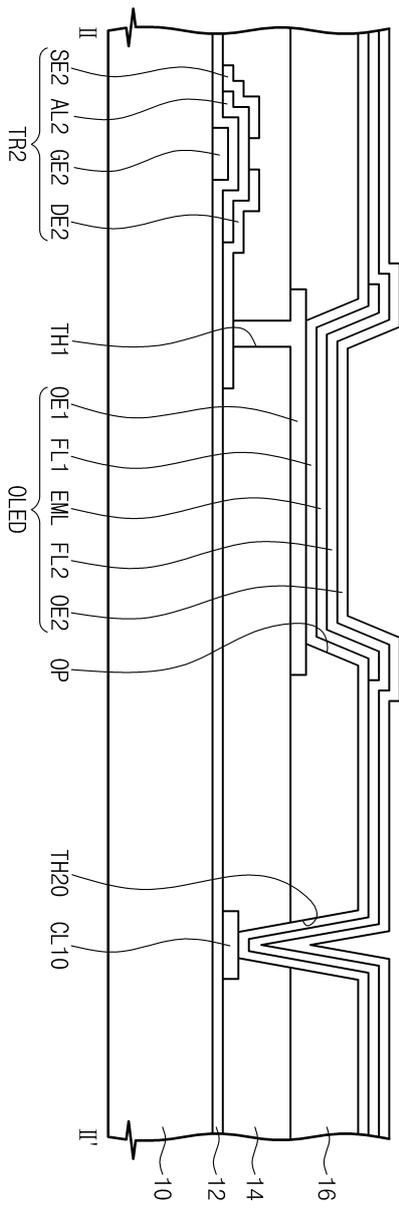
도면4a



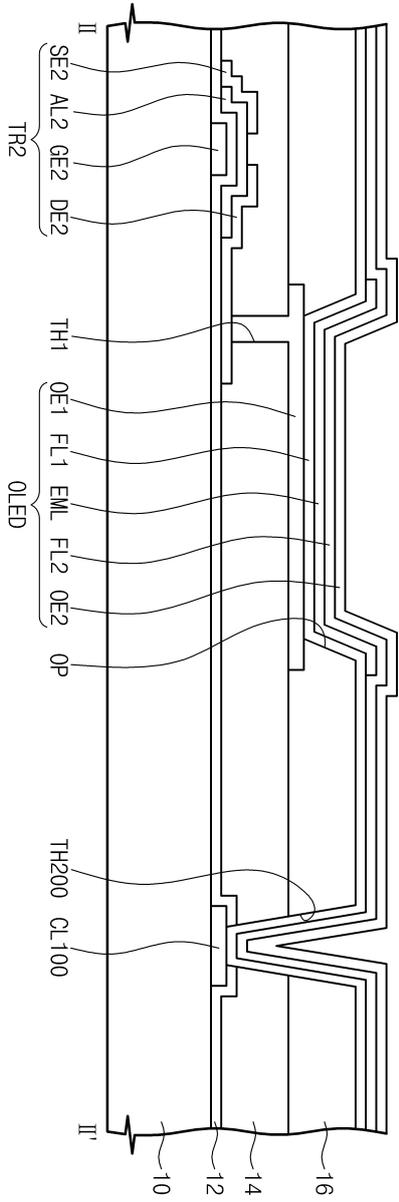
도면4b



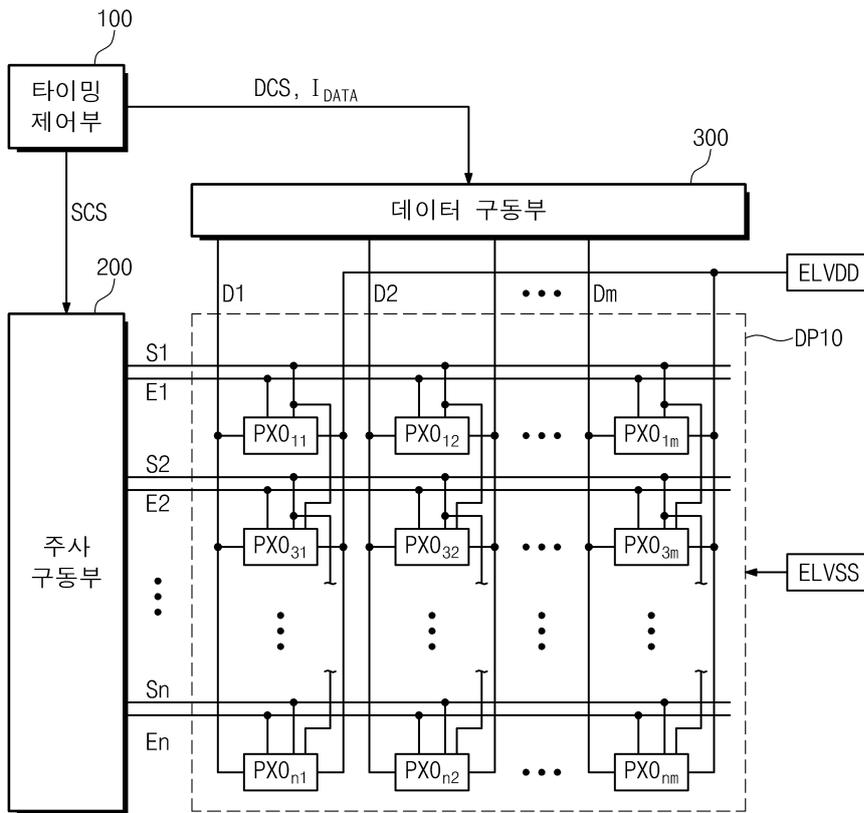
도면5a



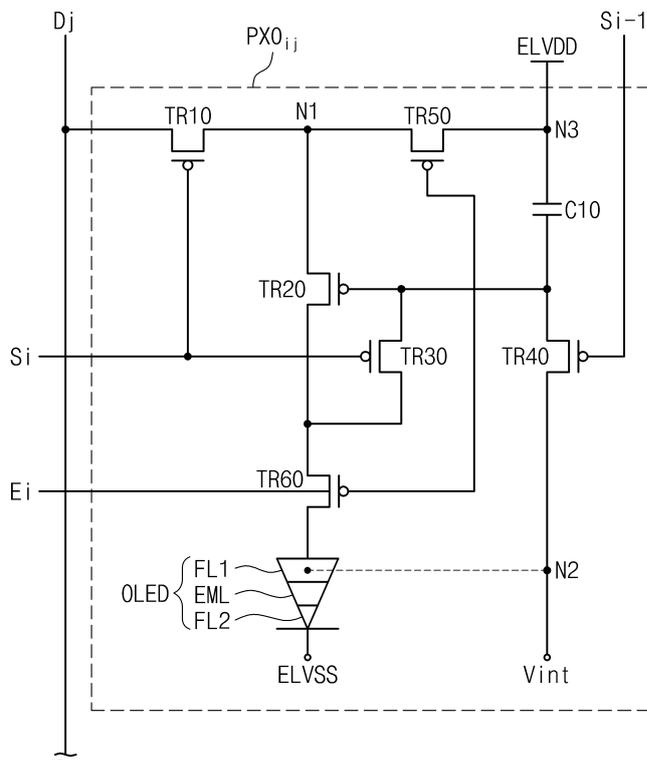
도면5b



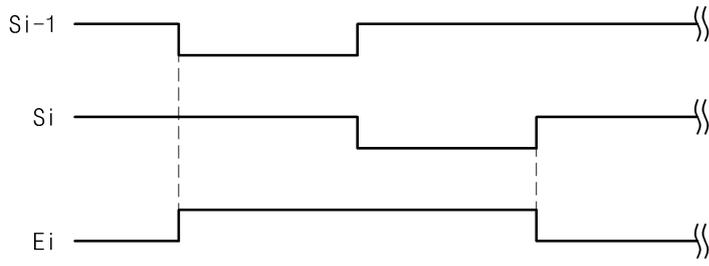
도면6



도면7



도면8



도면9

