

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 19 年 11 月 29 日 (2007.11.29)

【公開番号】特開 2006-319326 (P2006-319326A)

【公開日】平成 18 年 11 月 24 日 (2006.11.24)

【年通号数】公開・登録公報 2006-046

【出願番号】特願 2006-114623 (P2006-114623)

【国際特許分類】

**H 0 1 L 21/336 (2006.01)**

**H 0 1 L 29/786 (2006.01)**

**H 0 1 L 21/8238 (2006.01)**

**H 0 1 L 27/092 (2006.01)**

**H 0 1 L 27/08 (2006.01)**

【F I】

H 0 1 L 29/78 6 1 6 L

H 0 1 L 29/78 6 1 6 T

H 0 1 L 29/78 6 1 7 J

H 0 1 L 29/78 6 1 6 U

H 0 1 L 29/78 6 1 6 V

H 0 1 L 27/08 3 2 1 E

H 0 1 L 27/08 3 3 1 E

【手続補正書】

【提出日】平成 19 年 10 月 11 日 (2007.10.11)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

シリコン基体上にトランジスタゲートを形成するステップと、  
前記ゲートの対向している側面上に前記シリコン基体の窪んだ部分を形成するステップと、

前記窪んだ部分に第 1 のドーピングを行うステップと、  
前記第 1 のドーピングを行うステップの後に、前記窪んだ部分上に S i G e 層を形成するステップと、

前記 S i G e 層を形成した後、前記ゲートに第 2 のドーピングを行うステップと  
を具備することを特徴とする半導体装置の製造方法。

【請求項 2】

前記請求項 1 の方法において、前記第 1 のドーピングを行うステップは、各々の前記窪んだ部分の下面と側壁の両方にドーピングするものである。

【請求項 3】

前記請求項 1 の方法において、  
前記ゲートの対向する側面の各々の上にサイドウォールスペーサを形成するステップと、  
前記各サイドウォールスペーサを除去するステップと、  
エクステンション形成を実行するステップと  
を更に含み、

前記第 1 のドーピングを行うステップと前記窪んだ部分を形成するステップは、前記サイドウォールスペースが除去される前に実行される。

【請求項 4】

前記請求項 1 の方法において、前記ゲート下のシリコン基体中のトランジスタチャンネル領域は、前記第 1 のドーピングを行うステップと前記第 2 のドーピングを行うステップの両方のステップでボロンが浸透されない。

【請求項 5】

埋め込み酸化物層上に配置されたシリコン基体を含むシリコン・オン・インシュレータ・ウェーハと、

窪んだ部分の間の前記シリコン基体上に配置されたトランジスタゲート、1 ペアのソース/ドレイン領域、及び前記シリコン基体中のチャンネル領域を含むトランジスタとを具備し、

前記ソース/ドレイン領域には、前記埋め込み酸化物層の各々に接するようにボロンイオンが注入され、且つ前記チャンネル領域にはボロンイオンは浸透されないことを特徴とする半導体装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】半導体装置及びその製造方法

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0 0 0 1

【補正方法】変更

【補正の内容】

【0 0 0 1】

本発明は、半導体装置及びその製造方法に関し、より特にトランジスタチャンネルへボロンの浸透を低減する間にトランジスタのソース/ドレイン領域をドーブする方法を提供し、そして、またトランジスタチャンネルに圧縮応力を印加するのと同じトランジスタ中の S i G e 層を提供する。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0 0 0 6

【補正方法】変更

【補正の内容】

【0 0 0 6】

本発明の一つの側面によれば、シリコン基体上にトランジスタゲートを形成するステップと、前記ゲートの対向している側面上に前記シリコン基体の窪んだ部分を形成するステップと、前記窪んだ部分に第 1 のドーピングを行うステップと、前記第 1 のドーピングを行うステップの後に、前記窪んだ部分上に S i G e 層を形成するステップと、前記 S i G e 層を形成した後、前記ゲートに第 2 のドーピングを行うステップとを具備する半導体装置の製造方法が提供される。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0 0 0 7

【補正方法】変更

【補正の内容】

【0 0 0 7】

本発明の他の側面によれば、埋め込み酸化物層上に配置されたシリコン基体を含むシリ

コン・オン・インシュレーター・ウェーハと、窪んだ部分の間の前記シリコン基体上に配置されたトランジスタゲート、１ペアのソース／ドレイン領域、及び前記シリコン基体中のチャネル領域を含むトランジスタとを具備し、前記ソース／ドレイン領域には、前記埋め込み酸化物層の各々に接するようにボロニオンが注入され、且つ前記チャネル領域にはボロニオンは浸透されない半導体装置が提供される。

【手続補正６】

【補正対象書類名】明細書

【補正対象項目名】０００８

【補正方法】削除

【補正の内容】

【手続補正７】

【補正対象書類名】明細書

【補正対象項目名】００２５

【補正方法】変更

【補正の内容】

【００２５】

上述したように、本発明の一態様に係る半導体装置の形成方法は、シリコン基体上にトランジスタゲートを形成することと、前記ゲートの対向している側面上に前記シリコン基体の窪んだ部分を形成することと、前記窪んだ部分に第１のドーピングを行うことと、前記第１のドーピングを行うステップの後に、前記窪んだ部分上にＳｉＧｅ層を形成することと、前記ＳｉＧｅ層を形成した後、前記ゲートに第２のドーピングを行うこととを具備する。

そして、上記の方法において、前記第１のドーピングを行うステップは、前記窪んだ部分上に約３ＫｅＶ、 $1 \times 10^{15} \text{ cm}^{-2}$ でＢＦ２を注入することを含んでいる。

また、上記の方法において、前記第２のドーピングを行うステップは、前記窪んだ部分上に約５ＫｅＶ、 $2.5 \times 10^{15} \text{ cm}^{-2}$ でＢＦ２を注入することを含んでいる。

上記の方法において、前記第１のドーピングを行うステップは、各々の前記窪んだ部分の下面と側壁の両方にドーピングすることを含んでいる。

上記の方法において、前記ゲートの対向する側面の各々の上にサイドウォールスペーサを形成することと、前記各サイドウォールスペーサを除去することと、エクステンション形成を実行することとを更に含み、そこでは前記第１のドーピングの実行と前記窪んだ部分を形成するステップは、前記サイドウォールスペーサが除去される前に実行される。

上記の方法において、ゲート下のシリコン基体中のトランジスタチャネル領域は、第１のドーピングと第２のドーピングを実行する両方のステップでボロンが浸透されない。

上記の方法において、トランジスタゲートはポリシリコンを含み、前記シリコン基体上に約１００ｎｍ以下延びる。

上記の方法において、第２のドーピングを実行するステップは、ゲートの第２のドーピングを実行することを含んでいる。

上記の方法において、シリコン基体は埋め込み酸化物層より上に配置され、且つそこでは第１のドーピングを実行するステップの結果として、埋め込み酸化物層にそれぞれ接するシリコン基体中の１ペアのソース／ドレイン領域を生じる。

更に、本発明の一態様に係る半導体装置は、埋め込み酸化物層上に配置されたシリコン基体を含むシリコン・オン・インシュレーター・ウェーハと、窪んだ部分の間のシリコン基体上に配置されたトランジスタゲート、１ペアのソース／ドレイン領域、及びシリコン基体中のチャネル領域を含むトランジスタとを具備し、そこではソース／ドレイン領域には、埋め込み酸化物層の各々に接するようにボロニオンが注入され、また、そこではチャネル領域にはボロニオンは浸透されない。

そして、上記構成の半導体装置において、チャネル領域の対向している側面上のシリコン基体の窪んだ部分上に配置されたＳｉＧｅ層を更に含む。

上記構成の半導体装置において、ソース／ドレイン領域は二弗化ボロンでドーブされる

°

上記構成の半導体装置において、トランジスタゲートはボロンイオンでドーブされる。

上記構成の半導体装置において、トランジスタゲートはポリシリコンを含み、前記シリコン基体上に約100nm以下延びる。

以上のように、本発明の側面は、トランジスタチャネルのボロン染み込みを低減するかより回避する間にボロンイオンで十分にドーブされるソース/ドレイン領域を備えたトランジスタを持っているシリコン・オン・インシュレーター(SOI)ウェーハ上に半導体装置を製造する方法に向けられる。これは、より低い接合容量のような優れた機能特性があるトランジスタに結果として生じても良い。そのようなデバイスは過度に高いトランジスタゲートを製造する必要なしに提供されても良く、製造ステップの比較的単純で安いセットを利用している間、それは更に低い寄生容量があるトランジスタに結果として生じても良い。上記のものの達成に加えて、製造工程はトランジスタチャネル上の圧縮応力を提供するシリコンゲルマニウム(SiGe)層の追加を更に考慮に入れ、それによってp型トランジスタチャネル内の正孔移動度を向上させる。

本発明のさらなる側面は、前述の半導体装置を製造する方法に導かれる、前述のトランジスタがp型の電界効果トランジスタ(PFET)であるもの、そこでその方法は、さらに同じウェーハ上にn型電界効果トランジスタ(NFET)の同時製造を考慮に入れる。

本発明のまださらなる側面は、前述の製造方法に起因する半導体装置及び/またはトランジスタに導かれる。

従って、新しい構成と、そのような構成を製造する方法が記述され、それはトランジスタチャネルへボロン染み込みを更に減らすか回避する間に完全にドーブされたトランジスタのソース/ドレイン領域を備え、そのためにトランジスタの性能が向上される。その上、そのようなトランジスタは、トランジスタチャネルに圧縮応力を印加するSiGe層から利益を得、それによって、更にトランジスタの性能を向上させる。