

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2017年8月3日 (03.08.2017)



(10) 国际公布号
WO 2017/128565 A1

- (51) 国际专利分类号:
H01L 21/77 (2006.01) *G02F 1/1362* (2006.01)
- (21) 国际申请号: PCT/CN2016/082717
- (22) 国际申请日: 2016年5月20日 (20.05.2016)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201610060851.4 2016年1月28日 (28.01.2016) CN
- (71) 申请人: 武汉华星光电技术有限公司 (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430070 (CN)。
- (72) 发明人: 邓思 (DENG, Si); 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430070 (CN)。 郭远 (GUO, Yuan); 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430070 (CN)。
- (74) 代理人: 深圳市德力知识产权代理事务所 (COMIPS INTELLECTUAL PROPERTY OFFICE); 中国广

东省深圳市福田区上步中路深勘大厦 15E, Guangdong 518028 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第 21 条(3))。

(54) Title: MANUFACTURING METHOD FOR LOW-TEMPERATURE POLYSILICON ARRAY SUBSTRATE

(54) 发明名称: 低温多晶硅阵列基板的制作方法

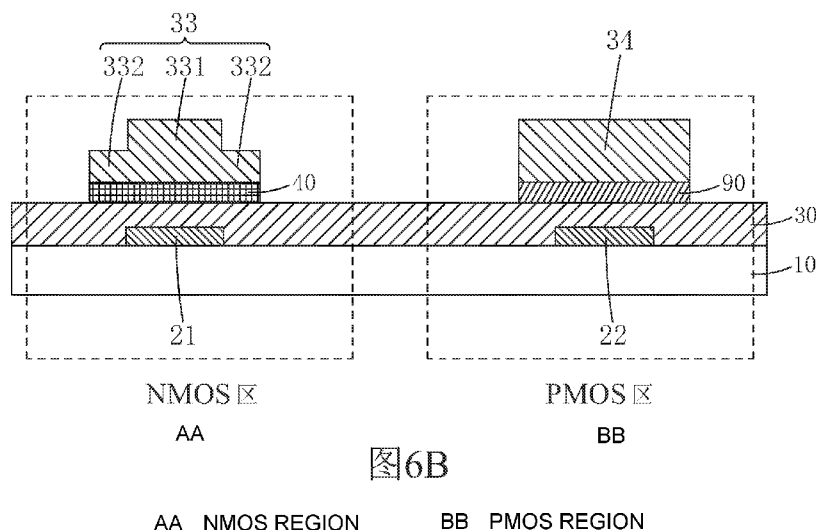


图6B

AA NMOS REGION

BB PMOS REGION

(57) Abstract: A manufacturing method for a low-temperature polysilicon array substrate, where a half-tone mask is employed to implement patterning of a polysilicon layer and an N-type heavy doping process of a polysilicon segment of an NMOS region, obviating one mask compared with the prior art, thus reducing production costs, and providing the manufactured low-temperature polysilicon array substrate with great electrical properties.

(57) 摘要: 一种低温多晶硅阵列基板的制作方法, 采用一道半色调光罩来实现多晶硅层的图形化处理以及 NMOS 区的多晶硅段的 N 型重掺杂制程, 与现有技术相比, 节约一道光罩, 从而降低生产成本, 且制得的低温多晶硅阵列基板具有良好的电学性能。



WO 2017/128565 A1

低温多晶硅阵列基板的制作方法

技术领域

本发明涉及显示技术领域，尤其涉及一种低温多晶硅阵列基板的制作方法。

背景技术

随着显示技术的发展，液晶显示器（Liquid Crystal Display，LCD）等平面显示装置因具有高画质、省电、机身薄及应用范围广等优点，而被广泛的应用于手机、电视、个人数字助理、数码相机、笔记本电脑、台式计算机等各种消费性电子产品，成为显示装置中的主流。

现有市场上的液晶显示装置大部分为背光型液晶显示器，其包括液晶显示面板及背光模组（backlight module）。液晶显示面板的工作原理是在两片平行的玻璃基板当中放置液晶分子，两片玻璃基板中间有许多垂直和水平的细小电线，通过通电与否来控制液晶分子改变方向，将背光模组的光线折射出来产生画面。

通常液晶显示面板由彩膜（CF，Color Filter）基板、薄膜晶体管（TFT，Thin Film Transistor）基板、夹于彩膜基板与薄膜晶体管基板之间的液晶（LC，Liquid Crystal）及密封胶框（Sealant）组成，其成型工艺一般包括：前段阵列（Array）制程（薄膜、黄光、蚀刻及剥膜）、中段成盒（Cell）制程（TFT 基板与 CF 基板贴合）及后段模组组装制程（驱动 IC 与印刷电路板压合）。其中，前段 Array 制程主要是形成 TFT 基板，以便于控制液晶分子的运动；中段 Cell 制程主要是在 TFT 基板与 CF 基板之间添加液晶；后段模组组装制程主要是驱动 IC 压合与印刷电路板的整合，进而驱动液晶分子转动，显示图像。

低温多晶硅（Low Temperature Poly Silicon，LTPS）是广泛用于中小电子产品中的一种液晶显示技术。传统的非晶硅材料的电子迁移率约 $0.5-1.0\text{cm}^2/\text{V.S}$ ，而低温多晶硅的电子迁移率可达 $30-300\text{cm}^2/\text{V.S}$ 。因此，低温多晶硅液晶显示器具有高解析度、反应速度快、高开口率等诸多优点。

但是另一方面，由于 LTPS 半导体器件的体积小、集成度高，所以整个 LTPS 阵列基板的制备工艺复杂，生产成本较高。

目前的 LTPS 阵列基板的制作流程中，多晶硅（Poly-si）层的图形化、NMOS（Negative channel Metal Oxide Semiconductor，N 型金属氧化物半导

体)器件的沟道(channel)掺杂、NMOS器件的N型重掺杂(N+掺杂)各需一道光罩,具体步骤如下:

如图1所示,在多晶硅层上涂布光阻层200,利用第一道光罩对光阻层200进行曝光、显影后,以剩余的光阻层200为遮挡,对多晶硅层进行蚀刻,得到位于NMOS区的第一多晶硅段300、及位于PMOS(Positive channel Metal Oxide Semiconductor; P型金属氧化物半导体)区的第二多晶硅段400

如图2所示,在所述第一多晶硅段300、及第二多晶硅段400上涂布光阻层500,利用第二道光罩对光阻层500进行曝光、显影后,使PMOS区的第二多晶硅段400被剩余的光阻层500遮挡,对NMOS区的第一多晶硅段300进行沟道掺杂;

如图3所示,在所述第一多晶硅段300、及第二多晶硅段400上涂布光阻层600,利用第三道光罩对光阻层600进行曝光、显影后,使PMOS区的第二多晶硅段400及NMOS区的第一多晶硅段300的中间区域被剩余的光阻层600遮挡,对NMOS区的第一多晶硅段300的两端进行N型重掺杂。

以上制程总共需要三道光罩制程完成,制程繁琐,生产成本低,因此,有必要提供一种低温多晶硅阵列基板的制作方法,以解决该技术问题。

发明内容

本发明的目的在于提供一种低温多晶硅阵列基板的制作方法,采用一道半色调光罩来实现多晶硅层的图形化处理以及NMOS区的多晶硅段的N型重掺杂制程,与现有技术相比,节约一道光罩,从而降低生产成本。

为实现上述目的,本发明提供一种低温多晶硅阵列基板的制作方法,包括如下步骤:

步骤1、提供一基板,在所述基板上定义出NMOS区与PMOS区,在所述基板上沉积第一金属层,对所述第一金属层进行图形化处理,得到位于NMOS区的第一遮光层及位于PMOS区的第二遮光层;

步骤2、在所述第一遮光层、第二遮光层、及基板上形成缓冲层,在所述缓冲层上沉积非晶硅层,采用低温结晶工艺将所述非晶硅层转化为多晶硅层,利用光罩对NMOS区的多晶硅层进行沟道掺杂;

步骤3、在所述多晶硅层上涂布光阻层,采用一道半色调光罩对所述光阻层进行曝光、显影后,得到位于NMOS区的第一光阻层与位于PMOS区的第二光阻层,所述第一光阻层包括中间的厚层区域以及位于厚层区域两侧的薄层区域,所述第二光阻层的厚度均匀,且所述第一光阻层的厚层区域与所述第二光阻层的厚度相同;

以所述第一光阻层与第二光阻层为遮挡, 对所述多晶硅层进行蚀刻, 分别得到位于 NMOS 区的第一多晶硅段与位于 PMOS 区的第二多晶硅段;

5 采用干蚀刻设备对所述第一光阻层与第二光阻层进行灰化处理, 使得所述第一光阻层上位于两侧的薄层区域被完全去除, 同时所述第一光阻层上位于中间的厚层区域以及第二光阻层的厚度减薄; 以剩余的第一光阻层上的厚层区域与第二光阻层为掩模, 对所述第一多晶硅段的两侧进行 N 型重掺杂, 得到两 N 型重掺杂区。

还包括如下步骤:

10 步骤 4、在所述第一多晶硅段、第二多晶硅段、及缓冲层上沉积栅极绝缘层, 在所述栅极绝缘层上沉积第二金属层, 对所述第二金属层进行图形化处理, 得到分别对应于第一多晶硅段与第二多晶硅段上方的第一栅极与第二栅极;

15 以所述第一栅极为光罩对所述第一多晶硅段进行 N 型轻掺杂, 得到分别位于两 N 型重掺杂区内侧的两 N 型轻掺杂区, 所述第一多晶硅段上位于两 N 型轻掺杂区之间的区域形成第一沟道区;

步骤 5、利用光罩对所述第二多晶硅段的两侧进行 P 型重掺杂, 得到两 P 型重掺杂区, 所述第二多晶硅段上位于两 P 型重掺杂区之间的区域形成第二沟道区;

20 步骤 6、在所述第一栅极、第二栅极、及栅极绝缘层上沉积层间绝缘层, 对所述层间绝缘层及栅极绝缘层进行图形化处理, 得到位于所述 N 型重掺杂区上方的第一过孔及位于所述 P 型重掺杂区上方的第二过孔, 之后对所述层间绝缘层进行去氢和活化处理;

25 步骤 7、在所述层间绝缘层上沉积第三金属层, 对所述第三金属层进行图形化处理, 得到第一源极、第一漏极、第二源极、第二漏极, 所述第一源极、第一漏极分别通过第一过孔与 N 型重掺杂区相接触, 所述第二源极、第二漏极分别通过第二过孔与 P 型重掺杂区相接触;

步骤 8、在所述第一源极、第一漏极、第二源极、第二漏极、及层间绝缘层上形成平坦层, 对所述平坦层进行图形化处理, 得到位于所述第一漏极上方的第三过孔;

30 步骤 9、在所述平坦层上沉积第一透明导电氧化物层, 对所述第一透明导电氧化物层进行图形化处理, 得到公共电极;

步骤 10、在所述公共电极、及平坦层上沉积钝化保护层, 所述钝化保护层包覆所述平坦层上的第三过孔, 之后对所述钝化保护层进行图形化处理, 得到位于所述第三过孔底部的钝化保护层上的第四过孔;

步骤 11、在所述钝化保护层上沉积第二透明导电氧化物层，对所述第二透明导电氧化物层进行图形化处理，得到像素电极，所述像素电极通过第四过孔与第一漏极相接触。

5 所述步骤 2 中，所述低温结晶工艺为准分子激光退火法或金属诱导横向晶化法。

所述步骤 2 中，所述沟道掺杂的具体操作为：在所述多晶硅层上涂布光阻层，利用光罩对光阻层进行曝光、显影，去除位于 NMOS 区的光阻层后，对整个 NMOS 区的多晶硅层进行 P 型轻掺杂。

10 所述步骤 6 中，采用快速热退火工艺对所述层间绝缘层进行去氢和活化处理。

所述基板为玻璃基板；所述第一金属层、第二金属层、第三金属层的材料为钼、钛、铝、铜中的一种或多种的堆栈组合；所述缓冲层、栅极绝缘层、层间绝缘层、及钝化保护层为氧化硅层、氮化硅层、或者由氧化硅层与氮化硅层叠加构成的复合层；所述平坦层为有机光阻材料。

15 所述第一透明导电氧化物层、第二透明导电氧化物层的材料为金属氧化物。

所述金属氧化物为铟锡氧化物、铟锌氧化物、铝锡氧化物、铝锌氧化物、或铟锗锌氧化物。

所述 N 型重掺杂、N 型轻掺杂掺入的离子为磷离子或者砷离子。

20 所述 P 型重掺杂、P 型轻掺杂掺入的离子为硼离子或者镓离子。

本发明还提供一种低温多晶硅阵列基板的制作方法，包括如下步骤：

步骤 1、提供一基板，在所述基板上定义出 NMOS 区与 PMOS 区，在所述基板上沉积第一金属层，对所述第一金属层进行图形化处理，得到位于 NMOS 区的第一遮光层及位于 PMOS 区的第二遮光层；

25 步骤 2、在所述第一遮光层、第二遮光层、及基板上形成缓冲层，在所述缓冲层上沉积非晶硅层，采用低温结晶工艺将所述非晶硅层转化为多晶硅层，利用光罩对 NMOS 区的多晶硅层进行沟道掺杂；

30 步骤 3、在所述多晶硅层上涂布光阻层，采用一道半色调光罩对所述光阻层进行曝光、显影后，得到位于 NMOS 区的第一光阻层与位于 PMOS 区的第二光阻层，所述第一光阻层包括中间的厚层区域以及位于厚层区域两侧的薄层区域，所述第二光阻层的厚度均匀，且所述第一光阻层的厚层区域与所述第二光阻层的厚度相同；

以所述第一光阻层与第二光阻层为遮挡，对所述多晶硅层进行蚀刻，分别得到位于 NMOS 区的第一多晶硅段与位于 PMOS 区的第二多晶硅段；

采用干蚀刻设备对所述第一光阻层与第二光阻层进行灰化处理,使得所述第一光阻层上位于两侧的薄层区域被完全去除,同时所述第一光阻层上位于中间的厚层区域以及第二光阻层的厚度减薄;以剩余的第一光阻层上的厚层区域与第二光阻层为掩模,对所述第一多晶硅段的两侧进行 N 型重掺杂,得到两 N 型重掺杂区;

还包括如下步骤:

步骤 4、在所述第一多晶硅段、第二多晶硅段、及缓冲层上沉积栅极绝缘层,在所述栅极绝缘层上沉积第二金属层,对所述第二金属层进行图形化处理,得到分别对应于第一多晶硅段与第二多晶硅段上方的第一栅极与第二栅极;

以所述第一栅极为光罩对所述第一多晶硅段进行 N 型轻掺杂,得到分别位于两 N 型重掺杂区内侧的两 N 型轻掺杂区,所述第一多晶硅段上位于两 N 型轻掺杂区之间的区域形成第一沟道区;

步骤 5、利用光罩对所述第二多晶硅段的两侧进行 P 型重掺杂,得到两 P 型重掺杂区,所述第二多晶硅段上位于两 P 型重掺杂区之间的区域形成第二沟道区;

步骤 6、在所述第一栅极、第二栅极、及栅极绝缘层上沉积层间绝缘层,对所述层间绝缘层及栅极绝缘层进行图形化处理,得到位于所述 N 型重掺杂区上方的第一过孔及位于所述 P 型重掺杂区上方的第二过孔,之后对所述层间绝缘层进行去氢和活化处理;

步骤 7、在所述层间绝缘层上沉积第三金属层,对所述第三金属层进行图形化处理,得到第一源极、第一漏极、第二源极、第二漏极,所述第一源极、第一漏极分别通过第一过孔与 N 型重掺杂区相接触,所述第二源极、第二漏极分别通过第二过孔与 P 型重掺杂区相接触;

步骤 8、在所述第一源极、第一漏极、第二源极、第二漏极、及层间绝缘层上形成平坦层,对所述平坦层进行图形化处理,得到位于所述第一漏极上方的第三过孔;

步骤 9、在所述平坦层上沉积第一透明导电氧化物层,对所述第一透明导电氧化物层进行图形化处理,得到公共电极;

步骤 10、在所述公共电极、及平坦层上沉积钝化保护层,所述钝化保护层包覆所述平坦层上的第三过孔,之后对所述钝化保护层进行图形化处理,得到位于所述第三过孔底部的钝化保护层上的第四过孔;

步骤 11、在所述钝化保护层上沉积第二透明导电氧化物层,对所述第二透明导电氧化物层进行图形化处理,得到像素电极,所述像素电极通过

第四过孔与第一漏极相接触；

其中，所述步骤 2 中，所述低温结晶工艺为准分子激光退火法或金属诱导横向晶化法；

其中，所述步骤 2 中，所述沟道掺杂的具体操作为：在所述多晶硅层上涂布光阻层，利用光罩对光阻层进行曝光、显影，去除位于 NMOS 区的光阻层后，对整个 NMOS 区的多晶硅层进行 P 型轻掺杂。

本发明的有益效果：本发明提供的一种低温多晶硅阵列基板的制作方法，采用一道半色调光罩来实现多晶硅层的图形化处理以及 NMOS 区的多晶硅段的 N 型重掺杂制程，与现有技术相比，节约一道光罩，从而降低生产成本，且制得的低温多晶硅阵列基板具有良好的电学性能。

为了能更进一步了解本发明的特征以及技术内容，请参阅以下有关本发明的详细说明与附图，然而附图仅提供参考与说明用，并非用来对本发明加以限制。

附图说明

下面结合附图，通过对本发明的具体实施方式详细描述，将使本发明的技术方案及其它有益效果显而易见。

附图中，

图 1 为现有的低温多晶硅阵列基板的制程中对多晶硅层进行图形化处理的示意图；

图 2 为现有的低温多晶硅阵列基板的制程中对 NMOS 区的多晶硅层进行沟道掺杂的示意图；

图 3 为现有的低温多晶硅阵列基板的制程中对 NMOS 区的多晶硅层进行 N 型重掺杂的示意图；

图 4 为本发明的低温多晶硅阵列基板的制作方法的步骤 1 的示意图；

图 5 为本发明的低温多晶硅阵列基板的制作方法的步骤 2 的示意图；

图 6A-6C 为本发明的低温多晶硅阵列基板的制作方法的步骤 3 的示意图；

图 7 为本发明的低温多晶硅阵列基板的制作方法的步骤 4 的示意图；

图 8 为本发明的低温多晶硅阵列基板的制作方法的步骤 5 的示意图；

图 9 为本发明的低温多晶硅阵列基板的制作方法的步骤 6 的示意图；

图 10 为本发明的低温多晶硅阵列基板的制作方法的步骤 7 的示意图；

图 11 为本发明的低温多晶硅阵列基板的制作方法的步骤 8 的示意图；

图 12 为本发明的低温多晶硅阵列基板的制作方法的步骤 9 的示意图；

图 13 为本发明的低温多晶硅阵列基板的制作方法的步骤 10 的示意图；
图 14 为本发明的低温多晶硅阵列基板的制作方法的步骤 11 的示意图。

具体实施方式

5 为更进一步阐述本发明所采取的技术手段及其效果，以下结合本发明的优选实施例及其附图进行详细描述。

请参阅图 4-14，本发明提供一种低温多晶硅阵列基板的制作方法，包括如下步骤：

步骤 1、如图 4 所示，提供一基板 10，在所述基板 10 上定义出 NMOS
10 区与 PMOS 区，在所述基板 10 上沉积第一金属层，对所述第一金属层进行图形化处理，得到位于 NMOS 区的第一遮光层 21 及位于 PMOS 区的第二遮光层 22。

步骤 2、如图 5 所示，在所述第一遮光层 21、第二遮光层 22、及基板
15 10 上形成缓冲层 30，在所述缓冲层 30 上沉积非晶硅层，采用低温结晶工艺将所述非晶硅层转化为多晶硅层 31，利用光罩对 NMOS 区的多晶硅层 31 进行沟道掺杂。

具体的，所述低温结晶工艺可以为准分子激光退火法（Excimer Laser Annealing，ELA）或金属诱导横向晶化法（Metal Induced lateral Crystallization, MILC）等等。

20 具体的，所述沟道掺杂的具体操作为：在所述多晶硅层 31 上涂布光阻层 32，利用光罩对光阻层 32 进行曝光、显影，去除位于 NMOS 区的的光阻层 32 后，对整个 NMOS 区的多晶硅层 31 进行 P 型轻掺杂。

步骤 3、如图 6A 所示，在所述多晶硅层 31 上涂布光阻层，采用一道
25 半色调（Half-Tone）光罩对所述光阻层进行曝光、显影后，得到位于 NMOS 区的第一光阻层 33 与位于 PMOS 区的第二光阻层 34，所述第一光阻层 33 包括中间的厚层区域 331 以及位于厚层区域 331 两侧的薄层区域 332，所述第二光阻层 34 的厚度均匀，且所述第一光阻层 33 的厚层区域 331 与所述第二光阻层 34 的厚度相同；

如图 6B 所示，以所述第一光阻层 33 与第二光阻层 34 为遮挡，对所述
30 多晶硅层 31 进行蚀刻，分别得到位于 NMOS 区的第一多晶硅段 40 与位于 PMOS 区的第二多晶硅段 90；

如图 6C 所示，采用干蚀刻设备对所述第一光阻层 33 与第二光阻层 34 进行灰化（ashing）处理，使得所述第一光阻层 33 上位于两侧的薄层区域 332 被完全去除，同时所述第一光阻层 33 上位于中间的厚层区域 331 以及

第二光阻层 34 的厚度减薄；以剩余的第一光阻层 33 上的厚层区域 331 与第二光阻层 34 为掩模，对所述第一多晶硅段 40 的两侧进行 N 型重掺杂，得到两 N 型重掺杂区 41。

5 具体的，所述步骤 3 采用一道半色调光罩来实现多晶硅层 31 的图形化以及第一多晶硅段 40 的 N 型重掺杂，与现有技术相比，节约一道光罩，从而降低生产成本。

步骤 4、如图 7 所示，在所述第一多晶硅段 40、第二多晶硅段 90、及缓冲层 30 上沉积栅极绝缘层 51，在所述栅极绝缘层 51 上沉积第二金属层，对所述第二金属层进行图形化处理，得到分别对应于第一多晶硅段 40 与第二多晶硅段 90 上方的第一栅极 52 与第二栅极 93；

以所述第一栅极 52 为光罩对所述第一多晶硅段 40 进行 N 型轻掺杂，得到分别位于两 N 型重掺杂区 41 内侧的两 N 型轻掺杂区 43，所述第一多晶硅段 40 上位于两 N 型轻掺杂区 43 之间的区域形成第一沟道区 42。

15 步骤 5、如图 8 所示，利用光罩对所述第二多晶硅段 90 的两侧进行 P 型重掺杂，得到两 P 型重掺杂区 91，所述第二多晶硅段 90 上位于两 P 型重掺杂区 91 之间的区域形成第二沟道区 92。

步骤 6、如图 9 所示，在所述第一栅极 52、第二栅极 93、及栅极绝缘层 51 上沉积层间绝缘层 53，对所述层间绝缘层 53 及栅极绝缘层 51 进行图形化处理，得到位于所述 N 型重掺杂区 41 上方的第一过孔 55 及位于所述 P 型重掺杂区 91 上方的第二过孔 95，之后对所述层间绝缘层 53 进行去氢和活化处理。

具体的，采用快速热退火工艺（RTA，Rapid Thermal Annealing）对所述层间绝缘层 53 进行去氢和活化处理。

25 步骤 7、如图 10 所示，在所述层间绝缘层 53 上沉积第三金属层，对所述第三金属层进行图形化处理，得到第一源极 61、第一漏极 62、第二源极 96、第二漏极 97，所述第一源极 61、第一漏极 62 分别通过第一过孔 55 与 N 型重掺杂区 41 相接触，所述第二源极 96、第二漏极 97 分别通过第二过孔 95 与 P 型重掺杂区 91 相接触。

30 步骤 8、如图 11 所示，在所述第一源极 61、第一漏极 62、第二源极 96、第二漏极 97、及层间绝缘层 53 上形成平坦层 70，对所述平坦层 70 进行图形化处理，得到位于所述第一漏极 62 上方的第三过孔 71。

步骤 9 如图 12 所示，在所述平坦层 70 上沉积第一透明导电氧化物层，对所述第一透明导电氧化物层进行图形化处理，得到公共电极 80。

步骤 10、如图 13 所示，在所述公共电极 80、及平坦层 70 上沉积钝化

保护层 81, 所述钝化保护层 81 包覆所述平坦层 70 上的第三过孔 71, 之后对所述钝化保护层 81 进行图形化处理, 得到位于所述第三过孔 71 底部的钝化保护层 81 上的第四过孔 85。

5 步骤 11、如图 14 所示, 在所述钝化保护层 81 上沉积第二透明导电氧化物层, 对所述第二透明导电氧化物层进行图形化处理, 得到像素电极 82, 所述像素电极 82 通过第四过孔 85 与第一漏极 62 相接触。

具体的, 所述基板 10 为透明基板, 优选为玻璃基板。

具体的, 所述第一金属层、第二金属层、第三金属层的材料为钼 (Mo)、钛 (Ti)、铝 (Al)、铜 (Cu) 中的一种或多种的堆栈组合。

10 具体的, 所述缓冲层 30、栅极绝缘层 51、层间绝缘层 53、及钝化保护层 81 为氧化硅 (SiO_x) 层、氮化硅 (SiN_x) 层、或者由氧化硅层与氮化硅层叠加构成的复合层。

具体的, 所述平坦层 70 为有机光阻材料。

15 具体的, 所述第一透明导电氧化物层、第二透明导电氧化物层的材料为金属氧化物, 如铟锡氧化物、铟锌氧化物、铝锡氧化物、铝锌氧化物、铟锗锌氧化物、或其它合适的氧化物。

具体的, 所述 P 型重掺杂、P 型轻掺杂掺入的离子为硼离子或者镓离子。

具体的, 所述 N 型重掺杂、N 型轻掺杂掺入的离子为磷离子或者砷离子。

20 综上所述, 本发明提供一种低温多晶硅阵列基板的制作方法, 采用一道半色调光罩来实现多晶硅层的图形化处理以及 NMOS 区的多晶硅段的 N 型重掺杂制程, 与现有技术相比, 节约一道光罩, 从而降低生产成本, 且制得的低温多晶硅阵列基板具有良好的电学性能。

25 以上所述, 对于本领域的普通技术人员来说, 可以根据本发明的技术方案和技术构思作出其他各种相应的改变和变形, 而所有这些改变和变形都应属于本发明权利要求的保护范围。

权 利 要 求

1、一种低温多晶硅阵列基板的制作方法，包括如下步骤：

5 步骤 1、提供一基板，在所述基板上定义出 NMOS 区与 PMOS 区，在所述基板上沉积第一金属层，对所述第一金属层进行图形化处理，得到位于 NMOS 区的第一遮光层及位于 PMOS 区的第二遮光层；

步骤 2、在所述第一遮光层、第二遮光层、及基板上形成缓冲层，在所述缓冲层上沉积非晶硅层，采用低温结晶工艺将所述非晶硅层转化为多晶硅层，利用光罩对 NMOS 区的多晶硅层进行沟道掺杂；

10 步骤 3、在所述多晶硅层上涂布光阻层，采用一道半色调光罩对所述光阻层进行曝光、显影后，得到位于 NMOS 区的第一光阻层与位于 PMOS 区的第二光阻层，所述第一光阻层包括中间的厚层区域以及位于厚层区域两侧的薄层区域，所述第二光阻层的厚度均匀，且所述第一光阻层的厚层区域与所述第二光阻层的厚度相同；

15 以所述第一光阻层与第二光阻层为遮挡，对所述多晶硅层进行蚀刻，分别得到位于 NMOS 区的第一多晶硅段与位于 PMOS 区的第二多晶硅段；

采用干蚀刻设备对所述第一光阻层与第二光阻层进行灰化处理，使得所述第一光阻层上位于两侧的薄层区域被完全去除，同时所述第一光阻层上位于中间的厚层区域以及第二光阻层的厚度减薄；以剩余的第一光阻层
20 上的厚层区域与第二光阻层为掩模，对所述第一多晶硅段的两侧进行 N 型重掺杂，得到两 N 型重掺杂区。

2、如权利要求 1 所述的低温多晶硅阵列基板的制作方法，还包括如下步骤：

步骤 4、在所述第一多晶硅段、第二多晶硅段、及缓冲层上沉积栅极绝缘层，在所述栅极绝缘层上沉积第二金属层，对所述第二金属层进行图形化处理，得到分别对应于第一多晶硅段与第二多晶硅段上方的第一栅极与第二栅极；

30 以所述第一栅极为光罩对所述第一多晶硅段进行 N 型轻掺杂，得到分别位于两 N 型重掺杂区内侧的两 N 型轻掺杂区，所述第一多晶硅段上位于两 N 型轻掺杂区之间的区域形成第一沟道区；

步骤 5、利用光罩对所述第二多晶硅段的两侧进行 P 型重掺杂，得到两 P 型重掺杂区，所述第二多晶硅段上位于两 P 型重掺杂区之间的区域形成第二沟道区；

步骤 6、在所述第一栅极、第二栅极、及栅极绝缘层上沉积层间绝缘层，对所述层间绝缘层及栅极绝缘层进行图形化处理，得到位于所述 N 型重掺杂区上方的第一过孔及位于所述 P 型重掺杂区上方的第二过孔，之后对所述层间绝缘层进行去氢和活化处理；

5 步骤 7、在所述层间绝缘层上沉积第三金属层，对所述第三金属层进行图形化处理，得到第一源极、第一漏极、第二源极、第二漏极，所述第一源极、第一漏极分别通过第一过孔与 N 型重掺杂区相接触，所述第二源极、第二漏极分别通过第二过孔与 P 型重掺杂区相接触；

10 步骤 8、在所述第一源极、第一漏极、第二源极、第二漏极、及层间绝缘层上形成平坦层，对所述平坦层进行图形化处理，得到位于所述第一漏极上方的第三过孔；

步骤 9、在所述平坦层上沉积第一透明导电氧化物层，对所述第一透明导电氧化物层进行图形化处理，得到公共电极；

15 步骤 10、在所述公共电极、及平坦层上沉积钝化保护层，所述钝化保护层包覆所述平坦层上的第三过孔，之后对所述钝化保护层进行图形化处理，得到位于所述第三过孔底部的钝化保护层上的第四过孔；

步骤 11、在所述钝化保护层上沉积第二透明导电氧化物层，对所述第二透明导电氧化物层进行图形化处理，得到像素电极，所述像素电极通过第四过孔与第一漏极相接触。

20 3、如权利要求 1 所述的低温多晶硅阵列基板的制作方法，其中，所述步骤 2 中，所述低温结晶工艺为准分子激光退火法或金属诱导横向晶化法。

4、如权利要求 1 所述的低温多晶硅阵列基板的制作方法，其中，所述步骤 2 中，所述沟道掺杂的具体操作为：在所述多晶硅层上涂布光阻层，利用光罩对光阻层进行曝光、显影，去除位于 NMOS 区的光阻层后，对整个 NMOS 区的多晶硅层进行 P 型轻掺杂。

5、如权利要求 2 所述的低温多晶硅阵列基板的制作方法，其中，所述步骤 6 中，采用快速热退火工艺对所述层间绝缘层进行去氢和活化处理。

6、如权利要求 2 所述的低温多晶硅阵列基板的制作方法，其中，所述基板为玻璃基板；所述第一金属层、第二金属层、第三金属层的材料为钼、钛、铝、铜中的一种或多种的堆栈组合；所述缓冲层、栅极绝缘层、层间绝缘层、及钝化保护层为氧化硅层、氮化硅层、或者由氧化硅层与氮化硅层叠加构成的复合层；所述平坦层为有机光阻材料。

7、如权利要求 2 所述的低温多晶硅阵列基板的制作方法，其中，所述第一透明导电氧化物层、第二透明导电氧化物层的材料为金属氧化物。

8、如权利要求 7 所述的低温多晶硅阵列基板的制作方法，其中，所述金属氧化物为铟锡氧化物、铟锌氧化物、铝锡氧化物、铝锌氧化物、或铟锑氧化物。

9、如权利要求 2 所述的低温多晶硅阵列基板的制作方法，其中，所述 N 型重掺杂、N 型轻掺杂掺入的离子为磷离子或者砷离子。

10、如权利要求 4 所述的低温多晶硅阵列基板的制作方法，其中，所述 P 型重掺杂、P 型轻掺杂掺入的离子为硼离子或者镓离子。

11、一种低温多晶硅阵列基板的制作方法，包括如下步骤：

步骤 1、提供一基板，在所述基板上定义出 NMOS 区与 PMOS 区，在所述基板上沉积第一金属层，对所述第一金属层进行图形化处理，得到位于 NMOS 区的第一遮光层及位于 PMOS 区的第二遮光层；

步骤 2、在所述第一遮光层、第二遮光层、及基板上形成缓冲层，在所述缓冲层上沉积非晶硅层，采用低温结晶工艺将所述非晶硅层转化为多晶硅层，利用光罩对 NMOS 区的多晶硅层进行沟道掺杂；

步骤 3、在所述多晶硅层上涂布光阻层，采用一道半色调光罩对所述光阻层进行曝光、显影后，得到位于 NMOS 区的第一光阻层与位于 PMOS 区的第二光阻层，所述第一光阻层包括中间的厚层区域以及位于厚层区域两侧的薄层区域，所述第二光阻层的厚度均匀，且所述第一光阻层的厚层区域与所述第二光阻层的厚度相同；

以所述第一光阻层与第二光阻层为遮挡，对所述多晶硅层进行蚀刻，分别得到位于 NMOS 区的第一多晶硅段与位于 PMOS 区的第二多晶硅段；

采用干蚀刻设备对所述第一光阻层与第二光阻层进行灰化处理，使得所述第一光阻层上位于两侧的薄层区域被完全去除，同时所述第一光阻层上位于中间的厚层区域以及第二光阻层的厚度减薄；以剩余的第一光阻层上的厚层区域与第二光阻层为掩模，对所述第一多晶硅段的两侧进行 N 型重掺杂，得到两 N 型重掺杂区；

还包括如下步骤：

步骤 4、在所述第一多晶硅段、第二多晶硅段、及缓冲层上沉积栅极绝缘层，在所述栅极绝缘层上沉积第二金属层，对所述第二金属层进行图形化处理，得到分别对应于第一多晶硅段与第二多晶硅段上方的第一栅极与第二栅极；

以所述第一栅极为光罩对所述第一多晶硅段进行 N 型轻掺杂，得到分别位于两 N 型重掺杂区内侧的两 N 型轻掺杂区，所述第一多晶硅段上位于两 N 型轻掺杂区之间的区域形成第一沟道区；

步骤 5、利用光罩对所述第二多晶硅段的两侧进行 P 型重掺杂，得到两 P 型重掺杂区，所述第二多晶硅段上位于两 P 型重掺杂区之间的区域形成第二沟道区；

5 步骤 6、在所述第一栅极、第二栅极、及栅极绝缘层上沉积层间绝缘层，对所述层间绝缘层及栅极绝缘层进行图形化处理，得到位于所述 N 型重掺杂区上方的第一过孔及位于所述 P 型重掺杂区上方的第二过孔，之后对所述层间绝缘层进行去氢和活化处理；

10 步骤 7、在所述层间绝缘层上沉积第三金属层，对所述第三金属层进行图形化处理，得到第一源极、第一漏极、第二源极、第二漏极，所述第一源极、第一漏极分别通过第一过孔与 N 型重掺杂区相接触，所述第二源极、第二漏极分别通过第二过孔与 P 型重掺杂区相接触；

步骤 8、在所述第一源极、第一漏极、第二源极、第二漏极、及层间绝缘层上形成平坦层，对所述平坦层进行图形化处理，得到位于所述第一漏极上方的第三过孔；

15 步骤 9、在所述平坦层上沉积第一透明导电氧化物层，对所述第一透明导电氧化物层进行图形化处理，得到公共电极；

步骤 10、在所述公共电极、及平坦层上沉积钝化保护层，所述钝化保护层包覆所述平坦层上的第三过孔，之后对所述钝化保护层进行图形化处理，得到位于所述第三过孔底部的钝化保护层上的第四过孔；

20 步骤 11、在所述钝化保护层上沉积第二透明导电氧化物层，对所述第二透明导电氧化物层进行图形化处理，得到像素电极，所述像素电极通过第四过孔与第一漏极相接触；

其中，所述步骤 2 中，所述低温结晶工艺为准分子激光退火法或金属诱导横向晶化法；

25 其中，所述步骤 2 中，所述沟道掺杂的具体操作为：在所述多晶硅层上涂布光阻层，利用光罩对光阻层进行曝光、显影，去除位于 NMOS 区的光阻层后，对整个 NMOS 区的多晶硅层进行 P 型轻掺杂。

12、如权利要求 11 所述的低温多晶硅阵列基板的制作方法，其中，所述步骤 6 中，采用快速热退火工艺对所述层间绝缘层进行去氢和活化处理。

30 13、如权利要求 11 所述的低温多晶硅阵列基板的制作方法，其中，所述基板为玻璃基板；所述第一金属层、第二金属层、第三金属层的材料为钼、钛、铝、铜中的一种或多种的堆栈组合；所述缓冲层、栅极绝缘层、层间绝缘层、及钝化保护层为氧化硅层、氮化硅层、或者由氧化硅层与氮化硅层叠加构成的复合层；所述平坦层为有机光阻材料。

14、如权利要求 11 所述的低温多晶硅阵列基板的制作方法，其中，所述第一透明导电氧化物层、第二透明导电氧化物层的材料为金属氧化物。

15、如权利要求 14 所述的低温多晶硅阵列基板的制作方法，其中，所述金属氧化物为铟锡氧化物、铟锌氧化物、铝锡氧化物、铝锌氧化物、或
5 铟锆锌氧化物。

16、如权利要求 11 所述的低温多晶硅阵列基板的制作方法，其中，所述 N 型重掺杂、N 型轻掺杂掺入的离子为磷离子或者砷离子。

17、如权利要求 11 所述的低温多晶硅阵列基板的制作方法，其中，所述 P 型重掺杂、P 型轻掺杂掺入的离子为硼离子或者镓离子。

10

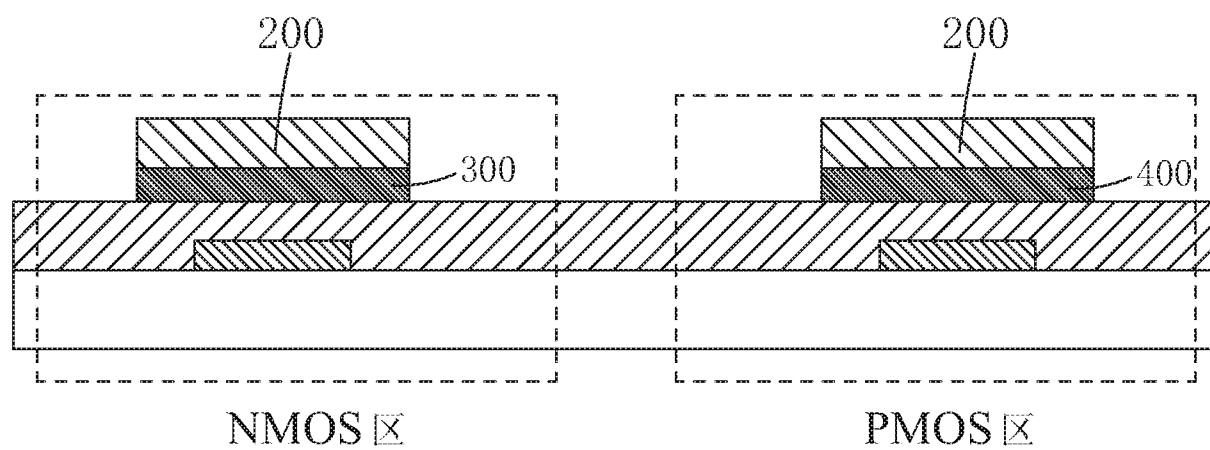


图1

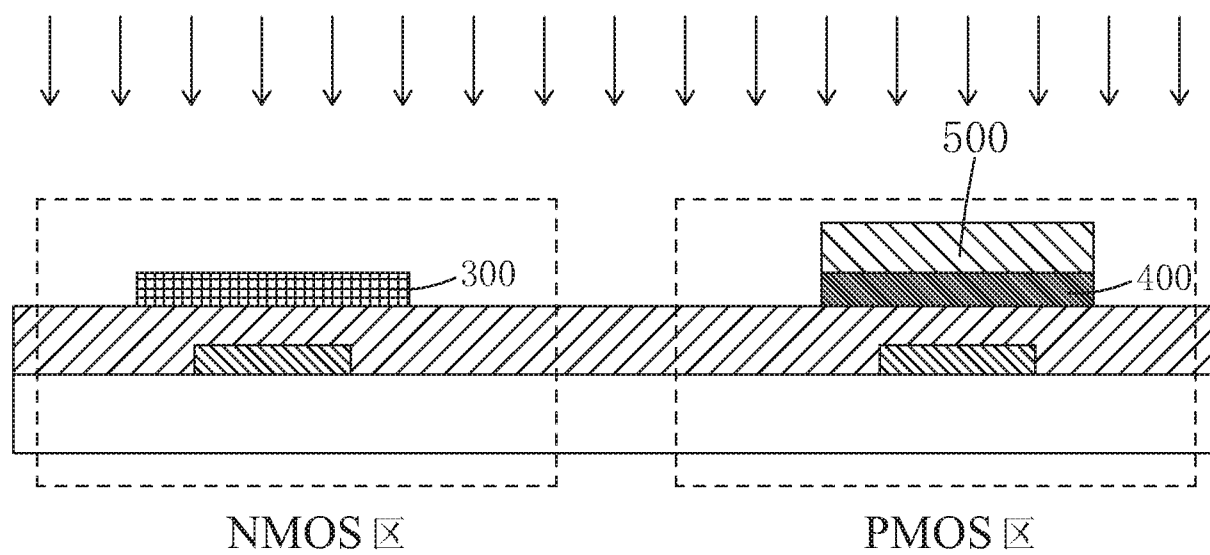


图2

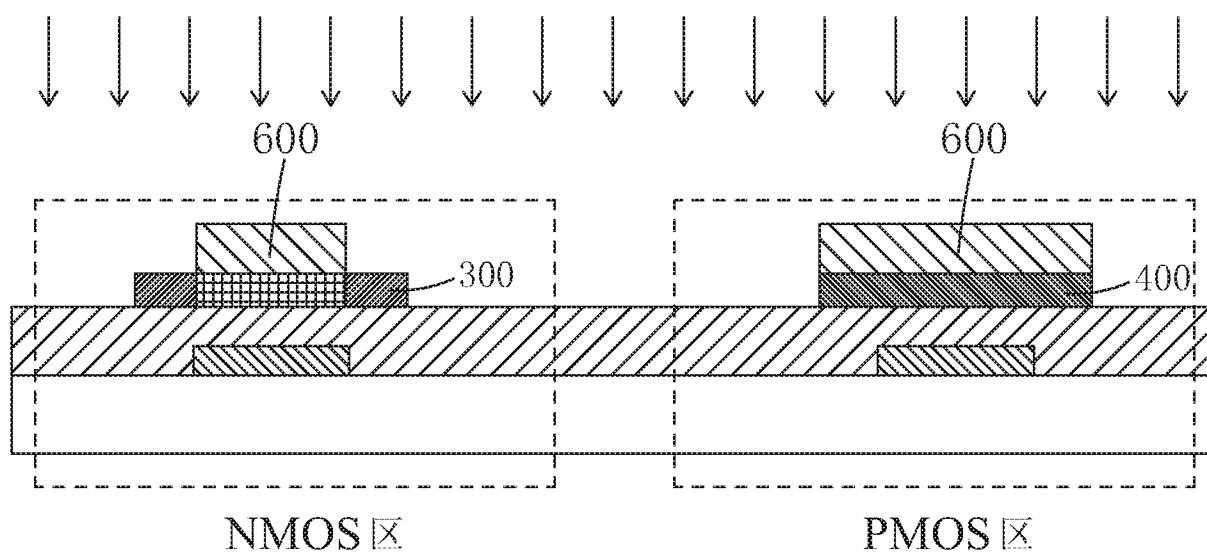


图3

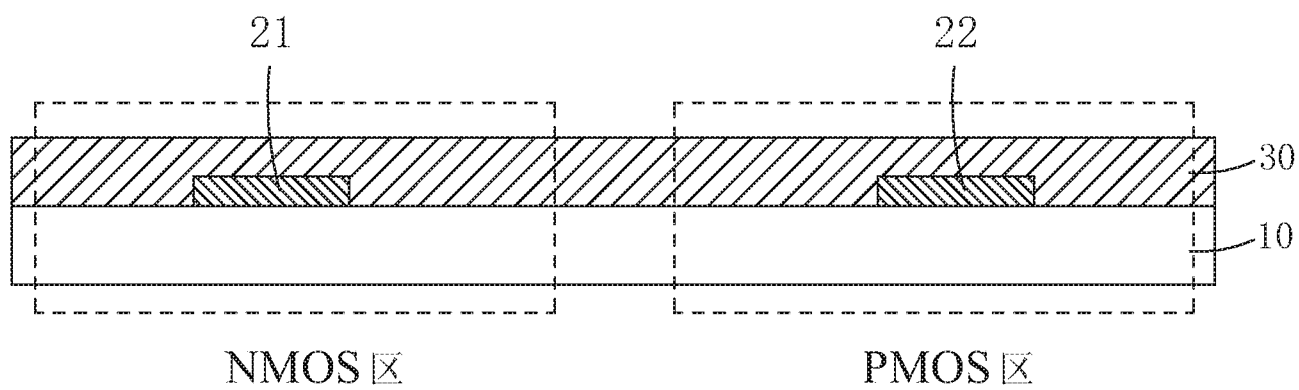


图4

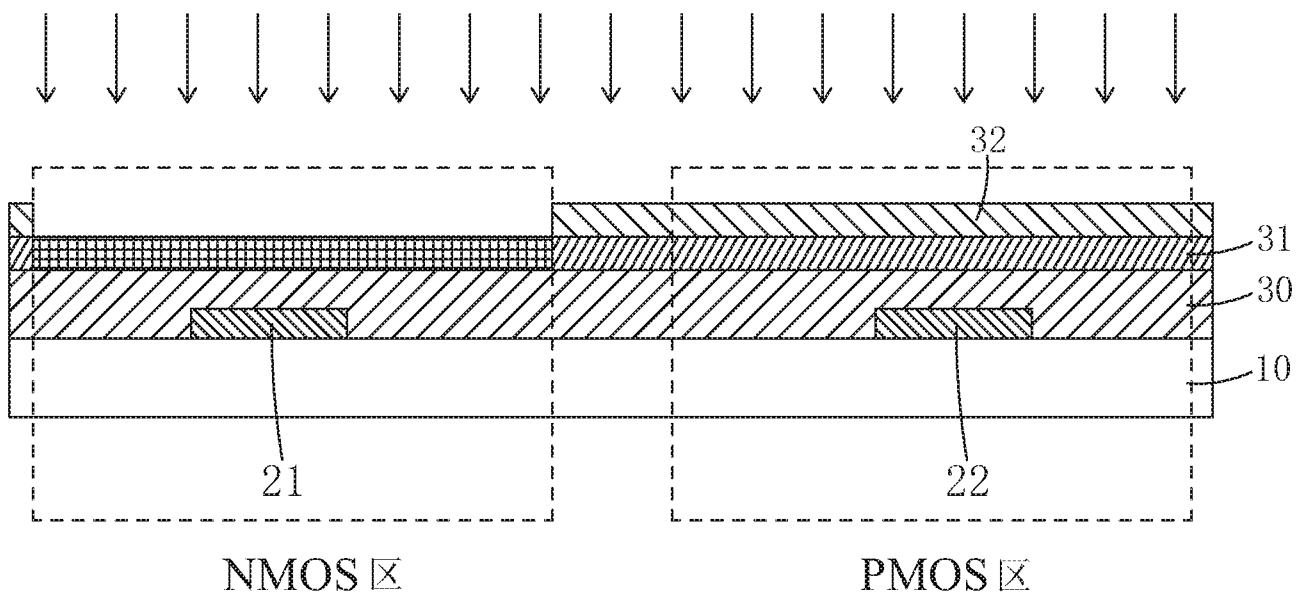


图5

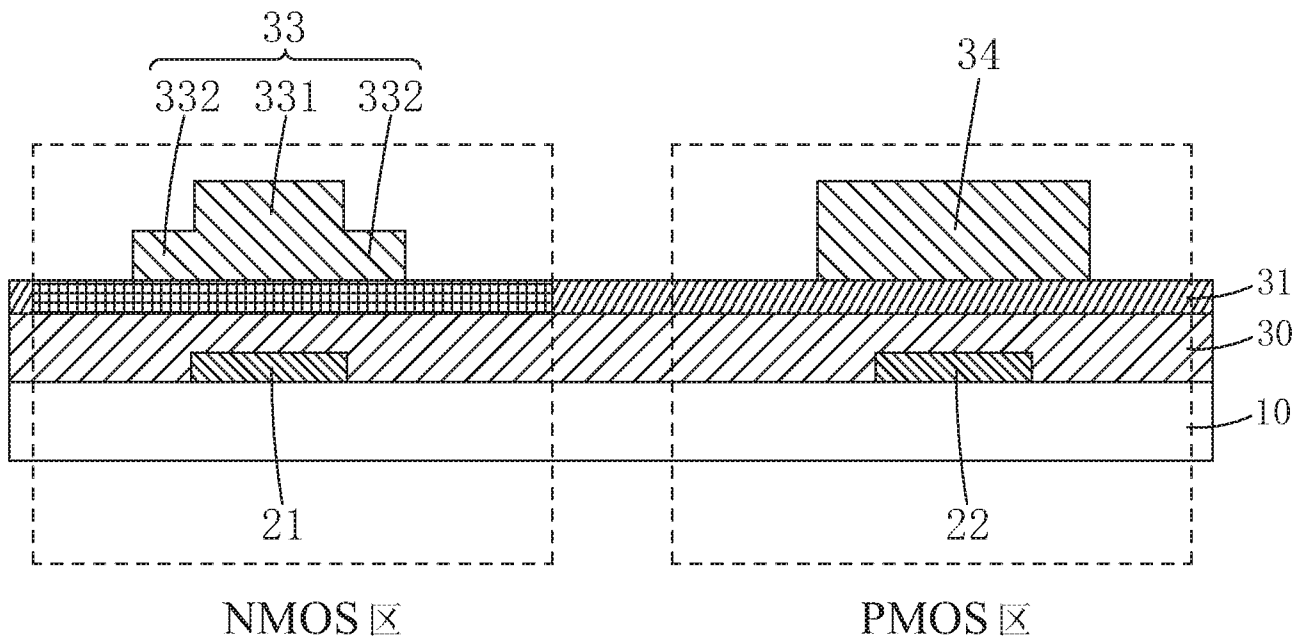


图6A

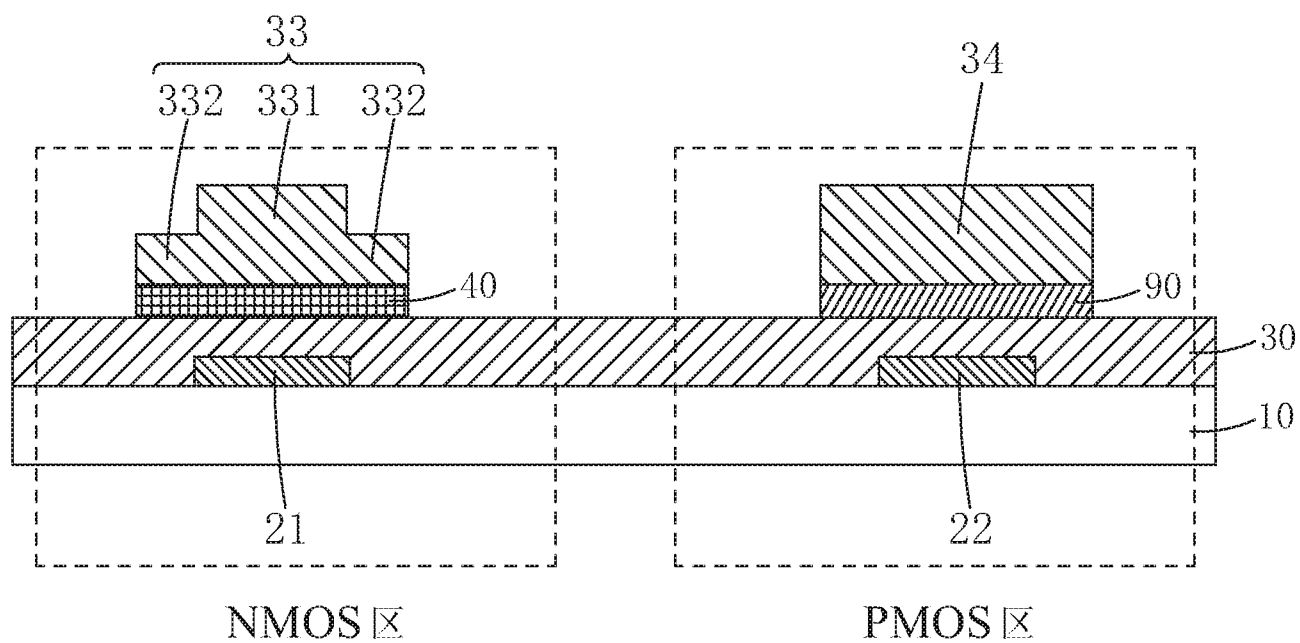


图6B

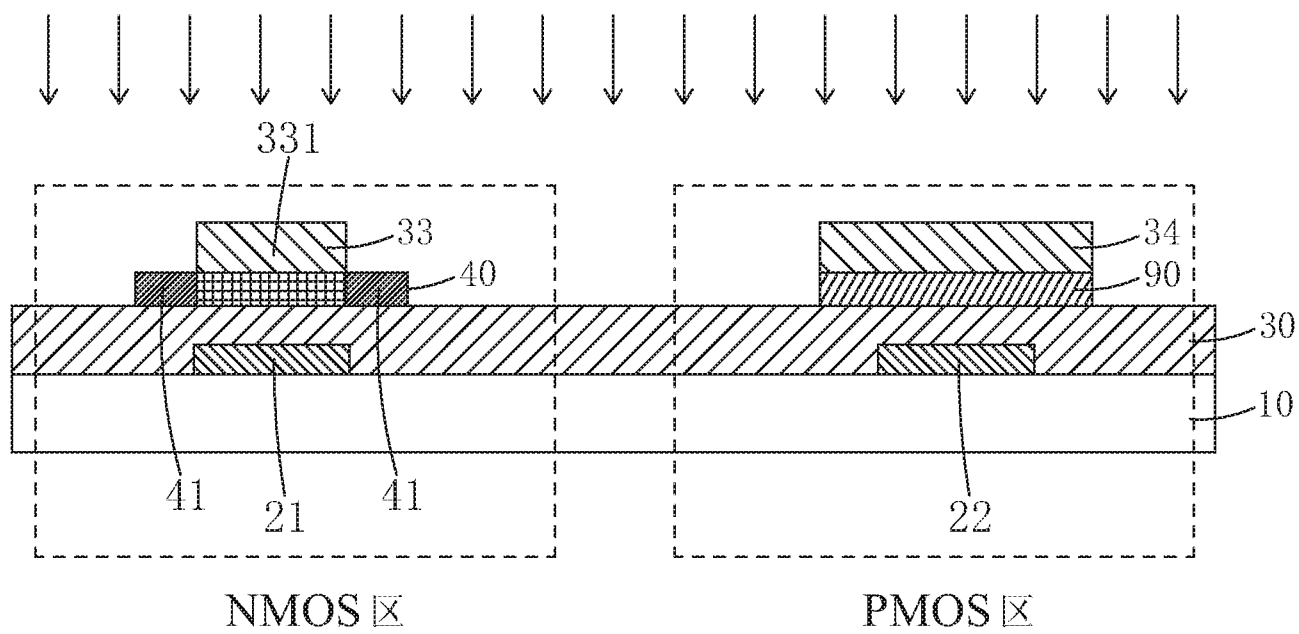


图6C

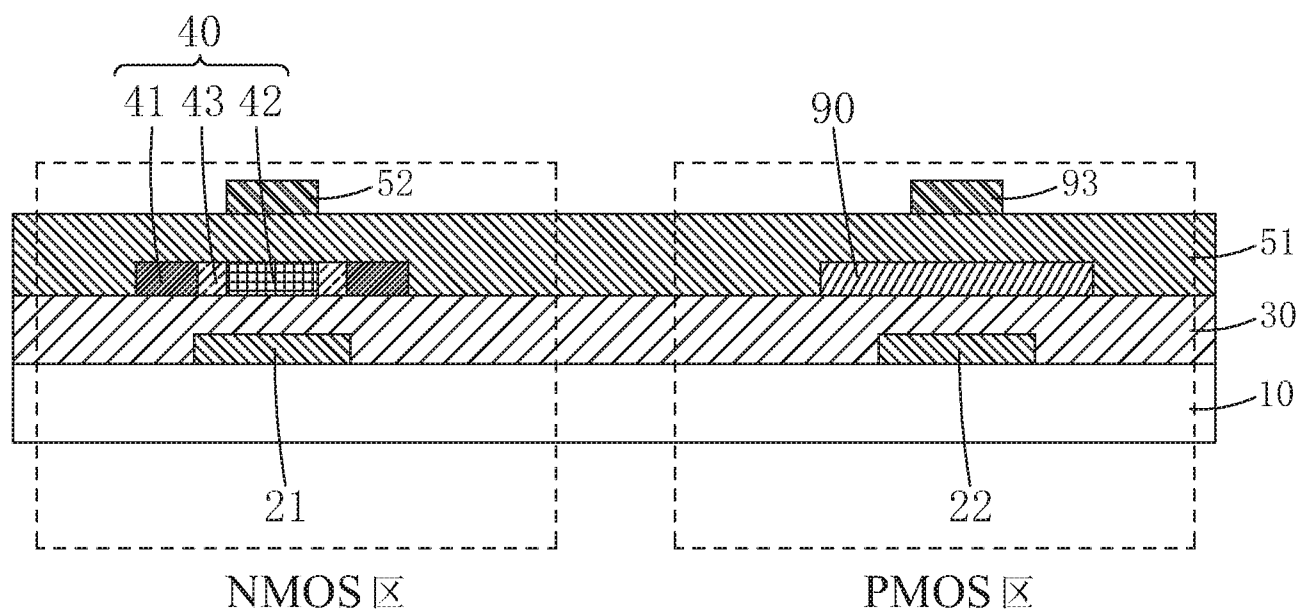


图7

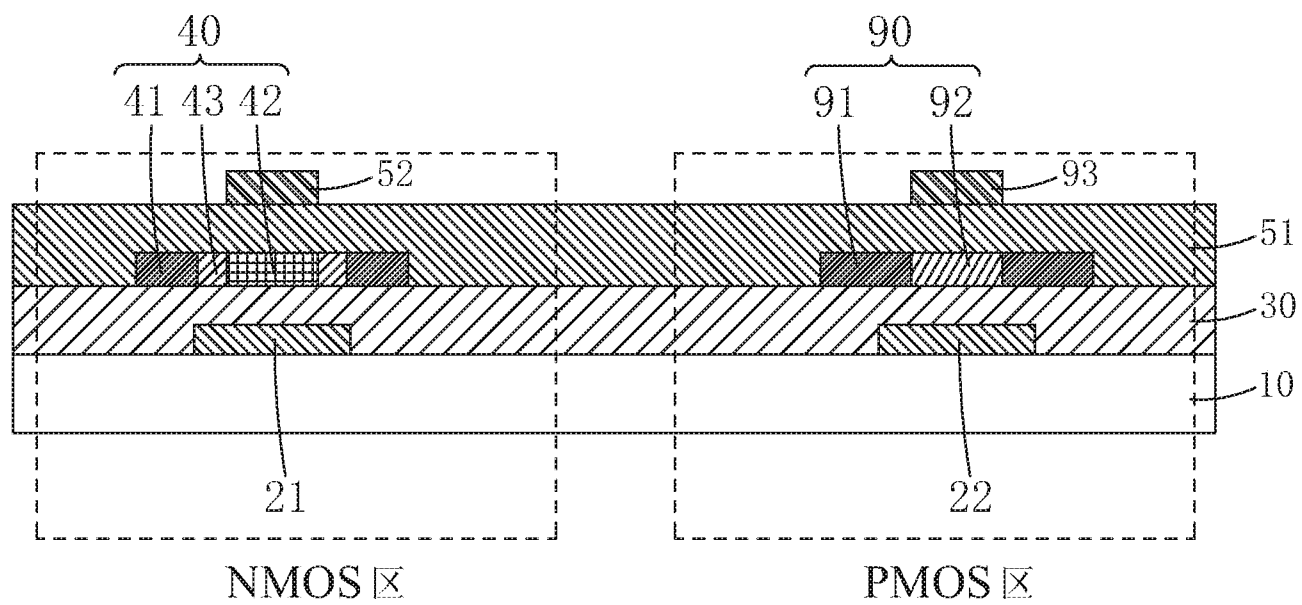


图8

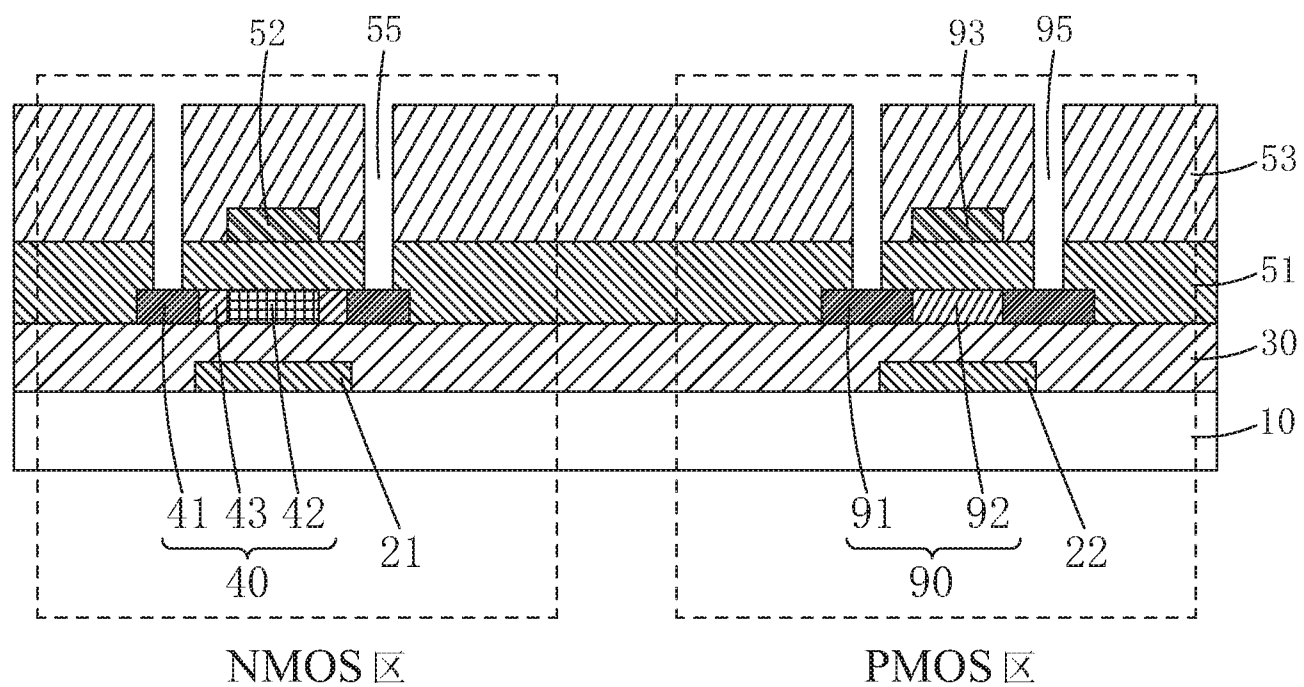


图9

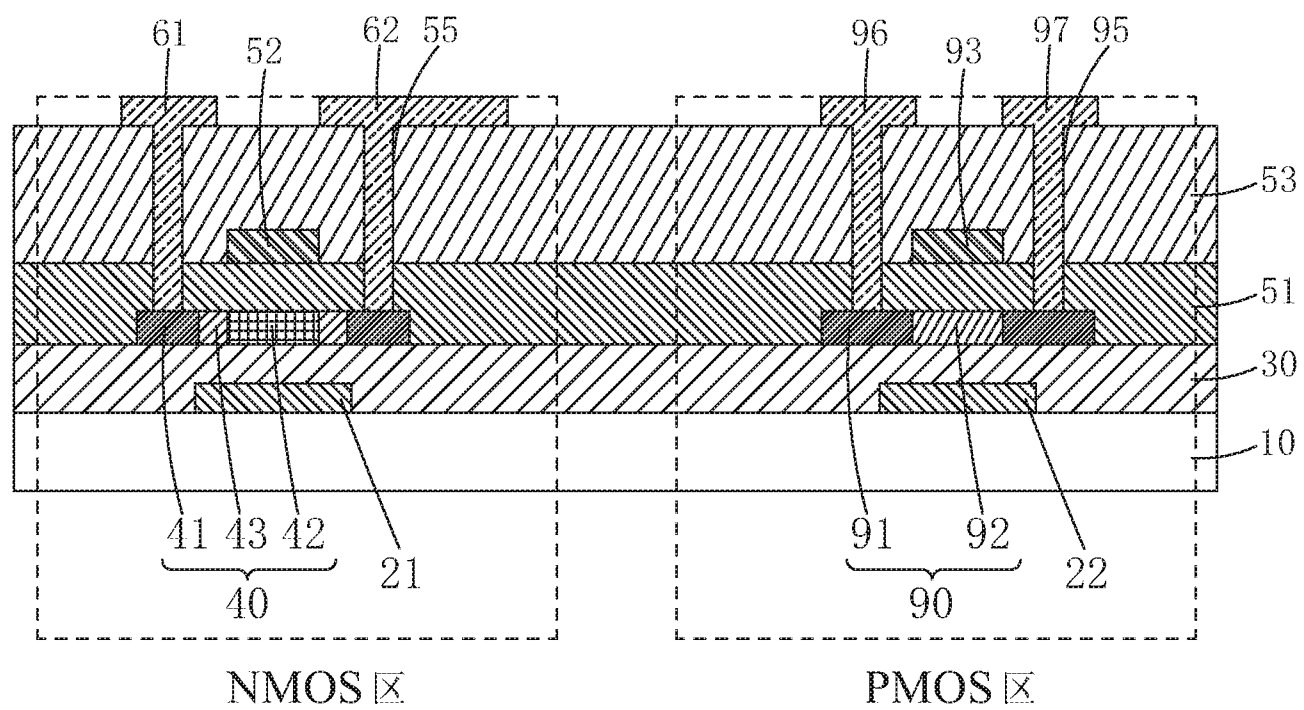


图10

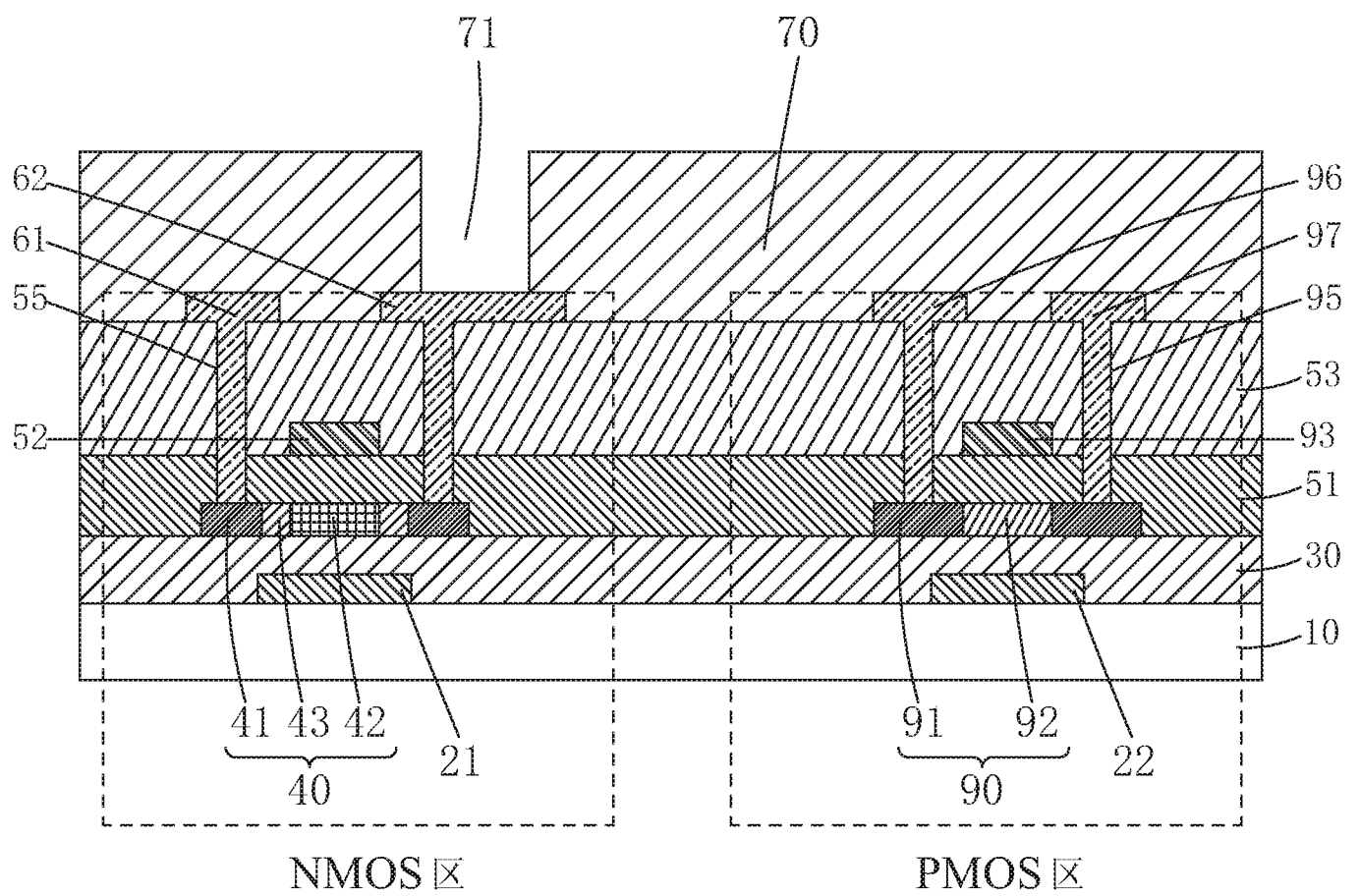


图 11

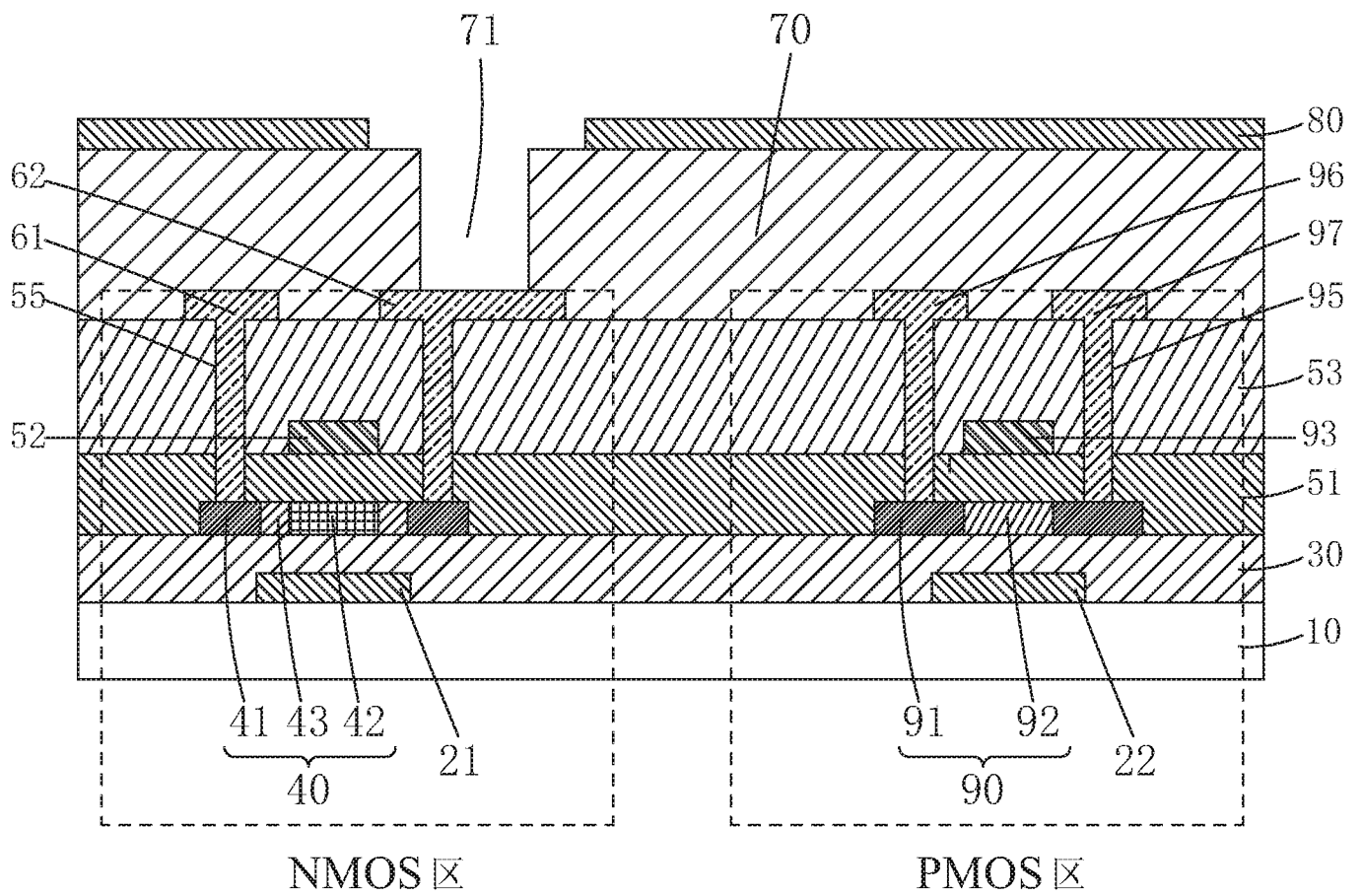


图 12

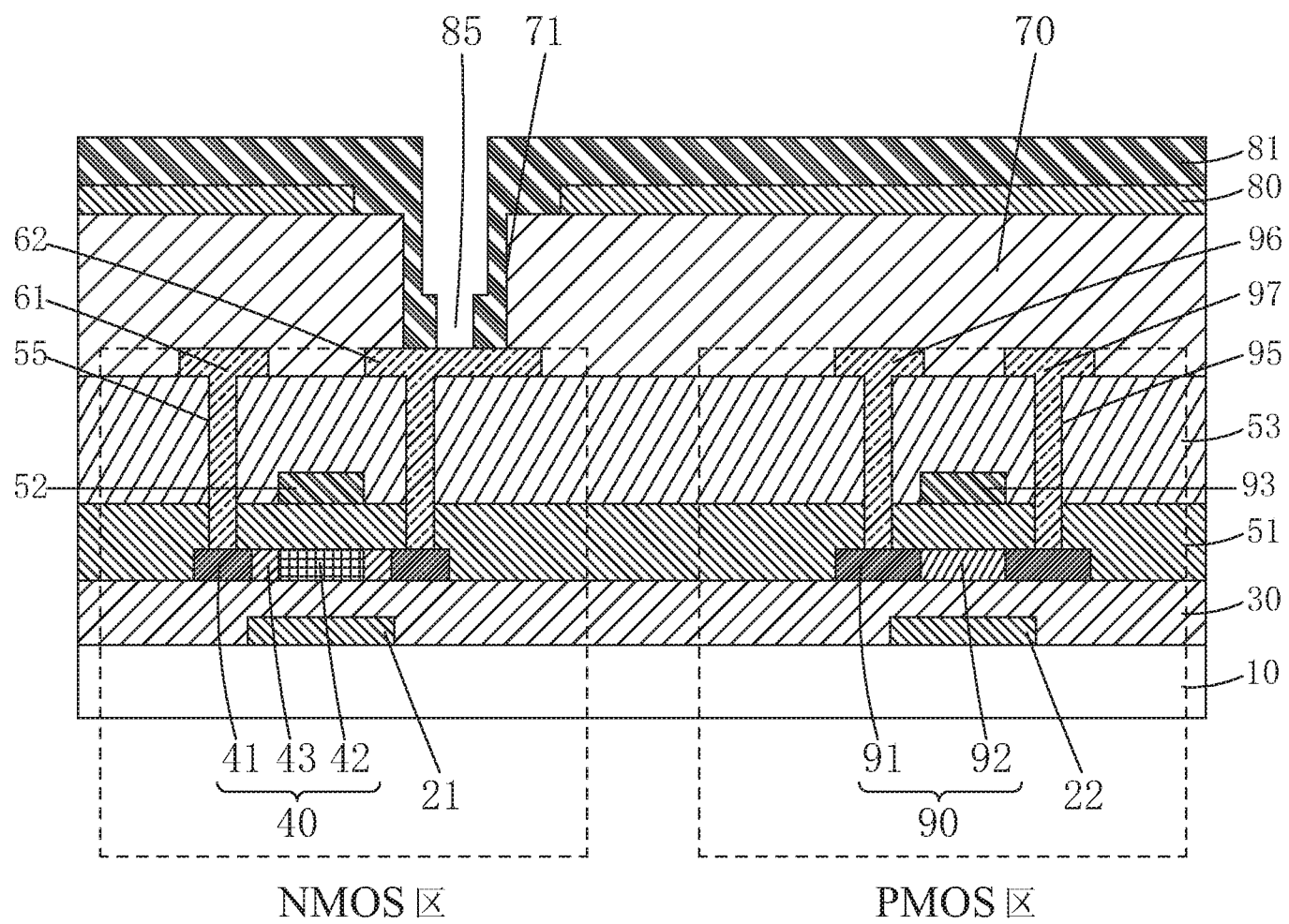


图13

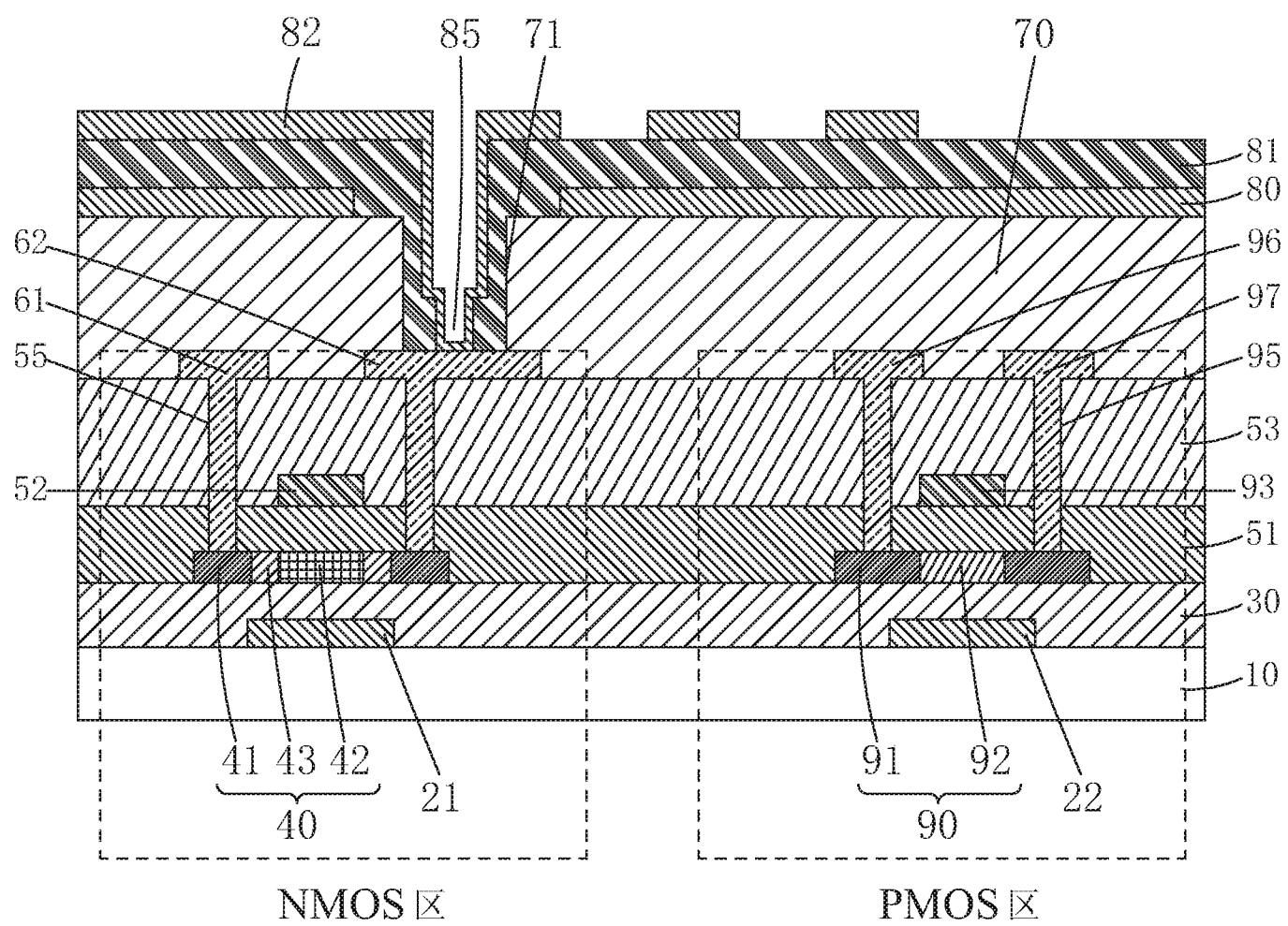


图14

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2016/082717

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/77 (2006.01) i; G02F 1/1362 (2006.01) i
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L; G02F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNKI, CNPAT, WPI, EPODOC: polycrystalline, amorphous, silicon, array, resist+, photoresist, mask, etch+, ash+, thickness, thin

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 105470197 A (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 06 April 2016 (06.04.2016) claims 1-10	1-17
Y	CN 105097552 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 25 November 2015 (25.11.2015) description, paragraphs [0075]-[0107] and [0118]-[0126], and figures 3-5 and 7	1-17
Y	CN 104124206 A (SHANGHAI EVERDISPLAY OPTRONICS CO., LTD.) 29 October 2014 (29.10.2014) description, paragraphs [0056]-[0058], and figure 6	1-17
A	CN 105161458 A (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 16 December 2015 (16.12.2015) the whole document	1-17
A	CN 104617102 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 13 May 2015 (13.05.2015) the whole document	1-17

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	
“A” document defining the general state of the art which is not considered to be of particular relevance	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“E” earlier application or patent but published on or after the international filing date	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	“&” document member of the same patent family

Date of the actual completion of the international search 09 October 2016	Date of mailing of the international search report 26 October 2016
--	---

Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer LI, Weifen Telephone No. (86-10) 62414008
---	--

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2016/082717

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 105470197 A	06 April 2016	None	
CN 105097552 A	25 November 2015	None	
CN 104124206 A	29 October 2014	US 8987072 B2	24 March 2015
		TW I513006 B	11 December 2015
		US 2014315357 A1	23 October 2014
		TW 201442248 A	01 November 2014
CN 105161458 A	16 December 2015	None	
CN 104617102 A	13 May 2015	WO 2016106899 A1	07 July 2016

A. 主题的分类 H01L 21/77 (2006.01) i; G02F 1/1362 (2006.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类		
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) H01L; G02F 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) CNKI, CNPAT: 多晶硅, 阵列, 非晶硅, 光阻, 光刻胶, 掩模, 掩膜, 蚀刻, 刻蚀, 灰化, 厚度, 薄, WPI, EPODOC: polycrystalline, amorphous, silicon, array, resist+, photoresist, mask, etch+, ash+, thickness, thin		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 105470197 A (武汉华星光电技术有限公司) 2016年 4月 6日 (2016 - 04 - 06) 权利要求1-10	1-17
Y	CN 105097552 A (京东方科技集团股份有限公司等) 2015年 11月 25日 (2015 - 11 - 25) 说明书第75-107、118-126段, 附图3-5、7	1-17
Y	CN 104124206 A (上海和辉光电有限公司) 2014年 10月 29日 (2014 - 10 - 29) 说明书第56-58段, 附图6	1-17
A	CN 105161458 A (武汉华星光电技术有限公司) 2015年 12月 16日 (2015 - 12 - 16) 全文	1-17
A	CN 104617102 A (深圳市华星光电技术有限公司) 2015年 5月 13日 (2015 - 05 - 13) 全文	1-17
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期 2016年 10月 9日		国际检索报告邮寄日期 2016年 10月 26日
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10) 62019451		受权官员 李惟芬 电话号码 (86-10) 62414008

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2016/082717

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	105470197	A	2016年 4月 6日	无			
CN	105097552	A	2015年 11月 25日	无			
CN	104124206	A	2014年 10月 29日	US	8987072	B2	2015年 3月 24日
				TW	1513006	B	2015年 12月 11日
				US	2014315357	A1	2014年 10月 23日
				TW	201442248	A	2014年 11月 1日
CN	105161458	A	2015年 12月 16日	无			
CN	104617102	A	2015年 5月 13日	WO	2016106899	A1	2016年 7月 7日