

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号

特許第7357539号

(P7357539)

(45)発行日 令和5年10月6日(2023.10.6)

(24)登録日 令和5年9月28日(2023.9.28)

(51)国際特許分類

F I

G 0 1 S 17/36 (2006.01)

G 0 1 S 17/36

G 0 1 S 17/894 (2020.01)

G 0 1 S 17/894

G 0 1 S 7/483 (2006.01)

G 0 1 S 7/483

H 0 4 N 25/705 (2023.01)

H 0 4 N 25/705

H 0 3 K 5/04 (2006.01)

H 0 3 K 5/04

請求項の数 8 (全61頁)

(21)出願番号 特願2019-537388(P2019-537388)

(86)(22)出願日 平成30年10月25日(2018.10.25)

(86)国際出願番号 PCT/JP2018/039683

(87)国際公開番号 WO2019/123828

(87)国際公開日 令和1年6月27日(2019.6.27)

審査請求日 令和3年9月28日(2021.9.28)

(31)優先権主張番号 特願2017-245946(P2017-245946)

(32)優先日 平成29年12月22日(2017.12.22)

(33)優先権主張国・地域又は機関

日本国(JP)

(73)特許権者 316005926

ソニーセミコンダクタソリューションズ
株式会社

神奈川県厚木市旭町四丁目14番1号

(74)代理人 110002147

弁理士法人酒井国際特許事務所

(72)発明者 安 陽太郎

神奈川県厚木市旭町四丁目14番1号

ソニーセミコンダクタソリューションズ
株式会社内

(72)発明者 執行 信彦

神奈川県厚木市岡田4丁目16番1号

ソニーL S I デザイン株式会社内

審査官 山下 雅人

最終頁に続く

(54)【発明の名称】 信号生成装置

(57)【特許請求の範囲】

【請求項1】

測距対象に光を照射する光源に供給する第1のパルスを生成する第1のパルス生成器と、
前記測距対象で反射された光を受光する画素に供給する第2のパルスを生成する第2の
パルス生成器と、

前記第1のパルスが第1の入力端に入力され、前記第1のパルスを反転させたパルスが
第2の入力端に入力される第1のセクタと、

前記第2のパルスが第3の入力端に入力され、前記第2のパルスを反転させたパルスが
第4の入力端に入力される第2のセクタと、

入力された疑似ランダム信号の状態遷移を検出し、前記状態遷移が検出された場合に位
相反転信号を前記第1のセクタおよび前記第2のセクタに送る信号生成部と、
を備え、

前記第1のセクタおよび前記第2のセクタは、

前記位相反転信号に応じて、前記疑似ランダム信号のハイからローへの前記状態遷移が
検出された場合に前記第1の入力端および前記第3の入力端が選択され、前記疑似ランダ
ム信号のローからハイへの前記状態遷移が検出された場合に前記第2の入力端および前記
第4の入力端が選択される、
信号生成装置。

【請求項2】

前記第1のパルス生成器が生成する信号と、前記第2のパルス生成器が生成する信号と

10

20

の位相の反転タイミングは同期している、請求項 1 に記載の信号生成装置。

【請求項 3】

前記第 1 のパルス生成器および前記第 2 のパルス生成器は、それぞれ、
入力信号を用いて、測距対象の測距に用いる出力するパルスの位相を決定する第 1 のカウンタと、

前記入力信号を用いて、前記パルスの周波数を決定する第 2 のカウンタと、
を備える、請求項 1 に記載の信号生成装置。

【請求項 4】

前記第 1 のパルス生成器に対する位相の設定と、前記第 2 のパルス生成器に対する位相の設定とは、それぞれ異なる設定である、請求項 3 に記載の信号生成装置。

10

【請求項 5】

前記第 1 のパルス生成器が出力する信号のデューティを、第 1 のデューティと、前記第 1 のデューティと異なる第 2 のデューティとから選択して出力する信号選択部をさらに備える、請求項 1 に記載の信号生成装置。

【請求項 6】

前記第 1 のデューティは固定であり、前記第 2 のデューティは可変である、請求項 5 に記載の信号生成装置。

【請求項 7】

前記第 1 のパルス生成器は、主パルス生成器及びサブパルス生成器を含み、
前記第 1 のデューティの信号は、前記主パルス生成器が生成する信号であり、
前記第 2 のデューティの信号は、前記主パルス生成器が生成する信号と前記サブパルス生成器が生成する信号とから生成する、請求項 5 に記載の信号生成装置。

20

【請求項 8】

時間を露光量に置き換えて間接的に測距するインダイレクト方式の測距センサに用いる、請求項 1 に記載の信号生成装置。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、信号生成装置に関する。

【背景技術】

30

【0002】

タイムオブフライト (ToF) カメラシステムは、光源から光を放ち、物体で反射されて戻って来るまでの時間を解析することによって、物体までの距離に関する情報を導き出すシステムである。ToF カメラシステムの 1 つの適用例は、シーンの 3 次元 (3D) 画像、すなわち、2 次元情報および深さすなわち距離情報を取り込むことが可能なカメラである。そのようなカメラシステムは、固定点からの深さすなわち距離情報が判定される必要がある多くの適用例において利用される。一般に、深さすなわち距離情報は ToF カメラシステムから測定される。

【0003】

ToF カメラシステムの測距方式は、時間を直接計することで測距するダイレクト方式と、露光量に置き換えて間接的に測距するインダイレクト方式とがある。精度が良いのはインダイレクト方式であり、今後はインダイレクト方式を採用した ToF カメラシステムが広く普及するものと考えられる。インダイレクト方式を採用した ToF カメラシステムを開示した文献として、例えば特許文献 1 等がある。

40

【先行技術文献】

【特許文献】

【0004】

【文献】特開 2016 - 224062 号公報

【発明の概要】

【発明が解決しようとする課題】

50

【 0 0 0 5 】

アクティブ型の測距方式では、光源から光を発射し、測距対象の物体で反射された光を検出することで測距対象に対する測距を行っている。このアクティブ型の測距方式では、複数のカメラが同一の対象を測距すると、互いの信号が混信し、誤測距を引き起こす。

【 0 0 0 6 】

そこで、本開示では、特にインダイレクト方式を採用したＴｏＦカメラシステムに用いられる信号生成装置であって、簡易な構成で、複数のカメラが同一の対象を測距することにより生じる誤測距の発生を抑えることが可能な、新規かつ改良された信号生成装置を提案する。

【課題を解決するための手段】

10

【 0 0 0 7 】

本開示によれば、測距対象に光を照射する光源に供給する第１のパルス生成する第１のパルス生成器と、前記測距対象で反射された光を受光する画素に供給する第２のパルスを生成する第２のパルス生成器と、前記第１のパルスが第１の入力端に入力され、前記第１のパルスを反転させたパルスが第２の入力端に入力される第１のセレクトと、前記第２のパルスが第３の入力端に入力され、前記第２のパルスを反転させたパルスが第４の入力端に入力される第２のセレクトと、入力された疑似ランダム信号の状態遷移を検出し、前記状態遷移が検出された場合に位相反転信号を前記第１のセレクトおよび前記第２のセレクトに送る信号生成部と、を備え、前記第１のセレクトおよび前記第２のセレクトは、前記位相反転信号に応じて、前記疑似ランダム信号のハイからローへの前記状態遷移が検出された場合に前記第１の入力端および前記第３の入力端が選択され、前記疑似ランダム信号のローからハイへの前記状態遷移が検出された場合に前記第２の入力端および前記第４の入力端が選択される、信号生成装置が提供される。

20

【発明の効果】

【 0 0 0 8 】

以上説明したように本開示によれば、特にインダイレクト方式を採用したＴｏＦカメラシステムに用いられる信号生成装置であって、簡易な構成で、複数のカメラが同一の対象を測距することにより生じる誤測距の発生を抑えることが可能な、新規かつ改良された信号生成装置を提供することが出来る。

【 0 0 0 9 】

30

なお、上記の効果は必ずしも限定的なものではなく、上記の効果とともに、または上記の効果に代えて、本明細書に示されたいずれかの効果、または本明細書から把握され得る他の効果が奏されてもよい。

【図面の簡単な説明】

【 0 0 1 0 】

【図１】本技術を適用したセンサチップの第１の実施の形態の構成例を示すブロック図である。

【図２】グローバル制御回路の構成例を示す図である。

【図３】ローリング制御回路の構成例を示す図である。

【図４】図１のセンサチップの第１の変形例を示すブロック図である。

40

【図５】図１のセンサチップの第２の変形例を示すブロック図である。

【図６】センサチップの第２の実施の形態の構成例を示すブロック図である。

【図７】センサチップの第３の実施の形態の構成例を示す斜視図である。

【図８】センサチップの第３の実施の形態の構成例を示すブロック図である。

【図９】図８のセンサチップの第１の変形例を示すブロック図である。

【図１０】図８のセンサチップの第２の変形例を示すブロック図である。

【図１１】センサチップの第４の実施の形態の構成例を示すブロック図である。

【図１２】センサチップの第５の実施の形態の構成例を示すブロック図である。

【図１３】センサチップの第６の実施の形態の構成例を示す斜視図である。

【図１４】センサチップの第６の実施の形態の構成例を示すブロック図である。

50

- 【図 1 5】図 1 4 のセンサチップの第 1 の変形例を示すブロック図である。
- 【図 1 6】図 1 4 のセンサチップの第 2 の変形例を示すブロック図である。
- 【図 1 7】図 1 4 のセンサチップの第 3 の変形例を示すブロック図である。
- 【図 1 8】図 1 4 のセンサチップの第 4 の変形例を示すブロック図である。
- 【図 1 9】図 1 4 のセンサチップの第 5 の変形例を示すブロック図である。
- 【図 2 0】図 1 4 のセンサチップの第 6 の変形例を示すブロック図である。
- 【図 2 1】図 1 4 のセンサチップの第 7 の変形例を示すブロック図である。
- 【図 2 2】図 1 4 のセンサチップの第 8 の変形例を示すブロック図である。
- 【図 2 3】センサチップの第 7 の実施の形態の構成例を示す斜視図である。
- 【図 2 4】図 2 3 のセンサチップの第 1 の変形例を示す斜視図である。 10
- 【図 2 5】図 2 3 のセンサチップの第 2 の変形例を示す斜視図である。
- 【図 2 6】センサチップの第 8 の実施の形態の構成例、および、その変形例を示すブロック図である。
- 【図 2 7】撮像装置の構成例を示すブロック図である。
- 【図 2 8】本開示の実施の形態に係るパルス生成器 3 0 0 の機能構成例を示す説明図である。
- 【図 2 9】信号の波形例を示す説明図である。
- 【図 3 0】距離画像センサの概略構成例を示す説明図である。
- 【図 3 1】位相設定の例を示す説明図である。
- 【図 3 2】距離画像センサの概略構成例を示す説明図である。 20
- 【図 3 3】位相設定の例を示す説明図である。
- 【図 3 4】距離画像センサの概略構成例を示す説明図である。
- 【図 3 5】位相設定の例を示す説明図である。
- 【図 3 6】パルス生成器から出力される信号及びパルス生成器に入力される位相設定の例を示す説明図である。
- 【図 3 7】パルス生成器 3 0 0 が生成するデューティが 5 0 % の光源出力信号の波形の例を示す説明図である。
- 【図 3 8】サイクリックエラーによって測距誤差が発生する様子を示す説明図である。
- 【図 3 9】デューティが 5 0 % より小さい、3 0 % 及び 2 5 % の光源出力信号の波形の例を示す説明図である。 30
- 【図 4 0】距離画像センサにおける、光源出力信号を出力するための構成例を示す説明図である。
- 【図 4 1】デューティを 5 0 % より小さくした光源出力信号の生成の概要を示す説明図である。
- 【図 4 2】光源位相設定の例を示す説明図である。
- 【図 4 3】信号の波形例を示す説明図である。
- 【図 4 4】距離画像センサの駆動例を示す説明図である。
- 【図 4 5】距離画像センサの動作例を示す流れ図である。
- 【図 4 6】インダイレクト T o F 方式の距離画像センサの動作例を示す説明図である。
- 【図 4 7】インダイレクト T o F 方式の距離画像センサの動作例を示す説明図である。 40
- 【図 4 8】インダイレクト T o F 方式の距離画像センサの駆動例を示す説明図である。
- 【図 4 9】インダイレクト T o F 方式の距離画像センサの駆動の具体例を示す説明図である。
- 【図 5 0】インダイレクト T o F 方式の距離画像センサで用いられる構成の例を示す説明図である。
- 【図 5 1】複数の光源から同一の測距対象に光が放射され、あるイメージセンサがそれぞれの光を受光する様子を示す説明図である。
- 【図 5 2】光源 A と光源 B とで、発光時間（変調時間）がバッチィングする様子を示す説明図である。
- 【図 5 3】光源 A と光源 B とで、発光タイミングをランダムにずらしている様子を示す説 50

明図である。

【図 5 4】画素変調信号の例を示す説明図である。

【図 5 5】本実施形態で用いる擬似ランダムパルスの生成について説明する説明図である。

【図 5 6】信号の例を示す説明図である。

【図 5 7】インダイレクト T o F 方式の距離画像センサで用いられる構成例を示す説明図である。

【図 5 8】擬似ランダムパルスの状態遷移に基づいて変調信号の位相が変化する例を示す説明図である。

【図 5 9】擬似ランダムパルスの状態遷移に基づいて変調信号の位相が変化する例を示す説明図である。

10

【図 6 0】擬似ランダムパルスの状態遷移に基づいて変調信号の位相が変化する例を示す説明図である。

【図 6 1】擬似ランダムパルスの状態遷移に基づいて変調信号の位相が変化する例を示す説明図である。

【図 6 2】2つのパルス生成器から、デューティ比が異なる2種類の信号を選択して出力する構成の例を示す説明図である。

【図 6 3】パルス生成器から生成される、デューティが50%より小さい信号と、擬似ランダムパルスに基づいて生成される信号の波形の例を示す説明図である。

【図 6 4】内視鏡手術システムの概略的な構成の一例を示す図である。

【図 6 5】カメラヘッド及びCCUの機能構成の一例を示すブロック図である。

20

【図 6 6】車両制御システムの概略的な構成の一例を示すブロック図である。

【図 6 7】車外情報検出部及び撮像部の設置位置の一例を示す説明図である。

【発明を実施するための形態】

【0011】

以下に添付図面を参照しながら、本開示の好適な実施の形態について詳細に説明する。なお、本明細書及び図面において、実質的に同一の機能構成を有する構成要素については、同一の符号を付することにより重複説明を省略する。

【0012】

なお、説明は以下の順序で行うものとする。

1. 本開示の実施の形態

30

1.1. 概要

1.2. センサチップの構成例

1.3. 距離画像センサの具体的構成例

2. まとめ

【0013】

< 1. 本開示の実施の形態 >

[1.1. 概要]

まず、本開示の実施の形態の概要について説明する。

【0014】

上述したように、T o F カメラシステムは、光源から光を放ち、物体で反射されて戻って来るまでの時間を解析することによって、物体までの距離に関する情報を導き出すシステムである。T o F カメラシステムの1つの適用例は、シーンの3次元(3D)画像、すなわち、2次元情報および深さすなわち距離情報を取り込むことが可能なカメラである。そのようなカメラシステムは、固定点からの深さすなわち距離情報が判定される必要がある多くの適用例において利用される。一般に、深さすなわち距離情報はT o F カメラシステムから測定される。

40

【0015】

T o F カメラシステムの測距方式は、時間を直接計することで測距するダイレクト方式と、露光量に置き換えて間接的に測距するインダイレクト方式とがある。精度が良いのはインダイレクト方式であり、今後はインダイレクト方式を採用したT o F カメラシステムが

50

広く普及するものと考えられる。

【 0 0 1 6 】

本件開示者は、以下で説明するように、従来のインダイレクト方式を採用したT o Fカメラシステムを改良し、簡易な構成で測距の精度を高めうる、インダイレクト方式を採用したT o Fカメラシステム及びT o Fカメラシステムに用いられる構成を考案するに至った。

【 0 0 1 7 】

[1 . 2 . センサチップの構成例]

< センサチップの第 1 の構成例 >

図 1 は、本技術を適用したセンサチップの第 1 の実施の形態の構成例を示すブロック図である。

10

【 0 0 1 8 】

図 1 に示すように、センサチップ 1 1 は、ピクセルアレイ部 1 2、グローバル制御回路 1 3、ローリング制御回路 1 4、カラムADC (Analog-to-Digital Converter) 1 5、および、入出力部 1 6 が、半導体基板に配置されて構成される。

【 0 0 1 9 】

ピクセルアレイ部 1 2 は、センサチップ 1 1 の機能に応じた様々なセンサ素子が、例えば、光を光電変換する光電変換素子が、アレイ状に配置された矩形形状の領域である。図 1 に示す例では、ピクセルアレイ部 1 2 は、横方向に長辺が設けられ、縦方向に短辺が設けられた横長の長方形の領域となっている。

20

【 0 0 2 0 】

グローバル制御回路 1 3 は、ピクセルアレイ部 1 2 に配置される複数のセンサ素子が略同一のタイミングで一斉に (同時に) 駆動するように制御するグローバル制御信号を出力する制御回路である。図 1 に示す構成例では、グローバル制御回路 1 3 は、その長手方向がピクセルアレイ部 1 2 の長辺に沿うように、ピクセルアレイ部 1 2 の上辺側に配置される。従って、センサチップ 1 1 では、グローバル制御回路 1 3 から出力されるグローバル制御信号をピクセルアレイ部 1 2 のセンサ素子に供給する制御線 2 1 は、ピクセルアレイ部 1 2 に行列状に配置されるセンサ素子の列ごとに、ピクセルアレイ部 1 2 の上下方向に向かって配置される。

【 0 0 2 1 】

30

ローリング制御回路 1 4 は、ピクセルアレイ部 1 2 に配置される複数のセンサ素子が行ごとに次々と順番に (逐次的に) 駆動するように制御するローリング制御信号を出力する制御回路である。図 1 に示す構成例では、ローリング制御回路 1 4 は、その長手方向がピクセルアレイ部 1 2 の短辺に沿うように、ピクセルアレイ部 1 2 の右辺側に配置される。

【 0 0 2 2 】

カラムADC 1 5 は、ピクセルアレイ部 1 2 のセンサ素子から出力されるアナログのセンサ信号を列ごとに並列的にデジタル値にAD (Analog-to-Digital) 変換する。このとき、カラムADC 1 5 は、例えば、センサ信号に対してCDS (Correlated Double Sampling : 相関 2 重サンプリング) 処理を施すことによって、センサ信号に含まれるリセットノイズを除去することができる。

40

【 0 0 2 3 】

入出力部 1 6 には、センサチップ 1 1 と外部回路との間で入出力を行うための端子が設けられており、例えば、入出力部 1 6 を介して、グローバル制御回路 1 3 の駆動に必要な電力がセンサチップ 1 1 に入力される。図 1 に示す構成例では、入出力部 1 6 は、グローバル制御回路 1 3 に隣接するように、グローバル制御回路 1 3 に沿って配置される。例えば、グローバル制御回路 1 3 は消費電力が大きいことより、IRドロップ (電圧降下) の影響を低減するために、入出力部 1 6 はグローバル制御回路 1 3 の近傍に配置することが好ましい。

【 0 0 2 4 】

このようにセンサチップ 1 1 は構成されており、グローバル制御回路 1 3 がピクセルア

50

レイ部 1 2 の長辺に沿うように配置されるレイアウトが採用される。これにより、センサチップ 1 1 は、グローバル制御回路 1 3 から制御線 2 1 の遠端（図 1 の例では下端）に配置されるセンサ素子までの距離を、例えば、グローバル制御回路 1 3 がピクセルアレイ部 1 2 の短辺に沿うように配置されるレイアウトよりも短くすることができる。

【 0 0 2 5 】

従って、センサチップ 1 1 は、グローバル制御回路 1 3 から出力されるグローバル制御信号に発生する遅延量およびスルーレートを改善することができるため、より高速にセンサ素子に対する制御を行うことができる。特に、センサチップ 1 1 がグローバルシャッタ駆動を行うイメージセンサである場合、画素に供給する転送信号やリセット信号、オーバーフローゲート信号などの高速制御が可能となる。また、センサチップ 1 1 が ToF センサである場合には、MIX 信号の高速制御が可能となる。

10

【 0 0 2 6 】

例えば、ToF センサや蛍光発光検出センサなどでは、グローバル制御信号のスルーレートや、駆動素子からの距離に応じて発生するグローバル制御信号の遅延量などが、センサ素子ごとに違うものになると、検出誤差となってしまう。これに対し、センサチップ 1 1 は、上述したように、グローバル制御信号に発生する遅延量およびスルーレートを改善することができるので、そのような検出誤差を抑制することができる。

【 0 0 2 7 】

また、センサチップ 1 1 が ToF センサや蛍光発光検出センサなどである場合、露光期間に 100 回を超えるような複数回のオン / オフ制御が必要になるだけでなく、トグル周波数が高いため消費電流が大きくなってしまう。これに対し、センサチップ 1 1 は、上述したように入出力部 1 6 をグローバル制御回路 1 3 の近傍に配置して、電源を独立した配線とすることができる。

20

【 0 0 2 8 】

また、センサチップ 1 1 では、露光期間において、グローバル制御回路 1 3 が動作することが多いのに対し、ローリング制御回路 1 4 は停止している。一方、センサチップ 1 1 では、読み出し期間において、ローリング制御回路 1 4 が動作しているのに対し、グローバル制御回路 1 3 が停止していることが多い。そのため、センサチップ 1 1 では、グローバル制御回路 1 3 とローリング制御回路 1 4 とを独立して制御することが求められる。さらに、センサチップ 1 1 では、面内同時性を担保するために、グローバル制御回路 1 3 において、後述の図 2 C に示すようなクロックツリー構造を採用することが一般的であるため、ローリング制御回路 1 4 とは独立して配置することが好ましい。

30

【 0 0 2 9 】

従って、センサチップ 1 1 のように、より高速な制御を行うことが求められる場合、グローバル制御回路 1 3 とローリング制御回路 1 4 とを独立して個別に配置するレイアウトとすることで、より良好な制御を行うことができる。なお、グローバル制御回路 1 3 とローリング制御回路 1 4 とが独立して個別に配置されていれば、同一方向に沿うようなレイアウト、および、互いに直交するようなレイアウトのどちらを採用してもよい。

【 0 0 3 0 】

なお、本実施の形態では、図示する構成例に従って、図の上側をピクセルアレイ部 1 2 の上辺とし、図の下側をピクセルアレイ部 1 2 の下辺として説明するが、例えば、グローバル制御回路 1 3 は、ピクセルアレイ部 1 2 の長辺に沿うように配置されていれば、その上辺側および下辺側のどちらに配置されていても同様の作用効果を得ることができる。また、ピクセルアレイ部 1 2 およびカラム ADC 1 5 についても同様である。

40

【 0 0 3 1 】

図 2 を参照して、グローバル制御回路 1 3 の構成について説明する。

【 0 0 3 2 】

図 2 A には、グローバル制御回路 1 3 の第 1 の構成例が示されており、図 2 B には、グローバル制御回路 1 3 の第 2 の構成例が示されており、図 2 C には、グローバル制御回路 1 3 の第 3 の構成例が示されている。なお、グローバル制御回路 1 3 は、ピクセルアレイ

50

部 1 2 に配置されるセンサ素子の列数に応じたグローバル制御信号を同時的に出力するように構成されているが、図 2 においては、その一部として、8 つのグローバル制御信号を同時的に出力する構成が概略的に図示されている。

【 0 0 3 3 】

図 2 A に示すグローバル制御回路 1 3 は、1 個の内部バッファ 3 1 と、8 個の駆動素子 3 2 a 乃至 3 2 h とを備えて構成される。

【 0 0 3 4 】

図示するように、グローバル制御回路 1 3 は、長手方向に沿って設けられる内部配線の一端に内部バッファ 3 1 が接続され、図 1 の制御線 2 1 の位置に応じて一方向に向かって、駆動素子 3 2 a 乃至 3 2 h が内部配線に接続される接続構成となっている。従って、グローバル制御回路 1 3 に入力されるグローバル制御信号は、内部バッファ 3 1 を介して内部配線の一端側（図 2 の例では左側）から駆動素子 3 2 a 乃至 3 2 h に供給され、それぞれに接続される制御線 2 1 に同時的に出力される。

10

【 0 0 3 5 】

図 2 B に示すグローバル制御回路 1 3 A は、2 個の内部バッファ 3 1 a および 3 1 b と、8 個の駆動素子 3 2 a 乃至 3 2 h とを備えて構成される。

【 0 0 3 6 】

図示するように、グローバル制御回路 1 3 A は、グローバル制御回路 1 3 A の長手方向に沿って設けられる内部配線の両端に内部バッファ 3 1 a および 3 1 b が接続され、図 1 の制御線 2 1 の位置に応じて一方向に向かって、駆動素子 3 2 a 乃至 3 2 h が内部配線に接続される接続構成となっている。従って、グローバル制御回路 1 3 A に入力されるグローバル制御信号は、内部バッファ 3 1 a および 3 1 b を介して内部配線の両端から駆動素子 3 2 a 乃至 3 2 h に供給され、それぞれに接続される制御線 2 1 に同時的に出力される。

20

【 0 0 3 7 】

図 2 C に示すグローバル制御回路 1 3 B は、7 個の内部バッファ 3 1 a 乃至 3 1 g と、8 個の駆動素子 3 2 a 乃至 3 2 h とを備えて構成される。

【 0 0 3 8 】

図示するように、グローバル制御回路 1 3 B は、内部バッファ 3 1 a 乃至 3 1 g によりクロックツリー構造が構成され、最終段において、制御線 2 1 の位置に応じて一方向に向かって配置される駆動素子 3 2 a 乃至 3 2 h に接続される接続構成となっている。例えば、クロックツリー構造は、1 段目において、1 つの内部バッファ 3 1 の出力が 2 つの内部バッファ 3 1 に入力され、2 段目において、それらの 2 つの内部バッファ 3 1 の入力が 4 つの内部バッファ 3 1 に入力されるという構成が、複数段において繰り返される構造である。従って、グローバル制御回路 1 3 B に入力されるグローバル制御信号は、内部バッファ 3 1 a 乃至 3 1 g からなるクロックツリー構造を介して駆動素子 3 2 a 乃至 3 2 h に供給され、それぞれに接続される制御線 2 1 に同時的に出力される。

30

【 0 0 3 9 】

このような構成のグローバル制御回路 1 3 B は、駆動素子 3 2 a 乃至 3 2 h どうしの間における遅延の発生を回避することができ、例えば、グローバル制御回路 1 3 および 1 3 A と比較して、面内均一性を担保することができる。即ち、グローバル制御回路 1 3 B は、駆動素子 3 2 が並ぶ方向に亘って、同時性が強く求められる用途に採用することが好適である。

40

【 0 0 4 0 】

図 3 を参照して、ローリング制御回路 1 4 の構成について説明する。

【 0 0 4 1 】

図 3 A には、ローリング制御回路 1 4 の第 1 の構成例が示されており、図 3 B には、ローリング制御回路 1 4 の第 2 の構成例が示されている。なお、ローリング制御回路 1 4 は、ピクセルアレイ部 1 2 に配置されるセンサ素子の行数に応じたローリング制御信号を逐次的に出力するように構成されているが、図 3 においては、その一部として、8 つのローリング制御信号を逐次的に出力する構成が概略的に図示されている。

50

【 0 0 4 2 】

図 3 A に示すローリング制御回路 1 4 は、シフトレジスタ方式を採用しており、2 個の内部バッファ 4 1 および 4 2、8 個のレジスタ 4 3 a 乃至 4 3 h、並びに 8 個の駆動素子 4 4 a 乃至 4 4 h を備えて構成される。なお、簡易化のため、2 個の内部バッファ 4 1 および 4 2 が配置されている構成例を示しているが、内部バッファの配線長などに応じて、複数個の内部バッファを配置する構成を採用してもよい。

【 0 0 4 3 】

図示するように、ローリング制御回路 1 4 は、長手方向に沿って設けられる内部配線の一端に内部バッファ 4 1 が接続され、ピクセルアレイ部 1 2 に配置されるセンサ素子の行の位置に応じて、その内部配線にレジスタ 4 3 a 乃至 4 3 h が接続される接続構成となっている。また、ローリング制御回路 1 4 は、内部バッファ 4 2 がレジスタ 4 3 a に接続され、レジスタ 4 3 a 乃至 4 3 h が順次接続されるとともに、レジスタ 4 3 a 乃至 4 3 h に駆動素子 4 4 a 乃至 4 4 h がそれぞれ接続される接続構成となっている。

10

【 0 0 4 4 】

従って、ローリング制御回路 1 4 では、内部バッファ 4 2 を介してレジスタ 4 3 a に供給されるスタートパルスが、内部バッファ 4 1 を介して供給されるクロックに従って、レジスタ 4 3 a 乃至 4 3 h に順次シフトされ、レジスタ 4 3 a 乃至 4 3 h それぞれに接続される駆動素子 4 4 a 乃至 4 4 h からローリング制御信号として逐次的に出力される。

【 0 0 4 5 】

図 3 B に示すローリング制御回路 1 4 A は、デコーダ方式を採用しており、2 個の内部バッファ 4 1 および 4 2、デコーダ 4 5、8 個の AND ゲート 4 6 a 乃至 4 6 h、並びに 8 個の駆動素子 4 4 a 乃至 4 4 h を備えて構成される。なお、デコーダ 4 5 には、ラッチを含む方式、および、ラッチを含まない方式のどちらを用いてもよい。例えば、デコーダ 4 5 が、信号をラッチする方式では、アドレスを 1 度で送る方式や、アドレスを分割して送る方式などを採用することができる。

20

【 0 0 4 6 】

図示するように、ローリング制御回路 1 4 A は、内部バッファ 4 1 がデコーダ 4 5 に接続されており、内部バッファ 4 2 が AND ゲート 4 6 a 乃至 4 6 h の入力端に接続されるとともに、デコーダ 4 5 が行ごとに AND ゲート 4 6 a 乃至 4 6 h の入力端に接続される。そして、ローリング制御回路 1 4 A は、AND ゲート 4 6 a 乃至 4 6 h の出力端が、それぞれ駆動素子 4 4 a 乃至 4 4 h に接続される接続構成となっている。

30

【 0 0 4 7 】

従って、ローリング制御回路 1 4 A では、内部バッファ 4 2 を介して AND ゲート 4 6 a 乃至 4 6 h に供給されるパルスが、内部バッファ 4 1 を介してデコーダ 4 5 に供給されるアドレスで指定された行の駆動素子 4 4 a 乃至 4 4 h からローリング制御信号として逐次的に出力される。

【 0 0 4 8 】

図 2 および図 3 を参照して説明したように、グローバル制御回路 1 3 およびローリング制御回路 1 4 は、それぞれ異なる回路構成となっている。

【 0 0 4 9 】

図 4 は、図 1 に示したセンサチップ 1 1 の第 1 の変形例を示すブロック図である。なお、図 4 に示すセンサチップ 1 1 - a を構成するブロックのうち、図 1 のセンサチップ 1 1 と共通する構成については、同一の符号を付し、その詳細な説明は省略する。

40

【 0 0 5 0 】

即ち、図 4 に示すように、センサチップ 1 1 - a は、ピクセルアレイ部 1 2、ローリング制御回路 1 4、カラム ADC 1 5、および、入出力部 1 6 の配置は、図 1 のセンサチップ 1 1 と共通する構成となっている。

【 0 0 5 1 】

一方、センサチップ 1 1 - a は、2 個のグローバル制御回路 1 3 - 1 および 1 3 - 2 がピクセルアレイ部 1 2 の上辺および下辺にそれぞれ沿うように配置されており、制御線 2

50

1の両端に駆動素子32-1および32-2が接続される点で、図1のセンサチップ11と異なる構成となっている。即ち、センサチップ11-aは、グローバル制御回路13-1が有する駆動素子32-1が制御線21の上端からグローバル制御信号を供給し、グローバル制御回路13-2が有する駆動素子32-2が制御線21の下端からグローバル制御信号を供給するように構成される。

【0052】

このように構成されるセンサチップ11-aは、2個の駆動素子32-1および駆動素子32-2間のスキューを抑制することができ、制御線21を介して伝播されるグローバル制御信号に発生する遅延時間のバラツキを解消することができる。これにより、センサチップ11-aでは、より高速にセンサ素子に対する制御を行うことができる。なお、センサチップ11-aでは、貫通電流が発生することがないようにグローバル制御信号の出力の遅延差が大きくなることを回避するように制御を行う必要がある。

10

【0053】

図5は、図1に示したセンサチップ11の第2の変形例を示すブロック図である。なお、図5に示すセンサチップ11-bを構成するブロックのうち、図1のセンサチップ11と共通する構成については、同一の符号を付し、その詳細な説明は省略する。

【0054】

即ち、図5に示すように、センサチップ11-bは、ピクセルアレイ部12、ローリング制御回路14、カラムADC15、および、入出力部16の配置は、図1のセンサチップ11と共通する構成となっている。

20

【0055】

一方、センサチップ11-bは、2個のグローバル制御回路13-1および13-2がピクセルアレイ部12の上辺および下辺にそれぞれ沿うように配置されるとともに、ピクセルアレイ部12に行列状に配置されるセンサ素子の列の中央で分離されるように、2本の制御線21-1および21-2が配置される点で、図1のセンサチップ11と異なる構成となっている。そして、センサチップ11-bでは、制御線21-1の上端に駆動素子32-1が接続され、制御線21-2の下端に駆動素子32-2が接続されている。

【0056】

従って、センサチップ11-bは、ピクセルアレイ部12の中央より上側に配置されるセンサ素子には、グローバル制御回路13-1が有する駆動素子32-1が制御線21-1の上端からグローバル制御信号を供給するように構成される。また、センサチップ11-bは、ピクセルアレイ部12の中央より下側に配置されるセンサ素子には、グローバル制御回路13-2が有する駆動素子32-2が制御線21-2の下端からグローバル制御信号を供給するように構成される。

30

【0057】

このように構成されるセンサチップ11-bは、駆動素子32-1から制御線21-1の遠端(図5の例では下端)に配置されるセンサ素子までの距離、および、駆動素子32-2から制御線21-2の遠端(図5の例では上端)に配置されるセンサ素子までの距離を、例えば、図1のセンサチップ11よりも短くすることができる。これにより、センサチップ11-bは、グローバル制御回路13-1および13-2から出力されるグローバル制御信号に発生する遅延量およびスルーレートをさらに低減することができるため、さらに高速にセンサ素子に対する制御を行うことができる。

40

【0058】

<センサチップの第2の構成例>

図6を参照して、本技術を適用したセンサチップの第2の実施の形態について説明する。なお、図6に示すセンサチップ11Aを構成するブロックのうち、図1のセンサチップ11と共通する構成については、同一の符号を付し、その詳細な説明は省略する。

【0059】

図6に示すように、センサチップ11Aは、ピクセルアレイ部12A、グローバル制御回路13A、ローリング制御回路14A、カラムADC15A、および、入出力部16Aが

50

、半導体基板に配置されて構成される。

【 0 0 6 0 】

そして、センサチップ 1 1 A では、ピクセルアレイ部 1 2 A が、縦方向に長辺が設けられ、横方向に短辺が設けられた縦長の長方形の領域となっている点で、図 1 のセンサチップ 1 1 と異なる構成となっている。従って、センサチップ 1 1 A では、グローバル制御回路 1 3 A および入出力部 1 6 A が、ピクセルアレイ部 1 2 A の長辺に沿うように、ピクセルアレイ部 1 2 A の左辺側に配置される。これに伴い、制御線 2 1 A は、ピクセルアレイ部 1 2 A に行列状に配置されるセンサ素子の行ごとに、ピクセルアレイ部 1 2 A の左右方向に向かって配置される。

【 0 0 6 1 】

また、センサチップ 1 1 A では、ローリング制御回路 1 4 A が、ピクセルアレイ部 1 2 A の長辺に沿うように、ピクセルアレイ部 1 2 A の右辺側（グローバル制御回路 1 3 A と対向する側）に配置されている。なお、グローバル制御回路 1 3 A およびピクセルアレイ部 1 2 A を、ピクセルアレイ部 1 2 A に対して同一側に配置してもよいが、この場合、いずれか一方の配線長が長くなることが想定されるため、図示するような配置とすることが好ましい。

【 0 0 6 2 】

また、センサチップ 1 1 A では、カラム ADC 1 5 A が、ピクセルアレイ部 1 2 A の短辺に沿うように、ピクセルアレイ部 1 2 A の下辺側に配置される。このように、ローリング制御回路 1 4 A に対して直交する方向にカラム ADC 1 5 A が配置されているのは、カラム ADC 1 5 A は、1 つの A/D コンバータに接続されるセンサ素子を 1 つずつオンする必要があるためであり、それぞれの配線が重なるようなレイアウトとなるのを回避している。

【 0 0 6 3 】

このように構成されるセンサチップ 1 1 A は、図 1 のセンサチップ 1 1 と同様に、グローバル制御回路 1 3 A がピクセルアレイ部 1 2 A の長辺に沿うように配置されるレイアウトにより、制御線 2 1 A の配線長を短くすることができる。従って、センサチップ 1 1 A は、図 1 のセンサチップ 1 1 と同様に、より高速にセンサ素子に対する制御を行うことができる。

【 0 0 6 4 】

< センサチップの第 3 の構成例 >

図 7 乃至 1 0 を参照して、本技術を適用したセンサチップの第 3 の実施の形態について説明する。なお、図 7 乃至 1 0 に示すセンサチップ 1 1 B を構成するブロックのうち、図 1 のセンサチップ 1 1 と共通する構成については、同一の符号を付し、その詳細な説明は省略する。

【 0 0 6 5 】

図 7 には、センサチップ 1 1 B の斜視図が示されており、図 8 には、センサチップ 1 1 B のブロック図が示されている。

【 0 0 6 6 】

図 7 に示すように、センサチップ 1 1 B は、ピクセルアレイ部 1 2 が形成されるセンサ基板 5 1 と、グローバル制御回路 1 3 が形成されるロジック基板 5 2 とが積層される積層構造となっている。そして、センサチップ 1 1 B は、平面的に見たときにピクセルアレイ部 1 2 と重ならないセンサチップ 1 1 B の周辺領域において、センサ基板 5 1 の制御線 2 1 と、ロジック基板 5 2 のグローバル制御回路 1 3 とが接続される接続構成となっている。即ち、図 7 に示す例では、センサチップ 1 1 B は、ピクセルアレイ部 1 2 に行列状に配置されるセンサ素子の列方向に沿って配置される複数の制御線 2 1 が、センサ基板 5 1 の上辺側においてグローバル制御回路 1 3 側に接続されている。

【 0 0 6 7 】

従って、センサチップ 1 1 B では、グローバル制御回路 1 3 から出力されるグローバル制御信号は、図 7 において白抜きの矢印で示すように、センサ基板 5 1 の上辺側からピクセルアレイ部 1 2 のセンサ素子に供給される。このとき、グローバル制御回路 1 3 の長手

10

20

30

40

50

方向が、ピクセルアレイ部 1 2 の長辺に沿うように配置されており、センサチップ 1 1 B は、グローバル制御回路 1 3 からピクセルアレイ部 1 2 のセンサ素子まで最短距離となるような構成となっている。

【 0 0 6 8 】

図 8 を参照して、センサチップ 1 1 B の構成について、さらに説明する。

【 0 0 6 9 】

センサ基板 5 1 には、ピクセルアレイ部 1 2、および、TSV (Through Silicon Via) 領域 5 3 - 1 乃至 5 3 - 3 が配置されている。ロジック基板 5 2 には、グローバル制御回路 1 3、ローリング制御回路 1 4、カラム ADC 1 5、ロジック回路 1 7、および TSV 領域 5 4 - 1 乃至 5 4 - 3 が配置されている。例えば、センサチップ 1 1 B では、ピクセルアレイ部 1 2 のセンサ素子から出力されるセンサ信号はカラム ADC 1 5 で AD 変換され、ロジック回路 1 7 において各種の信号処理が施された後、外部に出力される。

10

【 0 0 7 0 】

TSV 領域 5 3 - 1 乃至 5 3 - 3 および TSV 領域 5 4 - 1 乃至 5 4 - 3 は、センサ基板 5 1 およびロジック基板 5 2 を電氣的に接続するための貫通電極が形成される領域であり、例えば、制御線 2 1 ごとに貫通電極が配置されている。従って、TSV 領域 5 3 - 1 乃至 5 3 - 3 および TSV 領域 5 4 - 1 乃至 5 4 - 3 は、センサ基板 5 1 およびロジック基板 5 2 を積層したときに重なり合うように配置される。なお、TSV 領域 5 4 において貫通電極を利用して接続を行う他、例えば、マイクロバンプや銅 (Cu-Cu) 接続などを利用することができる。

20

【 0 0 7 1 】

このように構成されるセンサチップ 1 1 B は、図 1 のセンサチップ 1 1 と同様に、グローバル制御回路 1 3 がピクセルアレイ部 1 2 の長辺に沿うように配置されるレイアウトにより、制御線 2 1 の配線長を短くすることができる。従って、センサチップ 1 1 B は、図 1 のセンサチップ 1 1 と同様に、より高速にセンサ素子に対する制御を行うことができる。

【 0 0 7 2 】

図 9 は、図 8 に示したセンサチップ 1 1 B の第 1 の変形例を示すブロック図である。なお、図 9 に示すセンサチップ 1 1 B - a を構成するブロックのうち、図 8 のセンサチップ 1 1 B と共通する構成については、同一の符号を付し、その詳細な説明は省略する。

【 0 0 7 3 】

即ち、図 9 に示すように、センサチップ 1 1 B - a は、ピクセルアレイ部 1 2 が形成されるセンサ基板 5 1 と、グローバル制御回路 1 3 が形成されるロジック基板 5 2 とが積層される積層構造となっている点で、図 8 のセンサチップ 1 1 B と共通する構成となっている。

30

【 0 0 7 4 】

一方、センサチップ 1 1 B - a は、2 個のグローバル制御回路 1 3 - 1 および 1 3 - 2 がピクセルアレイ部 1 2 の上辺および下辺にそれぞれ沿うようにロジック基板 5 2 に配置されるとともに、ピクセルアレイ部 1 2 に行列状に配置されるセンサ素子の列の中央で分離されるように、2 本の制御線 2 1 - 1 および 2 1 - 2 が配置される点で、図 8 のセンサチップ 1 1 B と異なる構成となっている。

40

【 0 0 7 5 】

即ち、センサチップ 1 1 B - a は、図 5 に示したセンサチップ 1 1 - b と同様に、制御線 2 1 - 1 の上端に駆動素子 3 2 - 1 が接続され、制御線 2 1 - 2 の下端に駆動素子 3 2 - 2 が接続されている。従って、センサチップ 1 1 B - a は、ピクセルアレイ部 1 2 の中央より上側に配置されるセンサ素子には、グローバル制御回路 1 3 - 1 が有する駆動素子 3 2 - 1 が制御線 2 1 - 1 の上端からグローバル制御信号を供給するように構成される。また、センサチップ 1 1 B - a は、ピクセルアレイ部 1 2 の中央より下側に配置されるセンサ素子には、グローバル制御回路 1 3 - 2 が有する駆動素子 3 2 - 2 が制御線 2 1 - 2 の下端からグローバル制御信号を供給するように構成される。

【 0 0 7 6 】

50

このように構成されるセンサチップ 1 1 B - a は、駆動素子 3 2 - 1 から制御線 2 1 - 1 の遠端（図 9 の例では下端）に配置されるセンサ素子までの距離、および、駆動素子 3 2 - 2 から制御線 2 1 - 2 の遠端（図 9 の例では上端）に配置されるセンサ素子までの距離を、例えば、図 8 のセンサチップ 1 1 B よりも短くすることができる。これにより、センサチップ 1 1 B - a は、グローバル制御回路 1 3 - 1 および 1 3 - 2 から出力されるグローバル制御信号に発生する遅延量およびスルーレートをさらに低減することができるため、さらに高速にセンサ素子に対する制御を行うことができる。

【 0 0 7 7 】

図 1 0 は、図 8 に示したセンサチップ 1 1 B の第 2 の変形例を示すブロック図である。なお、図 1 0 に示すセンサチップ 1 1 B - b を構成するブロックのうち、図 8 のセンサチップ 1 1 B と共通する構成については、同一の符号を付し、その詳細な説明は省略する。

10

【 0 0 7 8 】

即ち、図 1 0 に示すように、センサチップ 1 1 B - b は、ピクセルアレイ部 1 2 が形成されるセンサ基板 5 1 と、グローバル制御回路 1 3 が形成されるロジック基板 5 2 とが積層される積層構造となっている点で、図 8 のセンサチップ 1 1 B と共通する構成となっている。

【 0 0 7 9 】

一方、センサチップ 1 1 B - b は、2 個のグローバル制御回路 1 3 - 1 および 1 3 - 2 がピクセルアレイ部 1 2 の上辺および下辺にそれぞれ沿うようにロジック基板 5 2 に配置されるとともに、制御線 2 1 の両端に駆動素子 3 2 - 1 および 3 2 - 2 が接続される点で、図 8 のセンサチップ 1 1 B と異なる構成となっている。

20

【 0 0 8 0 】

即ち、センサチップ 1 1 B - b は、図 4 に示したセンサチップ 1 1 - a と同様に、グローバル制御回路 1 3 - 1 が有する駆動素子 3 2 - 1 が制御線 2 1 の上端からグローバル制御信号を供給し、グローバル制御回路 1 3 - 2 が有する駆動素子 3 2 - 2 が制御線 2 1 の下端からグローバル制御信号を供給するように構成される。

【 0 0 8 1 】

このように構成されるセンサチップ 1 1 B - b は、2 個の駆動素子 3 2 - 1 および駆動素子 3 2 - 2 間のスキューを抑制することができ、制御線 2 1 を介して伝播されるグローバル制御信号に発生する遅延時間のバラツキを解消することができる。これにより、センサチップ 1 1 B - b では、より高速にセンサ素子に対する制御を行うことができる。なお、センサチップ 1 1 B - b では、貫通電流が発生することがないようにグローバル制御信号の出力の遅延差が大きくなることを回避するように制御を行う必要がある。

30

【 0 0 8 2 】

以上のように構成されるセンサチップ 1 1 B では、ロジック基板 5 1 およびセンサ基板 5 2 が積層されたスタック構造において、図 1 のセンサチップ 1 1 と同様に、より高速にセンサ素子に対する制御を行うことができる。

【 0 0 8 3 】

なお、図 8 乃至図 1 0 に示した構成例では、カラム ADC 1 5 は、下辺に配置されている TSV 領域 5 3 - 3 および TSV 領域 5 4 - 3 を介してピクセルアレイ部 1 2 の下端側からセンサ信号を読み出すように構成されている。このような構成の他、例えば、2 個のカラム ADC 1 5 を上辺近傍および下辺近傍に配置して、それぞれピクセルアレイ部 1 2 の上端側および下端側からセンサ信号を読み出すように構成してもよい。

40

【 0 0 8 4 】

< センサチップの第 4 の構成例 >

図 1 1 を参照して、本技術を適用したセンサチップの第 4 の実施の形態について説明する。なお、図 1 1 に示すセンサチップ 1 1 C を構成するブロックのうち、図 8 のセンサチップ 1 1 B と共通する構成については、同一の符号を付し、その詳細な説明は省略する。

【 0 0 8 5 】

即ち、図 1 1 に示すように、センサチップ 1 1 C は、ピクセルアレイ部 1 2 が形成され

50

るセンサ基板 5 1 と、グローバル制御回路 1 3 が形成されるロジック基板 5 2 とが積層される積層構造となっている点で、図 8 のセンサチップ 1 1 B と共通する構成となっている。

【 0 0 8 6 】

一方、センサチップ 1 1 C は、図 6 に示したセンサチップ 1 1 A のピクセルアレイ部 1 2 A と同様に、ピクセルアレイ部 1 2 C が、縦長の長方形の領域となっている点で、図 8 のセンサチップ 1 1 B と異なる構成となっている。従って、センサチップ 1 1 C では、グローバル制御回路 1 3 C が、ピクセルアレイ部 1 2 C の長辺に沿うように、ロジック基板 5 2 の左辺側に配置される。これに伴い、制御線 2 1 C は、ピクセルアレイ部 1 2 C に行列状に配置されるセンサ素子の行ごとに、ピクセルアレイ部 1 2 C の左右方向に向かって配置される。

10

【 0 0 8 7 】

また、センサチップ 1 1 C では、ローリング制御回路 1 4 C が、ピクセルアレイ部 1 2 C の長辺に沿うように、ロジック基板 5 2 の右辺側（グローバル制御回路 1 3 C と対向する側）に配置されている。なお、グローバル制御回路 1 3 C およびピクセルアレイ部 1 2 C を、ロジック基板 5 2 の同一側に配置してもよいが、この場合、いずれか一方の配線長が長くなることが想定されるため、図示するような配置とすることが好ましい。

【 0 0 8 8 】

また、センサチップ 1 1 C では、カラム ADC 1 5 C が、ピクセルアレイ部 1 2 C の短辺に沿うように、ロジック基板 5 2 の下辺側に配置される。このように、ローリング制御回路 1 4 C に対して直交する方向にカラム ADC 1 5 C が配置されているのは、カラム ADC 1 5 C は、1 つの A/D コンバータに接続されるセンサ素子を 1 つずつオンする必要があるためであり、それぞれの配線が重なるようなレイアウトとなるのを回避している。

20

【 0 0 8 9 】

このように構成されるセンサチップ 1 1 C は、図 8 のセンサチップ 1 1 B と同様に、グローバル制御回路 1 3 C がピクセルアレイ部 1 2 C の長辺に沿うように配置されるレイアウトにより、制御線 2 1 C の配線長を短くすることができる。従って、センサチップ 1 1 C は、図 8 のセンサチップ 1 1 B と同様に、より高速にセンサ素子に対する制御を行うことができる。

【 0 0 9 0 】

< センサチップの第 5 の構成例 >

30

図 1 2 を参照して、本技術を適用したセンサチップの第 5 の実施の形態について説明する。なお、図 1 2 に示すセンサチップ 1 1 D を構成するブロックのうち、図 8 のセンサチップ 1 1 B と共通する構成については、同一の符号を付し、その詳細な説明は省略する。

【 0 0 9 1 】

即ち、図 1 2 に示すように、センサチップ 1 1 D は、ピクセルアレイ部 1 2 が形成されるセンサ基板 5 1 と、グローバル制御回路 1 3 が形成されるロジック基板 5 2 とが積層される積層構造となっている点で、図 8 のセンサチップ 1 1 B と共通する構成となっている。

【 0 0 9 2 】

一方、センサチップ 1 1 D は、ロジック基板 5 2 において、センサ基板 5 1 のピクセルアレイ部 1 2 が形成される領域に対応して、複数の ADC 1 5 が、図 1 2 の例では、1 2 個の ADC 1 5 - 1 乃至 1 5 - 1 2 が配置されている点で、図 8 のセンサチップ 1 1 B と異なる構成となっている。

40

【 0 0 9 3 】

例えば、センサチップ 1 1 D は、ピクセルアレイ部 1 2 の所定領域ごとに、ADC 1 5 が配置されて構成される。図示するように 1 2 個の ADC 1 5 - 1 乃至 1 5 - 1 2 を使用する場合には、ピクセルアレイ部 1 2 を 1 2 等分した領域ごとに、ADC 1 5 が配置され、それぞれの領域に設けられるセンサ素子から出力されるセンサ信号の A/D 変換が並列的に行われる。なお、ピクセルアレイ部 1 2 の所定領域ごとに ADC 1 5 を配置する構成の他、例えば、ピクセルアレイ部 1 2 が有する 1 つのセンサ素子ごとに 1 個の ADC 1 5 を配置する構成としてもよい。

50

【 0 0 9 4 】

このように構成されるセンサチップ 1 1 D は、図 8 のセンサチップ 1 1 B と同様に、グローバル制御回路 1 3 がピクセルアレイ部 1 2 の長辺に沿うように配置されるレイアウトにより、制御線 2 1 の配線長を短くすることができる。従って、センサチップ 1 1 D は、図 8 のセンサチップ 1 1 B と同様に、より高速にセンサ素子に対する制御を行うことができる。

【 0 0 9 5 】

さらに、センサチップ 1 1 D は、ローリング制御回路 1 4 と ADC 1 5 との位置関係は、図 8 に示したカラム ADC 1 5 のような制約に限定されることがなくなる。例えば、図 1 2 に示すセンサチップ 1 1 D では、ロジック基板 5 2 の右辺側にローリング制御回路 1 4 が配置されているが、ローリング制御回路 1 4 は、上辺側または下辺側のどちらに配置してもよい。つまり、センサチップ 1 1 D に対するピクセルアレイ部 1 2 の配置位置（例えば、光学的な中心に対するセンサチップ 1 1 D の中心位置）などの制限がなければ、ローリング制御回路 1 4 をどこに配置してもよい。

10

【 0 0 9 6 】

または、例えば、光学的な中心とセンサチップ 1 1 D の中心位置とに強い制限がある場合には、グローバル制御回路 1 3 に対して ADC 1 5 が配置されている領域の反対側となる位置にローリング制御回路 1 4 を配置することで、レイアウトをバランス良くすることができる。これにより、センサチップ 1 1 D の特性を向上させることができる。

【 0 0 9 7 】

< センサチップの第 6 の構成例 >

図 1 3 乃至 2 2 を参照して、本技術を適用したセンサチップの第 6 の実施の形態について説明する。なお、図 1 3 乃至 2 2 に示すセンサチップ 1 1 E を構成するブロックのうち、図 7 および図 8 のセンサチップ 1 1 B と共通する構成については、同一の符号を付し、その詳細な説明は省略する。

20

【 0 0 9 8 】

図 1 3 に示すように、センサチップ 1 1 E は、図 7 に示したセンサチップ 1 1 B と同様に、ピクセルアレイ部 1 2 が形成されるセンサ基板 5 1 と、グローバル制御回路 1 3 が形成されるロジック基板 5 2 とが積層される積層構造となっている。そして、センサチップ 1 1 E は、平面的に見たときにピクセルアレイ部 1 2 の中央に重なるようにグローバル制御回路 1 3 が配置されており、ピクセルアレイ部 1 2 の中央部においてグローバル制御回路 1 3 が制御線 2 1 に接続される接続構成となっている。

30

【 0 0 9 9 】

例えば、センサチップ 1 1 E は、配線を構成する銅 (C u) どうしの接続や、マイクロバンプまたは TSV を利用した接続などにより、ピクセルアレイ部 1 2 において接続可能である場合、駆動素子 3 2 から制御線 2 1 の遠端に配置されるセンサ素子までの距離を短くすることができる。

【 0 1 0 0 】

図 1 4 を参照して、センサチップ 1 1 E の構成について、さらに説明する。

【 0 1 0 1 】

図 1 4 に示すように、センサ基板 5 1 において、ピクセルアレイ部 1 2 は、横方向に長辺が設けられ、縦方向に短辺が設けられた横長の長方形の領域となっている。従って、ロジック基板 5 2 において、グローバル制御回路 1 3 は、その長手方向がピクセルアレイ部 1 2 の長辺に沿うように配置される。そして、グローバル制御回路 1 3 の駆動素子 3 2 から出力される配線が、ピクセルアレイ部 1 2 の上下方向に向かって配置される制御線 2 1 の中央に接続されるように、グローバル制御回路 1 3 がロジック基板 5 2 の略中央に配置される。なお、平面的に見て、グローバル制御回路 1 3 から直接的にピクセルアレイ部 1 2 に向かって、駆動素子 3 2 から出力される配線が基板を貫通するような構成としてもよい。

40

【 0 1 0 2 】

50

このように構成されるセンサチップ 1 1 E では、駆動素子 3 2 から制御線 2 1 の両端に配置されるセンサ素子までの距離を短くすることができる。従って、センサチップ 1 1 E は、グローバル制御信号の遅延量およびスルーレートを改善することができるため、より高速にセンサ素子に対する制御を行うことができる。

【 0 1 0 3 】

また、センサチップ 1 1 E に示すような構成は、例えば、ToFセンサに適用するのに好適である。

【 0 1 0 4 】

図 1 5 は、図 1 4 に示したセンサチップ 1 1 E の第 1 の変形例を示すブロック図である。なお、図 1 5 に示すセンサチップ 1 1 E - a を構成するブロックのうち、図 1 4 のセンサチップ 1 1 E と共通する構成については、同一の符号を付し、その詳細な説明は省略する。

10

【 0 1 0 5 】

即ち、図 1 5 に示すように、センサチップ 1 1 E - a は、ピクセルアレイ部 1 2 が形成されるセンサ基板 5 1 と、グローバル制御回路 1 3 が形成されるロジック基板 5 2 とが積層される積層構造となっている点で、図 1 4 のセンサチップ 1 1 E と共通する構成となっている。

【 0 1 0 6 】

一方、センサチップ 1 1 E - a は、センサ基板 5 1 において、ピクセルアレイ部 1 2 に行列状に配置されるセンサ素子の 1 行に対し、中央で分割された 2 本の制御線 2 1 - 1 および 2 1 - 2 が配置される点で、図 1 4 のセンサチップ 1 1 E と異なる構成となっている。また、センサチップ 1 1 E - a は、ロジック基板 5 2 において、グローバル制御回路 1 3 が、センサ素子の 1 行に対して 2 個の駆動素子 3 2 - 1 および 3 2 - 2 を備える点で、図 1 4 のセンサチップ 1 1 E と異なる構成となっている。

20

【 0 1 0 7 】

そして、センサチップ 1 1 E - a では、制御線 2 1 - 1 の中央側の端部に駆動素子 3 2 - 1 が接続されるとともに、制御線 2 1 - 2 の中央側の端部に駆動素子 3 2 - 2 が接続される接続構成となっている。即ち、センサチップ 1 1 E - a は、ピクセルアレイ部 1 2 の 1 行に配置される複数のセンサ素子のうち、中央より上側に配置されるセンサ素子は制御線 2 1 - 1 を介して駆動素子 3 2 - 1 により駆動され、中央より下側に配置されるセンサ素子は制御線 2 1 - 2 を介して駆動素子 3 2 - 2 により駆動されるように構成される。

30

【 0 1 0 8 】

このように構成されるセンサチップ 1 1 E - a は、図 1 4 のセンサチップ 1 1 E と同様に、駆動素子 3 2 - 1 から制御線 2 1 - 1 の遠端に配置されるセンサ素子までの距離、および、駆動素子 3 2 - 2 から制御線 2 1 - 2 の遠端に配置されるセンサ素子までの距離を短くすることができる。従って、センサチップ 1 1 E - a は、図 1 4 のセンサチップ 1 1 E と同様に、グローバル制御信号の遅延量およびスルーレートを改善することができる。

【 0 1 0 9 】

さらに、センサチップ 1 1 E - a は、1 個の駆動素子 3 2 あたりの負荷を削減することができるので、図 1 4 のセンサチップ 1 1 E よりも、駆動素子 3 2 のサイズを小型化することができる。さらに、センサチップ 1 1 E - a は、センサ素子の 1 列に対して 2 個の駆動素子 3 2 を配置する構成とすることで、駆動素子 3 2 のレイアウトが一カ所に集積されることになり、全体のレイアウト構造を簡易化することができる。

40

【 0 1 1 0 】

図 1 6 は、図 1 4 に示したセンサチップ 1 1 E の第 2 の変形例を示すブロック図である。なお、図 1 6 に示すセンサチップ 1 1 E - b を構成するブロックのうち、図 1 4 のセンサチップ 1 1 E と共通する構成については、同一の符号を付し、その詳細な説明は省略する。

【 0 1 1 1 】

即ち、図 1 6 に示すセンサチップ 1 1 E - b は、ピクセルアレイ部 1 2 が形成されるセ

50

ンサ基板 5 1 と、グローバル制御回路 1 3 が形成されるロジック基板 5 2 とが積層される積層構造となっている点で、図 1 4 のセンサチップ 1 1 E と共通する構成となっている。

【 0 1 1 2 】

一方、センサチップ 1 1 E - b は、センサ基板 5 1 において、ピクセルアレイ部 1 2 に行列状に配置されるセンサ素子の 1 行に対し、中央で分割された 2 本の制御線 2 1 - 1 および 2 1 - 2 が配置されている点で、図 1 4 のセンサチップ 1 1 E と異なる構成となっている。また、センサチップ 1 1 E - b は、ロジック基板 5 2 において、2 個のグローバル制御回路 1 3 - 1 および 1 3 - 2 が配置される点で、図 1 4 のセンサチップ 1 1 E と異なる構成となっている。

【 0 1 1 3 】

そして、センサチップ 1 1 E - b では、制御線 2 1 - 1 の中央に駆動素子 3 2 - 1 が接続されるとともに、制御線 2 1 - 2 の中央に駆動素子 3 2 - 2 が接続される接続構成となっている。即ち、センサチップ 1 1 E - b は、ピクセルアレイ部 1 2 の 1 行に配置される複数のセンサ素子のうち、中央より上側に配置されるセンサ素子は制御線 2 1 - 1 を介して駆動素子 3 2 - 1 により駆動され、中央より下側に配置されるセンサ素子は制御線 2 1 - 2 を介して駆動素子 3 2 - 2 により駆動されるように構成される。

【 0 1 1 4 】

このように構成されるセンサチップ 1 1 E - b は、図 1 4 のセンサチップ 1 1 E と比較して、駆動素子 3 2 - 1 から制御線 2 1 - 1 の遠端に配置されるセンサ素子までの距離、および、駆動素子 3 2 - 2 から制御線 2 1 - 2 の遠端に配置されるセンサ素子までの距離を短くすることができる。これにより、センサチップ 1 1 E - b は、図 1 4 のセンサチップ 1 1 E よりも、より高速な駆動が可能となり、グローバル制御信号の遅延量およびスループートのさらなる改善を図ることができる。

【 0 1 1 5 】

また、図 1 6 に示すように、センサチップ 1 1 E - b では、グローバル制御回路 1 3 - 1 および 1 3 - 2 を分割して配置することができるので、それらの間となる中央箇所にロジック回路 1 7 を配置することができる。なお、図示しないが、グローバル制御回路 1 3 - 1 および 1 3 - 2 の間となる中央箇所にカラム ADC 1 5 を配置してもよい。

【 0 1 1 6 】

また、センサチップ 1 1 E - b に示すような構成は、例えば、ToF センサに適用するのに好適である。

【 0 1 1 7 】

図 1 7 は、図 1 4 に示したセンサチップ 1 1 E の第 3 の変形例を示すブロック図である。なお、図 1 7 に示すセンサチップ 1 1 E - c を構成するブロックのうち、図 1 4 のセンサチップ 1 1 E と共通する構成については、同一の符号を付し、その詳細な説明は省略する。

【 0 1 1 8 】

即ち、図 1 7 に示すセンサチップ 1 1 E - c は、ピクセルアレイ部 1 2 が形成されるセンサ基板 5 1 と、グローバル制御回路 1 3 が形成されるロジック基板 5 2 とが積層される積層構造となっている点で、図 1 4 のセンサチップ 1 1 E と共通する構成となっている。

【 0 1 1 9 】

一方、センサチップ 1 1 E - c は、センサ基板 5 1 において、ピクセルアレイ部 1 2 に行列状に配置されるセンサ素子の 1 行に対し、中央で分割された 2 本の制御線 2 1 - 1 および 2 1 - 2 が配置されている点で、図 1 4 のセンサチップ 1 1 E と異なる構成となっている。また、センサチップ 1 1 E - c は、ロジック基板 5 2 において、2 個のグローバル制御回路 1 3 - 1 および 1 3 - 2 が配置される点で、図 1 4 のセンサチップ 1 1 E と異なる構成となっている。

【 0 1 2 0 】

そして、センサチップ 1 1 E - c では、図 1 6 のセンサチップ 1 1 E - b と同様に、制御線 2 1 - 1 の中央に駆動素子 3 2 - 1 が接続されるとともに、制御線 2 1 - 2 の中央に

10

20

30

40

50

駆動素子 3 2 - 2 が接続される接続構成となっている。従って、センサチップ 1 1 E - c は、図 1 6 のセンサチップ 1 1 E - b と同様に、図 1 4 のセンサチップ 1 1 E よりも、より高速な駆動が可能となり、グローバル制御信号の遅延量およびスルーレートのさらなる改善を図ることができる。

【 0 1 2 1 】

さらに、センサチップ 1 1 E - c は、ロジック基板 5 2 の上辺側にカラム ADC 1 5 - 1 が配置されるとともに、ロジック基板 5 2 の下辺側にカラム ADC 1 5 - 2 が配置されている。このように構成されるセンサチップ 1 1 E - c は、レイアウトを上下に対象となる構造となり対称性が向上する結果、センサチップ 1 1 E - c の特性を向上させることができる。

10

【 0 1 2 2 】

図 1 8 は、図 1 4 に示したセンサチップ 1 1 E の第 4 の変形例を示すブロック図である。なお、図 1 8 に示すセンサチップ 1 1 E - d を構成するブロックのうち、図 1 4 のセンサチップ 1 1 E と共通する構成については、同一の符号を付し、その詳細な説明は省略する。

【 0 1 2 3 】

即ち、図 1 8 に示すセンサチップ 1 1 E - d は、ピクセルアレイ部 1 2 が形成されるセンサ基板 5 1 と、グローバル制御回路 1 3 が形成されるロジック基板 5 2 とが積層される積層構造となっている点で、図 1 4 のセンサチップ 1 1 E と共通する構成となっている。

【 0 1 2 4 】

20

一方、センサチップ 1 1 E - d は、ロジック基板 5 2 において、2 個のグローバル制御回路 1 3 - 1 および 1 3 - 2 が配置されており、グローバル制御回路 1 3 - 1 が制御線 2 1 の上側半分の略中央に接続されるとともに、グローバル制御回路 1 3 - 2 が制御線 2 1 の下側半分の略中央に接続されるような接続構成となっている点で、図 1 4 のセンサチップ 1 1 E と異なる構成となっている。つまり、センサチップ 1 1 E - d は、図 1 7 の制御線 2 1 - 1 および 2 1 - 2 が接続された 1 本の制御線 2 1 が用いられる構成となっている。

【 0 1 2 5 】

このように構成されるセンサチップ 1 1 E - d は、2 個の駆動素子 3 2 - 1 および駆動素子 3 2 - 2 間のスキューを抑制することができ、制御線 2 1 を介して伝播されるグローバル制御信号に発生する遅延時間のバラツキを解消することができる。これにより、センサチップ 1 1 E - d では、より高速にセンサ素子に対する制御を行うことができる。なお、センサチップ 1 1 E - d では、貫通電流が発生することがないようにグローバル制御信号の出力の遅延差が大きくなることを回避するように制御する必要がある。

30

【 0 1 2 6 】

図 1 9 は、図 1 4 に示したセンサチップ 1 1 E の第 5 の変形例を示すブロック図である。なお、図 1 9 に示すセンサチップ 1 1 E - e を構成するブロックのうち、図 1 4 のセンサチップ 1 1 E と共通する構成については、同一の符号を付し、その詳細な説明は省略する。また、図 1 9 に示すセンサチップ 1 1 E - e では、図が煩雑になることを回避するために、センサチップ 1 1 E - e を構成する一部のブロックの図示が省略されている。

【 0 1 2 7 】

40

即ち、図 1 9 に示すセンサチップ 1 1 E - e は、ピクセルアレイ部 1 2 が形成されるセンサ基板 5 1 と、グローバル制御回路 1 3 が形成されるロジック基板 5 2 とが積層される積層構造となっている点で、図 1 4 のセンサチップ 1 1 E と共通する構成となっている。

【 0 1 2 8 】

一方、センサチップ 1 1 E - e は、センサ基板 5 1 において、ピクセルアレイ部 1 2 に行列状に配置されるセンサ素子の 1 行に対し、4 分割された制御線 2 1 - 1 乃至 2 1 - 4 が配置されている点で、図 1 4 のセンサチップ 1 1 E と異なる構成となっている。また、センサチップ 1 1 E - e は、ロジック基板 5 2 において、4 個のグローバル制御回路 1 3 - 1 乃至 1 3 - 4 が配置される点で、図 1 4 のセンサチップ 1 1 E と異なる構成となっている。

50

【 0 1 2 9 】

そして、センサチップ 1 1 E - e では、制御線 2 1 - 1 乃至 2 1 - 4 それぞれの中央にグローバル制御回路 1 3 - 1 乃至 1 3 - 4 の駆動素子 3 2 - 1 乃至 3 2 - 4 が接続される接続構成となっている。従って、センサチップ 1 1 E - e は、駆動素子 3 2 - 1 乃至 3 2 - 4 それぞれから制御線 2 1 - 1 乃至 2 1 - 4 の遠端に配置されるセンサ素子までの距離を、さらに短くすることができる。これにより、センサチップ 1 1 E - e は、センサ素子に対する制御のさらなる高速化を図ることができる。なお、センサチップ 1 1 E - e では、カラム ADC 1 5 A やロジック回路 1 7 などが分離されて配置されることが想定されるが、そのような場合でも特性に影響を与えないようなレイアウトを採用することが必要となる。

10

【 0 1 3 0 】

なお、図 1 9 に示す構成例では、4 本に分割された制御線 2 1 - 1 乃至 2 1 - 4 を用いて説明を行っているが、制御線 2 1 を 3 本に分割したり、5 本以上に分割したりしてもよい。そして、分割された制御線 2 1 の略中央に、それぞれ対応するグローバル制御回路 1 3 が接続されるような構成とすることができる。

【 0 1 3 1 】

図 2 0 は、図 1 4 に示したセンサチップ 1 1 E の第 6 の変形例を示すブロック図である。なお、図 2 0 に示すセンサチップ 1 1 E - f を構成するブロックのうち、図 1 4 のセンサチップ 1 1 E と共通する構成については、同一の符号を付し、その詳細な説明は省略する。

20

【 0 1 3 2 】

即ち、図 2 0 に示すセンサチップ 1 1 E - f は、ピクセルアレイ部 1 2 が形成されるセンサ基板 5 1 と、グローバル制御回路 1 3 が形成されるロジック基板 5 2 とが積層される積層構造となっている点で、図 1 4 のセンサチップ 1 1 E と共通する構成となっている。

【 0 1 3 3 】

一方、センサチップ 1 1 E - f は、ロジック基板 5 2 において、4 個のグローバル制御回路 1 3 - 1 乃至 1 3 - 4 が配置されており、グローバル制御回路 1 3 - 1 乃至 1 3 - 4 が、制御線 2 1 に対して均等な間隔で接続されるような接続構成となっている点で、図 1 4 のセンサチップ 1 1 E と異なる構成となっている。つまり、センサチップ 1 1 E - d は、図 1 9 の制御線 2 1 - 1 乃至 2 1 - 4 が接続された 1 本の制御線 2 1 が用いられる構成となっている。

30

【 0 1 3 4 】

このように構成されるセンサチップ 1 1 E - f は、4 個の駆動素子 3 2 - 1 乃至 3 2 - 4 間のスキューを抑制することができ、制御線 2 1 を介して伝播されるグローバル制御信号に発生する遅延時間のバラツキを解消することができる。これにより、センサチップ 1 1 E - f では、より高速にセンサ素子に対する制御を行うことができる。なお、センサチップ 1 1 E - f では、貫通電流が発生することがないようにグローバル制御信号の出力の遅延差が大きくなることを回避するように制御する必要がある。

【 0 1 3 5 】

図 2 1 は、図 1 4 に示したセンサチップ 1 1 E の第 7 の変形例を示すブロック図である。なお、図 2 1 に示すセンサチップ 1 1 E - g を構成するブロックのうち、図 1 9 のセンサチップ 1 1 E - e と共通する構成については、同一の符号を付し、その詳細な説明は省略する。

40

【 0 1 3 6 】

即ち、センサチップ 1 1 E - g は、1 個のグローバル制御回路 1 3 を備えて構成され、図 1 9 のセンサチップ 1 1 E - e のグローバル制御回路 1 3 - 2 乃至 1 3 - 4 に替えて、バッファ回路 5 5 - 1 乃至 5 5 - 3 を備えて構成される。バッファ回路 5 5 - 1 乃至 5 5 - 3 は、それぞれバッファ 5 6 - 1 乃至 5 6 - 3 を有しており、グローバル制御回路 1 3 の駆動素子 3 2 の出力がバッファ 5 6 - 1 乃至 5 6 - 3 それぞれで分岐されて、4 分割された制御線 2 1 - 1 乃至 2 1 - 4 に接続されている。

50

【 0 1 3 7 】

このように構成されるセンサチップ 1 1 E - g においても、図 1 9 のセンサチップ 1 1 E - e と同様に、センサ素子に対する制御のさらなる高速化を図ることができる。

【 0 1 3 8 】

図 2 2 は、図 1 4 に示したセンサチップ 1 1 E の第 8 の変形例を示すブロック図である。なお、図 2 2 に示すセンサチップ 1 1 E - h を構成するブロックのうち、図 2 0 のセンサチップ 1 1 E - f と共通する構成については、同一の符号を付し、その詳細な説明は省略する。

【 0 1 3 9 】

即ち、センサチップ 1 1 E - g は、1 個のグローバル制御回路 1 3 を備えて構成され、図 2 0 のセンサチップ 1 1 E - f のグローバル制御回路 1 3 - 2 乃至 1 3 - 4 に替えて、バッファ回路 5 5 - 1 乃至 5 5 - 3 を備えて構成される。バッファ回路 5 5 - 1 乃至 5 5 - 3 は、それぞれバッファ 5 6 - 1 乃至 5 6 - 3 を有しており、グローバル制御回路 1 3 の駆動素子 3 2 の出力がバッファ 5 6 - 1 乃至 5 6 - 3 それぞれで分岐されて、制御線 2 1 に接続されている。

10

【 0 1 4 0 】

このように構成されるセンサチップ 1 1 E - h においても、図 2 0 のセンサチップ 1 1 E - f と同様に、センサ素子に対する制御のさらなる高速化を図ることができる。

【 0 1 4 1 】

< センサチップの第 7 の構成例 >

20

図 2 3 乃至 2 5 を参照して、本技術を適用したセンサチップの第 7 の実施の形態について説明する。なお、図 2 3 乃至 2 5 に示すセンサチップ 1 1 F を構成するブロックのうち、図 1 3 のセンサチップ 1 1 E と共通する構成については、同一の符号を付し、その詳細な説明は省略する。

【 0 1 4 2 】

即ち、図 2 3 に示すセンサチップ 1 1 F は、センサ基板 5 1 と、2 枚のロジック基板 5 2 - 1 および 5 2 - 2 とが積層される積層構造となっている。即ち、本技術は、3 枚の半導体基板が積層される構造に適用することができる。

【 0 1 4 3 】

図 2 3 に示すように、センサチップ 1 1 F は、1 層目のセンサ基板 5 1 にピクセルアレイ部 1 2 が形成され、2 層目のロジック基板 5 2 - 1 に、グローバル制御回路 1 3 と、メモリ 6 1 - 1 および 6 1 - 2 とが形成され、3 層目のロジック基板 5 2 - 2 に、例えば、図示しないカラム ADC 1 5 やロジック回路 1 7 などが形成されて構成される。

30

【 0 1 4 4 】

このように構成されるセンサチップ 1 1 F においても、センサ基板 5 1 のピクセルアレイ部 1 2 の長手方向に沿って、ロジック基板 5 2 - 1 にグローバル制御回路 1 3 を配置することで、図 1 3 のセンサチップ 1 1 E と同様に、より高速にセンサ素子に対する制御を行うことができる。

【 0 1 4 5 】

また、センサ基板 5 1、ロジック基板 5 2 - 1、およびロジック基板 5 2 - 2 の順番で積層されるセンサチップ 1 1 F は、グローバル制御回路 1 3 は、センサ基板 5 1 およびロジック基板 5 2 - 2 の間に積層されるロジック基板 5 2 - 1 の中央に配置することが好ましい。これにより、グローバル制御回路 1 3 から制御線 2 1 の遠端に配置されるセンサ素子までの距離を短くすることができる。もちろん、グローバル制御回路 1 3 から制御線 2 1 の遠端に配置されるセンサ素子までの距離を短くすることができれば、図 2 3 に示すようなレイアウトに限定されることはない。

40

【 0 1 4 6 】

図 2 4 は、図 2 3 に示したセンサチップ 1 1 F の第 1 の変形例を示す斜視図である。

【 0 1 4 7 】

図 2 4 に示すように、センサチップ 1 1 F - a では、1 層目のセンサ基板 5 1 にピクセ

50

ルアレイ部 12 が形成され、2 層目のロジック基板 52 - 1 に、メモリ 61 - 1 および 61 - 2 が形成され、3 層目のロジック基板 52 - 2 に、例えば、グローバル制御回路 13 や、図示しないカラム ADC 15 およびロジック回路 17 などが形成されて構成される。

【0148】

このように構成されるセンサチップ 11 F - a においても、センサ基板 51 のピクセルアレイ部 12 の長手方向に沿って、ロジック基板 52 - 2 にグローバル制御回路 13 を配置することで、図 13 のセンサチップ 11 E と同様に、より高速にセンサ素子に対する制御を行うことができる。

【0149】

図 25 は、図 23 に示したセンサチップ 11 F の第 2 の変形例を示す斜視図である。

10

【0150】

図 25 に示すように、センサチップ 11 F - b では、1 層目のセンサ基板 51 にピクセルアレイ部 12 が形成され、2 層目のロジック基板 52 - 1 に、メモリ 61 が形成され、3 層目のロジック基板 52 - 2 に、例えば、グローバル制御回路 13 や、図示しないカラム ADC 15 およびロジック回路 17 などが形成されて構成される。なお、センサチップ 11 F - b では、例えば、図 8 のセンサチップ 11 B と同様に、センサチップ 11 F - b の周辺領域に形成される TSV 領域を利用して、グローバル制御回路 13 に制御線 21 が接続される接続構成となっている。

【0151】

このように構成されるセンサチップ 11 F - b においても、センサ基板 51 のピクセルアレイ部 12 の長手方向に沿って、ロジック基板 52 - 2 にグローバル制御回路 13 を配置することで、図 13 のセンサチップ 11 E と同様に、より高速にセンサ素子に対する制御を行うことができる。

20

【0152】

なお、例えば、3 枚以上の半導体基板を積層してもよく、上述の図 16 に示したように 2 カ所にグローバル制御回路 13 を配置したり、2 カ所以上の複数個所にグローバル制御回路 13 を配置したりしてもよい。この場合、メモリ 61 が配置される半導体基板や、メモリ 61 の配置位置または分割数を、グローバル制御回路 13 の配置に応じて適切にレイアウトすることができる。

【0153】

30

例えば、1 層目の半導体基板にピクセルアレイ部 12 を配置し、2 層目の半導体基板にカラム ADC 15 やロジック回路 17 などを配置し、3 層目の半導体基板にメモリ 61 を配置する構成を採用してもよい。このような構成においても、2 層目の半導体基板にグローバル制御回路 13 を配置することで、配線長を短くすることができるが、メモリ 61 が配置される半導体基板にグローバル制御回路 13 を配置してもよい。

【0154】

< センサチップの第 8 の構成例 >

図 26 を参照して、本技術を適用したセンサチップの第 8 の実施の形態について説明する。なお、図 26 に示すセンサチップ 11 G を構成するブロックのうち、図 14 のセンサチップ 11 E と共通する構成については、同一の符号を付し、その詳細な説明は省略する。

40

【0155】

即ち、センサチップ 11 におけるグローバル制御回路 13 の配置は、上述した各実施の形態で説明したものに限定されることなく、図 26 に示すような様々なレイアウトを採用することができる。もちろん、いずれの配置においても、ピクセルアレイ部 12 の長辺に沿うようにグローバル制御回路 13 が配置されていれば、図示されていないようなレイアウトを採用してもよい。

【0156】

図 26 A に示すように、センサチップ 11 G は、センサ基板 51 にピクセルアレイ部 12 およびグローバル制御回路 13 が配置され、ロジック基板 52 にローリング制御回路 14、カラム ADC 15、およびロジック回路 17 が配置されたレイアウトとなっている。そ

50

して、センサチップ 1 1 G では、グローバル制御回路 1 3 は、ピクセルアレイ部 1 2 の長辺に沿うように、ピクセルアレイ部 1 2 の下辺側に配置されている。

【 0 1 5 7 】

図 2 6 B に示すように、センサチップ 1 1 G - a は、センサ基板 5 1 にピクセルアレイ部 1 2 およびグローバル制御回路 1 3 が配置され、ロジック基板 5 2 にローリング制御回路 1 4、カラムADC 1 5、およびロジック回路 1 7 が配置されたレイアウトとなっている。そして、センサチップ 1 1 G - a では、グローバル制御回路 1 3 は、ピクセルアレイ部 1 2 の長辺に沿うように、ピクセルアレイ部 1 2 の上辺側に配置されている。

【 0 1 5 8 】

図 2 6 C に示すように、センサチップ 1 1 G - b は、センサ基板 5 1 にピクセルアレイ部 1 2、並びに、グローバル制御回路 1 3 - 1 および 1 3 - 2 が配置され、ロジック基板 5 2 にローリング制御回路 1 4、カラムADC 1 5、およびロジック回路 1 7 が配置されたレイアウトとなっている。そして、センサチップ 1 1 G - b では、グローバル制御回路 1 3 - 1 および 1 3 - 2 は、ピクセルアレイ部 1 2 の長辺に沿うように、ピクセルアレイ部 1 2 の上辺側および下辺側にそれぞれ配置されている。

10

【 0 1 5 9 】

図 2 6 D に示すように、センサチップ 1 1 G - c は、センサ基板 5 1 にピクセルアレイ部 1 2、並びに、グローバル制御回路 1 3 - 1 および 1 3 - 2 が配置され、ロジック基板 5 2 にローリング制御回路 1 4、カラムADC 1 5、およびロジック回路 1 7 が配置されたレイアウトとなっている。そして、センサチップ 1 1 G - c では、グローバル制御回路 1 3 - 1 および 1 3 - 2 は、ピクセルアレイ部 1 2 の長辺に沿うように、ピクセルアレイ部 1 2 の上辺側および下辺側にそれぞれ配置されているとともに、ピクセルアレイ部 1 2 に行列状に配置されるセンサ素子の列の中央で分離されるように、2 本の制御線 2 1 - 1 および 2 1 - 2 が配置されている。

20

【 0 1 6 0 】

図 2 6 E に示すように、センサチップ 1 1 G - d は、センサ基板 5 1 にピクセルアレイ部 1 2、並びに、グローバル制御回路 1 3 - 1 および 1 3 - 2 が配置され、ロジック基板 5 2 にローリング制御回路 1 4、カラムADC 1 5、およびロジック回路 1 7 が配置されたレイアウトとなっている。さらに、センサチップ 1 1 G - d では、ピクセルアレイ部 1 2 の長辺に沿うように、ロジック基板 5 2 に入出力部 1 6 が配置されている。

30

【 0 1 6 1 】

例えば、センサチップ 1 1 G - d は、入出力部 1 6 から TSV 領域 5 4 - 1 および TSV 領域 5 3 - 1 を介してグローバル制御回路 1 3 へ電源を供給するように構成される。なお、TSV を利用する他、配線を構成する銅 (Cu) どうしの接続や、マイクロバンプなどを利用して、グローバル制御回路 1 3 へ電源を供給するようにしてもよい。また、グローバル制御回路 1 3 へ電力を供給する配線は、制御線 2 1 と同一の接続方法を用いてもよいし、他の組み合わせの接続方法を用いてもよい。また、2 層の半導体基板が積層される構成の他、3 層の半導体基板が積層される構成であっても同様に、入出力部 1 6 の近傍にグローバル制御回路 1 3 を配置することが好ましい。

【 0 1 6 2 】

40

なお、図 2 6 に示した各種のレイアウトでは、カラムADC 1 5 はロジック基板 5 2 の片側に配置された例が示されているが、カラムADC 1 5 がロジック基板 5 2 の上下両側に配置されるレイアウトを採用してもよい。また、カラムADC 1 5 やロジック回路 1 7 の位置は、図 2 6 に示したような配置に限定されることはない。

【 0 1 6 3 】

以上のように、センサチップ 1 1 に積層型の構造を適用することで、グローバル制御回路 1 3 を様々なレイアウトで配置することができ、レイアウトの自由度が増すとともに、グローバル制御回路 1 3 とローリング制御回路 1 4 とを個別に制御する効果が大きくなる。

【 0 1 6 4 】

< 距離画像センサの構成例 >

50

図 27 は、センサチップ 11 を利用した電子機器である距離画像センサの構成例を示すブロック図である。

【0165】

図 27 に示すように、距離画像センサ 201 は、光学系 202、センサチップ 203、画像処理回路 204、モニタ 205、およびメモリ 206 を備えて構成される。そして、距離画像センサ 201 は、光源装置 211 から被写体に向かって投光され、被写体の表面で反射された光（変調光やパルス光）を受光することにより、被写体までの距離に応じた距離画像を取得することができる。

【0166】

光学系 202 は、1 枚または複数枚のレンズを有して構成され、被写体からの像光（入射光）をセンサチップ 203 に導き、センサチップ 203 の受光面（センサ部）に結像させる。

【0167】

センサチップ 203 としては、上述した各実施の形態のセンサチップ 11 が適用され、センサチップ 203 から出力される受光信号（APD OUT）から求められる距離を示す距離信号が画像処理回路 204 に供給される。

【0168】

画像処理回路 204 は、センサチップ 203 から供給された距離信号に基づいて距離画像を構築する画像処理を行い、その画像処理により得られた距離画像（画像データ）は、モニタ 205 に供給されて表示されたり、メモリ 206 に供給されて記憶（記録）されたりする。

【0169】

このように構成されている距離画像センサ 201 では、上述したセンサチップ 11 を適用することで、より高速な制御を行うことによって、例えば、より正確な距離画像を取得することができる。

【0170】

[1.3. 距離画像センサの具体的構成例]

インダイレクト方式を採用した T o F カメラシステムでは、光をパルス状に照射するが、そのパルスを生成するパルス生成器が設けられる。既存のパルス生成器は、分周してからシフトレジスタで位相を作っている。従って、分周の設定で位相の分解能が決まってしまう。例えば 800 MHz の周波数の信号を 8 分周すると、作れる位相は 8 つだけになる。また既存のパルス生成器は、作れる分周や位相のステップは 2 の倍数に限られてしまう。従って、10 分周させて 36 度の位相を作ることが出来ない。インダイレクト方式を採用した T o F カメラシステムは、レンジによって周波数をアダプティブに変えるため、幅広い設定ができる方が望ましい。また既存のパルス生成器は、細かい設定をするためには、PLL の周波数を変更する必要があるが、PLL の周波数を変更すると、周波数が安定化するまでに時間がかかる（応答時間を待つ必要がある）。

【0171】

また既存のパルス生成器は、フリップフロップの数が多く、面積効率が悪い。例えば 32 分周器ではフリップフロップが 32 個必要になり、また、32 ステップのシフトレジスタにもフリップフロップが 32 個必要となる。従って、32 分周器及び 32 ステップのシフトレジスタからなるパルス生成器にはフリップフロップが 64 個必要となる。

【0172】

そこで本件開示者は、上述した点に鑑み、特にインダイレクト方式を採用した T o F カメラシステムに用いられるパルス生成器であって、簡易な構成で様々な周波数や位相の設定に対応することが可能なパルス生成器の技術について鋭意検討を行った。その結果、本件開示者は、以下で説明するように、特にインダイレクト方式を採用した T o F カメラシステムに用いられるパルス生成器であって、簡易な構成でありながら、様々な周波数や位相の設定に対応することが可能なパルス生成器を考案するに至った。

【0173】

10

20

30

40

50

続いて、本開示の実施の形態に係る、特にインダイレクト方式を採用したToFカメラシステムで用いられるパルス生成器の構成例について説明する。図28は、本開示の実施の形態に係るパルス生成器300の機能構成例を示す説明図である。図28に示したパルス生成器300は、例えば、図27に示した距離画像センサ201に設けられるパルス生成器である。以下、図28を用いて本開示の実施の形態に係るパルス生成器300の機能構成例について説明する。

【0174】

図28に示したように、本開示の実施の形態に係るパルス生成器300は、カウンタ310、340と、Dフリップフロップ320と、ANDゲート330と、を含んで構成される。

10

【0175】

カウンタ310は、パルス生成器300に入力されるクロック、例えばPLLで生成されるクロックをカウントするプログラマブルカウンタである。カウンタ310は、位相を設定するためのカウンタであり、例えば、入力されるクロックの立ち上がりのタイミングで値を加算するカウンタである。パルス生成器300の外部から位相設定がカウンタ310に送られる。カウンタ310の出力はDフリップフロップ320の入力に送られる。

【0176】

Dフリップフロップ320は、カウンタ310の出力をクロックCKとし、クロックCKに基づいて入力Dの値を出力Qから出力する。Dフリップフロップ320の出力はANDゲート330に送られる。

20

【0177】

ANDゲート330は、パルス生成器300に入力されるクロックと、Dフリップフロップ320の出力との論理積(AND)をとって、カウンタ340に出力する。

【0178】

カウンタ340は、ANDゲート330の出力クロックをカウントするプログラマブルカウンタである。カウンタ340は、分周を設定するためのカウンタであり、例えば、入力されるクロックの立ち上がりのタイミングで値を加算するカウンタである。

【0179】

カウンタ310、340として用いられるカウンタは、プログラマブルカウンタであればどのようなものであっても良い。プログラマブルカウンタの構成要素は、多ビットカウンタであること、多ビットのデータ入力があること、入力データとカウント値との比較器を持つこと、である。そのようなカウンタとして、パルススワロカウンタ、パルスフォロワカウンタ、バイナリカウンタ、グレイコードカウンタ、ジョンソンカウンタなどがある。

30

【0180】

図29は、パルス生成器300に入力される信号、パルス生成器300の内部で生成される信号、パルス生成器300が出力する信号の波形例を示す説明図である。

【0181】

図29において「クロック」はパルス生成器300に入力されるクロックを示し、「カウンタ(位相)」はカウンタ310によるカウント値を示す。「1stCNO」はDフリップフロップ320の出力を示し、「2stCNI」はANDゲート330の出力を示す。「カウンタ(分周)」はカウンタ340によるカウント値を示し、「OUT」はカウンタ340の出力を示す。

40

【0182】

図29に示した例では、カウンタ310によるカウント値が「6」になるとDフリップフロップ320の出力がローからハイになるように切り替わっている。そして、カウンタ340によるカウント値が「8」になるとカウンタ340の出力がローからハイ、またはハイからローになるように切り替わっている。すなわち、このカウンタ310、340の設定を変化させることで、パルス生成器300から出力するクロックの位相及び周波数の調節が可能になる。

【0183】

50

このパルス生成器 300 から出力されるクロックを、光源の駆動及びセンサチップの画素の駆動に用いることで、光源の駆動タイミング及びセンサチップの画素の駆動タイミングを柔軟に調節することが可能となる。例えば、位相設定として 2^8 を設定可能となり、分周設定として 2^8 を設定可能となる。この場合に、フリップフロップの数は、カウンタごとに 8 個、合計 16 個で実現することが可能となる。従って、従来のパルス生成器ではフリップフロップが 64 個必要であったのに比べて、本開示の実施の形態に係るパルス生成器は、回路規模を大きく低減させることが可能となる。

【0184】

なお、図 28 に示したパルス生成器 300 は、位相を設定するためのカウンタ 310 の後段に、周波数を設定するためのカウンタ 340 が設けられているが、本開示に係る例に限定されるものではない。本実施形態に係るパルス生成器 300 は、周波数を設定するためのカウンタの後段に位相を設定するためのカウンタを設けても良い。

10

【0185】

図 30 は、本開示の実施の形態に係るパルス生成器を用いた距離画像センサの概略構成例を示す説明図である。図 30 には、パルス生成器 300 a、300 b と、PLL 350 と、光源ドライバ 352 と、光源 354 と、画素変調ドライバ 356 と、画素 358 と、が示されている。画素 358 は、1 画素内に 1 つのトランジスタが設けられる 1 タップ画素である。

【0186】

PLL 350 から出力されるクロック MCK は、それぞれパルス生成器 300 a、300 b に送られる。そしてパルス生成器 300 a には光源 354 のための位相設定が入力され、パルス生成器 300 b には画素 358 のための位相設定が入力される。すなわち、パルス生成器 300 a から出力される信号（光源出力信号）と、パルス生成器 300 b から出力される信号（画素変調信号）との位相差を設定するために、パルス生成器 300 a、300 b にはそれぞれ独自の位相設定が入力される。またパルス生成器 300 a、300 b には、共通の変調周波数設定が入力される。これにより、パルス生成器 300 a、300 b からは同一の周波数のパルスが出力される。

20

【0187】

図 31 は、パルス生成器 300 a、300 b から出力される信号及びパルス生成器 300 a、300 b に入力される位相設定の例を示す説明図である。図 31 に示した例では、パルス生成器 300 a に入力される光源位相設定は、カウンタ 310 a のカウント値が「6」になると D フリップフロップ 320 a の出力がローからハイになるように切り替わる設定となっている。また、図 31 に示した例では、パルス生成器 300 b に入力される画素位相設定は、カウンタ 310 b のカウント値が「9」になると D フリップフロップ 320 b の出力がローからハイになるように切り替わる設定となっている。このような設定とすることで、パルス生成器 300 a から出力される光源出力信号と、パルス生成器 300 b から出力される画素変調信号との位相差を 90 度に設定することができる。

30

【0188】

別の例を示す。図 32 は、本開示の実施の形態に係るパルス生成器を用いた距離画像センサの概略構成例を示す説明図である。図 32 には、パルス生成器 300 a、300 b と、PLL 350 と、光源ドライバ 352 と、光源 354 と、インバータ 355 と、画素変調ドライバ 356 a、356 b と、画素 358' と、が示されている。画素 358' は、1 画素内に 2 つのトランジスタが設けられる 2 タップ画素であり、それぞれのトランジスタにパルス生成器 300 b からの信号が入力される構成となっている。

40

【0189】

図 32 に示した例では、図 30 に示した例と同様に、パルス生成器 300 a から出力される信号（光源出力信号）と、パルス生成器 300 b から出力される信号（画素変調信号）との位相差を設定するために、パルス生成器 300 a、300 b にはそれぞれ独自の位相設定が入力される。またパルス生成器 300 a、300 b には、共通の変調周波数設定が入力される。そして図 32 に示した例では、パルス生成器 300 b の出力を 2 つに分岐

50

させ、一方の出力はそのまま画素変調ドライバ356aへ出力し、他方の出力はインバータ355で反転させた後に画素変調ドライバ356bへ出力する。これにより、パルス生成器300bからの出力信号から、180度位相が異なる2つの信号(画素変調信号A、B)を生成している。

【0190】

図33は、パルス生成器300a、300bから出力される信号及びパルス生成器300a、300bに入力される位相設定の例を示す説明図である。図33に示した例では、パルス生成器300aに入力される光源位相設定は、カウンタ310aのカウント値が「6」になるとDフリップフロップ320aの出力がローからハイになるように切り替わる設定となっている。また、図33に示した例では、パルス生成器300bに入力される画素位相設定は、カウンタ310bのカウント値が「9」になるとDフリップフロップ320bの出力がローからハイになるように切り替わる設定となっている。このような設定とすることで、パルス生成器300aから出力される光源出力信号と、パルス生成器300bから出力される画素変調信号Aとの位相差を90度に設定することができる。そして、パルス生成器300bの出力を2つに分岐させ、一つをインバータ355で反転させた後に画素変調ドライバ356bへ出力しているため、画素変調信号Aと画素変調信号Bとの位相差を180度に設定することができる。

【0191】

別の例を示す。図34は、本開示の実施の形態に係るパルス生成器を用いた距離画像センサの概略構成例を示す説明図である。図34には、パルス生成器300a、300b、300cと、PLL350と、光源ドライバ352と、光源354と、画素変調ドライバ356a、356bと、画素358'と、が示されている。画素358'は、1画素内に2つのトランジスタが設けられる2タップ画素であり、それぞれのトランジスタにパルス生成器300bからの信号が入力される構成となっている。

【0192】

図34に示した例では、パルス生成器300aからの信号(光源出力信号)は光源354に出力される点は図32に示した構成例と変わらない。一方、図34に示した例では、画素358'に出力する信号を、パルス生成器300b、300cで生成している点で図32に示した構成例と異なっている。すなわち、パルス生成器300aから出力される信号(光源出力信号)と、パルス生成器300bから出力される信号(画素変調信号A)と、パルス生成器300cから出力される信号(画素変調信号B)との位相差を設定するために、パルス生成器300a、300b、300cにはそれぞれ独自の位相設定が入力される。

【0193】

図35は、パルス生成器300a、300b、300cから出力される信号及びパルス生成器300a、300bに入力される位相設定の例を示す説明図である。図35に示した例では、パルス生成器300aに入力される光源位相設定は、カウンタ310aのカウント値が「6」になるとDフリップフロップ320aの出力がローからハイになるように切り替わる設定となっている。また、図35に示した例では、パルス生成器300bに入力される画素位相設定は、カウンタ310bのカウント値が「9」になるとDフリップフロップ320bの出力がローからハイになるように切り替わる設定となっている。また、図35に示した例では、パルス生成器300cに入力される画素位相設定は、カウンタ310cのカウント値が「15」になるとDフリップフロップ320cの出力がローからハイになるように切り替わる設定となっている。このような設定とすることで、パルス生成器300aから出力される光源出力信号と、パルス生成器300bから出力される画素変調信号Aとの位相差を90度に設定することができ、また、パルス生成器300aから出力される光源出力信号と、パルス生成器300cから出力される画素変調信号Bとの位相差を270度に設定することができる。

【0194】

このように画素位相設定をパルス生成器に入力する構成とすることで、システム遅延を

10

20

30

40

50

補正することが出来る。ここでいうシステム遅延とは、パルス生成器から画素変調信号を出力してから、実際に画素変調信号が画素に入力されるまでの時間の遅延である。図 3 6 は、パルス生成器から出力される信号及びパルス生成器に入力される位相設定の例を示す説明図である。図 3 6 に示したように、画素用のパルス生成器に入力する画素位相設定にオフセットを与えることで、光源用のパルス生成器に入力する画素位相設定の設定を変えずに、画素変調信号にオフセットを加算できる。すなわち、光源用のパルス生成器と、画素用のパルス生成器の少なくともいずれか一方を調整することで、光源ドライバと画素変調ドライバとを同期させるためのキャリブレーションが可能となる。

【 0 1 9 5 】

本実施形態に係るパルス生成器を備える距離画像センサは、速い周波数、例えば 1 0 0 M H z 程度の周波数での動作を可能とする。既存の T o F 方式の距離画像センサは、例えば 2 0 M H z 程度の遅い周波数で動作している。2 0 M H z 程度で動作する場合には、光源の駆動と画素の駆動との間に 2 ~ 3 n s e c 等のずれがあっても影響が少ないが、1 0 0 M H z 程度の場合には、2 n s e c ずれると 2 5 % 程度の損失となり影響が多い。本実施形態に係るパルス生成器を備える距離画像センサは、光源位相設定と画素位相設定とを独自に設定可能であるため、上述したように光源用のパルス生成器と、画素用のパルス生成器の少なくともいずれか一方を調整することで、光源ドライバと画素変調ドライバとを同期させるためのキャリブレーションが可能となる。

【 0 1 9 6 】

続いて、光源のデューティを任意の値に設定出来る T o F 方式の距離画像センサについて説明する。上述したように、パルス生成器 3 0 0 はデューティが 5 0 % の光源出力信号を生成している。図 3 7 は、パルス生成器 3 0 0 が生成するデューティが 5 0 % の光源出力信号の波形の例を示す説明図である。

【 0 1 9 7 】

しかし、このデューティが 5 0 % の光源出力信号に基づいて発光させると、測距原理（コンティニュアス方式）によるサイクリックエラーが発生し、このサイクリックエラーによって測距誤差が発生しうる。図 3 8 は、サイクリックエラーによって測距誤差が発生する様子を示す説明図である。上段は、光源からの発光の波形が正弦波の場合を示し、下段は、光源からの発光の波形が方形波の場合を示している。それぞれのグラフは横軸に遅延量をとっており、値が 1 0 0 のときに遅延量が 3 6 0 度となるようにしている。コンティニュアス方式は、信号を理想サイン波として計算する。サイン波の光源出力信号で発光させる場合であれば、上段右側のグラフのように、位相遅延量に歪みは生じない。一方、方形波の光源出力信号で発光させる場合では、下段右側のグラフのように位相遅延量に歪みが生じる。この歪みは、そのまま測距のリニアリティを悪化させる原因となる。既存の距離画像センサは、ソフトウェア的にこの歪みを補正することで対処しているが、長距離の測距ほど、サイクリックエラーによる誤差が大きくなるために、影響が大きくなる。

【 0 1 9 8 】

そこで本件開示者は、上述した点に鑑み、特にインダイレクト方式を採用した T o F カメラシステムに用いられる技術であって、簡易な構成でサイクリックエラーによって測距誤差を低減させることが可能な技術について鋭意検討を行った。その結果、本件開示者は、以下で説明するように、特にインダイレクト方式を採用した T o F カメラシステムに用いられる技術であって、簡易な構成でサイクリックエラーによって測距誤差を低減させることが可能な構成を考案するに至った。

【 0 1 9 9 】

本実施形態に係る距離画像センサは、光源出力信号のデューティを変化させることで、具体的には、光源出力信号のデューティを 5 0 % より小さくすることで、このサイクリックエラーを低減させる。そのために本実施形態に係る距離画像センサは、デューティを 5 0 % より小さくした光源出力信号を生成するパルス生成器を設ける。図 3 9 は、デューティが 5 0 % より小さい、3 0 % 及び 2 5 % の光源出力信号の波形の例を示す説明図である。

【 0 2 0 0 】

10

20

30

40

50

このように、デューティが50%より小さい、30%及び25%の光源出力信号を出力するための構成を説明する。図40は、本開示の実施の形態に係る距離画像センサにおける、光源出力信号を出力するための構成例を示す説明図である。図40には、パルス生成器300a、300bと、パルス生成器300aの出力を反転させた上でパルス生成器300aの出力とパルス生成器300bの出力とのAND（論理積）をとるANDゲート410と、セクタ420と、が示されている。パルス生成器300a、300bは、いずれも光源を発光させるための信号を生成する。

【0201】

パルス生成器300aは、デューティが50%の光源出力信号を生成することを目的としたパルス生成器である。そしてパルス生成器300bは、位相設定を調整することで、パルス生成器300aが生成する信号と、パルス生成器300bが生成する信号との組み合わせによりデューティを50%より小さくした光源出力信号を生成することを目的としたパルス生成器である。

10

【0202】

図41は、デューティを50%より小さくした光源出力信号の生成の概要を示す説明図である。図41の「MAIN」はパルス生成器300aが生成する信号の波形の例であり、「SUB」はパルス生成器300aが生成する信号の波形の例である。そして「LSR」はパルス生成器300aが生成する信号と、パルス生成器300bが生成する信号との組み合わせによりデューティを50%より小さくした光源出力信号の波形の例である。

【0203】

図41に示したように、パルス生成器300aが生成する信号の波形と、パルス生成器300bが生成する信号の波形とには位相差がある。この状態で、パルス生成器300aが生成する信号の波形を反転させた上で、パルス生成器300bが生成する信号との論理積をとると、「LSR」のようにデューティを50%より小さくした光源出力信号を生成することが可能となる。

20

【0204】

セクタ420は、パルス生成器300aの出力と、ANDゲート410の出力とのいずれか一方を選択して出力する。セクタ420にはモード切替信号が供給され、セクタ420は、モード切替信号の内容に応じてパルス生成器300aの出力、すなわちデューティが50%の信号と、ANDゲート410の出力、すなわちデューティが50%未満の信号とのいずれか一方を選択して出力する。

30

【0205】

図40に示した構成を有することで、本開示の実施の形態に係るToF方式の距離画像センサは、異なるデューティで光源から発光させることができる。そして本開示の実施の形態に係るToF方式の距離画像センサは、光源出力信号のデューティを変化させることで、具体的には、デューティを50%より小さくすることで、このサイクリックエラーを低減させることができる。

【0206】

図42は、パルス生成器300a、300bに設定する光源位相設定の例を示す説明図である。図42に示したように、パルス生成器300aに設定する光源位相設定と、パルス生成器300bに設定する光源位相設定とを変えることで、パルス生成器300aが生成する信号の波形（LSR）と、パルス生成器300aが生成する信号（LSR__SUB）の波形とに位相差をつけることができる。そして、上述したようにパルス生成器300aが生成する信号の波形を反転させた上で、パルス生成器300bが生成する信号との論理積をとると、「LSR__OUT」のようにデューティを50%より小さくした光源出力信号を生成することが可能となる。

40

【0207】

もちろん、パルス生成器300bが生成する信号の位相を、パルス生成器300aが生成する信号の位相より早めても良い。図43は、パルス生成器300a、300bが生成する信号及びパルス生成器300a、300bが生成する信号に基づいて生成する光源出

50

力信号の波形例を示す説明図である。

【 0 2 0 8 】

このように、異なるデューティの信号を切り替えて選択して光源出力信号とすることで、例えば、遠距離の物体を測距する場合と、近距離の物体を測距する場合とで、異なる周波数で光源を発光させて、かつ、デューティを50%より小さくして、サイクリックエラーを低減させることができる。

【 0 2 0 9 】

なお、本実施形態では、光源出力信号のデューティを50%と、50%未満の数字との中から選択する例を示したが、本開示に係る例に限定されるものではない。

【 0 2 1 0 】

図44は、本開示の実施の形態に係るToF方式の距離画像センサの駆動例を示す説明図である。図44に示したのは、遠距離の物体の測距と、近距離の物体の測距とで、光源からの発光の周波数及びデューティを変化させている例である。

【 0 2 1 1 】

図44に示した例では、遠距離の物体の測距の際には、20MHzの周波数で、デューティ32%で光源から発光させ、近距離の物体の測距の際には、80MHzの周波数で、デューティ32%で光源から発光させている。そして図44に示した例では、遠距離の物体の測距と、近距離の物体の測距とにおいて、それぞれ0度、90度、180度、270度の4相での測距を行っている。

【 0 2 1 2 】

本開示の実施の形態に係るToF方式の距離画像センサは、このように光源から発光させることでサイクリックエラーを低減させることができる。

【 0 2 1 3 】

図45は、本開示の実施の形態に係るToF方式の距離画像センサの動作例を示す流れ図である。距離画像センサは、測距対象の物体が遠距離（所定の距離以上遠距離）にあるかどうか判定する（ステップS101）。遠距離であれば、低い周波数での測距を実施し（ステップS102）、遠距離のデプスマップを生成する（ステップS103）。距離画像センサは、この測距において光源を50%より小さいデューティで発光させる。そして距離画像センサは、遠距離のデプスマップに基づき、測距対象の物体の位置を推定（演算）する（ステップS104）。

【 0 2 1 4 】

一方、距離画像センサは、測距対象の物体が近距離にあれば、高い周波数での測距を実施し（ステップS105）、近距離のデプスマップを生成する（ステップS106）。距離画像センサは、この測距において光源を50%より小さいデューティで発光させる。そして距離画像センサは、近距離のデプスマップに基づき、測距対象の物体の位置を推定（演算）する（ステップS107）。

【 0 2 1 5 】

このように、本開示の実施の形態に係るToF方式の距離画像センサは、光源から発光させる際に、設定により異なるデューティで発光させることができる。この際、光源を50%より小さいデューティで発光させることで、本開示の実施の形態に係るToF方式の距離画像センサは、サイクリックエラーの影響を低減させて、測距の精度を高めることが可能となる。

【 0 2 1 6 】

続いて、単フレーム内で変調周波数の設定を変化させて測距を行うToF方式の距離画像センサについて説明する。

【 0 2 1 7 】

インダイレクトToF方式の距離画像センサでは、変調周波数と測距誤差は反比例の関係にある。精度を上げて測距を行うには変調周波数を上げる必要があるが、変調周波数を上げると、測距範囲が狭くなってしまう。

【 0 2 1 8 】

10

20

30

40

50

既存のインダイレクトT o F方式の距離画像センサでは、2種類の変調周波数を用いて測距する場合、画素へ蓄積と蓄積されたデータの読出しのサイクルでのみ、変調周波数の設定の変更が可能であった。そのため、2種類の変調周波数を用いて測距する場合、デプス算出のために必要なフレームが増加することで、測距完了までの時間が長くなってしまふ。また蓄積期間中に変調周波数の設定を変更しようとする、設定遷移中のデッドタイムが長くなり、無効信号の割合が増加してしまう。

【0219】

図46は、単フレーム内の蓄積期間中で同一の変調周波数を用いて測距を行う際の、インダイレクトT o F方式の距離画像センサの動作例を示す説明図である。図46の例では、変調周波数60MHzで位相を変化させながら測距を行い、その後、変調周波数20MHzで位相を変化させながら測距を行う例が示されている。この場合、周波数を変える場合には、PLLの設定を変える必要があるが、PLLの安定化のための期間が必要となり、即時に周波数を変更することが困難である。従って、変調周波数の切替に時間を要し、測距完了までの時間が長くなってしまふ。

10

【0220】

図47は、単フレーム内の蓄積期間中で同一の変調周波数を用いて測距を行う際の、インダイレクトT o F方式の距離画像センサの動作例を示す説明図である。図47の例では、変調周波数60MHzでの測距、20MHzでの測距をワンサイクルとして、ワンサイクル終了後に位相を変化させながら測距を行う例が示されている。この場合、変調周波数の切替に時間を要し、測距完了までの時間が長くなってしまふ。また、画素からの読出し回数についても図46に示した例と同じく、測距完了までに8回の読出しを要する。

20

【0221】

そこで本実施形態では、上述したような、プログラマブルカウンタを2つ組み合わせたパルス生成器を用いて、単フレーム内の蓄積期間中に、短時間で変調周波数の設定を変更し、その設定の変更を反映させることが可能なインダイレクトT o F方式の距離画像センサを示す。なお、フレームとは、イメージセンサの蓄積開始から読出し完了までの間の期間を指すものとする。

【0222】

図48は、本開示の実施の形態に係る、インダイレクトT o F方式の距離画像センサの駆動例を示す説明図である。本実施形態では、単フレーム内の蓄積期間中に、変調周波数60MHz及び20MHzでの駆動を実行し、それぞれの駆動の結果を画素からの1度の読出し動作で取得している。このように単フレーム内の蓄積期間中に異なる変調周波数で駆動させることで、本開示の実施の形態に係る、インダイレクトT o F方式の距離画像センサは、読出し回数を削減することが出来る。また本開示の実施の形態に係る、インダイレクトT o F方式の距離画像センサは、読出し時間を節約できて、フレームレートを向上させることができる。なお、変調周波数の設定を変更するタイミングでデッドタイムが生じるが、当該デッドタイムの期間は、上述したPLLの安定化のための期間に比べて極めて短い。

30

【0223】

図49は、本開示の実施の形態に係る、インダイレクトT o F方式の距離画像センサの駆動の具体例を示す説明図である。図49には、上述のパルス生成器300に対する設定として、周波数設定、画素位相設定、光源位相設定に、それぞれ2種類の設定を設けている例が示されている。位相設定を2種類設けているのは、変調周波数が変わると、位相の設定も当然に変わるからである。

40

【0224】

図49には、さらに、設定変更のトリガ信号を示している。図49の例では、トリガ信号がローの場合では変調周波数を60MHzとし、ハイの場合では変調周波数を40MHzとしている。すなわち、設定変更のトリガ信号の状態によって、パルス生成器300に対する設定が切り替わる。その際、パルス生成器300は、設定変更のトリガ信号の状態が変化したことを検出するとカウンタの値をリセットし、変更後の設定に基づいたパルス

50

を出力する。図 4 9 の下段には、設定変更のトリガ信号の変化によって、画素変調信号及び光源出力信号の周波数が変化している様子が示されている。

【 0 2 2 5 】

図 5 0 は、本開示の実施の形態に係るインダイレクト T o F 方式の距離画像センサで用いられる構成の例を示す説明図である。図 5 0 には、変調周波数を設定するためのカウンタ 3 4 0、クロックを出力する P L L 3 5 0、カウンタ 3 4 0 の出力を同期信号として受信するタイミングコントローラ 3 4 1、およびカウンタ 3 4 0 への設定を出力するセクタ 3 4 2 が示されている。

【 0 2 2 6 】

タイミングコントローラ 3 4 1 は、設定変更トリガ信号の状態の変化を検出する。設定変更トリガ信号の状態が変化したことを検出すると、タイミングコントローラ 3 4 1 は、分周設定を切り替えるため、スイッチ信号をセクタ 3 4 2 に出力するとともに、カウンタ値のリセットのためのリセット信号をカウンタ 3 4 0 に出力する。セクタ 3 4 2 は、タイミングコントローラ 3 4 1 からのスイッチ信号に基づいて、2 つの分周設定の中から 1 つを選択してカウンタ 3 4 0 に出力する。

【 0 2 2 7 】

例えば、分周設定 1 でカウンタ 3 4 0 が動作している際に、設定変更トリガ信号の状態が変化したことをタイミングコントローラ 3 4 1 が検出したとする。タイミングコントローラ 3 4 1 は、設定変更トリガ信号を、内部で同期信号とラッチし、変調信号がローの期間において、スイッチ信号及びリセット信号を出力する。スイッチ信号を受信したセクタ 3 4 2 は、カウンタ 3 4 0 への出力を分周設定 1 から分周設定 2 に切り替える。そしてカウンタ 3 4 0 は、リセット信号に基づいてカウンタ値をリセットし、分周設定 2 でのカウントを開始することで、分周設定 2 に基づいて変調信号を出力する。

【 0 2 2 8 】

本実施形態では、上述したようにプログラマブルカウンタを 2 つ組み合わせたパルス生成器を用いて、単フレーム内の蓄積期間中に、短時間で変調周波数の設定を変更し、その設定の変更を反映させることが可能なインダイレクト T o F 方式の距離画像センサを提供することができる。単フレーム内の蓄積期間中に、短時間で変調周波数の設定を変更し、その設定の変更を反映させることで、本実施形態に係るインダイレクト T o F 方式の距離画像センサは、測距完了までの読み出し回数を削減することができ、低消費電力化を図ることができる。また本実施形態に係るインダイレクト T o F 方式の距離画像センサは、P L L の設定を変えることで変調周波数の設定を変化させる場合に比べて短時間で測距を完了させることが可能である。P L L を複数設ければ、P L L を切り替えることで変調周波数の設定を変化させることも可能ではあるが、P L L を複数設けることで回路規模の増大に繋がる。本実施形態に係るインダイレクト T o F 方式の距離画像センサは、回路規模を増大させることなく、変調周波数の設定を変化させることが可能となる。

【 0 2 2 9 】

図 5 0 に示したような構成を有することで、本開示の実施の形態に係るインダイレクト T o F 方式の距離画像センサは、設定変更のトリガ信号の変化によって、画素変調信号及び光源出力信号の変調周波数を変化させることが出来る。そして本開示の実施の形態に係るインダイレクト T o F 方式の距離画像センサは、単フレーム内の蓄積期間中に異なる変調周波数で駆動することができる。

【 0 2 3 0 】

続いて、複数のカメラが同一対象を測距した際の誤測距を回避するための、インダイレクト T o F 方式の距離画像センサについて説明する。

【 0 2 3 1 】

アクティブ型の測距方式では、光源から光を発射し、測距対象の物体で反射された光を検出することで測距対象に対する測距を行っている。このアクティブ型の測距方式では、複数のカメラが同一の対象を測距すると、互いの信号が混信し、誤測距を引き起こす。図 5 1 は、複数の光源から同一の測距対象に光が放射され、あるイメージセンサがそれぞれ

10

20

30

40

50

の光を受光する様子を示す説明図である。本来、図 5 1 に示したイメージセンサは、光源 A からの光を受光するよう動作することが望ましいが、別の光源 B からの光を受光する場合も考えられる。図 5 2 は、光源 A と光源 B とで、発光時間（変調時間）がバッティングする様子を示す説明図である。このように、光源 A と光源 B とで、発光時間（変調時間）がバッティングすると、イメージセンサは異なる光源からの光を同時に受光することになり、コンタミネーションが発生する。

【0232】

アクティブ型の測距方式で、複数のカメラで同一の対象を測距する場合には、発光タイミングを時間方向に乱数化することで、このバッティングの確率を下げる手法が考えられている。図 5 3 は、光源 A と光源 B とで、発光タイミングをランダムにずらしている様子

10

【0233】

そこで本実施形態では、擬似ランダム生成されたトグル信号をトリガに位相を 180 度反転させて、混信防止のために変調を暗号化する。本実施形態に係る T o F 方式の距離画像センサは、イメージセンサで受光すべき光の変調パターンは予め分かるので、そのパターンとは異なるパターンで変調された光は測距に寄与しない無効信号として扱うことができる。

【0234】

図 5 4 は、本実施形態に係る T o F 方式の距離画像センサで用いられうる画素変調信号の例を示す説明図であり、擬似ランダム生成されたビットに基づいたパルス（擬似ランダムパルス）の状態の遷移のタイミングで画素変調信号の位相を 180 度反転させた例を示す説明図である。擬似ランダムパルスは、擬似ランダム生成されたビットが 0 の時をローとし、1 の時とハイとする。図 5 4 には、擬似ランダムパルスがローからハイ、またはハイからローに遷移したタイミングで画素変調信号の位相が 180 度遷移している。本実施形態に係る T o F 方式の距離画像センサは、この擬似ランダムパルスを変調信号の生成に用いることで、異なるパターンで状態が変化するパルスに基づいた光は、測距には用いないようにすることができる。

20

【0235】

図 5 5 は、本実施形態で用いる擬似ランダムパルスの生成について説明する説明図である。図 5 5 では、1 フレーム中に 4 回の受光及び読み出しを行う場合を示している。図 5 5 に示した変数は、N が擬似ランダムのパターン長を示し、L が変調信号のコード化サイクル長を示し、M が擬似ランダムパルスをロジック周波数で規格化したサイクルを示す。変数 N は 15 ビットのビット長を有し、L は 4、8、16、32 の値のいずれかを取りうる。そして変数 M は 9 ビットのビット長を有する。例えば、変調周波数が 60 MHz であるとする、N = 3、L = 8、L = 16 である。

30

【0236】

擬似ランダムパルスは、例えば、上述のセンサチップ 11 の内部において生成される。例えば、擬似ランダムパルスは、ロジック回路 17 において生成されうる。

【0237】

図 5 6 は、擬似ランダム生成されたビットに基づいて生成された擬似ランダムパルス（P S K T R I G）及び、その擬似ランダムパルスの状態遷移により位相が 180 度反転した信号（M I X s i g n a l）の例を示す説明図である。図 5 6 の例では、一度の読み出しの間に、11 ビットの擬似ランダム生成されたビットに基づく擬似ランダムパルスの状態遷移によって、変調信号の位相を変化させている。

40

【0238】

続いて、擬似ランダムパルスの状態遷移により変調信号の位相を反転させる構成を説明する。図 5 7 は、本開示の実施の形態に係る、インダイレクト T o F 方式の距離画像センサで用いられる構成例を示す説明図である。図 5 7 には、パルス生成器 300 a、300 b、300 d と、P L L 350 と、パルスエッジ検出回路 360 と、が示されている。パ

50

ルス生成器 300a は光源変調信号を出力するパルス生成器である。パルス生成器 300b は画素変調信号を出力するパルス生成器である。パルス生成器 300d は基準パルスを出力するパルス生成器である。

【0239】

パルス生成器 300d は出力する基準パルスはパルスエッジ検出回路 360 に送られる。またパルスエッジ検出回路 360 には擬似ランダムパルスも送られる。パルスエッジ検出回路 360 は、パルスのエッジを検出することで擬似ランダムパルスの状態遷移が生じたことを検出する。そしてパルスエッジ検出回路 360 は、擬似ランダムパルスの状態遷移が生じたことを検出すると、パルス生成器 300a、300b が出力する信号の位相を反転させるための位相反転信号をセレクタ 370a、370b に出力する。

10

【0240】

セレクタ 370a、370b は、パルスエッジ検出回路 360 から位相反転信号が送られていなければパルス生成器 300a、300b が出力する信号をそのまま出力する。セレクタ 370a、370b は、パルスエッジ検出回路 360 から位相反転信号が送られてくれば、パルス生成器 300a、300b が出力する信号の位相を、インバータ 371a、371b で反転させた信号を出力する。

【0241】

図 58 は、擬似ランダムパルスの状態遷移に基づいて変調信号の位相が変化する例を示す説明図である。擬似ランダムパルスの状態がローの場合では、変調信号は、基準パルスと同位相の信号 (deg 信号) である。擬似ランダムパルスの状態がハイになると、直後の基準パルスの状態が遷移したタイミングで変調信号の位相が反転する。その後、擬似ランダムパルスの状態がローに変わると、直後の基準パルスの状態が遷移したタイミングで変調信号の位相が反転する。

20

【0242】

図 59 は、擬似ランダムパルスの状態遷移に基づいて変調信号の位相が変化する例を示す説明図である。図 59 に示した信号は、上から順に、擬似ランダムパルス、暗号化していないデューティ 50% の 0 度の信号、暗号化したデューティ 50% の 0 度の信号、暗号化していないデューティ 25% の 0 度の信号、暗号化したデューティ 25% の 0 度の信号、暗号化していないデューティ 50% の 90 度の信号、暗号化したデューティ 50% の 90 度の信号、暗号化していないデューティ 25% の 90 度の信号、暗号化したデューティ 25% の 90 度の信号、である。

30

【0243】

上述したように、本開示の実施の形態に係るインダイレクト ToF 方式の距離画像センサは、パルス生成器 300 が生成するパルスのデューティを変化させることができる。特に、上述したように、光源出力信号のデューティを 50% より小さくすることで、サイクリックエラーを低減させることができる。従って、図 59 における、デューティ 50% の信号を画素変調信号とし、デューティ 25% の信号を光源出力信号とすることで、本開示の実施の形態に係るインダイレクト ToF 方式の距離画像センサは、サイクリックエラーを低減させつつ、イメージセンサが複数の光源からの光を受光した場合にも、測距に用いるべき光を判別することが可能となる。

40

【0244】

本実施形態に係るインダイレクト ToF 方式の距離画像センサは、図 59 に示したように、画素変調信号及び光源出力信号の位相をシフトさせるタイミングを同期させる。画素変調信号及び光源出力信号の位相をシフトさせるタイミングを同期させることで、イメージセンサが複数の光源からの光を受光した場合にも、測距に用いるべき光を判別することが可能となる。

【0245】

図 60 は、擬似ランダムパルスの状態遷移に基づいて変調信号の位相が変化する例を示す説明図である。図 60 に示した信号は、上から順に、暗号化されてない変調信号、擬似ランダムパルス、画素変調信号 A、画素変調信号 B、暗号化されてない変調信号と同位相

50

の光源出力信号、暗号化されてない変調信号、擬似ランダムパルス、画素変調信号 A、画素変調信号 B、暗号化されてない変調信号と 90 度位相がずれている光源出力信号、である。図 60 に示した光源出力信号のデューティは 50 % である。

【0246】

図 61 は、擬似ランダムパルスの状態遷移に基づいて変調信号の位相が変化する例を示す説明図である。図 61 に示した信号は、上から順に、暗号化されてない変調信号、擬似ランダムパルス、画素変調信号 A、画素変調信号 B、暗号化されてない変調信号と同位相の光源出力信号、暗号化されてない変調信号、擬似ランダムパルス、画素変調信号 A、画素変調信号 B、暗号化されてない変調信号と 90 度位相がずれている光源出力信号、である。図 61 に示した光源出力信号のデューティは 50 % である。

10

【0247】

図 62 は、2つのパルス生成器 300a、300b から、デューティ比が異なる 2種類の信号を選択して出力する構成の例を示す説明図である。上述したように、2つのパルス生成器 300a、300b の信号の位相を異ならせることで、デューティが 50 % より小さい信号を生成することが出来る。その際、信号 DUTYON の状態によって、デューティが 50 % の信号と、デューティが 50 % より小さい信号とのいずれかが光源変調信号として出力される。

【0248】

図 63 は、パルス生成器 300a、300b から生成される、デューティが 50 % より小さい信号 LSR と、擬似ランダムパルスに基づいて信号 LSR の位相が反転している信号 LSR_PSK の波形の例が示されている。本実施形態では、擬似ランダムパルスに基づくトリガ信号 PSKTRIG に基づいて、デューティが 50 % より小さい信号として、信号 LSR と、信号 LSR_PSK のいずれか一方が選択される。

20

【0249】

本開示の実施の形態に係るインダイレクト ToF 方式の距離画像センサは、このように擬似ランダムパルスを生成し、その擬似ランダムパルスに基づいて光源出力信号及び画素変調信号の位相を変化させる、言い換えれば位相を反転させることができる。擬似ランダムパルスに基づいて光源出力信号及び画素変調信号の位相を変化させることで、本開示の実施の形態に係るインダイレクト ToF 方式の距離画像センサは、同時に同一の対象を測距する他の距離画像センサが存在する場合であっても、イメージセンサで受光した光が、自らの光源が発した光を受光したものか否かを判別することが可能となる。

30

【0250】

<内視鏡手術システムへの応用例>

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、内視鏡手術システムに適用されてもよい。

【0251】

図 64 は、本開示に係る技術（本技術）が適用され得る内視鏡手術システムの概略的な構成の一例を示す図である。

【0252】

図 64 では、術者（医師）11131 が、内視鏡手術システム 11000 を用いて、患者ベッド 11133 上の患者 11132 に手術を行っている様子が図示されている。図示するように、内視鏡手術システム 11000 は、内視鏡 11100 と、気腹チューブ 11111 やエネルギー処置具 11112 等の、その他の術具 11110 と、内視鏡 11100 を支持する支持アーム装置 11120 と、内視鏡下手術のための各種の装置が搭載されたカート 11200 と、から構成される。

40

【0253】

内視鏡 11100 は、先端から所定の長さの領域が患者 11132 の体腔内に挿入される鏡筒 11101 と、鏡筒 11101 の基端に接続されるカメラヘッド 11102 と、から構成される。図示する例では、硬性の鏡筒 11101 を有するいわゆる硬性鏡として構成される内視鏡 11100 を図示しているが、内視鏡 11100 は、軟性の鏡筒を有する

50

いわゆる軟性鏡として構成されてもよい。

【 0 2 5 4 】

鏡筒 1 1 1 0 1 の先端には、対物レンズが嵌め込まれた開口部が設けられている。内視鏡 1 1 1 0 0 には光源装置 1 1 2 0 3 が接続されており、当該光源装置 1 1 2 0 3 によって生成された光が、鏡筒 1 1 1 0 1 の内部に延設されるライトガイドによって当該鏡筒の先端まで導光され、対物レンズを介して患者 1 1 1 3 2 の体腔内の観察対象に向かって照射される。なお、内視鏡 1 1 1 0 0 は、直視鏡であってもよいし、斜視鏡又は側視鏡であってもよい。

【 0 2 5 5 】

カメラヘッド 1 1 1 0 2 の内部には光学系及び撮像素子が設けられており、観察対象からの反射光（観察光）は当該光学系によって当該撮像素子に集光される。当該撮像素子によって観察光が光電変換され、観察光に対応する電気信号、すなわち観察像に対応する画像信号が生成される。当該画像信号は、RAWデータとしてカメラコントロールユニット（CCU: Camera Control Unit）1 1 2 0 1 に送信される。

10

【 0 2 5 6 】

CCU 1 1 2 0 1 は、CPU (Central Processing Unit) や GPU (Graphics Processing Unit) 等によって構成され、内視鏡 1 1 1 0 0 及び表示装置 1 1 2 0 2 の動作を統括的に制御する。さらに、CCU 1 1 2 0 1 は、カメラヘッド 1 1 1 0 2 から画像信号を受け取り、その画像信号に対して、例えば現像処理（デモザイク処理）等の、当該画像信号に基づく画像を表示するための各種の画像処理を施す。

20

【 0 2 5 7 】

表示装置 1 1 2 0 2 は、CCU 1 1 2 0 1 からの制御により、当該 CCU 1 1 2 0 1 によって画像処理が施された画像信号に基づく画像を表示する。

【 0 2 5 8 】

光源装置 1 1 2 0 3 は、例えばLED (Light Emitting Diode) 等の光源から構成され、術部等を撮影する際の照射光を内視鏡 1 1 1 0 0 に供給する。

【 0 2 5 9 】

入力装置 1 1 2 0 4 は、内視鏡手術システム 1 1 0 0 0 に対する入力インタフェースである。ユーザは、入力装置 1 1 2 0 4 を介して、内視鏡手術システム 1 1 0 0 0 に対して各種の情報の入力や指示入力を行うことができる。例えば、ユーザは、内視鏡 1 1 1 0 0 による撮像条件（照射光の種類、倍率及び焦点距離等）を変更する旨の指示等を入力する。

30

【 0 2 6 0 】

処置具制御装置 1 1 2 0 5 は、組織の焼灼、切開又は血管の封止等のためのエネルギー処置具 1 1 1 1 2 の駆動を制御する。気腹装置 1 1 2 0 6 は、内視鏡 1 1 1 0 0 による視野の確保及び術者の作業空間の確保の目的で、患者 1 1 1 3 2 の体腔を膨らめるために、気腹チューブ 1 1 1 1 1 を介して当該体腔内にガスを送り込む。レコーダ 1 1 2 0 7 は、手術に関する各種の情報を記録可能な装置である。プリンタ 1 1 2 0 8 は、手術に関する各種の情報を、テキスト、画像又はグラフ等各種の形式で印刷可能な装置である。

【 0 2 6 1 】

40

なお、内視鏡 1 1 1 0 0 に術部を撮影する際の照射光を供給する光源装置 1 1 2 0 3 は、例えばLED、レーザ光源又はこれらの組み合わせによって構成される白色光源から構成することができる。RGBレーザ光源の組み合わせにより白色光源が構成される場合には、各色（各波長）の出力強度及び出力タイミングを高精度に制御することができるため、光源装置 1 1 2 0 3 において撮像画像のホワイトバランスの調整を行うことができる。また、この場合には、RGBレーザ光源それぞれからのレーザ光を時分割で観察対象に照射し、その照射タイミングに同期してカメラヘッド 1 1 1 0 2 の撮像素子の駆動を制御することにより、RGBそれぞれに対応した画像を時分割で撮像することも可能である。当該方法によれば、当該撮像素子にカラーフィルタを設けなくても、カラー画像を得ることができる。

50

【 0 2 6 2 】

また、光源装置 1 1 2 0 3 は、出力する光の強度を所定の時間ごとに変更するようにその駆動が制御されてもよい。その光の強度の変更のタイミングに同期してカメラヘッド 1 1 1 0 2 の撮像素子の駆動を制御して時分割で画像を取得し、その画像を合成することにより、いわゆる黒つぶれ及び白とびのない高ダイナミックレンジの画像を生成することができる。

【 0 2 6 3 】

また、光源装置 1 1 2 0 3 は、特殊光観察に対応した所定の波長帯域の光を供給可能に構成されてもよい。特殊光観察では、例えば、体組織における光の吸収の波長依存性を利用して、通常の観察時における照射光（すなわち、白色光）に比べて狭帯域の光を照射することにより、粘膜表層の血管等の所定の組織を高コントラストで撮影する、いわゆる狭帯域光観察（N a r r o w B a n d I m a g i n g）が行われる。あるいは、特殊光観察では、励起光を照射することにより発生する蛍光により画像を得る蛍光観察が行われてもよい。蛍光観察では、体組織に励起光を照射し当該体組織からの蛍光を観察すること（自家蛍光観察）、又はインドシアニンググリーン（I C G）等の試薬を体組織に局注するとともに当該体組織にその試薬の蛍光波長に対応した励起光を照射し蛍光像を得ること等を行うことができる。光源装置 1 1 2 0 3 は、このような特殊光観察に対応した狭帯域光及び／又は励起光を供給可能に構成され得る。

10

【 0 2 6 4 】

図 6 5 は、図 6 4 に示すカメラヘッド 1 1 1 0 2 及び C C U 1 1 2 0 1 の機能構成の一例を示すブロック図である。

20

【 0 2 6 5 】

カメラヘッド 1 1 1 0 2 は、レンズユニット 1 1 4 0 1 と、撮像部 1 1 4 0 2 と、駆動部 1 1 4 0 3 と、通信部 1 1 4 0 4 と、カメラヘッド制御部 1 1 4 0 5 と、を有する。C C U 1 1 2 0 1 は、通信部 1 1 4 1 1 と、画像処理部 1 1 4 1 2 と、制御部 1 1 4 1 3 と、を有する。カメラヘッド 1 1 1 0 2 と C C U 1 1 2 0 1 とは、伝送ケーブル 1 1 4 0 0 によって互いに通信可能に接続されている。

【 0 2 6 6 】

レンズユニット 1 1 4 0 1 は、鏡筒 1 1 1 0 1 との接続部に設けられる光学系である。鏡筒 1 1 1 0 1 の先端から取り込まれた観察光は、カメラヘッド 1 1 1 0 2 まで導光され、当該レンズユニット 1 1 4 0 1 に入射する。レンズユニット 1 1 4 0 1 は、ズームレンズ及びフォーカスレンズを含む複数のレンズが組み合わされて構成される。

30

【 0 2 6 7 】

撮像部 1 1 4 0 2 は、撮像素子で構成される。撮像部 1 1 4 0 2 を構成する撮像素子は、1 つ（いわゆる単板式）であってもよいし、複数（いわゆる多板式）であってもよい。撮像部 1 1 4 0 2 が多板式で構成される場合には、例えば各撮像素子によって R G B それぞれに対応する画像信号が生成され、それらが合成されることによりカラー画像が得られてもよい。あるいは、撮像部 1 1 4 0 2 は、3 D（D i m e n s i o n a l）表示に対応する右目用及び左目用の画像信号をそれぞれ取得するための 1 対の撮像素子を有するように構成されてもよい。3 D 表示が行われることにより、術者 1 1 1 3 1 は術部における生体組織の奥行きをより正確に把握することが可能になる。なお、撮像部 1 1 4 0 2 が多板式で構成される場合には、各撮像素子に対応して、レンズユニット 1 1 4 0 1 も複数系統設けられ得る。

40

【 0 2 6 8 】

また、撮像部 1 1 4 0 2 は、必ずしもカメラヘッド 1 1 1 0 2 に設けられなくてもよい。例えば、撮像部 1 1 4 0 2 は、鏡筒 1 1 1 0 1 の内部に、対物レンズの直後に設けられてもよい。

【 0 2 6 9 】

駆動部 1 1 4 0 3 は、アクチュエータによって構成され、カメラヘッド制御部 1 1 4 0 5 からの制御により、レンズユニット 1 1 4 0 1 のズームレンズ及びフォーカスレンズを

50

光軸に沿って所定の距離だけ移動させる。これにより、撮像部 1 1 4 0 2 による撮像画像の倍率及び焦点が適宜調整され得る。

【 0 2 7 0 】

通信部 1 1 4 0 4 は、CCU 1 1 2 0 1 との間で各種の情報を送受信するための通信装置によって構成される。通信部 1 1 4 0 4 は、撮像部 1 1 4 0 2 から得た画像信号を RAW データとして伝送ケーブル 1 1 4 0 0 を介して CCU 1 1 2 0 1 に送信する。

【 0 2 7 1 】

また、通信部 1 1 4 0 4 は、CCU 1 1 2 0 1 から、カメラヘッド 1 1 1 0 2 の駆動を制御するための制御信号を受信し、カメラヘッド制御部 1 1 4 0 5 に供給する。当該制御信号には、例えば、撮像画像のフレームレートを指定する旨の情報、撮像時の露出値を指定する旨の情報、並びに / 又は撮像画像の倍率及び焦点を指定する旨の情報等、撮像条件に関する情報が含まれる。

10

【 0 2 7 2 】

なお、上記のフレームレートや露出値、倍率、焦点等の撮像条件は、ユーザによって適宜指定されてもよいし、取得された画像信号に基づいて CCU 1 1 2 0 1 の制御部 1 1 4 1 3 によって自動的に設定されてもよい。後者の場合には、いわゆる AE (Auto Exposure) 機能、AF (Auto Focus) 機能及び AWB (Auto White Balance) 機能が内視鏡 1 1 1 0 0 に搭載されていることになる。

【 0 2 7 3 】

カメラヘッド制御部 1 1 4 0 5 は、通信部 1 1 4 0 4 を介して受信した CCU 1 1 2 0 1 からの制御信号に基づいて、カメラヘッド 1 1 1 0 2 の駆動を制御する。

20

【 0 2 7 4 】

通信部 1 1 4 1 1 は、カメラヘッド 1 1 1 0 2 との間で各種の情報を送受信するための通信装置によって構成される。通信部 1 1 4 1 1 は、カメラヘッド 1 1 1 0 2 から、伝送ケーブル 1 1 4 0 0 を介して送信される画像信号を受信する。

【 0 2 7 5 】

また、通信部 1 1 4 1 1 は、カメラヘッド 1 1 1 0 2 に対して、カメラヘッド 1 1 1 0 2 の駆動を制御するための制御信号を送信する。画像信号や制御信号は、電気通信や光通信等によって送信することができる。

【 0 2 7 6 】

30

画像処理部 1 1 4 1 2 は、カメラヘッド 1 1 1 0 2 から送信された RAW データである画像信号に対して各種の画像処理を施す。

【 0 2 7 7 】

制御部 1 1 4 1 3 は、内視鏡 1 1 1 0 0 による術部等の撮像、及び、術部等の撮像により得られる撮像画像の表示に関する各種の制御を行う。例えば、制御部 1 1 4 1 3 は、カメラヘッド 1 1 1 0 2 の駆動を制御するための制御信号を生成する。

【 0 2 7 8 】

また、制御部 1 1 4 1 3 は、画像処理部 1 1 4 1 2 によって画像処理が施された画像信号に基づいて、術部等が映った撮像画像を表示装置 1 1 2 0 2 に表示させる。この際、制御部 1 1 4 1 3 は、各種の画像認識技術を用いて撮像画像内における各種の物体を認識してもよい。例えば、制御部 1 1 4 1 3 は、撮像画像に含まれる物体のエッジの形状や色等を検出することにより、鉗子等の術具、特定の生体部位、出血、エネルギー処置具 1 1 1 1 2 の使用時のミス等を認識することができる。制御部 1 1 4 1 3 は、表示装置 1 1 2 0 2 に撮像画像を表示させる際に、その認識結果を用いて、各種の手術支援情報を当該術部の画像に重畳表示させてもよい。手術支援情報が重畳表示され、術者 1 1 1 3 1 に提示されることにより、術者 1 1 1 3 1 の負担を軽減することや、術者 1 1 1 3 1 が確実に手術を進めることが可能になる。

40

【 0 2 7 9 】

カメラヘッド 1 1 1 0 2 及び CCU 1 1 2 0 1 を接続する伝送ケーブル 1 1 4 0 0 は、電気信号の通信に対応した電気信号ケーブル、光通信に対応した光ファイバ、又はこれら

50

の複合ケーブルである。

【0280】

ここで、図示する例では、伝送ケーブル11400を用いて有線で通信が行われていたが、カメラヘッド11102とCCU11201との間の通信は無線で行われてもよい。

【0281】

以上、本開示に係る技術が適用され得る内視鏡手術システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、例えば、内視鏡11100や、カメラヘッド11102（の撮像部11402）、CCU11201（の画像処理部11412）等に適用され得る。

【0282】

なお、ここでは、一例として内視鏡手術システムについて説明したが、本開示に係る技術は、その他、例えば、顕微鏡手術システム等に適用されてもよい。

【0283】

<移動体への応用例>

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

【0284】

図66は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

【0285】

車両制御システム12000は、通信ネットワーク12001を介して接続された複数の電子制御ユニットを備える。図66に示した例では、車両制御システム12000は、駆動系制御ユニット12010、ボディ系制御ユニット12020、車外情報検出ユニット12030、車内情報検出ユニット12040、及び統合制御ユニット12050を備える。また、統合制御ユニット12050の機能構成として、マイクロコンピュータ12051、音声画像出力部12052、及び車載ネットワークI/F（interface）12053が図示されている。

【0286】

駆動系制御ユニット12010は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット12010は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

【0287】

ボディ系制御ユニット12020は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット12020は、キーレスエントリーシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウinker又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット12020には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット12020は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

【0288】

車外情報検出ユニット12030は、車両制御システム12000を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット12030には、撮像部12031が接続される。車外情報検出ユニット12030は、撮像部12031に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット12030は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距

10

20

30

40

50

離検出処理を行ってもよい。

【0289】

撮像部12031は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部12031は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部12031が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

【0290】

車内情報検出ユニット12040は、車内の情報を検出する。車内情報検出ユニット12040には、例えば、運転者の状態を検出する運転者状態検出部12041が接続される。運転者状態検出部12041は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット12040は、運転者状態検出部12041から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

【0291】

マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット12010に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むADAS (Advanced Driver Assistance System) の機能実現を目的とした協調制御を行うことができる。

【0292】

また、マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

【0293】

また、マイクロコンピュータ12051は、車外情報検出ユニット12030で取得される車外の情報に基づいて、ボディ系制御ユニット12020に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車外情報検出ユニット12030で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

【0294】

音声画像出力部12052は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図66の例では、出力装置として、オーディオスピーカ12061、表示部12062及びインストルメントパネル12063が例示されている。表示部12062は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでいてもよい。

【0295】

図67は、撮像部12031の設置位置の例を示す図である。

【0296】

図67では、車両12100は、撮像部12031として、撮像部12101, 12102, 12103, 12104, 12105を有する。

【0297】

撮像部12101, 12102, 12103, 12104, 12105は、例えば、車両12100のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部12101及び車室内のフロントガラスの上部に備えられる撮像部12105は、主として車両12100の前方の画像を取得する。サイドミラーに備えられる撮像部12102, 121

10

20

30

40

50

03は、主として車両12100の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部12104は、主として車両12100の後方の画像を取得する。撮像部12101及び12105で取得される前方の画像は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

【0298】

なお、図67には、撮像部12101ないし12104の撮影範囲の一例が示されている。撮像範囲12111は、フロントノーズに設けられた撮像部12101の撮像範囲を示し、撮像範囲12112、12113は、それぞれサイドミラーに設けられた撮像部12102、12103の撮像範囲を示し、撮像範囲12114は、リアバンパ又はバックドアに設けられた撮像部12104の撮像範囲を示す。例えば、撮像部12101ないし12104で撮像された画像データが重ね合わせられることにより、車両12100を上方から見た俯瞰画像が得られる。

10

【0299】

撮像部12101ないし12104の少なくとも1つは、距離情報を取得する機能を有していてもよい。例えば、撮像部12101ないし12104の少なくとも1つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

【0300】

例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を基に、撮像範囲12111ないし12114内における各立体物までの距離と、この距離の時間的変化(車両12100に対する相対速度)を求めることにより、特に車両12100の進行路上にある最も近い立体物で、車両12100と略同じ方向に所定の速度(例えば、0km/h以上)で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ12051は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御(追従停止制御も含む)や自動加速制御(追従発進制御も含む)等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

20

【0301】

例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を元に、立体物に関する立体物データを、2輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ12051は、車両12100の周辺の障害物を、車両12100のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ12051は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ12061や表示部12062を介してドライバに警報を出力することや、駆動系制御ユニット12010を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

30

【0302】

撮像部12101ないし12104の少なくとも1つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ12051は、撮像部12101ないし12104の撮像画像中に歩行者が存在するか否かを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部12101ないし12104の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ12051が、撮像部12101ないし12104の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部12052は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部12062を制御する。また、音声画像出力部12052は、歩行者を示すアイコン等を所望の位置に表示するように表示部12062を制御してもよい。

40

50

【 0 3 0 3 】

以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、例えば、撮像部 1 2 0 3 1 等に適用され得る。

【 0 3 0 4 】

< 2 . まとめ >

以上説明したように本開示の実施の形態によれば、特にインダイレクト方式を採用した T o F カメラシステムに用いられる構成であって、簡易な構成でサイクリックエラーの発生を抑えることが可能な構成が提供される。

【 0 3 0 5 】

以上、添付図面を参照しながら本開示の好適な実施形態について詳細に説明したが、本開示の技術的範囲はかかる例に限定されない。本開示の技術分野における通常の知識を有する者であれば、特許請求の範囲に記載された技術的思想の範疇内において、各種の変更例または修正例に想到し得ることは明らかであり、これらについても、当然に本開示の技術的範囲に属するものと了解される。

【 0 3 0 6 】

また、本明細書に記載された効果は、あくまで説明的または例示的なものであって限定的ではない。つまり、本開示に係る技術は、上記の効果とともに、または上記の効果に代えて、本明細書の記載から当業者には明らかな他の効果を奏しうる。

【 0 3 0 7 】

なお、以下のような構成も本開示の技術的範囲に属する。

(1)

測距対象に光を照射する光源に供給するパルスを生成する第 1 のパルス生成器と、

前記測距対象で反射された光を受光する画素に供給するパルスを生成する第 2 のパルス生成器と、

前記第 1 のパルス生成器および前記第 2 のパルス生成器が生成する信号の位相を反転させるための擬似ランダム信号を生成する信号生成部と、
を備える、信号生成装置。

(2)

前記擬似ランダム信号の状態の遷移を検出する検出部をさらに備え、

前記検出部は、前記擬似ランダム信号の状態の遷移を検出すると前記第 1 のパルス生成器および前記第 2 のパルス生成器が生成する信号の位相を反転させるための信号を出力する、前記 (1) に記載の信号生成装置。

(3)

前記第 1 のパルス生成器が生成する信号と、前記第 2 のパルス生成器が生成する信号との位相の反転タイミングは同期している、前記 (1) または (2) に記載の信号生成装置。

(4)

前記第 1 のパルス生成器および前記第 2 のパルス生成器は、それぞれ、

入力信号を用いて、測距対象の測距に用いる出力するパルスの位相を決定する第 1 のカウンタと、

前記入力信号を用いて、前記パルスの周波数を決定する第 2 のカウンタと、
を備える、前記 (1) ~ (3) のいずれかに記載の信号生成装置。

(5)

前記第 1 のパルス生成器に対する位相の設定と、前記第 2 のパルス生成器に対する位相の設定とは、それぞれ異なる設定である、前記 (4) に記載の信号生成装置。

(6)

前記第 1 のパルス生成器が出力する信号のデューティを、第 1 のデューティと、前記第 1 のデューティと異なる第 2 のデューティとから選択して出力する信号選択部をさらに備える、前記 (1) ~ (5) のいずれかに記載の信号生成装置。

(7)

10

20

30

40

50

前記第 1 のデューティは固定であり、前記第 2 のデューティは可変である、前記 (6) に記載の信号生成装置。

(8)

前記第 1 のパルス生成器は、主パルス生成器及びサブパルス生成器を含み、

前記第 1 のデューティの信号は、前記主パルス生成器が生成する信号であり、

前記第 2 のデューティの信号は、前記主パルス生成器が生成する信号と前記サブパルス生成器が生成する信号とから生成する、前記 (6) または (7) に記載の信号生成装置。

(9)

間接方式の測距センサに用いる、前記 (1) ~ (8) のいずれかに記載の信号生成装置。

【符号の説明】

10

【 0 3 0 8 】

2 0 1 : 距離画像センサ
 2 0 2 : 光学系
 2 0 3 : センサチップ
 2 0 4 : 画像処理回路
 2 0 5 : モニタ
 2 0 6 : メモリ
 2 1 1 : 光源装置
 3 0 0 : パルス生成器
 3 1 0 : カウンタ
 3 2 0 : フリップフロップ
 3 3 0 : A N D ゲート
 3 4 0 : カウンタ
 3 5 0 : P L L
 3 5 2 : 光源ドライバ
 3 5 4 : 光源
 3 5 5 : インバータ
 3 5 6 : 画素変調ドライバ
 3 5 8 : 画素

20

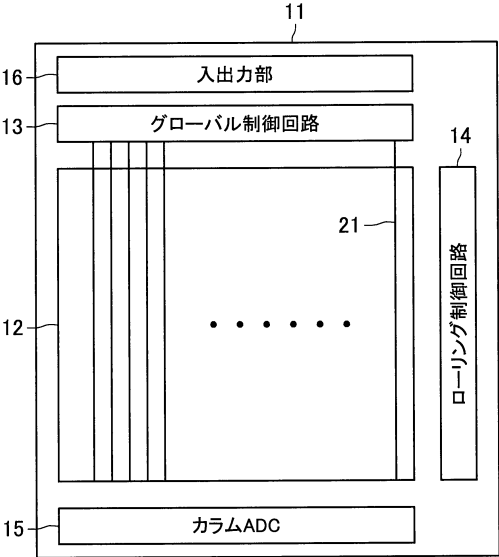
30

40

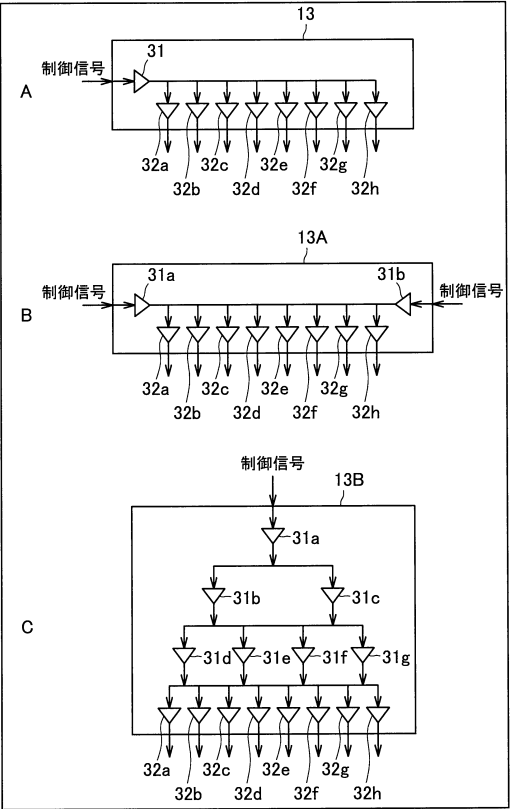
50

【図面】

【図 1】



【図 2】



10

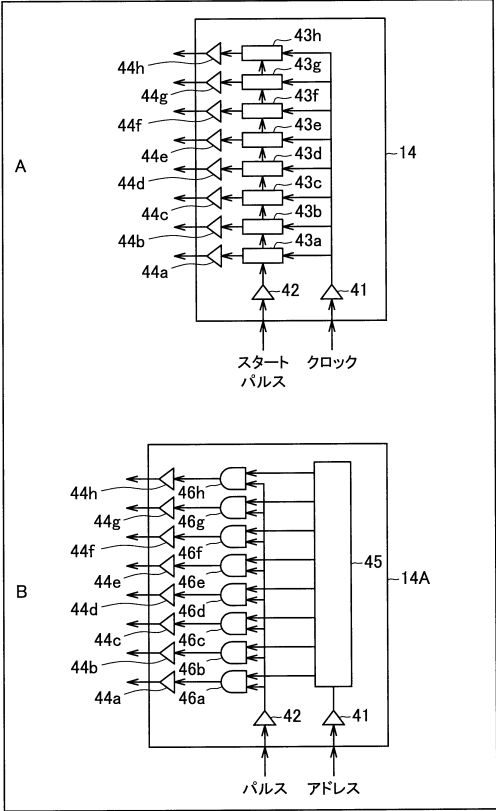
20

30

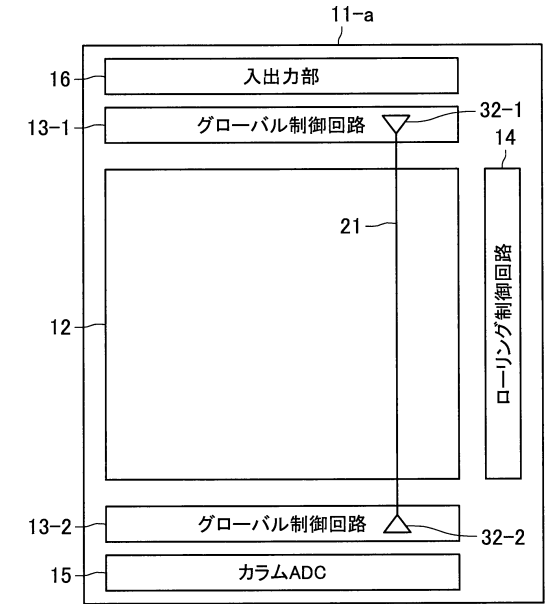
40

50

【図 3】



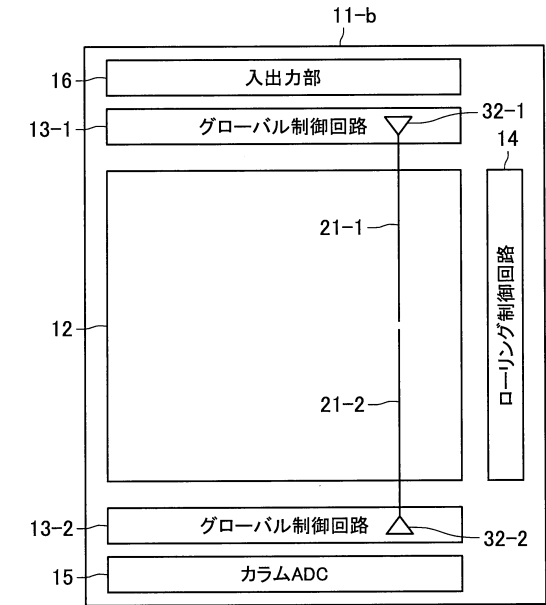
【図 4】



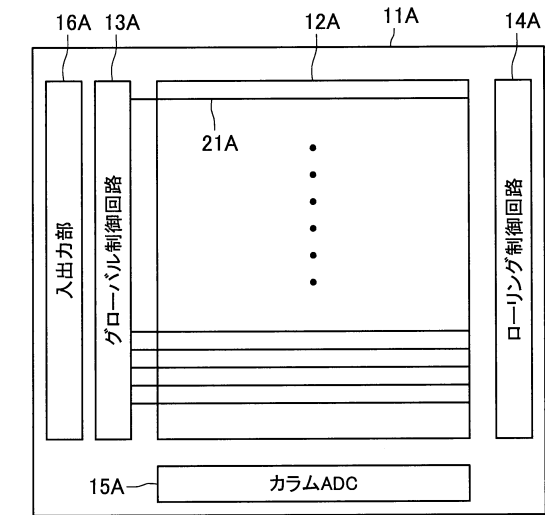
10

20

【図 5】



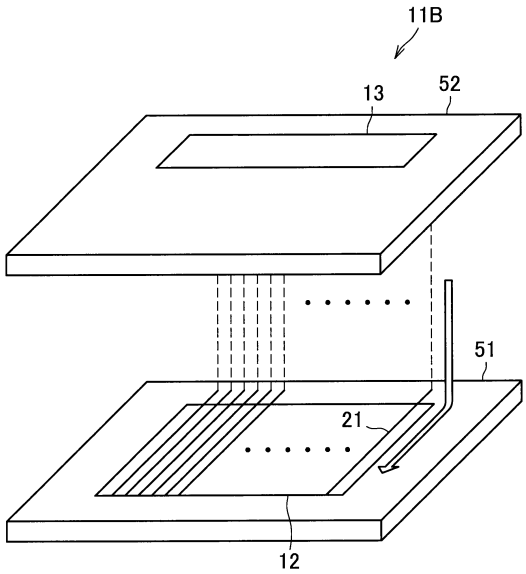
【図 6】



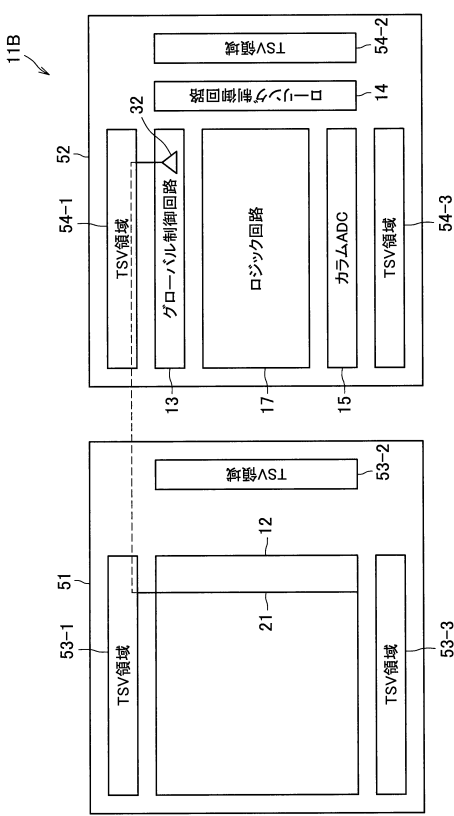
30

40

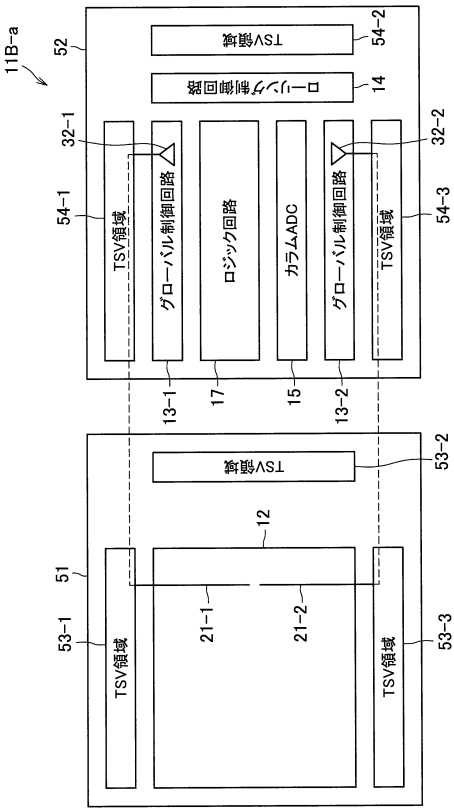
【図 7】



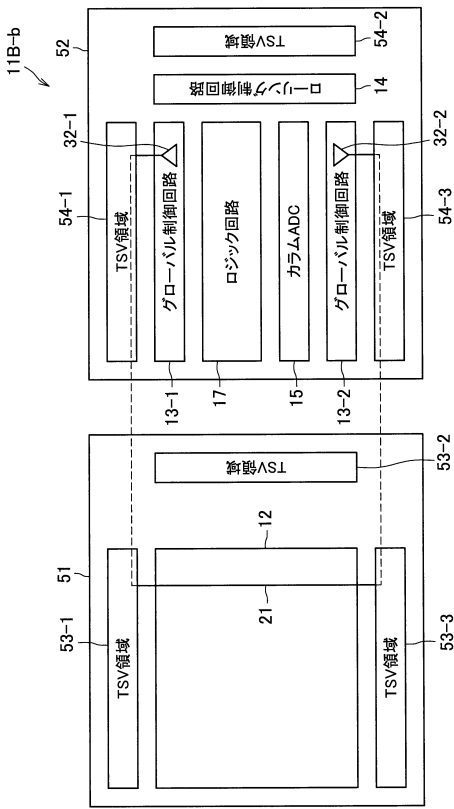
【図 8】



【図 9】



【図 10】



10

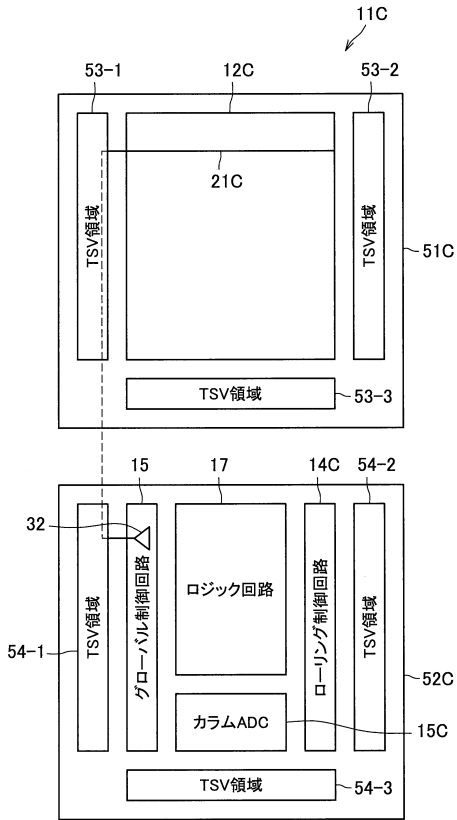
20

30

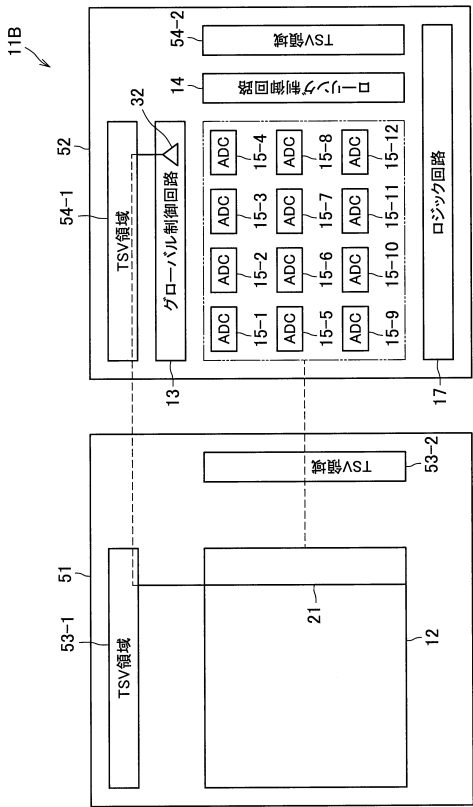
40

50

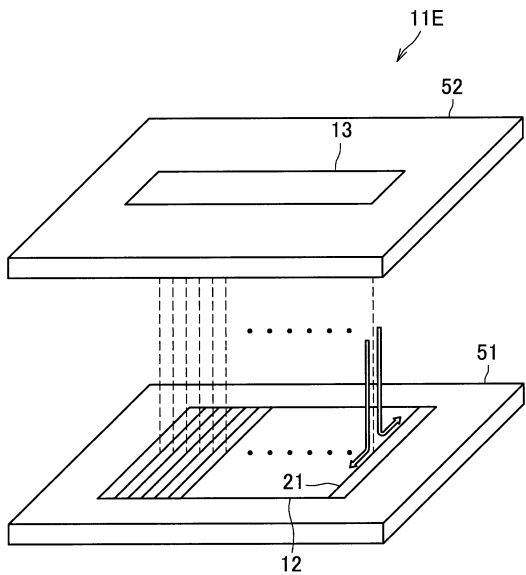
【図 1 1】



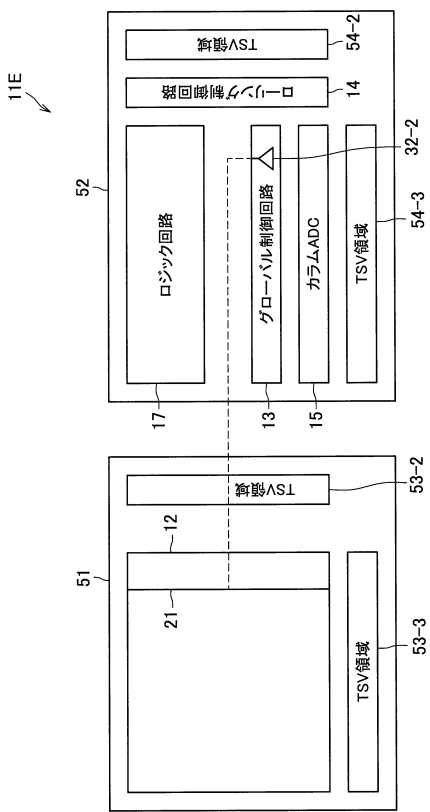
【図 1 2】



【図 1 3】



【図 1 4】



10

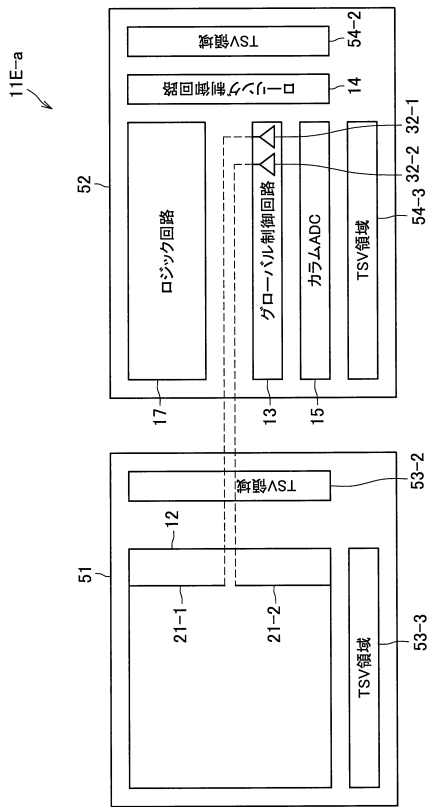
20

30

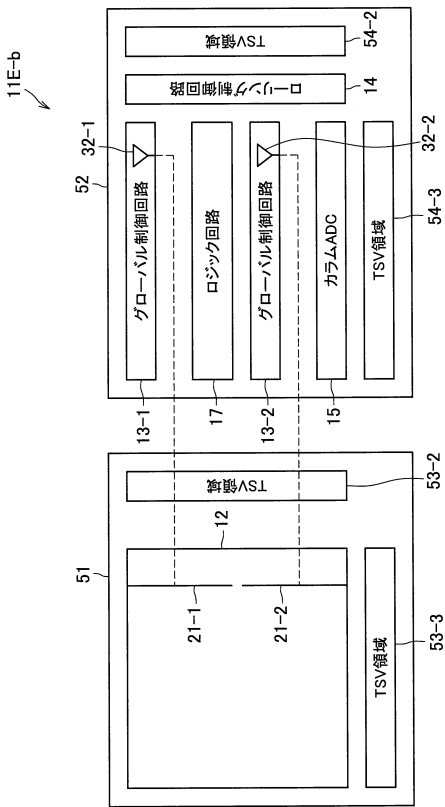
40

50

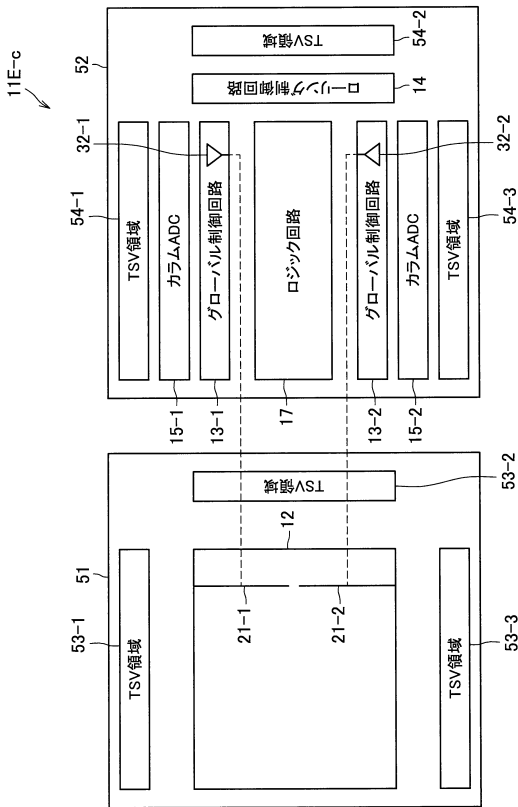
【図 15】



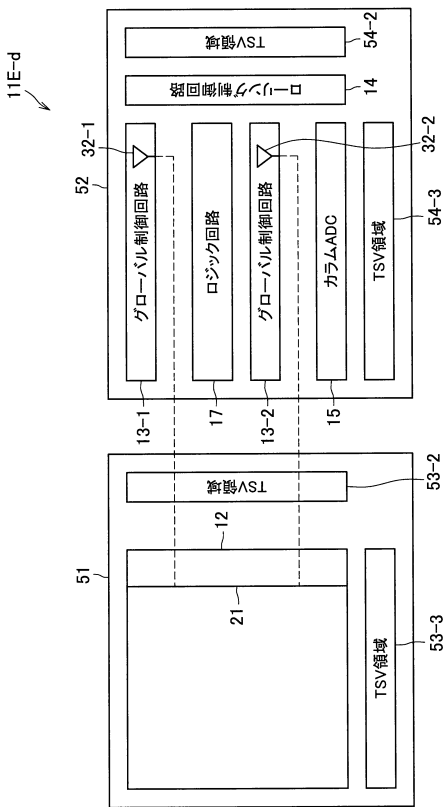
【図 16】



【図 17】



【図 18】



10

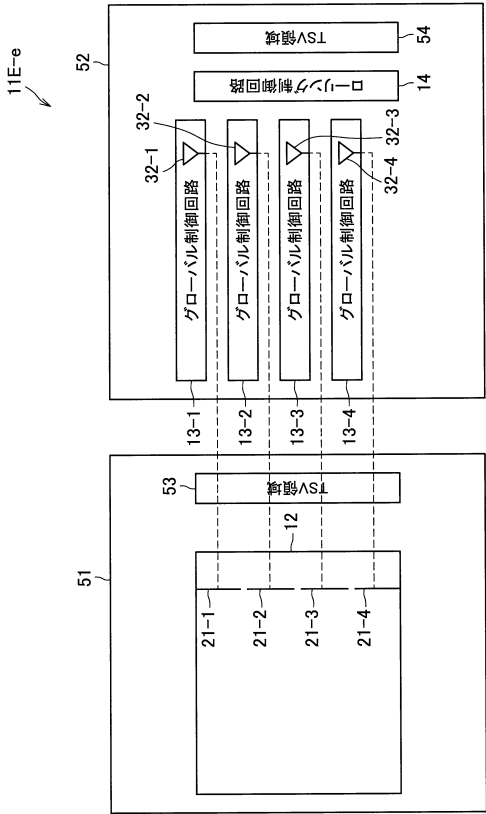
20

30

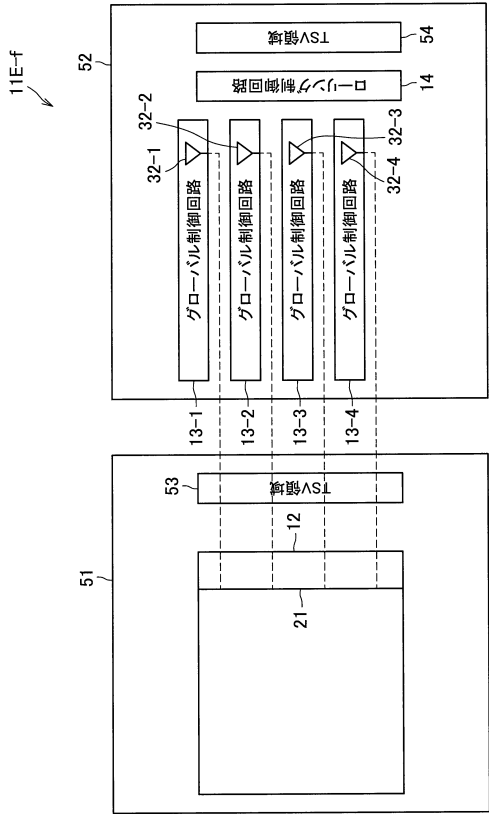
40

50

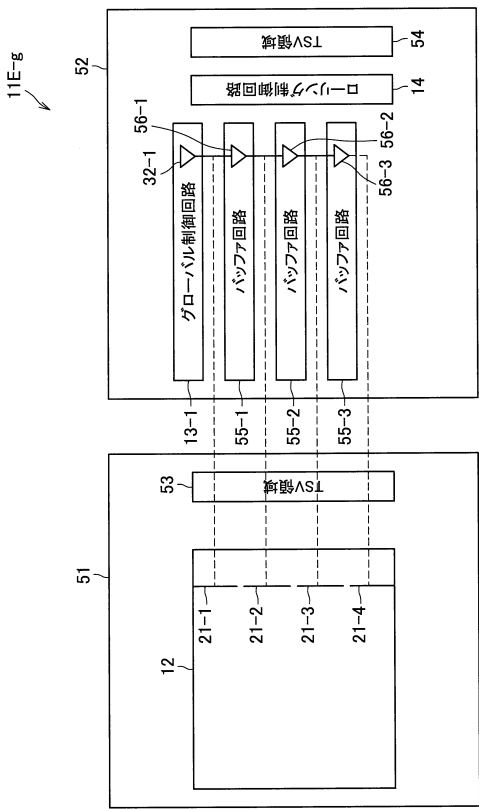
【図 19】



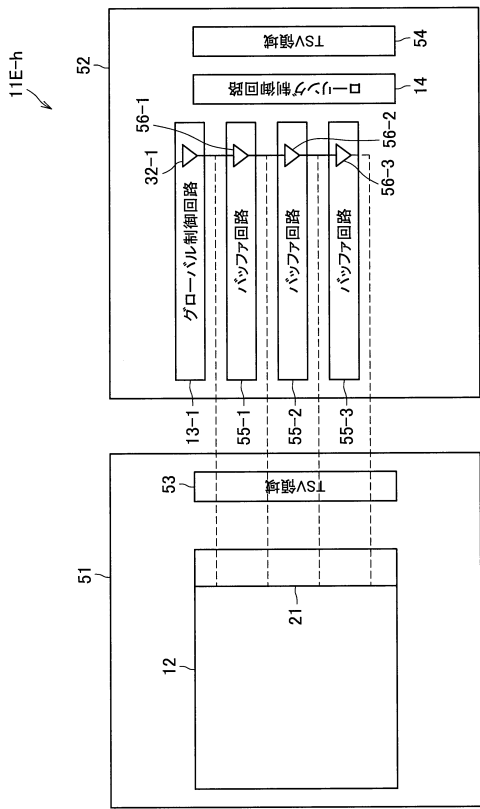
【図 20】



【図 21】



【図 22】



10

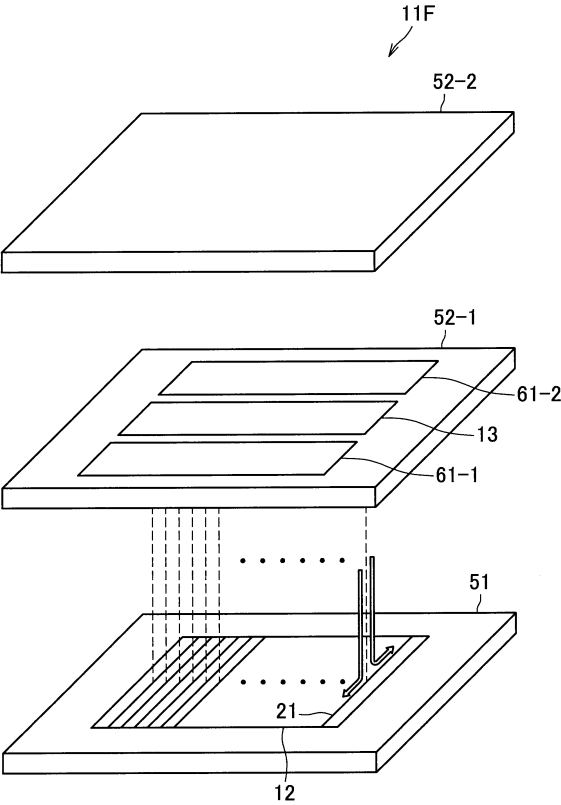
20

30

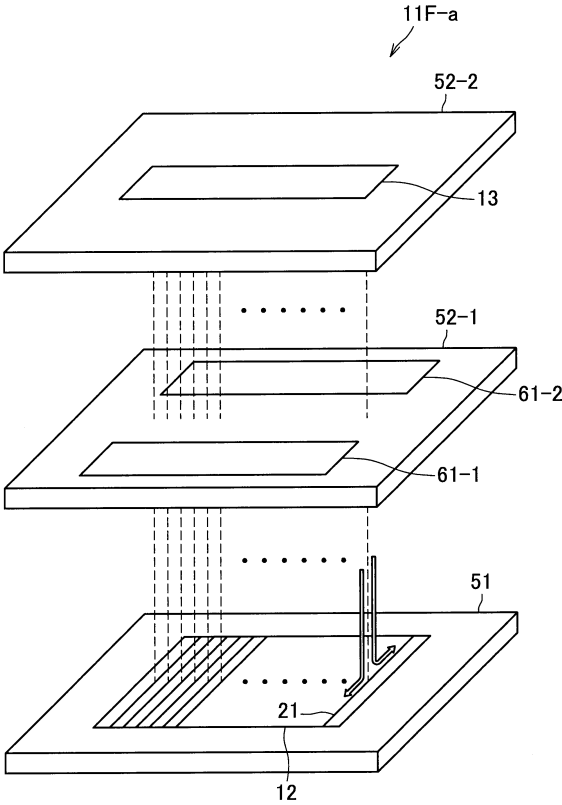
40

50

【図 2 3】



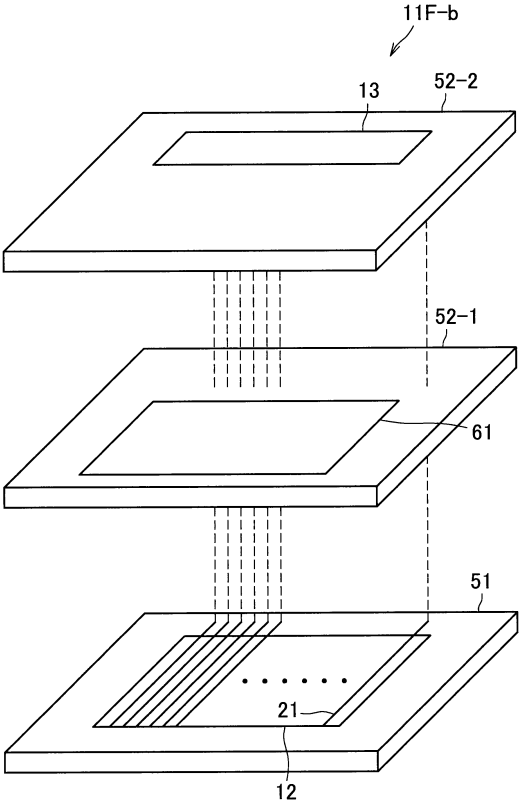
【図 2 4】



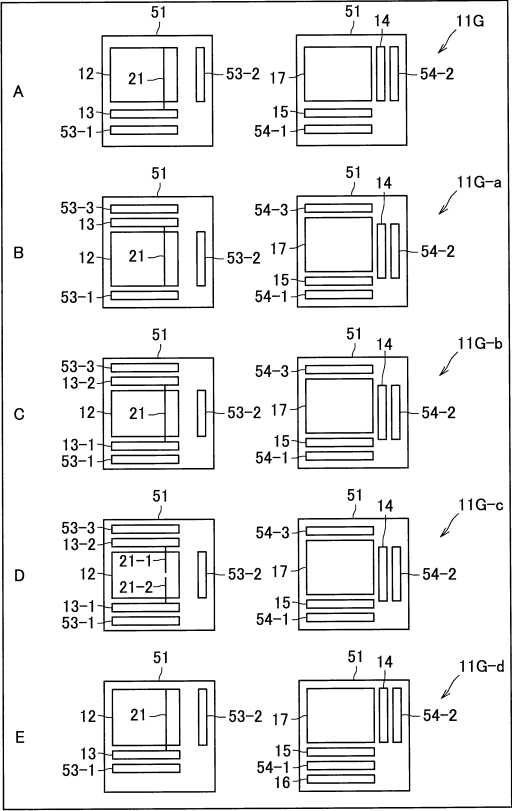
10

20

【図 2 5】



【図 2 6】

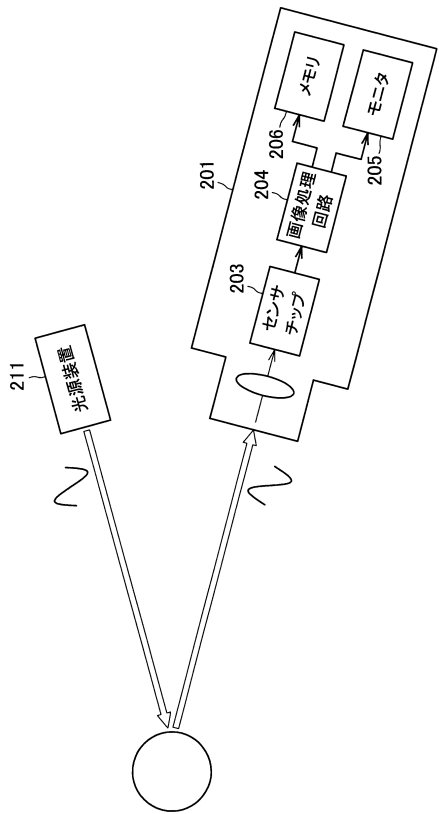


30

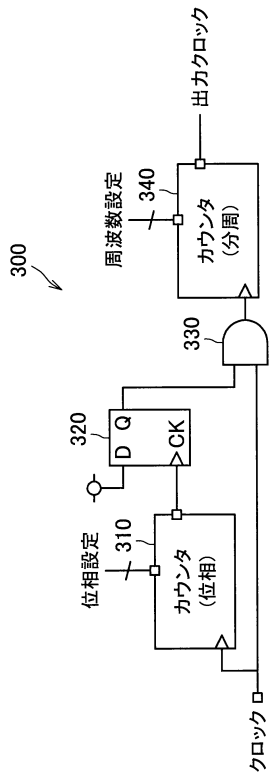
40

50

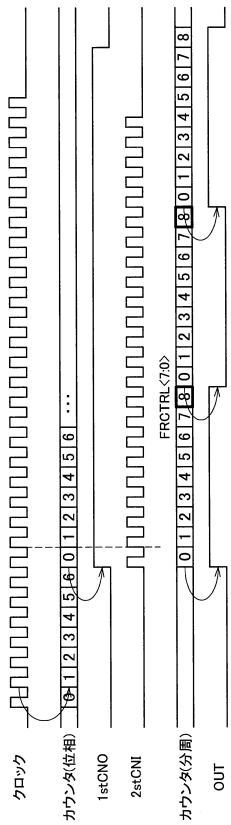
【図 27】



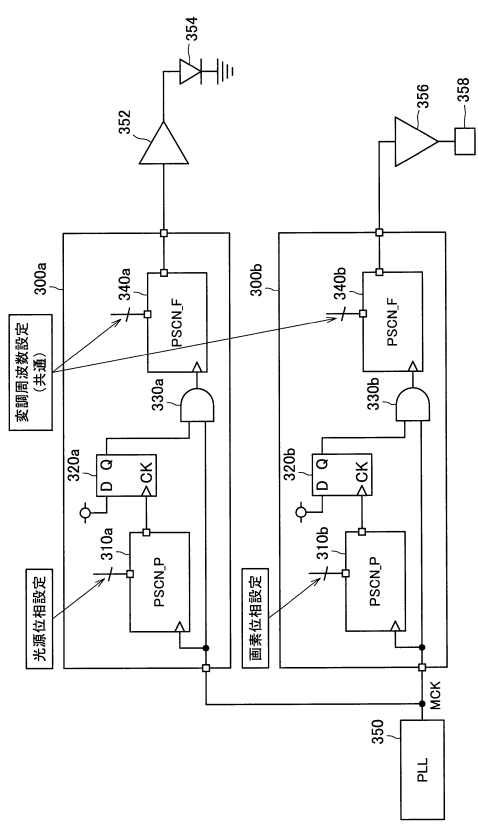
【図 28】



【図 29】



【図 30】



10

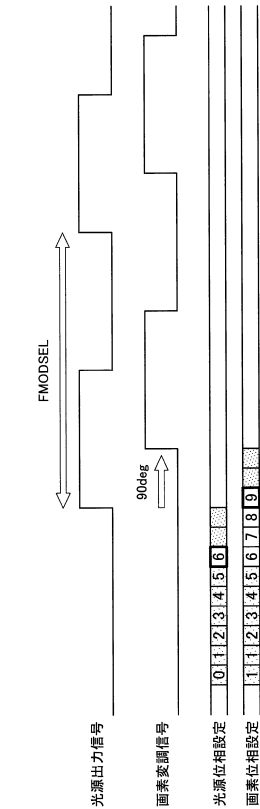
20

30

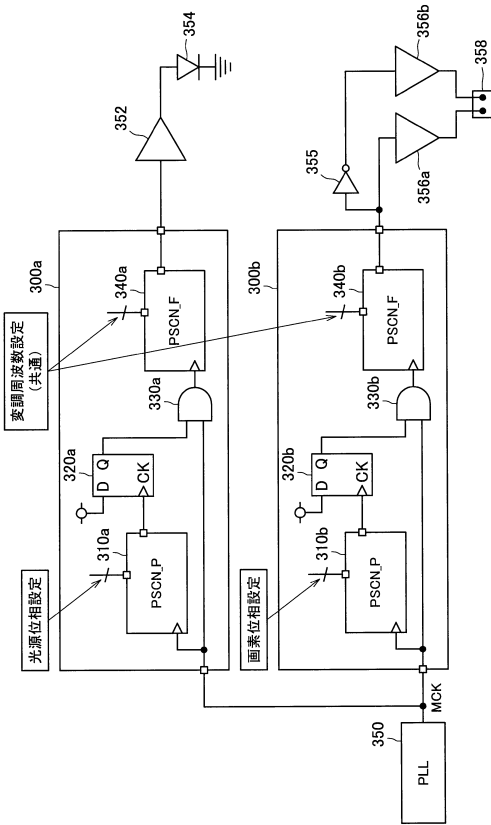
40

50

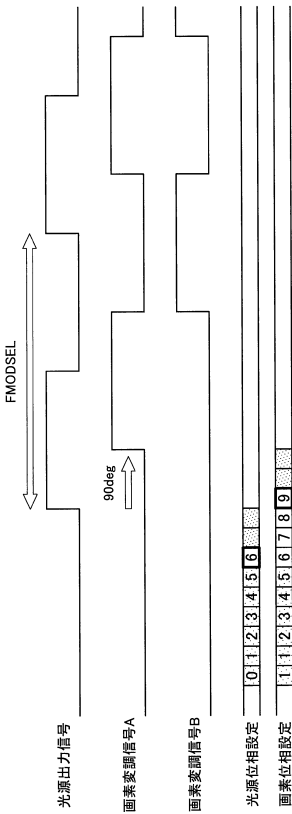
【図 3 1】



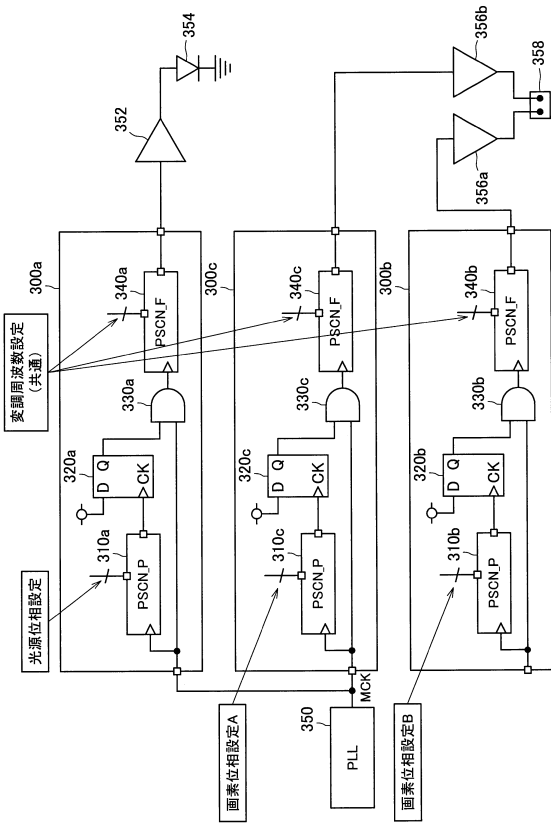
【図 3 2】



【図 3 3】



【図 3 4】



10

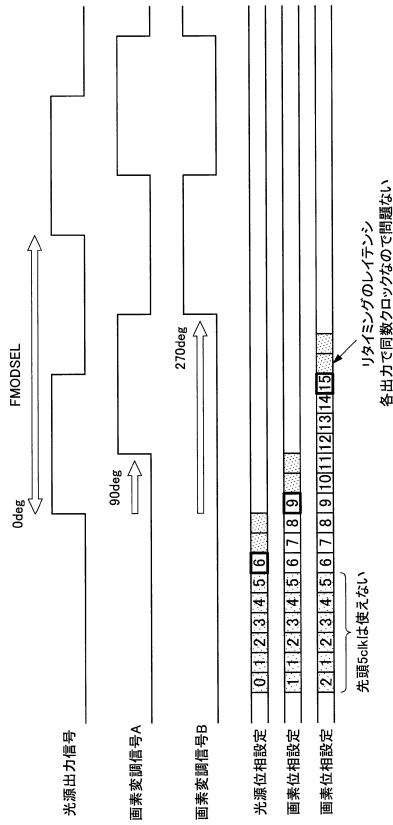
20

30

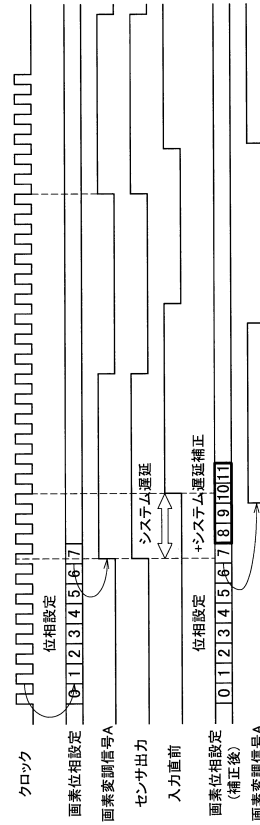
40

50

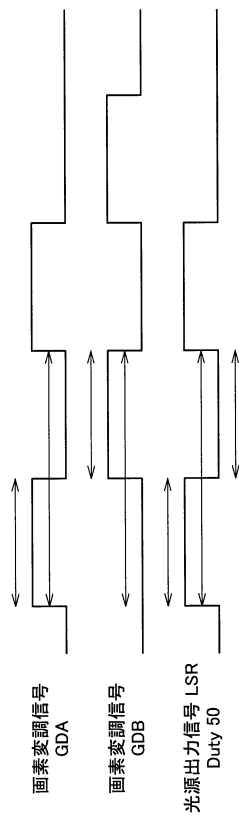
【 図 3 5 】



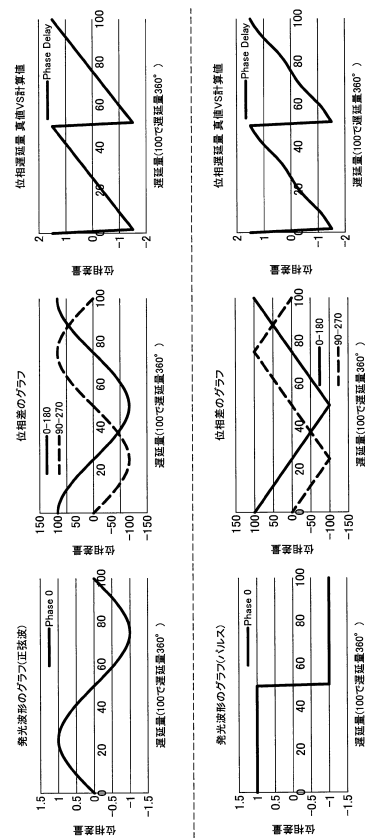
【 図 3 6 】



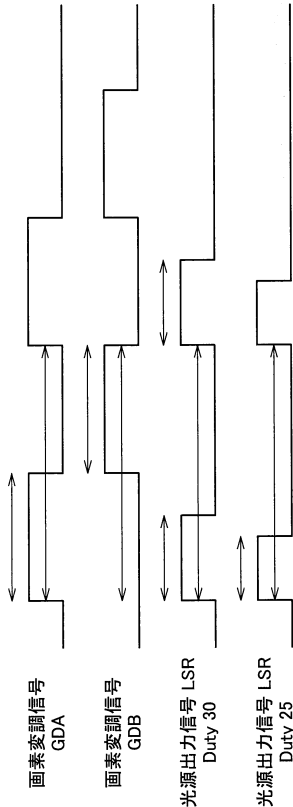
【 図 3 7 】



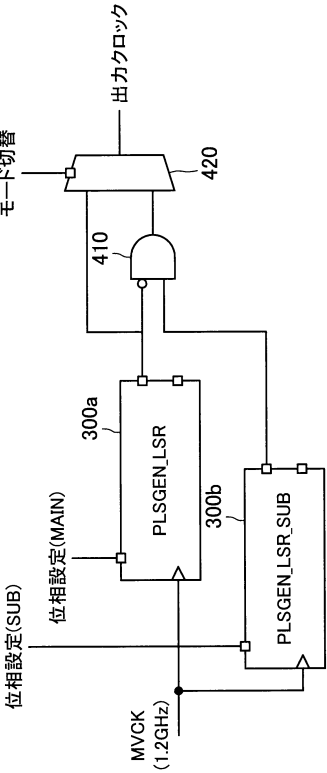
【 図 3 8 】



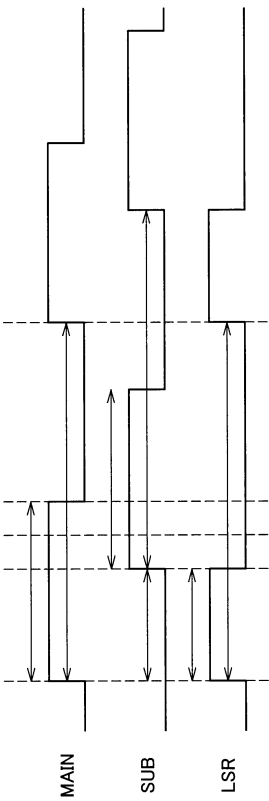
【図 39】



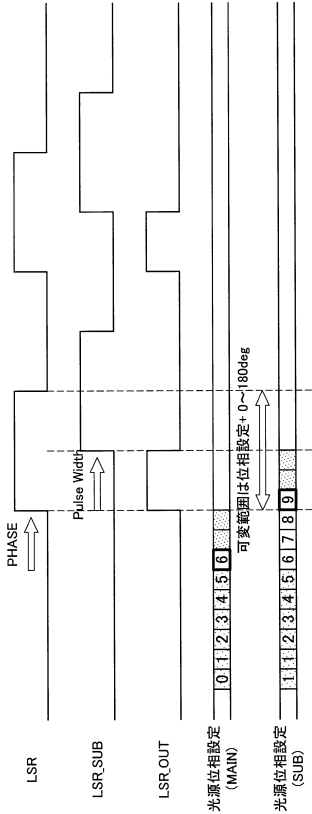
【図 40】



【図 41】



【図 42】



10

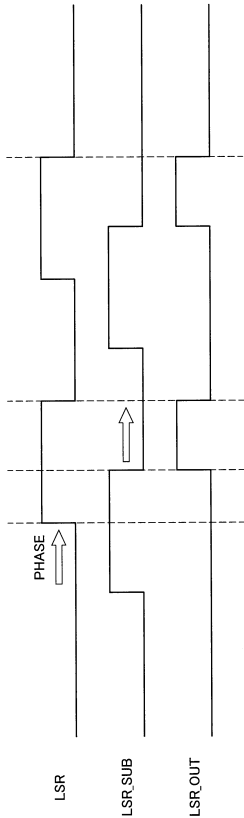
20

30

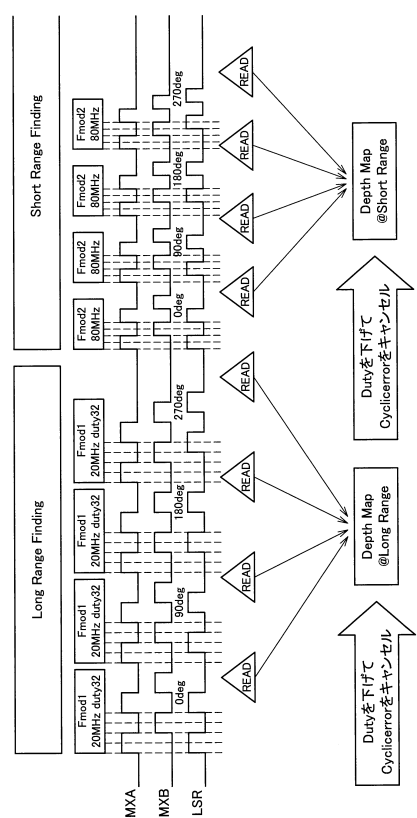
40

50

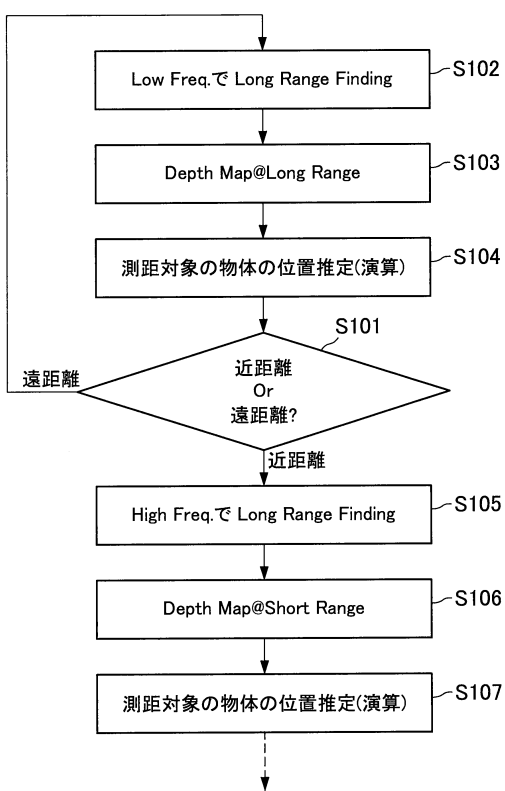
【図 4 3】



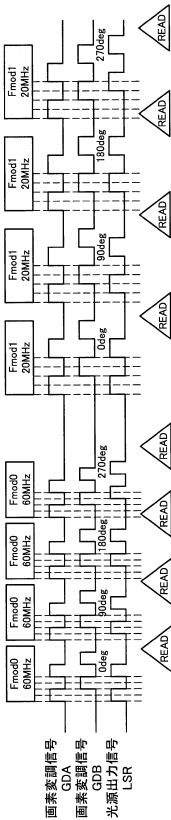
【図 4 4】



【図 4 5】



【図 4 6】



10

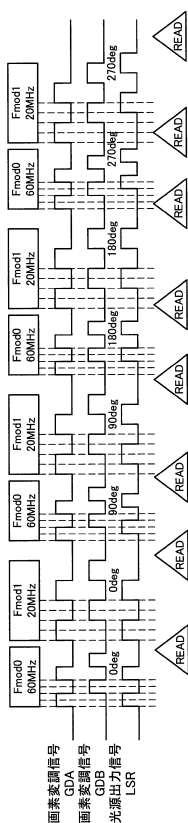
20

30

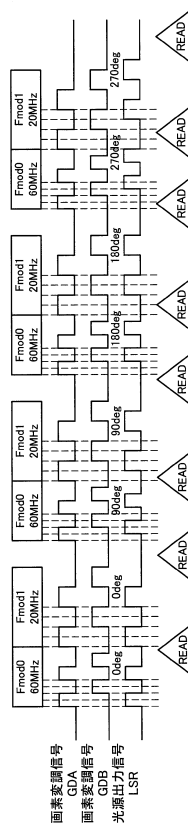
40

50

【圖 47】



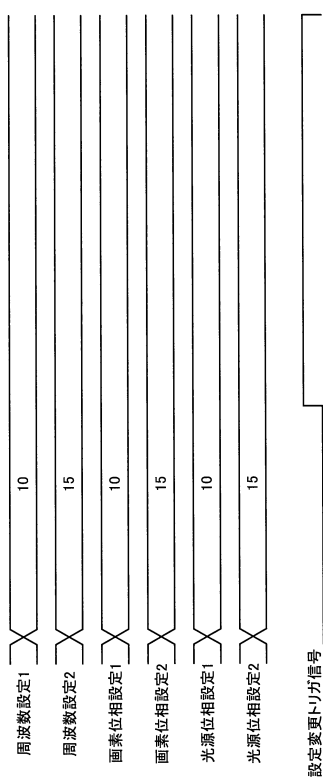
【圖 48】



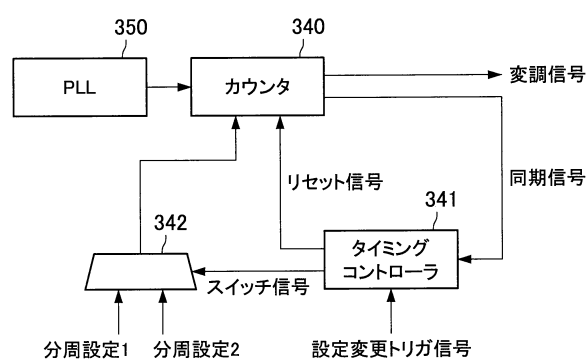
10

20

【 図 4 9 】



【 図 5 0 】

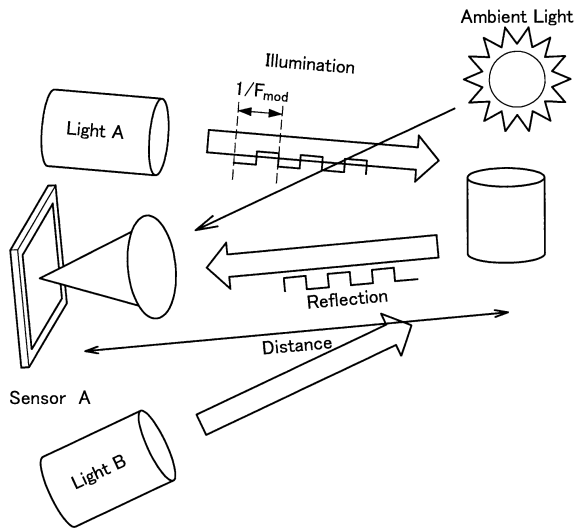


30

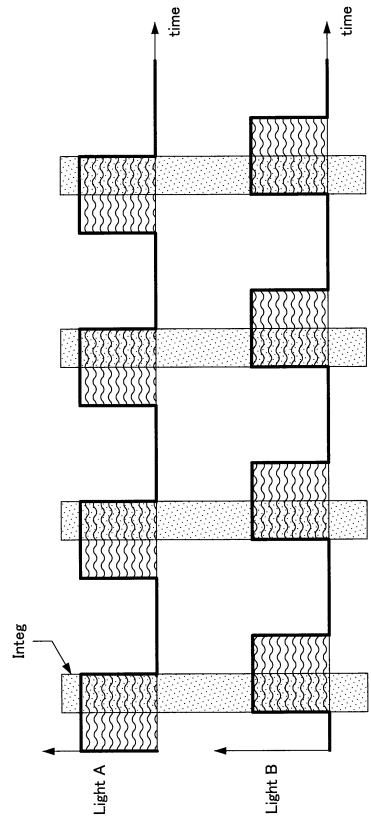
40

50

【図 5 1】



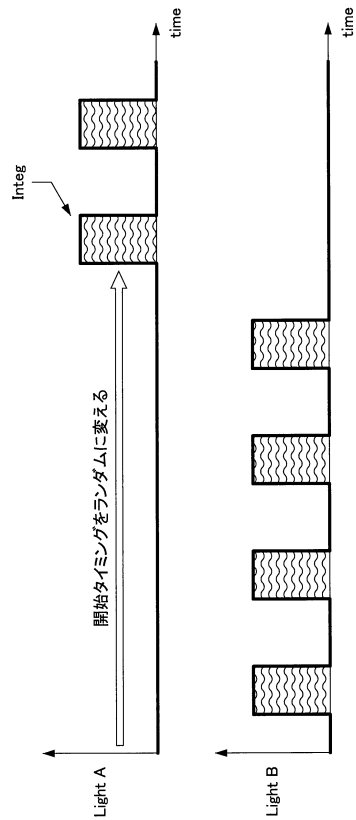
【図 5 2】



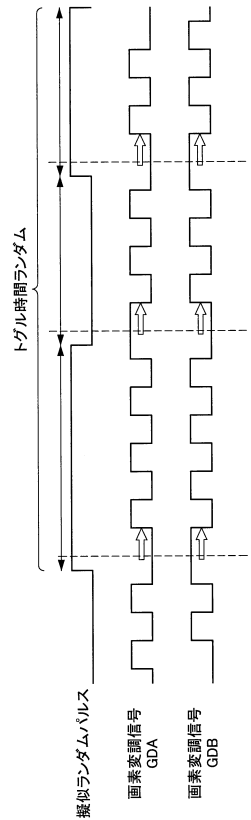
10

20

【図 5 3】



【図 5 4】

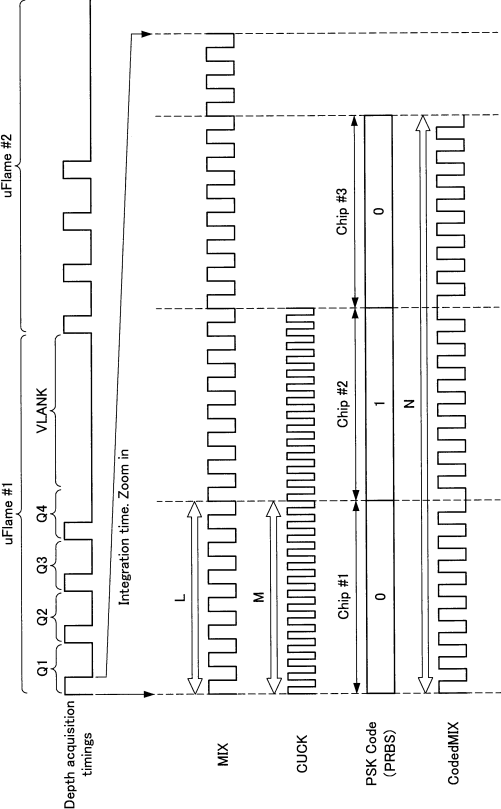


30

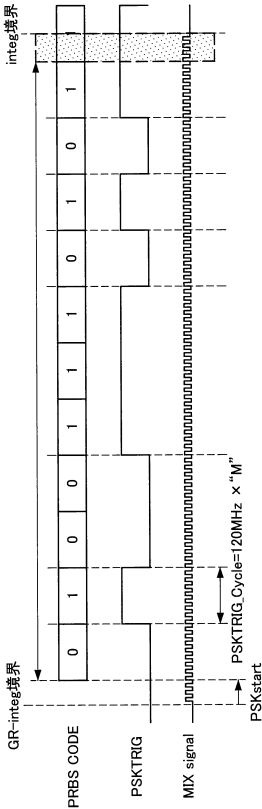
40

50

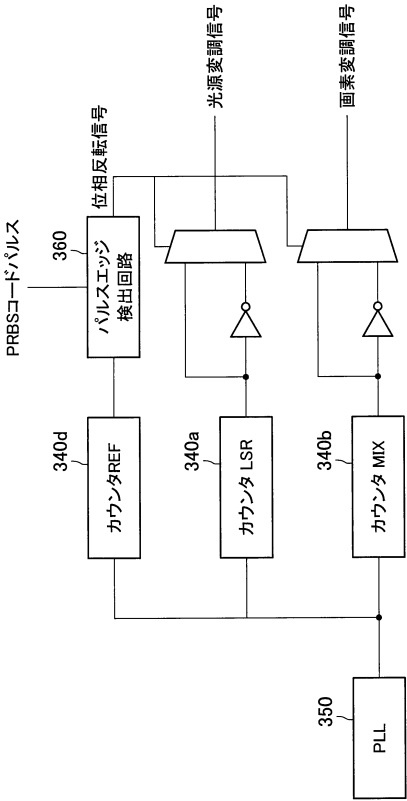
【図 5 5】



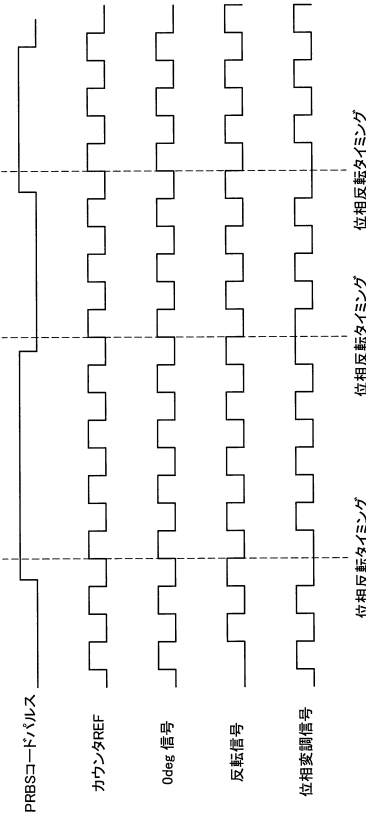
【図 5 6】



【図 5 7】



【図 5 8】



10

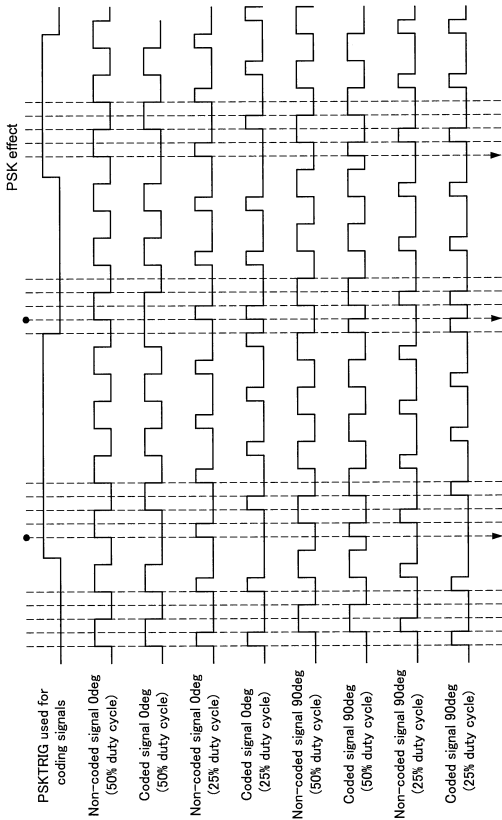
20

30

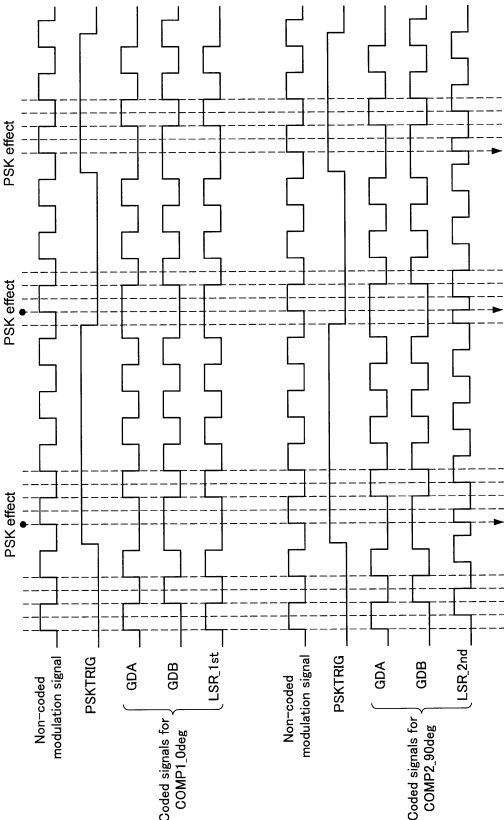
40

50

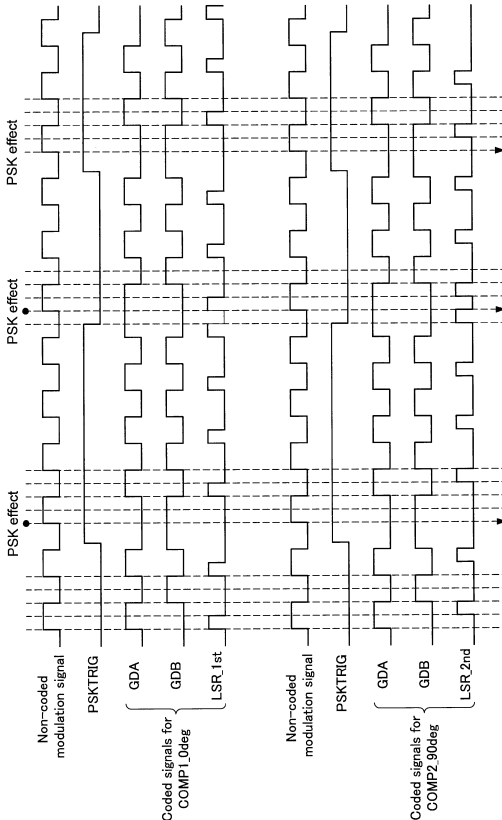
【図 5 9】



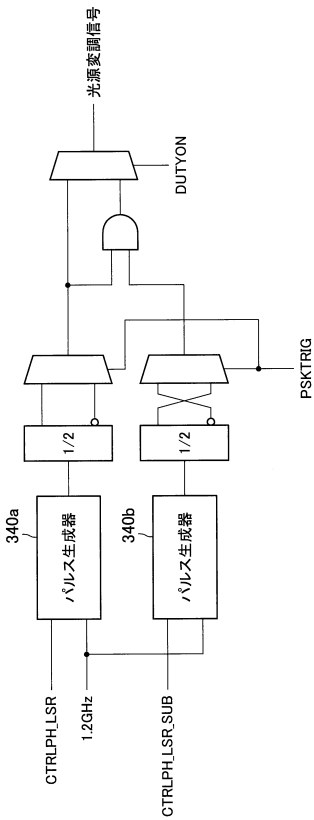
【図 6 0】



【図 6 1】



【図 6 2】



10

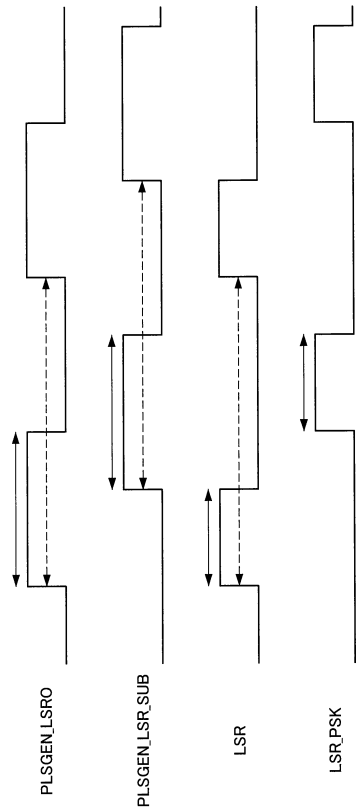
20

30

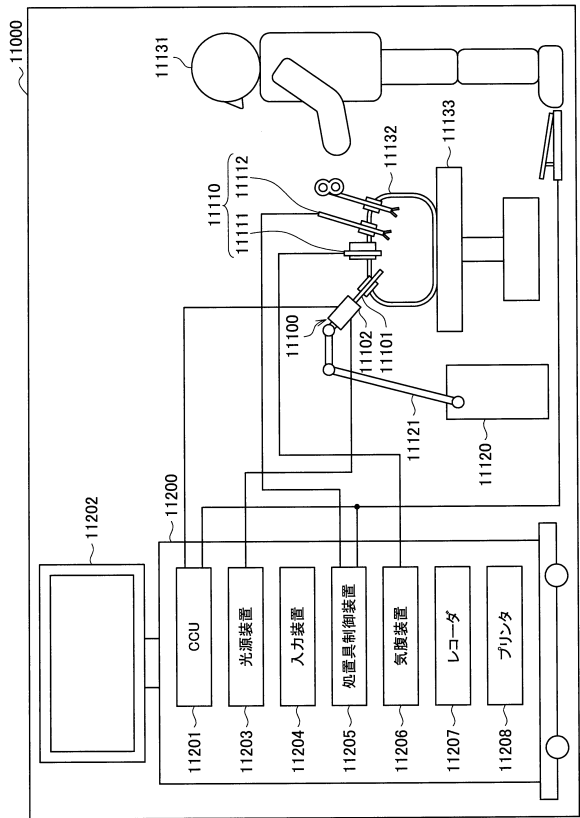
40

50

【図 6 3】



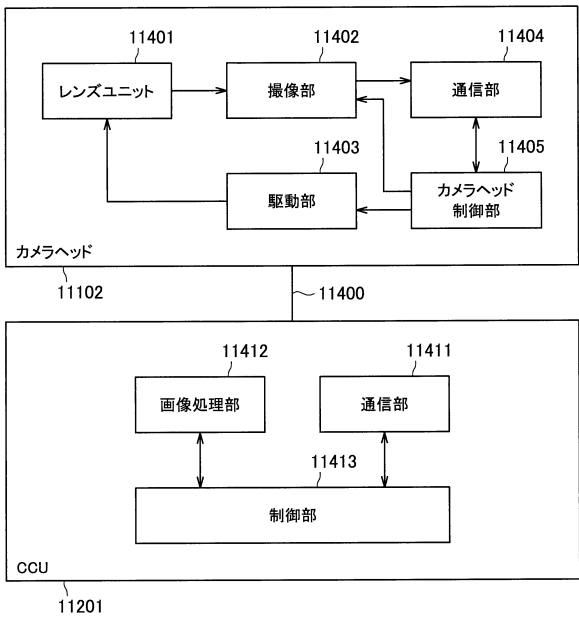
【図 6 4】



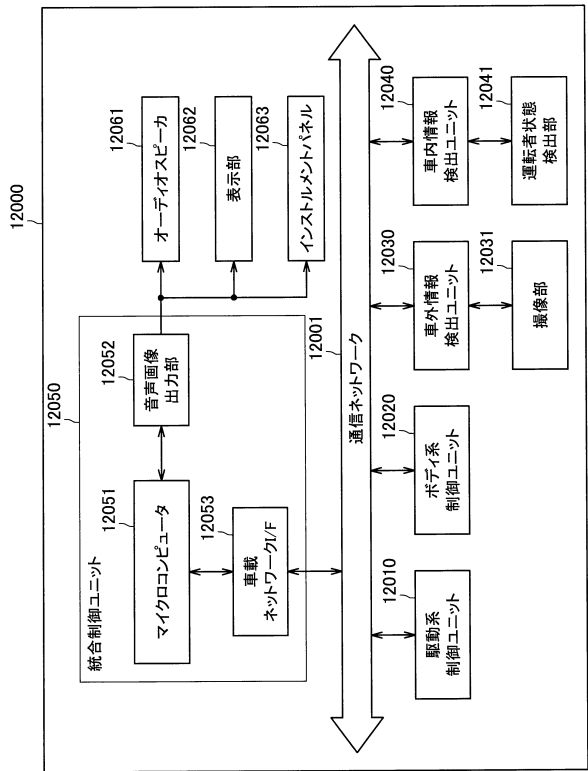
10

20

【図 6 5】



【図 6 6】

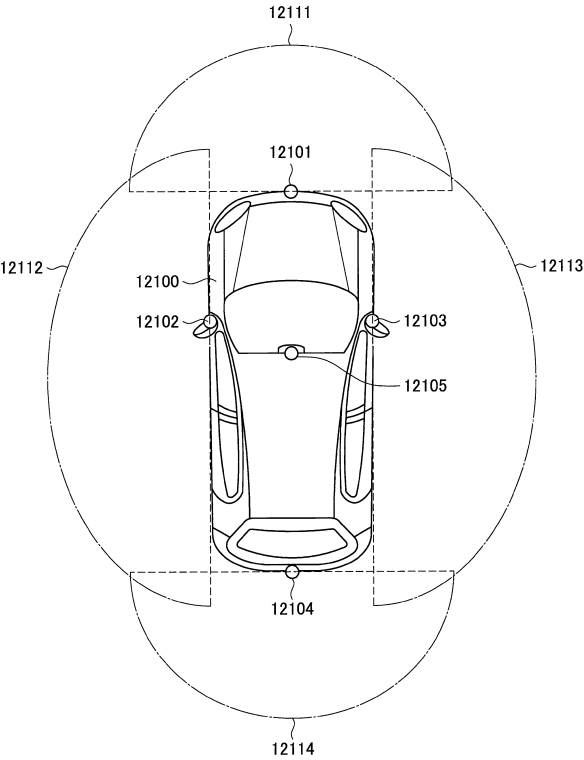


30

40

50

【 図 6 7 】



10

20

30

40

50

フロントページの続き

- (56)参考文献 国際公開第 2 0 1 7 / 0 8 5 9 1 6 (W O , A 1)
 実開平 0 3 - 1 2 0 1 2 7 (J P , U)
 実開昭 5 8 - 0 1 1 3 4 0 (J P , U)
 特開昭 6 2 - 0 5 4 1 8 9 (J P , A)
 米国特許第 0 4 8 8 8 7 9 9 (U S , A)
 独国特許出願公開第 0 4 4 3 9 2 9 8 (D E , A 1)
- (58)調査した分野 (Int.Cl. , D B 名)
 G 0 1 S 7 / 0 0 - 1 7 / 9 5
 H 0 4 N 2 5 / 0 0 - 2 5 / 7 9
 H 0 3 K 5 / 0 4