

公告本

申請日期	91.6.28
案 號	P1114381
類 別	G11C1/02

A4
C4

594725

(以上各欄由本局填註)

發明專利說明書

一、發明名稱	中 文	多位元磁性記憶體晶胞
	英 文	MULTI-BIT MAGNETIC MEMORY CELLS
二、發明人	姓 名	(1) 珍妮絲 H. 尼可 Janice H. Nickel (2) 馬諾治·巴達查理亞 Manoj Bhattacharyya
	國 籍	(1) 美國 U.S.A. (2) 印度 India
三、申請人	住、居所	(1) 美國加州陽光谷金博蒂道1772號 1772 Kimberty Drive, Sunnyvale, CA 94087, USA (2) 美國加州庫伯堤諾·棕櫚街22434號 22434 Palm Ave., Cupertino, CA 95014, USA
	姓 名 (名稱)	美商·惠普公司 HEWLETT-PACKARD COMPANY
	國 籍	美國 USA
	住、居所 (事務所)	美國加州帕羅亞托·哈諾維街3000號 3000 HANOVER STREET, PALO ALTO, CA 94304, USA
	代 表 人 姓 名	安 O. 巴斯金 Ann O. Baskins

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
I P C 分類：

A6

B6

本案已向：

美國(地區) 申請專利，申請日期： 案號： ，☒有 ☐無主張優先權
2001,08,09 09/925,755

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明（1）

發明背景

本發明係關於資訊儲存裝置。更具體地，本發明係關於磁性記憶體裝置。

磁性隨機存取記憶體（“MRAM”）是一種被考慮用於短期和長期資料儲存的非依電性記憶體。MRAM具有較於諸如DRAM、SRAM及快閃記憶體之短期記憶體低之功率消耗量。MRAM實施讀、寫之操作遠快於（大小差了幾個等級）諸如硬碟之傳統長期儲存裝置。另外，MRAM裝置較硬碟更密集小巧且耗用較少功率。MRAM亦被考慮用於嵌入式應用，諸如超快處理器及網路電器。

一個典型的MRAM裝置包含一組陣列記憶體晶胞陣列、沿記憶體晶胞之列延伸的字組線及沿記憶體晶胞之行延伸的位元線。每個記憶體晶胞位於一條字組線及一條位元線的交叉點處，典型地並包括一個具有兩個邏輯狀態（‘0’和‘1’）之單一磁性記憶體裝置（例如：一個磁性隧道接面）。

增加MRAM之儲存密度是吾人不斷追求的目標。增加儲存密度使增加每單位面積可以儲存之資訊量。

發明之概要說明

依據本發明之一層面，一磁性記憶體晶胞包含串聯之第一及第二磁電阻式裝置。第一及第二裝置具有呈不同矯頑磁性之第一及第二感測層。本發明之其他層面及優點將於伴隨與伴隨附圖閱讀藉舉例方式闡明本發明之原理之詳細描述時逐一瞭然。

五、發明說明（2）

圖式之簡介

第1圖為依據本發明之多位元記憶體晶胞的示意圖。

第2圖為一個多位元記憶體晶胞之磁滯迴圈的示意圖。

第3圖為一例示性感測層之示意圖。

5 第4-10圖為依據本發明之其他多位元記憶體晶胞的示意圖例。

第11圖為包含一組多位元記憶體晶胞陣列之一個MRAM裝置的圖。

10 第12圖及第13圖為第11圖中之裝置的不同製造方法之圖例。

發明之詳細描述

如供說明用之圖式所示，本發明僅以包含串聯之第一和第二磁電阻式裝置記憶體晶胞來具現。第一和第二磁電阻式裝置具有呈不同矯頑磁性且因而具有不同寫入點之感測層。因此寫入操作可以選擇性地在第一或第二磁電阻式裝置上執行。這樣的一個記憶體晶胞具有四種邏輯狀態，它可以比只具有兩種邏輯狀態之傳統單一位元記憶體晶胞儲存更多資料。接下來之段落描述不同型之磁電阻式裝置以及製造不同矯頑磁性的各式方法。

15
20

第1圖顯示一個包含串聯之磁性隧道接面12和14的一例示性多位元記憶體晶胞10。第一磁性隧道接面12包含一第一固定層16、一第一感測鐵磁(FM)層18、以及介於第一固定層16和感測層18之間的一第一絕緣隧道障壁20。第一

五、發明說明（3）

固定層16具有一定向於固定層16平面的之磁化向量 M_0 。第一固定層16之磁化向量 M_0 維持在一個方向，即使在有一第一合意範圍內之一外加磁場出現時亦然。例如，第一固定層16可能為一個單層硬磁鐵、一個多層交換磁鐵或者一個合成反鐵磁性磁鐵。

第一感測層18具有一非固定之磁化向量 M_1 。第一感測層18之磁化向量 M_1 可以在有一第一合意範圍之一外加磁場出現時定向於兩方向中之其一。第一磁性隧道接面12之磁化定向在感測層磁化向量 M_1 與固定層磁化向量 M_0 指向同方向時平行。而當感測層磁化向量 M_1 與固定層磁化向量 M_0 指向反方向時不平行。

第一絕緣隧道障壁20使得第一固定層16和第一感測層18之間產生量子力學穿隧作用。此穿隧現象且電子自轉相依性，使第一磁性隧道接面12之電阻值為第一固定層及感測層16和18之磁化向量 M_0 和 M_1 之相對方位的函數。譬如，假如第一磁性隧道接面12之磁化定向是平行的，則其電阻值為第一值(R_1)，而若是其磁化定向不平行，則為第二值($R_1 + \Delta R_2$)。

第二磁化隧道接面14包含一個第二固定層22、一個第二感測FM層24、及一個介於第二固定和感測層22和24之間的第二絕緣隧道障壁26。第二固定層22具有一定向於固定層22之平面的磁化向量 M_2 ，且維持在一個方向，即使在有一第二合意範圍之一外加磁場出現時亦然。例如，第二固定層22可能為一個單層硬磁鐵、一個多層交換磁鐵或者一

五、發明說明（4）

個合成反鐵磁性磁鐵。

第二感測層24具有一磁化向量 M_3 ，其在有一第二合意範圍之一外加磁場出現時可以定向於兩方向中之其一。假如第二磁性隧道接面14之磁化定向是平行的，則其電阻值為第三值(R_2)，而若其磁化定向不平行，則為第四值($R_2 + \Delta R_2$)。

一非磁導分離層27位於第一和第二接面12和14之間。此分離層27具有一厚度以避免第一和第二隧道接面12和14之間出現磁性耦合，但分離層27允許隧道接面12和14作電氣連接。此分離層27可由諸如銅、鈹、金或鈦等材料形成。一個鈹分離層27亦可作為供由如IrMn之化合物製成之第二固定層22利用的種子層。

第一和第二磁性隧道接面12和14之感測層18和24具有不同的矯頑磁性。第一和第二磁性隧道接面12和14之例示性磁滯迴圈 L_1 和 L_2 顯示於第2圖。如第2圖所示，第一磁性隧道接面12較第二磁性隧道接面14有較大的矯頑磁性(即， $H_{C1} > H_{C2}$)。因此第一合意範圍大於第二合意範圍，且變更第一感測層磁化向量 M_1 較變更第二感測層磁化向量 M_3 需較大磁場。第一和第二磁性隧道接面12和14並不限於一套設妥之磁滯迴圈 L_1 和 L_2 ，亦不限於第一磁滯迴圈 L_1 之矯頑磁性高於第二磁滯迴圈 L_2 之矯頑磁性。再者，磁電阻式裝置12和14應具備可以區別四種不用邏輯狀態之電阻值，其將在以下解釋。

多位元記憶體晶胞10位於第一和第二導體28和30之

五、發明說明（5）

間。寫入電流供至第一和第二導體28和30以產生磁場。此等磁場用來對磁性隧道接面12和14作寫入動作。亦即此等磁場用來設定感測層磁化向量M1和M2之定向。寫入電流之大小決定磁場強度且寫入電流之方向決定感測層磁化向量5 量切換的方向。

藉著提供適當大小及方向之寫入電流至第一和第二導體28和30，可使一邏輯值只寫入至第二磁性隧道接面12。在第一合意範圍中之所得磁場設定第一感測層磁化向量M1為所欲的方向。因為第一磁性隧道接面12具有較第二10 磁性隧道接面14為低之矯頑磁性，所得磁場亦設定與第一感測層磁化向量M1同方向之第二感測層磁化向量M3。

藉著提供適當大小及方向之寫入電流至第一和第二導體28和30，可使一邏輯值只寫入至第二磁性隧道接面14。在第二合意範圍中之所得磁場設定第二感測層磁化向量M3為所欲的方向。因為第二磁性隧道接面14具有較第一15 磁性隧道接面12為低之矯頑磁性，所得磁場便不改變第一感測層磁化向量M1之定向。

藉由施加一電壓跨於記憶體晶胞10上及測定一流經記憶體晶胞10之感測電流值可以讀出記憶體晶胞10之邏輯20 狀態。感測電流值與串聯接面12及14之總電阻值成比例。下表提供感測層磁化向量M1和M3於不同定向之電阻值狀態之例子(設 $M0 \rightarrow$ ，而 $M2 \leftarrow$)。

<u>M1</u>	<u>M3</u>	<u>接面電阻值</u>
$\rightarrow$	$\rightarrow$	$R1 + R2 + \Delta R2$

五、發明說明（6）

→	←	$R1 + R2$
←	→	$R1 + \Delta R1 + R2 + \Delta R2$
←	←	$R1 + \Delta R1 + R2$

若第一和第二磁性隧道接面12和14具有相同的 Δ 電阻值(即為， $\Delta R1 = \Delta R2$)，則電阻值狀態 $R1 + R2 + \Delta R2$ 與電阻值狀態 $R1 + \Delta R1 + R2$ 即難以區分。若 Δ 電阻之差異可分辨，則記憶體晶胞10即具有四種可區分之邏輯狀態。 Δ 電阻值可以尋得有所不同，譬如，使第一和第二絕緣隧道障壁20和26具有不同的厚度，或用有不同極性之不同材料製造第一和第二感測層18和24。

使第一和第二感測層18和24具有不同之矯頑磁性有許多方法。譬如第一和第二感測層18和24可以具有不同的形狀和尺寸，可以具有不同的厚度，也可以用不同材料製造。

具有用不同材料製造之第一第二感測層的多位元記憶體晶胞10如第1圖所示。典型感測層材料包含但非限於諸如：NiFe、NiFeCo及CoFe。若第一感測層18由NiFeCo或CoFe製造且第二感測層24由NiFe製造，第一感測層18即具有高於第二感測層24之矯頑磁性。一般而言，提高鈷的百分比會增加矯頑磁性。

第3圖為一矩形感測層之示意圖。感測層之高標記為H，寬標記為W，而厚度標為T。大體上，增加高度或減少寬度(W)或厚度(T)會造成較低矯頑磁性。

包括有具不同厚度之包含第一和第二感測層118和124的一個記憶體晶胞110如第4圖所示。第一感測層118之厚度

五、發明說明（7）

標記為T1，且第二感測層124之厚度標記為T2。若 $T1 > T2$ 且感測層118和124其他方面皆相同，第一磁性隧道接面112之感測層118即會較第二磁性隧道接面114之感測層有較高的矯頑磁性。

5 第5圖顯示具有相同形狀和不同尺寸之第一和第二磁性隧道接面212和214。第6圖亦顯示具有相同形狀和不同尺寸之第一和第二磁性隧道接面312和314。第7圖顯示具有不同形狀和不同尺寸之第一和第二磁性隧道接面412和414。第8圖顯示具有不同形狀和相同尺寸之第一和第二磁性隧道接面512和514。不同尺寸可能包含不同長度和寬度。

磁性接面並不限於矩形和橢圓形。譬如磁性隧道接面可為正方形或複雜的形狀如菱形、平行四邊形、斜方形或任何對稱或非對稱之多邊形。

15 一個多位元記憶體晶胞並不限於每個接面具不同的形狀或尺寸。譬如，第二磁性隧道接面之固定層和絕緣隧道障壁可以有與下方之第一磁性隧道接面相同的形狀和尺寸，而唯有第二磁性隧道接面之感測FM層有不同之形狀或尺寸。

20 一般而言，第二(上位)磁性隧道接面會有較小的形狀和尺寸。此乃緣於製造上之考慮，接下來將討論之。

第一和第二磁性隧道接面之感測層矯頑磁性可藉不同厚度、不同形狀、不同尺寸和不同材料之組合而製作得有所不同。這些不同處的數值限制著控制寫入場數值之能力。

第9圖顯示一個包含共用一個固定層616之第一和第二

五、發明說明（8）

磁性隧道接面612和614的多位元記憶體晶胞610。固定層616可能為一硬磁鐵。因此第一磁性隧道接面612包含一個第一感測層618、一個第一絕緣隧道障壁620及共用之固定層616；第二磁性隧道接面614則包含一個第二感測層624、
5 一個第二絕緣隧道障壁626及共用之固定層616。第一和第二磁性隧道接面612和614之矯頑磁性可由第一和第二感測層618和624用不同之厚度、尺寸、形狀和材料或其中之任一種組合製造而弄成有所不同。

固定層並不限於任何特定之設計。固定層可為硬磁
10 鐵。然而更普遍地，每個固定層會包含元件之堆疊。例如，堆疊中可能包含一個或多個之種子層、一個反鐵磁(AF)固定層及一個固定FM層。該等種子層對AF固定層建立一種(111)或其他較佳的晶體結構定向，且AF固定層提供一個維持固定層磁化向量之大交換場。該等種子層並非永遠必須的；
15 高能量沉積體即可用於形成紋理結構於固定層上以產生交換耦合作用。

具有用來製造磁性交換場之適當紋理結構的固定層可在其對應之感測層上生長出來。紋理形成技術係用於製造磁電阻式讀取頭。

20 多位元記憶體晶胞不限於兩個磁電阻式裝置。譬如，一個多位元記憶體晶胞可具有三個磁電阻式裝置，此種記憶體晶胞具有八種邏輯狀態。

該等磁電阻式裝置並不限於絕緣隧道障壁積設於固定FM層上及感測FM層積設於絕緣隧道障壁上。順序可以不

五、發明說明 (9)

同。

第10圖顯示包含具有串聯之第一和第二感測層718和724之第一和第二磁性隧道接面712和714之記憶體晶胞710。第一和第二感測層718和724被把兩磁電阻式裝置712和714電氣相連之一非磁性材料(如：鈦、銅、鋁)層713分開。層體713亦解耦兩感測層718和724之磁化。記憶體晶胞710可能有以下例示性結構：積設於鈦層715上之第一層IrMn固定層716、固定層716之上之第一NiFe FM固定層719、積設於第一固定層719之上之第一 Al_2O_3 絕緣隧道障壁720、積設於第一絕緣隧道障壁720之上之第一NiFe感測層718、積設於第一感測層718上之Ru層713、積設於Ru層713上之第二NiFe感測層724、積設於第二感測層724上之第二 Al_2O_3 絕緣隧道障壁726、積設於第二隧道障壁726上之第二NiFe固定層722、積設於第二固定層722上之第二IrMn固定層728、以及一個積設於第二固定層728之鈦頂罩層730。

此等多位元記憶體晶胞不限於磁性隧道接面。如巨型磁電阻式裝置(GMR)之其他磁電阻式裝置亦可被使用。以多重GMR裝置為基礎之多位元記憶體晶胞可有如前述之任一結構，除了感測和固定層被傳導性非磁性金屬層而非一絕緣隧道障壁分開。感測和固定層磁化向量之相對定向影響GMR裝置之平面內電阻。

參照第11圖，一個MRAM裝置810包含一組多位元記憶體晶胞814之電阻性交叉點陣列812。此等多位元記憶體晶胞814成多行與多列排列，列沿x方向延伸且行沿y方向延

五、發明說明 (10)

伸。圖中只顯示相當少數之記憶體晶胞814，以簡化MRAM裝置810之繪示。實際上陣列可為任何尺寸。

做為字組線816之線跡在陣列812之一側的平面上沿x方向延伸，做為位元線818之線跡在陣列812之相鄰側的平面上沿y方向延伸。陣列812之每列可有一字組線816，且每行有一位元線818。每個記憶體晶胞814位於一字組線和一位元線之交叉點上。MRAM裝置812包含用來感測被選定之記憶體晶胞在讀出操作期間之電阻狀態、以及用來在寫入操作期間供應寫入電流到選定字組和位元線的一個讀取/寫入電路(圖上未示出)。

陣列812之第一及第二隧道接面間矯頑磁性之差異係依據它們切換狀況分佈(亦即，它們切換之均勻程度)而定。較大的分佈即需要陣列812中第一磁性隧道接面之平均矯頑磁性($H_{c_{AVE1}}$)與陣列812中第二磁性隧道接面之平均矯頑磁性($H_{c_{AVE2}}$)間有較大差異。譬如，若第一磁性隧道接面之平均矯頑磁性為 $H_{c_{AVE1}}=100\text{e}$ 且有個 -50e 之分佈，而第二磁性隧道接面之平均矯頑磁性為 $H_{c_{AVE2}}=200\text{e}$ 且有一個 50e 之分佈，則有些記憶體晶胞將無法區分第一及第二磁性隧道接面間。因此第二磁性隧道接面應here採用較高的平均矯頑磁性 $H_{c_{AVE2}}$ 。

第12圖繪示包括具有由不同材料製作之磁電阻式裝置之多位元記憶體晶胞陣列之MRAM裝置的製造。字組線形成於晶圓上(910)，而第一磁性記憶層堆疊形成在字組線上(912)。一非磁性傳導分離層設置於第一磁性記憶層堆疊之

五、發明說明 (11)

上(914)。

第二磁性記憶層堆疊建構在分離層上(916)，第二堆疊之感測層與第一堆疊之感測層以不同之材料或厚度製作。

第一和第二堆疊被圖案化成許多位元(918)，再以電
5 介質材料填滿諸位元間之間隙(920)填滿位元間隙。位元線佈於已圖案化的第二堆疊上(922)。

第13圖繪示包括具有不同尺寸及/或形狀之一些磁電阻式裝置之MRAM裝置的製造。字組線佈於晶圓上(1010)，第一磁性記憶層堆疊形成於字組線上(1012)，分離
10 層置於第一磁性記憶層堆疊之上(1014)，以及第二磁性記憶層堆疊佈設於分離層上(1016)。第一堆疊中之諸層體和第二堆疊中之諸層體可具有相同的組成方式。

第一遮罩步驟用來把第一和第二堆疊圖案化為第一種大小及/或形狀(1018)，第二遮罩步驟用來把至少第二堆疊
15 之感測層再度圖案化為第二種大小及/或形狀(1020)，諸位元間之間隙由電介質材料填滿(1022)，而位元線佈於已圖案化的第二堆疊上(1024)。

此等記憶體晶胞並不限於前述之固定層。另外型式之記憶體晶胞可包含一合成鐵磁固定層。此記憶體晶胞之
20 結構類似第1圖所示，除了分離層27是由諸如Ru、Re、Rh或Cu之材料製造以及具有允許兩固定層16和22間發生磁性交換耦合作用之厚度。兩固定層16和22之磁化向量間之磁性交換耦合非常強。

此等記憶體晶胞並不限於磁性隧道接面和GMR裝

五、發明說明（12）

置。其他型式之磁性記憶體元件如大型磁電阻式(CMR)元件也可以用。

依據本發明之MRAM裝置可用於廣泛的應用。譬如它們可以取代DRAM、SRAM、快閃記憶體、及電腦內其他快速的短期記憶體。他們也可以用於電腦內長期資料儲存。此等MRAM裝置提供許多優於硬碟和其他傳統長期資料儲存裝置之優點(譬如：較快速、尺寸較小)。依據本發明之MRAM裝置也可以用在數位相機中供數位影像之長期儲存。

10 本發明並不限於前文描述及例示之該等特色實施例。而本發明將純粹依據接下來之申請專利範圍。

元件標號對照表

10……多位元記憶體晶胞	28……第一導體
12……磁性隧道接面	30……第二導體
14……磁性隧道接面	110……記憶體晶胞
16……第一固定層	112……第一磁性隧道接面
18……第一感測鐵磁(FM)層	114……第二磁性隧道接面
20……第一絕緣隧道障壁	118……第一感測層
22……第二固定層	124……第二感測層
24……第二感測FM層	212……第一磁性隧道接面
26……第二絕緣隧道障壁	
27……非磁導分離層	

五、發明說明 (13)

214... 第二磁性隧道接面	624... 第二感測層
312... 第一磁性隧道接面	626... 第二絕緣隧道障壁
314... 第二磁性隧道接面	710... 記憶體晶胞
412... 第一磁性隧道接面	712... 第一磁性隧道接面
414... 第二磁性隧道接面	713... 非磁性材料層
512... 第一磁性隧道接面	714... 第二磁性隧道接面
514... 第二磁性隧道接面	715... 鉭層
610... 多位元記憶體晶胞	716... 第一層 IrMn 固定層
612... 第一磁性隧道接面	718... 第一 NiFe 感測層
614... 第二磁性隧道接面	719... 第一 NiFe FM 固定層
616... 固定層	720... 第一 Al ₂ O ₃ 絕緣隧道障壁
618... 第一感測層	722... 第二 NiFe 固定層
620... 第一絕緣隧道障壁	724... 第二 NiFe 感測層
	726... 第二 Al ₂ O ₃ 絕緣隧道障壁
	728... 第二 IrMn 固定層
	730... 鉭頂罩層
	810... MRAM 裝置

五、發明說明（14）

812……電阻性交叉點陣

列

814……多位元記憶體晶

胞

816……字組線

818……位元線

910~922……製作步驟

1010~1024……製作步驟

四、中文發明摘要 (發明之名稱： 多位元磁性記憶體晶胞)

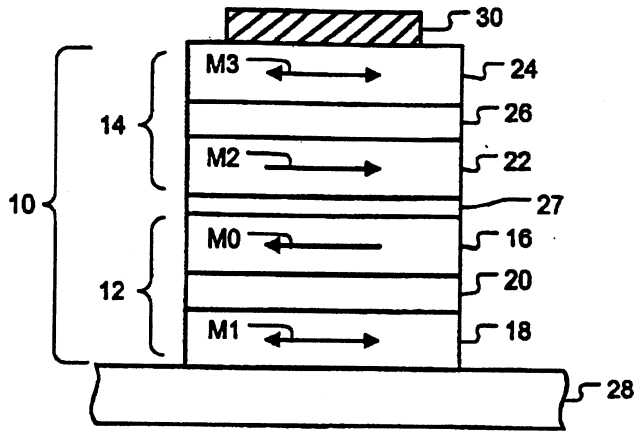
一磁性記憶體晶胞(10)包含串聯之第一和第二磁電阻式裝置(12、14)。第一和第二磁電阻式裝置(12、14)具有帶有不同矯頑磁性(L1、L2)之感測層(18、24)。磁性隨機存取記憶體(MRAM)裝置(812)可包含多組這些記憶體晶胞(10)之陣列。

英文發明摘要 (發明之名稱： Multi-Bit Magnetic Memory Cells)

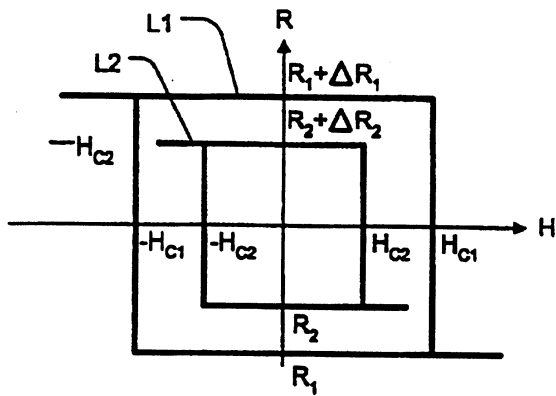
A magnetic memory cell (10) includes first and second magneto-resistive devices (12, 14) connected in series. The first and second magneto-resistive devices (12, 14) have sense layers (18, 24) with different coercivities (L1, L2). Magnetic Random Access Memory (MRAM) devices (812) may include arrays of these memory cells.

p1114386

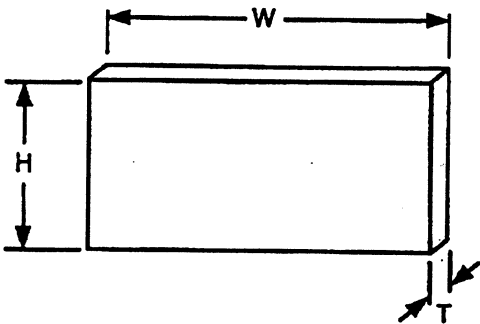
第 1 圖



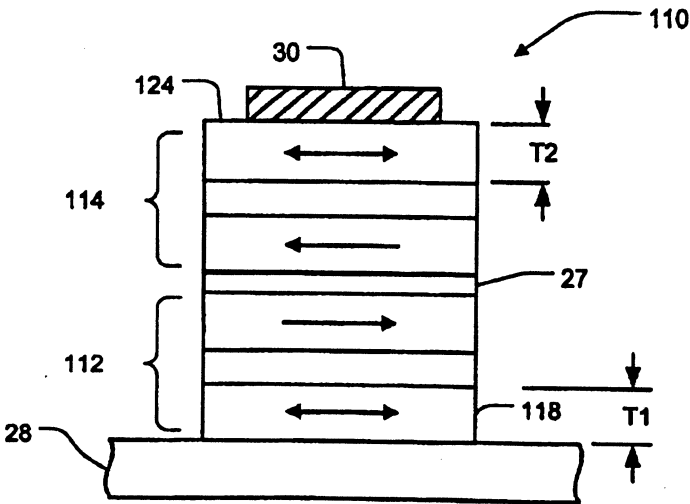
第 2 圖



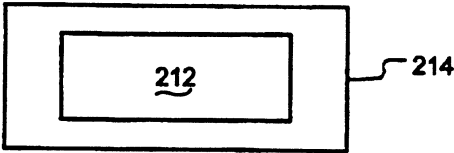
第 3 圖



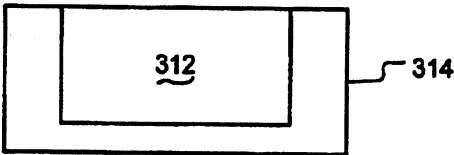
第 4 圖



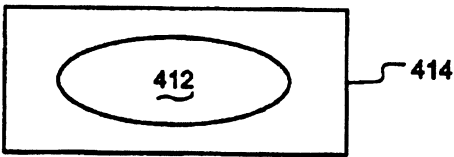
第 5 圖



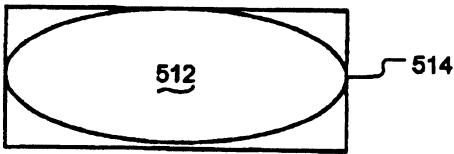
第 6 圖



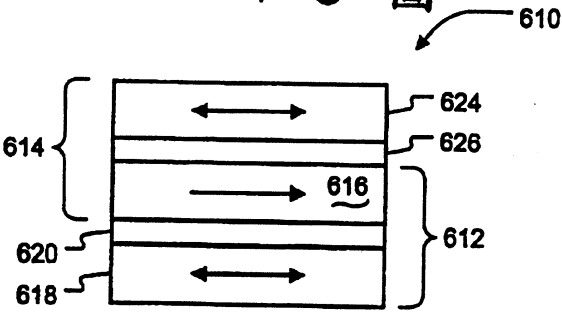
第 7 圖



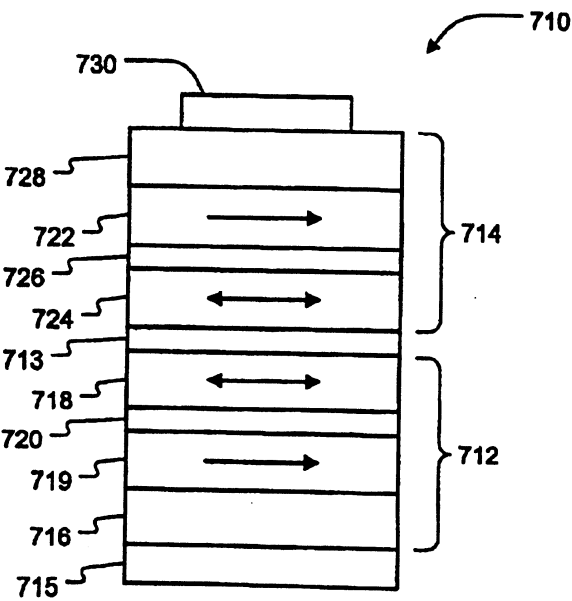
第 8 圖



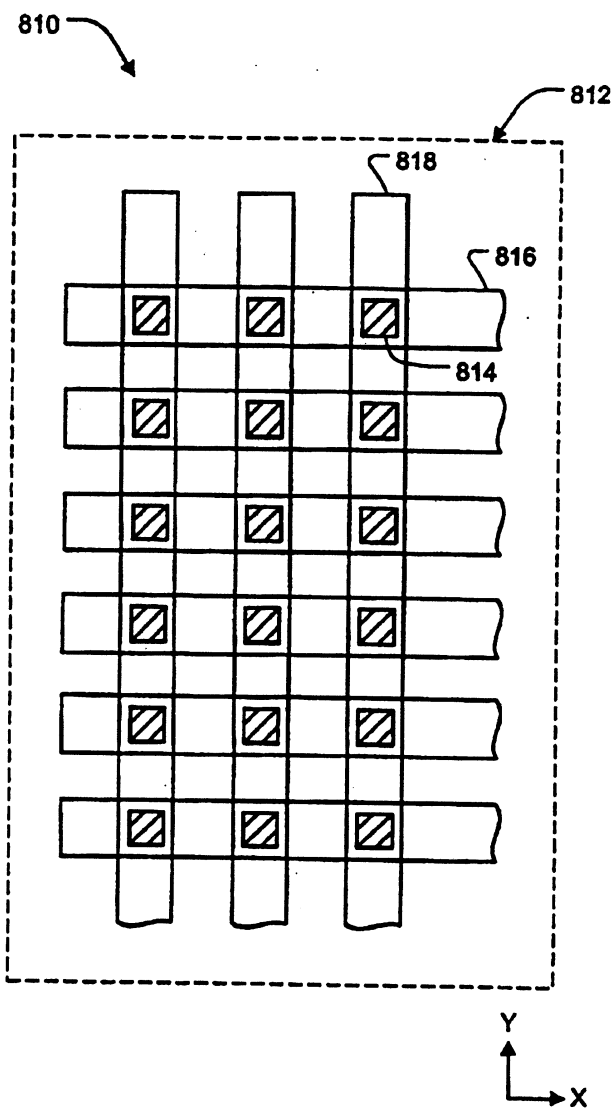
第 9 圖



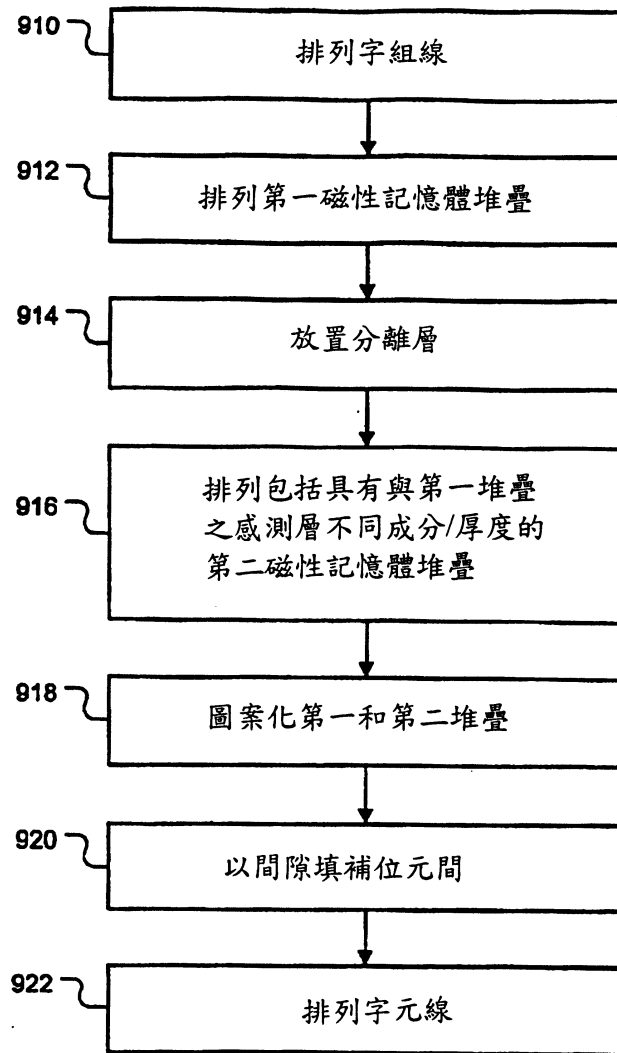
第10 圖



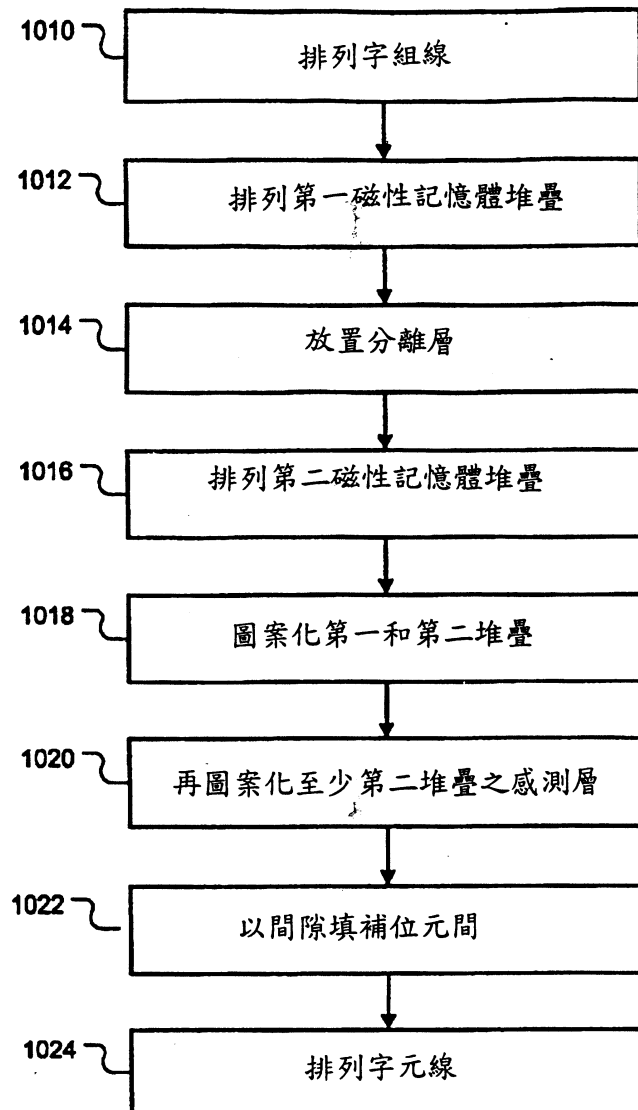
第 11 圖



第 12 圖



第 13 圖



六、申請專利範圍

第 91114386 號申請案 申請專利範圍修正本 92 年 12 月 12 日

1. 一種磁性記憶體晶胞(10)，其特徵在於：

該磁性記憶體晶胞包含有串聯之第一和第二磁電阻式裝置(12、14)，該第一磁電阻式裝置(12)具有一第一感測層(18)，該第二磁電阻式裝置(14)具有一第二感測層(24)；

其中，該等第一和第二感測層(18、24)具有不同的矯頑磁性。

2. 如申請專利範圍第1項之記憶體晶胞，其中該等第一和第二裝置(12、14)為磁性隧道接面。

3. 如申請專利範圍第2項之記憶體晶胞，其中該第一磁性隧道接面(12)包含該第一感測層(18)及一個第一固定層(16)；且其中該第二磁性隧道接面(14)包含該第二感測層(24)和一個第二固定層(22)。

4. 如申請專利範圍第2項之記憶體晶胞，其中該等第一及第二裝置(712、714)之該等感測層(718、724)為背對背配置；且其中該等感測層(718、724)被一非磁性材料層(713)所分開。

5. 如申請專利請範圍第2項之記憶體晶胞，其中該等第一和第二磁性隧道接面(612、614)共用一個固定層(616)。

6. 如申請專利範圍第1項之記憶體晶胞，其中該等第一和第二裝置中之該等感測層(412/414、512/514)具有不同的形狀。

7. 如申請專利範圍第1項之記憶體晶胞，其中該等第一和第二裝置中之該等感測層(212/214、312/314、412/414)具有不同的尺寸。

8. 如申請專利範圍第1項之記憶體晶胞，其中該等第一及第二裝置(112、114)之該等感測層(118、124)具有不同之厚度。

六、申請專利範圍

9.如申請專利範圍第1項之記憶體晶胞，其中該等第一及第二裝置(12、14)之該等感測層(18、24)由不同材料製作。

10.如申請專利範圍第1項之該記憶體晶胞，其中該等第一及第二裝置(12、14)具有可區別的不同 Δ 電阻值，藉此該記憶體晶胞(10)有最少四種可區別之邏輯狀態。

5