



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년01월17일
(11) 등록번호 10-1105433
(24) 등록일자 2012년01월05일

(51) Int. Cl.

H01L 21/336 (2006.01)

(21) 출원번호 10-2009-0060638

(22) 출원일자 2009년07월03일

심사청구일자 2009년07월03일

(65) 공개번호 10-2011-0003048

(43) 공개일자 2011년01월11일

(56) 선행기술조사문헌

KR1020080102775 A*

KR1020080088095 A

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

주식회사 하이닉스반도체

경기도 이천시 부발읍 경충대로 2091 (현대전자)

(72) 발명자

서대영

경기도 이천시 부발읍 경충대로 2037, 301동 130
6호 (이천현대3차아파트)

김두강

경기도 이천시 대산로288번길 89, 고담기숙사 10
6동 1403호 (고담동, 현대전자여자기숙사)

(74) 대리인

특허법인 신성

전체 청구항 수 : 총 10 항

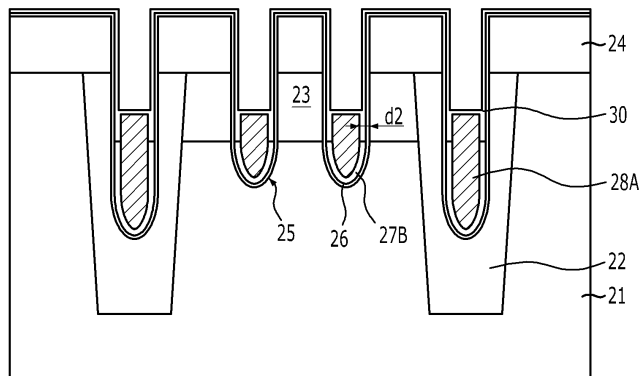
심사관 : 조상흠

(54) 매립게이트를 구비한 반도체장치 및 그 제조 방법

(57) 요약

본 발명은 매립게이트를 적용하는 반도체장치에서 GIDL 열화 현상을 방지할 수 있는 반도체장치 및 그 제조 방법을 제공하기 위한 것으로, 본 발명의 반도체장치 제조 방법은 반도체기판에 접합영역을 형성하는 단계; 상기 반도체기판을 식각하여 트렌치를 형성하는 단계; 상기 트렌치의 표면 상에 제1게이트절연막을 형성하는 단계; 상기 제1게이트절연막 상에 상기 트렌치를 매립하도록 제1도전막(TiN)과 제2도전막(W)을 적층하는 단계; 상기 제2도전막과 제1도전막을 동시에 식각하여 상기 트렌치를 일부 매립하는 매립게이트를 형성하는 단계; 상기 매립게이트 중에서 상기 제1도전막의 상부를 일부 식각하여 갭을 형성하는 단계; 및 상기 갭을 매립하는 제2게이트절연막을 형성하는 단계를 포함하고, 상술한 본 발명은 매립게이트가 티타늄질화막패턴과 텅스텐막패턴의 이중 구조를 사용함과 동시에 제1게이트절연막과 제2게이트절연막의 이중 구조로 형성된 게이트절연막을 사용함으로써 접합영역 근처에서만 부분적으로 게이트절연막의 두께를 두껍게 하여 하여 GIDL을 억제할 수 있는 효과가 있다.

대표도 - 도3e



특허청구의 범위

청구항 1

기판에 형성된 트렌치;
 상기 트렌치 양측의 기판 내에 형성된 접합영역;
 상기 트렌치 표면 상에 형성된 제1게이트절연막;
 상기 제1게이트절연막 상에서 상기 트렌치를 일부 매립하는 제2도전막;
 상기 제2도전막과 상기 제1게이트절연막 사이에 형성되어 상기 제2도전막보다 낮은 표면을 갖고, 상기 제2도전막 양측으로 상기 제2도전막과 상기 제1게이트절연막 사이의 갭을 제공하는 제1도전막; 및
 상기 갭에 매립됨과 동시에 상기 제2도전막을 덮는 제2게이트절연막
 을 포함하는 반도체 장치.

청구항 2

제1항에 있어서,
 상기 제2도전막은 텅스텐막을 포함하고, 상기 제1도전막은 티타늄질화막을 포함하는 반도체장치.

청구항 3

제1항에 있어서,
 상기 제1 및 제2게이트절연막은 실리콘산화막을 포함하는 반도체장치.

청구항 4

제1항에 있어서,
 상기 갭의 깊이는 적어도 상기 접합영역의 깊이와 동일한 깊이를 갖는 반도체장치.

청구항 5

반도체기판에 접합영역을 형성하는 단계;
 상기 접합영역이 형성된 반도체기판을 식각하여 트렌치를 형성하는 단계;
 상기 트렌치의 표면 상에 제1게이트절연막을 형성하는 단계;
 상기 제1게이트절연막 상에 제1도전막을 형성하는 단계;
 상기 제1도전막 상에 상기 트렌치를 갭필하는 제2도전막을 형성하는 단계;
 상기 제2도전막과 제1도전막을 동시에 식각하여 상기 트렌치를 일부 매립하는 매립게이트를 형성하는 단계;
 상기 매립게이트 중에서 상기 제1도전막의 상부를 일부 식각하여 상기 제2도전막 양측으로 상기 제2도전막과 상기 제1게이트절연막 사이에 갭을 형성하는 단계; 및
 상기 갭을 매립함과 동시에 상기 제2도전막을 덮는 제2게이트절연막을 형성하는 단계
 를 포함하는 반도체장치 제조 방법.

청구항 6

제5항에 있어서,

상기 제1도전막은 티타늄질화막을 포함하고, 상기 제2도전막은 텅스텐막을 포함하는 반도체장치 제조 방법.

청구항 7

제6항에 있어서,

상기 껍을 형성하는 단계는,

습식식각을 이용하여 상기 티타늄질화막을 선택적으로 식각하는 반도체장치 제조 방법.

청구항 8

제7항에 있어서,

상기 습식식각은 황산과 과수의 혼합수용액을 이용하는 반도체장치 제조 방법.

청구항 9

제5항에 있어서,

상기 껍의 깊이는 적어도 상기 접합영역의 깊이와 동일하게 하는 반도체장치 제조 방법.

청구항 10

제5항에 있어서,

상기 제1 및 제2게이트절연막은 실리콘산화막을 포함하는 반도체장치 제조 방법.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 반도체장치 제조 방법에 관한 것으로서, 특히 매립게이트를 구비한 반도체장치 및 그 제조 방법에 관한 것이다.

배경기술

[0002] DRAM 등의 반도체장치의 크기가 감소됨에 따라 게이트라인의 패터닝이 어려워 지고, 정전용량(Cs) 확보가 어려워 지고 있는 상황이다. 이러한 게이트라인의 패터닝 및 정전용량(Cs) 확보 어려움의 문제를 해결하기 위해, 매립게이트(Buried Gate Line) 구조의 개발이 활발히 진행되고 있는 상황이다.

[0003] 매립게이트 구조의 경우 게이트라인 패터닝의 문제가 없으며, 게이트라인과 비트라인간 기생캐패시턴스(Parastic Cap)를 감소시킴으로써, 정전용량(Cs) 확보문제도 해결할 수 있다.

[0004] 도 1은 종래기술에 따른 매립게이트를 구비한 반도체장치를 도시한 도면이다.

[0005] 도 1을 참조하면, 반도체기판(11)에 소자분리막(12)이 형성되어 있고, 반도체기판(11)에는 하드마스크막(14)을 이용한 식각에 의해 일정 깊이의 트렌치(15)가 형성되어 있다. 트렌치(15)의 표면 상에는 게이트절연막(16)이 형성되어 있다. 게이트절연막(16) 상에서 트렌치(15)를 일부 매립하는 매립게이트(17/18)가 형성되어 있고, 매립게이트 상에는 트렌치(15)의 나머지를 깎필하는 충전절연막(19)이 형성되어 있다. 트렌치(15) 양측의 반도체기판(11) 내에 접합영역(13)이 형성되어 있다.

- [0006] 도 1의 종래기술은 매립게이트를 형성하기 위해 트렌치를 채울 때까지 전면에 게이트도전막을 증착한 후 화학적 기계적연마 및 에치백을 순차적으로 진행하고 있다.
- [0007] 종래기술은 매립게이트로 사용되는 게이트도전막으로서 폴리실리콘막을 사용하지 않고 티타늄질화막(TiN, 17)과 텅스텐막(W, 18)을 적층하여 매립게이트의 저항을 낮추고 있다.
- [0008] 그러나, 티타늄질화막(TiN, 17)은 일함수(Workfunction)가 크기 때문에 NMOSFET을 구비한 DRAM 장치의 셀구조에서 전기장이 증가하는 문제를 갖는다. 특히, 스토리지노드콘택홀과 비트라인콘택홀이 만나는 접합영역(13)에서 전기장이 더욱 커지기 때문에 GIDL(Gate Induced Drain Leakage) 특성이 나빠지게 된다.

발명의 내용

해결 하고자하는 과제

- [0009] 본 발명은 상기한 종래기술에 따른 문제점을 해결하기 위해 제안된 것으로서, 매립게이트를 적용하는 반도체장치에서 GIDL 열화 현상을 방지할 수 있는 반도체장치 및 그 제조 방법을 제공하는데 그 목적이 있다.

과제 해결수단

- [0010] 상기 목적을 달성하기 위한 본 발명의 반도체장치는 기관에 형성된 트렌치; 상기 트렌치 양측의 기관 내에 형성된 접합영역; 상기 트렌치 표면 상에 형성된 제1게이트절연막; 상기 제1게이트절연막 상에서 상기 트렌치를 일부 매립하는 제2도전막; 상기 제2도전막과 상기 제1게이트절연막 사이에 형성되어 상기 제2도전막보다 낮은 표면을 갖고, 상기 제2도전막 양측으로 상기 제2도전막과 상기 제1게이트절연막 사이의 갭을 제공하는 제1도전막; 및 상기 갭에 매립됨과 동시에 상기 제2도전막을 덮는 제2게이트절연막을 포함하는 것을 특징으로 하고, 상기 제2도전막은 텅스텐막을 포함하고, 상기 제1도전막은 티타늄질화막을 포함하는 것을 특징으로 한다.
- [0011] 그리고, 본 발명의 반도체장치 제조 방법은 반도체기관에 접합영역을 형성하는 단계; 상기 접합영역이 형성된 반도체기관을 식각하여 트렌치를 형성하는 단계; 상기 트렌치의 표면 상에 제1게이트절연막을 형성하는 단계; 상기 제1게이트절연막 상에 제1도전막을 형성하는 단계; 상기 제1도전막 상에 상기 트렌치를 깎필하는 제2도전막을 형성하는 단계; 상기 제2도전막과 제1도전막을 동시에 식각하여 상기 트렌치를 일부 매립하는 매립게이트를 형성하는 단계; 상기 매립게이트 중에서 상기 제1도전막의 상부를 일부 식각하여 상기 제2도전막 양측으로 상기 제2도전막과 상기 제1게이트절연막 사이에 갭을 형성하는 단계; 및 상기 갭을 매립함과 동시에 상기 제2도전막을 덮는 제2게이트절연막을 형성하는 단계를 포함하는 것을 특징으로 하고, 상기 제1도전막은 티타늄질화막을 포함하고, 상기 제2도전막은 텅스텐막을 포함하는 것을 특징으로 한다.

효과

- [0012] 상술한 본 발명은 매립게이트가 티타늄질화막패턴과 텅스텐막패턴의 이중 구조를 사용함과 동시에 제1게이트절연막과 제2게이트절연막의 이중 구조로 형성된 게이트절연막을 사용하므로써 채널이 형성되는 접합영역 근처에서만 부분적으로 게이트절연막의 두께를 두껍게 하여 GIDL을 억제할 수 있는 효과가 있다.
- [0013] 특히, 게이트절연막 중 텅스텐막패턴과 제1게이트절연막 사이에는 티타늄질화막패턴이 없이 제2게이트절연막이 위치함에 따라 게이트절연막의 두께증가를 얻어 더욱 더 GIDL을 억제할 수 있는 효과가 있다.

발명의 실시를 위한 구체적인 내용

- [0014] 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다.
- [0015] 도 2는 본 발명의 실시예에 따른 매립게이트를 구비한 반도체장치의 구조를 도시한 도면이다.
- [0016] 도 2를 참조하면, 트렌치(25)가 구비된 반도체기관(21), 트렌치(25)의 표면 상에 형성된 제1게이트절연막(26),

제1게이트절연막(26) 상에서 트렌치(25)를 일부 매립하는 매립게이트 및 매립게이트 상에서 트렌치(25)의 나머지를 깎필하는 층간절연막(31)을 포함한다. 반도체기판(21)에는 소자분리막(22)이 형성되어 있고, 트렌치(25)는 활성영역은 물론 소자분리막(22)에도 형성되어 있다. 트렌치(25) 양측의 활성영역 내에는 접합영역(23)이 형성되어 있다.

[0017] 도 2에서, 매립게이트는 티타늄질화막패턴(27B)과 텅스텐막패턴(28A)의 이중층 구조를 가지며, 텅스텐막패턴(28A)과 제1게이트절연막(26) 사이에는 제2게이트절연막(30)이 구비된다. 즉, 티타늄질화막패턴(27B)의 상부에 제2게이트절연막(30)이 형성되어 있다. 텅스텐막패턴(28A)과 제1게이트절연막(26) 사이에 제2게이트절연막(30)이 형성되도록 티타늄질화막패턴(27B)은 표면높이가 낮아진다. 제조 방법에서 후술하겠지만, 표면높이가 낮아진 티타늄질화막패턴(27B)은 습식식각을 통해 형성하며, 그에 따라 갭이 형성되고, 갭 내부를 제2게이트절연막(30)이 채우게 된다. 갭의 깊이는 적어도 접합영역(23)의 깊이와 동일하거나 더 깊을 수 있다.

[0018] 도 2에 따르면, 매립게이트가 티타늄질화막패턴(27B)과 텅스텐막패턴(28A)의 이중 구조를 사용함과 동시에 게이트절연막이 제1게이트절연막(26)과 제2게이트절연막(30)의 이중 구조를 사용하고 있다. 즉, 접합영역(23) 근처에서만 부분적으로 게이트절연막의 두께를 두껍게(d2) 한다.

[0019] 특히, 게이트절연막 중 제2게이트절연막(30)은 텅스텐막패턴(28A)과 제1게이트절연막(26) 사이에 위치하여 즉, 텅스텐막패턴(28A)과 제1게이트절연막(26) 사이에는 티타늄질화막패턴(27B)이 없이 제2게이트절연막(30)이 위치함에 따라 게이트절연막의 두께 증가(d2)를 얻어 GIDL을 억제할 수 있다.

[0020] 도 3a 내지 도 3f는 본 발명의 실시예에 따른 매립게이트를 구비한 반도체장치 제조 방법을 도시한 공정 단면도이다.

[0021] 도 3a에 도시된 바와 같이, 반도체기판(21)에 STI(Shallow Trench Isolation) 공정을 통해 소자분리막(22)을 형성한다. 이때, 소자분리막(22)은 고밀도플라즈마산화막(HDP oxide), 스피온절연막(SOD) 등의 산화막을 포함할 수 있다.

[0022] 이어서, 이온주입을 통해 접합영역(23)을 형성한다.

[0023] 이어서, 하드마스크막(24)을 식각장벽으로 이용한 식각공정을 통해 매립게이트가 형성될 트렌치(25)를 형성한다. 이때, 트렌치(25)는 접합영역(23)이 형성되어 있는 반도체기판(21)은 물론 소자분리막(22)까지 식각하여 형성될 수 있다. 통상적으로 게이트가 라인 형태(Line type)를 가지므로 트렌치(25)또한 라인 형태이며, 트렌치(25)의 라인형태에 의해 반도체기판(21)과 소자분리막(22)을 동시에 가로지르는 라인형태의 트렌치(25)가 형성된다. 단, 반도체기판(21)과 소자분리막(22)간 식각선택비가 다르므로 소자분리막(22)쪽에서 더 식각이 많이 진행됨에 따라 소자분리막(22)에서 트렌치(25)의 깊이가 더 깊어질 수 있다. 예를 들어, 반도체기판(21)에 형성되는 트렌치의 깊이는 1000~1500Å이고, 소자분리막(22)에 형성되는 트렌치의 깊이는 1500~2000Å이다.

[0024] 트렌치(25)를 형성하기 위한 식각 공정은 하드마스크막(24)을 식각장벽으로 이용하는데, 하드마스크막(24)은 감광막패턴(도시 생략)에 의해 패터닝되어 있다. 하드마스크막(24)은 반도체기판(21) 식각시 선택비가 높은 물질이 바람직하다. 예컨대, 하드마스크막(24)은 산화막과 질화막이 적층된 구조를 포함하는데, 산화막은 30~100Å이고, 질화막은 100~500Å이다.

[0025] 트렌치(25)의 깊이는 접합영역(23)의 깊이보다 더 깊게 형성한다.

[0026] 하드마스크막(24)을 적용한 경우에는 트렌치(25) 형성후에 감광막패턴을 스트립할 수 있다.

[0027] 도 3b에 도시된 바와 같이, 트렌치(25)의 측벽 및 바닥면에 제1게이트절연막(26)을 형성한다. 제1게이트절연막(26)은 트렌치(25)의 표면을 산화시켜 형성할 수 있다. 트렌치 표면의 산화 공정은 통상적인 게이트절연막의 형성 방법과 동일하게 열산화(Thermal oxidation) 방법을 적용할 수 있다. 산화공정에 의해 실리콘산화막이 형성된다. 반도체기판(21)이 실리콘기판이므로 산화공정에 의해 실리콘산화막(SiO₂)이 형성된다. 또한, 제1게이트절연막(26)은 증착방법을 이용하여 형성할 수도 있다.

[0028] 이어서, 제1게이트절연막(26) 상에 트렌치(25)를 매립하도록 티타늄질화막(27)과 텅스텐막(28)을 적층한다. 티타늄질화막(27)은 하부구조의 프로파일을 따라 얇게 증착하고, 텅스텐막(28)은 티타늄질화막(27) 상에서 트렌치를 완전히 깎필하는 두께로 증착한다.

[0029] 도 3c에 도시된 바와 같이, 매립게이트 분리 공정을 진행한다. 즉, 하드마스크막(24) 상부의 제1게이트절연막(26) 표면이 드러날때까지 화학적기계적연마(Cheical Mechanical Polishing; CMP) 등의 평탄화공정을 진행한다.

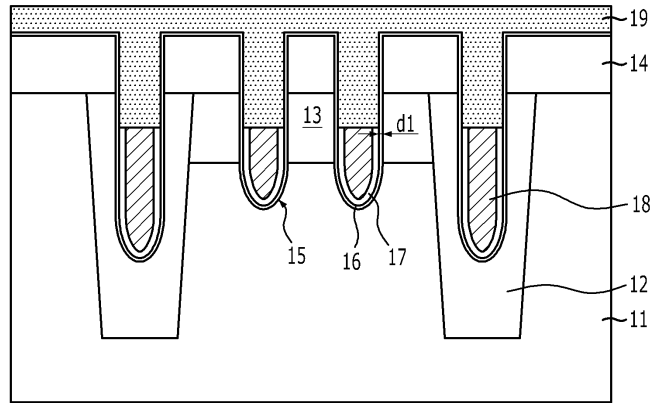
[0048] 29 : 캡

30 : 제2케이트절연막

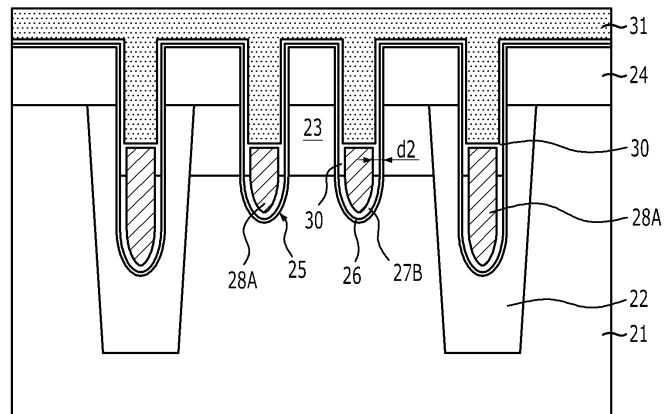
[0049] 31 : 층간절연막

도면

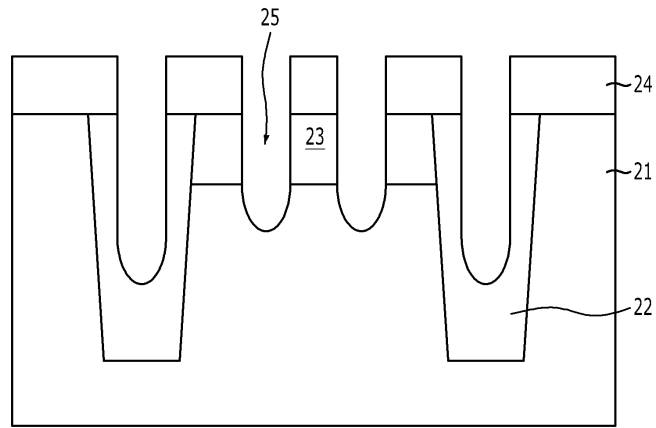
도면1



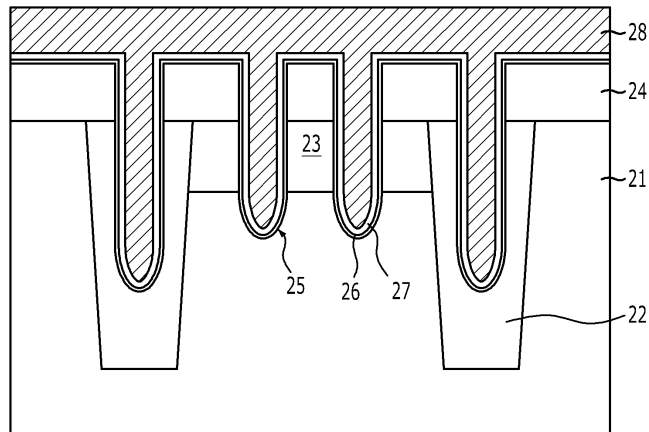
도면2



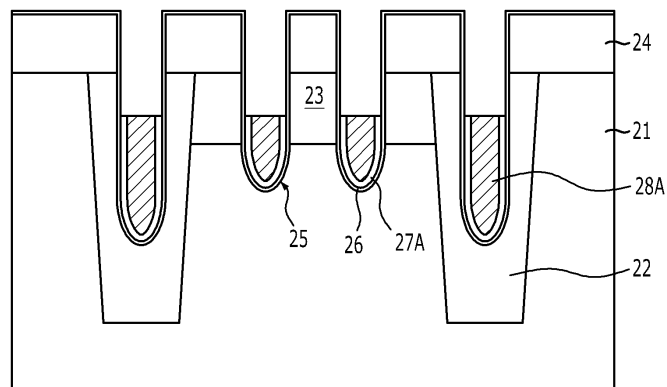
도면3a



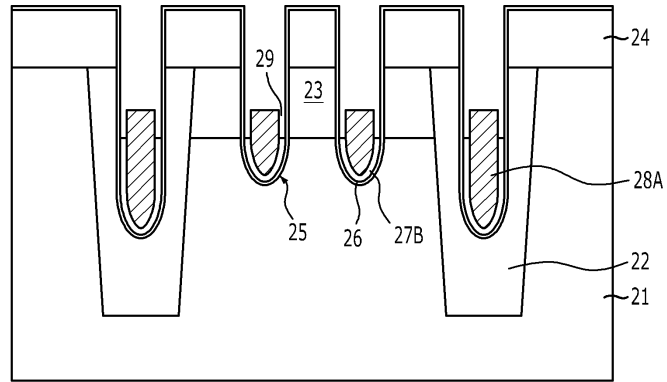
도면3b



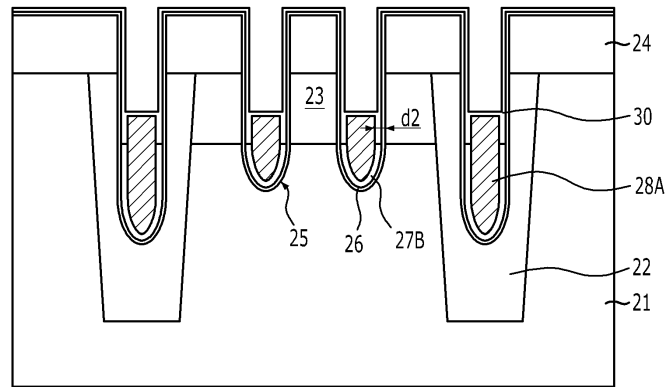
도면3c



도면3d



도면3e



도면3f

