

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2015 年 12 月 23 日 (23.12.2015) WIPO | PCT



(10) 国际公布号
WO 2015/192526 A1

- (51) 国际专利分类号:
H01L 27/12 (2006.01) G02F 1/1333 (2006.01)
H01L 21/77 (2006.01)
- (21) 国际申请号: PCT/CN2014/087521
- (22) 国际申请日: 2014 年 9 月 26 日 (26.09.2014)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201410273612.8 2014 年 6 月 18 日 (18.06.2014) CN
- (71) 申请人: 京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN).
成都京东方光电科技有限公司 (CHENGDU BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国四川省成都市高新区 (西区) 合作路 1188 号, Sichuan 611731 (CN).
- (72) 发明人: 龙跃 (LONG, Yue); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN). 李凡 (LI, Fan); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN). 王杨 (WANG, Yang); 中

国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。

- (74) 代理人: 北京天昊联合知识产权代理有限公司 (TEE & HOWE INTELLECTUAL PROPERTY ATTORNEYS); 中国北京市东城区建国门内大街 28 号民生金融中心 D 座 10 层陈源, Beijing 100005 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO,

[见续页]

(54) Title: ARRAY SUBSTRATE AND MANUFACTURING METHOD THEREFOR AND DISPLAY DEVICE

(54) 发明名称: 阵列基板及其制造方法和显示装置

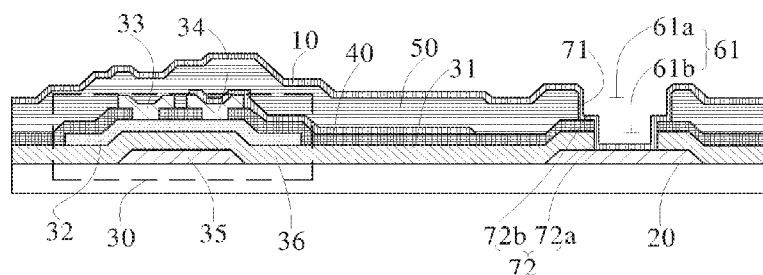


图 2 / Fig. 2

(57) Abstract: An array substrate, a manufacturing method for the array substrate, and a display device comprising the array substrate. The array substrate comprises a common electrode line (20), a thin film transistor (30), and a common electrode (10). The common electrode line (20) is located below an active layer (32) of the thin film transistor (30). A main through connection hole (61) is provided above the common electrode line (20). The common electrode (10) is electrically connected to the common electrode line (20) by means of a main connection portion that is at least partially disposed in the main through connection hole (61). The main connection portion comprises an upper main connection portion (71) and a lower main connection portion (72). The lower main connection portion (72) comprises a main body (72a) and a flange (72b) that is disposed on the main body (72a) and extends in the direction away from the center of the main through connection hole (61). The lower end of the upper main connection portion (71) is connected to the flange (72b), and the upper end of the upper main connection portion (71) is connected to the common electrode (10). In the array substrate, reliable electrical connection exists between the common electrode (10) and the common electrode line (20). Accordingly, the display device comprising the array substrate can display images in a better way.

(57) 摘要:

[见续页]

WO 2015/192526 A1



RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, **本国际公布:**
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, — 包括国际检索报告(条约第 21 条(3))。
TG)。

一种阵列基板以及阵列基板的制造方法和包括阵列基板的显示装置，该阵列基板包括公共电极线（20）、薄膜晶体管（30）、公共电极（10），公共电极线（20）位于薄膜晶体管（30）的有源层（32）下方，公共电极线（20）上方设置有主转接孔（61），其中，公共电极（10）通过至少部分地设置在主转接孔（61）中的主连接部与公共电极线（20）电连接，主连接部包括上主连接部（71）和下主连接部（72），下主连接部（72）包括主体（72a）和设置在主体（72a）上且朝向远离主转接孔（61）中心的方向延伸的凸缘（72b），上主连接部（71）的下端与凸缘（72b）相连，上主连接部（71）的上端与公共电极（10）相连。在阵列基板中，公共电极（10）与公共电极线（20）之间具有可靠的电连接。因此，包括阵列基板的显示装置可以更好地显示画面。

阵列基板及其制造方法和显示装置

技术领域

5 本发明涉及显示技术领域，具体地，涉及一种阵列基板、该阵列基板的制造方法和包括所述阵列基板的显示装置。

背景技术

图 1 中所示的是一种阵列基板，该阵列基板包括公共电极 10、公共电极线 20、薄膜晶体管 30 和像素电极 40，公共电极 10 与公共电极线 20 电连接。公共电极 10 所在的层与公共电极线 20 所在的层之间还设置有刻蚀阻挡层 31 和钝化层 50，为了将公共电极 10 与公共电极线 20 电连接，可以在公共电极线 20 上方设置转接孔 60，在沉积形成公共电极 10 的同时，转接孔 60 的侧壁以及底壁（即，公共电极线 20 的上表面）上也形成一层公共电极材料，转接孔 60 内的公共电极材料形成为将公共电极线 20 与公共电极 10 电连接的连接部 70。由于钝化层 50 和刻蚀阻挡层 31 具有相对较大的厚度，因此，在形成连接部 70 时，容易在转接孔 60 的侧壁上产生缺口，导致公共电极线 20 与公共电极 10 之间连接不良。

20 因此，如何防止公共电极线 20 与公共电极 10 之间连接不良成为本领域亟待解决的技术问题。

发明内容

25 本发明的目的在于一种阵列基板、该阵列基板的制造方法和包括所述阵列基板的显示装置。在所述阵列基板中，公共电极线与公共电极线之间具有可靠的电连接。

为了实现上述目的，作为本发明的一个方面，提供一种阵列基板，该阵列基板包括公共电极线、薄膜晶体管、公共电极，所述公共电极线与所述薄膜晶体管的有源层间隔设置，所述公共电极线上方设置有主转接孔，其中，所述公共电极通过至少部分地设置在所述主转接孔中的主连接部与所述公共电极线电连接，所

述主连接部包括上主连接部和下主连接部，所述下主连接部包括主体和设置在所述主体上且朝向远离所述主转接孔中心的方向延伸的凸缘，所述上主连接部的下端与所述凸缘相连，所述上主连接部的上端与所述公共电极相连。

5 优选地，所述主转接孔包括上主转接孔和下主转接孔，且所述上主转接孔的宽度大于所述下主转接孔的宽度，所述主体设置在所述下主转接孔中，所述凸缘设置在所述上主转接孔与所述下主转接孔的连接处，所述上主连接部设置在所述上主转接孔中，所述主连接部与所述公共电极形成为一体。

10 优选地，所述主转接孔包括上主转接孔和下主转接孔，所述凸缘从所述下主转接孔的上端延伸至所述主转接孔的外部。

优选地，所述下主连接部与所述阵列基板的像素电极同步形成，所述上主连接部与所述公共电极形成为一体

15 优选地，所述凸缘上方设置有辅转接孔，所述公共电极通过设置在所述辅转接孔中的辅连接部与所述凸缘电连接。

优选地，所述薄膜晶体管的有源层由金属氧化物制成，所述阵列基板还包括设置在所述薄膜晶体管的有源层上方的刻蚀阻挡层，所述凸缘设置在所述刻蚀阻挡层上方。

优选地，所述刻蚀阻挡层与所述公共电极之间设置有钝化层。

20 作为本发明的另一个方面，提供一种阵列基板的制造方法，其中，所述制造方法包括：

S10、在基板上形成包括公共电极线和薄膜晶体管的栅极的图形；

25 S11、在包括公共电极线和薄膜晶体管的栅极的图形上方形成栅绝缘层；

S12、在所述栅绝缘层上且栅极的上方形成薄膜晶体管的有源层；

S13、在所述薄膜晶体管的有源层上方形成刻蚀阻挡层；

S15、在所述刻蚀阻挡层上方形成钝化层；以及

30 其中，所述方法还包括如下步骤：

S14、形成主转接孔，所述主转接孔位于所述公共电极线的上方，并到达所述公共电极线；

5 S16、形成包括主连接部的图形，所述主连接部至少部分地设置在所述主转接孔中，所述主连接部包括上主连接部和下主连接部，所述下主连接部包括主体和设置在所述主体上且朝向远离所述主转接孔中心的方向延伸的凸缘，所述上主连接部的下端与所述凸缘相连，并且所述主体与所述公共电极线相连；以及

S17、形成包括所述公共电极的图形，所述公共电极与所述上主连接部的上端相连。

10 优选地，所述薄膜晶体管的有源层由金属氧化物制成，其中，所述步骤 S14 包括：

S14-1、在所述步骤 S13 之后形成下主转接孔，该下主转接孔贯穿所述刻蚀阻挡层和栅绝缘层到达所述公共电极线；以及

15 S14-2、在所述步骤 S15 之后，在所述刻蚀阻挡层上与所述下主转接孔对应的位置形成上主转接孔，并去除沉积在所述下主转接孔中的钝化层材料，所述上主转接孔与所述下主转接孔贯通，形成所述主转接孔。

20 优选地，所述上主转接孔的宽度大于所述下主转接孔的宽度，所述步骤 S16 和所述步骤 S17 同步进行，且所述步骤 S16 中形成的所述上主连接部位于所述上主转接孔中，所述下主连接部的主体位于所述下主转接孔中，所述凸缘位于所述上主转接孔和所述下主转接孔的连接处，且所述凸缘位于所述刻蚀阻挡层上。

优选地，所述上主转接孔的宽度大于或等于所述下主转接孔的宽度，所述步骤 S16 包括：

25 S16-1、形成所述下主连接部，所述凸缘位于所述刻蚀阻挡层上；

S16-2、形成所述上主连接部；其中，

30 所述步骤 S16-1 在所述步骤 S14-1 和所述步骤 S15 之间进行，并且，在所述步骤 S16-1 中在所述刻蚀阻挡层上方形成像素电极，所述步骤 S16-2 与所述步骤 S17 同步进行。

优选地，所述制造方法还包括：

S18、形成位于所述凸缘上方的辅转接孔；

S19、在所述辅转接孔中设置将所述公共电极和所述凸缘电连接的辅连接部。

5 优选地，所述步骤 S19 与所述步骤 S17 同步进行。

作为本发明的再一个方面，提供一种显示装置，该显示装置包括阵列基板，其中，所述阵列基板为本发明所提供的上述阵列基板。

10 在本发明所提供的阵列基板中，增加了朝向远离主转接孔中心的方向延伸的凸缘之后，上主连接部的竖直长度比主转接孔的总深度小，下主连接部的主体的竖直长度比主转接孔的总深度小，因此，在形成所述主连接部时，该主连接部的上连接部和所述主连接部的下连接部上均不易产生缺口，并且形成主连接部的金属层连续均匀，从而降低了主连接部中产生断路的几率。换言之，
15 在本发明所提供的阵列基板中，公共电极线与公共电极线之间具有可靠的电连接。因此，包括所述阵列基板的显示装置可以更好地显示画面。

此外，利用本发明所提供的制造方法制造本发明所提供的阵列基板时，并没有增加制造方法的复杂程度。即，在利用本发明
20 所提供的制造方法制造所述阵列基板时，可以获得较高的生产效率。

附图说明

25 附图是用来提供对本发明的进一步理解，并且构成说明书的一部分，与下面的具体实施方式一起用于解释本发明，但并不构成对本发明的限制。在附图中：

图 1 是现有的阵列基板的示意图；

图 2 是本发明所提供的阵列基板的第一种实施方式的示意图；

30 图 3 是本发明所提供的阵列基板的第二种实施方式的示意图

图；

图 4 是利用本发明所提供的制备方法制备图 2 中所示的阵列基板的流程图；

图 5 是利用本发明所提供的制备方法制备图 3 中所示的阵列基板的流程图。

附图标记说明

10: 公共电极	20: 公共电极线
30: 薄膜晶体管	31: 刻蚀阻挡层
32: 有源层	33: 源极
34: 漏极	35: 栅极
36: 栅绝缘层	40: 像素电极
50: 钝化层	60: 转接孔
61: 主转接孔	62: 辅转接孔
70: 连接部	71: 上主连接部
72: 下主连接部	80: 辅连接部
91: 第一掩模板	92: 第二掩模板
61a: 上主转接孔	61b: 下主转接孔
72a: 主体	72b: 凸缘

具体实施方式

以下结合附图对本发明的具体实施方式进行详细说明。应当理解的是，此处所描述的具体实施方式仅用于说明和解释本发明，并不用于限制本发明。

应当理解的是，在说明书中所使用的方位词“上、下”均是指附图中的“上、下”方向。

如图 2 和图 3 中所示，作为本发明的一个方面，一种阵列基板，该阵列基板包括公共电极线 20、薄膜晶体管 30、公共电极 10，公共电极线 20 位于薄膜晶体管 30 的有源层 32 下方，公共电极线 20 上方设置有主转接孔 61。其中，公共电极 10 通过至少部分地

5 设置在主转接孔 61 中的主连接部与公共电极线 20 电连接，所述主连接部包括上主连接部 71 和下主连接部 72。下主连接部 72 包括主体 72a 和设置在主体 72a 上且朝向远离主转接孔 61 中心的方向延伸的凸缘 72b，上主连接部 71 的下端与凸缘 72b 相连，上主连接部 71 的上端与公共电极 10 相连。

增加了朝向远离主转接孔 61 中心的方向延伸的凸缘 72b 之后，上主连接部 71 的竖直长度比主转接孔 61 的总深度小，下主连接部 72 的主体 72a 的竖直长度比主转接孔 61 的总深度小，因此，在形成所述主连接部时，该主连接部的上连接部 71 和所述主连接部的下连接部 72 上均不易产生缺口，形成所述主连接部的金属层连续均匀，因此，降低了所述主连接部中产生断路的几率。换言之，在本发明所提供的阵列基板中，公共电极线与公共电极线之间具有可靠的电连接。

应当理解的是，上文中所述的“公共电极线 20 与薄膜晶体管 30 的有源层 32 间隔设置”是指，公共电极线 20 所在的层与薄膜晶体管 30 的有源层 32 所在的层之间还设置有其他层（例如，在图 2 和图 3 中所示的具体实施方式中，公共电极线 20 所在的层与薄膜晶体管 30 的有源层 32 所在的层之间设置有刻蚀阻挡层 31、栅绝缘层 36 和钝化层 50）。

20 在图 2 和图 3 中所示的阵列基板中，薄膜晶体管 30 具有底栅结构，即，薄膜晶体管 30 的栅极 35 设置在有源层 32 下方。薄膜晶体管 30 的源极 33 和漏极 34 的设置方式与现有技术中的设置方式相同，这里不再赘述。

25 作为本发明的一种具体实施方式，优选地，如图 2 所示，主转接孔 61 包括上主转接孔 61a 和下主转接孔 61b，且上主转接孔 61a 的宽度大于下主转接孔 61b 的宽度（此处所述的宽度是指上主转接孔 61a 和下主转接孔 61b 沿图 2 中左右方向的尺寸），即，主转接孔 61 形成为阶梯孔。下主连接部 72 的主体 72a 设置在下主转接孔 61b 中，凸缘 72b 设置在上主转接孔 61a 与下主转接孔 61b 的连接处（即，阶梯孔的台阶上），上主连接部 71 设置在上

主转接孔 61a 中，所述主连接部与公共电极 10 形成为一体。

上主转接孔 61a 与下主转接孔 61b 之间的连接处可以是平面，也可以是倾斜面。

5 作为本发明的另一种实施方式，如图 3 所示，主转接孔 61 包括上主转接孔 61a 和下主转接孔 61b，凸缘 72b 从下主转接孔 61b 的上端延伸至所述主转接孔的外部。

在图 3 中所示的实施方式中，上主连接部 71 的下端面可以完全贴合在凸缘 72b 的上表面上，因此，在这种实施方式中，公共电极 10 与公共电极线 20 之间的电连接更加可靠。

10 为了便于制造，可以在形成像素电极 40 的同时形成下主连接部 72，并且优选地，将上主连接部 71 与公共电极 10 形成为一体，在形成公共电极 10 时，可以同步地形成上主连接部 71。应当理解的是，凸缘 72b 不能与像素电极 40 相连。

15 为了进一步提高公共电极 10 与公共电极线 20 之间的连接的可靠性，优选地，可以在凸缘 72b 上方设置辅转接孔 62，公共电极 10 通过设置在辅转接孔 62 中的辅连接部 80 与凸缘 72b 电连接。

20 作为本发明的一种具体实施方式，薄膜晶体管 30 的有源层由金属氧化物制成，在这种情况下，所述阵列基板还包括设置在所述薄膜晶体管的有源层 32 上方的刻蚀阻挡层 31，凸缘 72b 设置在刻蚀阻挡层 31 的上方。当薄膜晶体管的有源层为金属氧化物时，设置刻蚀阻挡层的优点是本领域所公知的，这里不再赘述。

如上文所述，作为本发明的一种具体实施方式，刻蚀阻挡层 31 与公共电极 10 之间设置有钝化层。

25 作为本发明的另一个方面，提供本发明所提供的上述阵列基板的制造方法。图 4 中所示的是制作图 2 中所示的阵列基板时的工艺流程图，如图中所示，所述制造方法包括：

S10、在基板上形成包括公共电极线 20 和薄膜晶体管 30 的栅极 35 的图形；

30 S11、在包括公共电极线 20 和薄膜晶体管 30 的栅极 35 的图形上方形成栅绝缘层 36；

S12、在所述栅极 35 上方的所述栅绝缘层 36 上形成薄膜晶体管的有源层 32；

S13、在所述薄膜晶体管的有源层 32 和栅绝缘层 36 上方形成刻蚀阻挡层 31；

5 S14-1、形成下主转接孔 61b 和源漏接触孔，所述下主转接孔 61b 位于所述公共电极线 20 的上方，且所述下主转接孔 61b 暴露出所述公共电极线 20 的上表面；其中，所述下主转接孔 61b 贯穿所述刻蚀阻挡层 31 和栅绝缘层 36。可以通过诸如打印、转印的构图工艺形成具有贯通所述刻蚀阻挡层 31 和栅绝缘层 36 的孔。为了节约成本，优选地，可以利用传统的光刻工艺形成贯通所述刻蚀阻挡层 31 和栅绝缘层 36 的孔。并且在所述源漏接触孔中形成源极 33 和漏极 34。

S15、形成位于刻蚀阻挡层 31 上方的钝化层 50；

15 S14-2、在与下主转接孔 61b 对应的位置形成上主转接孔 61a，并去除沉积在所述下主转接孔 61b 中的钝化层材料，上主转接孔 61a 贯穿钝化层 50 而与下主转接孔 61b 贯通，以形成主转接孔 61。

20 S16、在所述主转接孔 61 处形成包括主连接部的图形，所述主连接部至少部分地设置在所述主转接孔中，所述主连接部包括上主连接部 71 和下主连接部 72，所述下主连接部 72 包括主体 72a 和设置在所述主体上且朝向远离所述主转接孔中心的方向延伸的凸缘 72b，所述上主连接部 71 的下端与所述凸缘 72b 相连；

S17、形成包括所述公共电极 10 的图形，所述公共电极 10 与所述上主连接部 71 的上端相连。

25 此外，在步骤 S13 和步骤 S14-1 之间还包括在刻蚀阻挡层 31 上形成像素电极的步骤。

容易理解的是，为了便于描述在各个步骤前添加了序号，但是，各步骤前的序号并不是真正代表执行该步骤的顺序。

30 如图 4 中所示，在形成覆盖基板的刻蚀阻挡层 31（步骤 S13）之后，在步骤 S14-1 中可以利用第一掩模板 91 通过光刻工艺形成下主转接孔 61b 和源极 33、漏极 34。形成了钝化层和刻蚀阻挡层

之后，可以在步骤 S14-2 中利用第二掩模板 92 通过光刻工艺形成上主转接孔 61a。

如图 4 所示，上主转接孔 61a 的宽度大于下主转接孔 61b 的宽度，应当理解的是，此处所述的“宽度”是指上主转接孔 61a 和下主转接孔 61b 沿图 4 中左右方向的尺寸。在这种实施方式中，所述步骤 S16 和所述步骤 S17 同步进行（即，在同一步骤中形成公共电极 10 和所述主连接部）。如上文所述，所述步骤 S16 中形成的上主连接部 71 位于所述上主转接孔 61a 中，下主连接部 72 的主体 72a 位于下主转接孔 61b 中，凸缘 72b 位于上主转接孔 61a 和下主转接孔 61b 的连接处，且凸缘 72b 位于刻蚀阻挡层 31 上。

由于步骤 S16 和所述步骤 S17 同步进行，因此，与背景技术中描述的现有技术相比，制备本发明所提供的阵列基板的方法并没有增加制备阵列基板的复杂程度。容易理解的是，在图 4 中，箭头的方向即为本发明所提供的制造方法中各个制备步骤的顺序。

在制备图 3 中所示的阵列基板的实施例 1 中，如图 5 所示，所述制造方法包括：

S10、形成包括公共电极线 20 和薄膜晶体管 30 的栅极 35 的图形；

S11、在包括公共电极线 20 和薄膜晶体管 30 的栅极 35 的图形上方形成栅绝缘层 36；

S12、在所述栅极 35 上方的所述栅绝缘层 36 上形成薄膜晶体管的有源层 32；

S13、在所述薄膜晶体管的有源层 32 和栅绝缘层 36 上方形成刻蚀阻挡层 31；

S14-1、形成下主转接孔 61b 和源漏接触孔，所述下主转接孔 61b 位于所述公共电极线 20 的上方，且所述下主转接孔 61b 暴露出所述公共电极线 20 的上表面；其中，所述下主转接孔 61b 贯穿所述刻蚀阻挡层 31 和栅绝缘层 36。可以通过诸如打印、转印的构图工艺形成具有贯通所述刻蚀阻挡层 31 和栅绝缘层 36 的孔。为

了节约成本，优选地，可以利用传统的光刻工艺形成贯通所述刻蚀阻挡层 31 和栅绝缘层 36 的孔。并且在所述源漏接触孔中形成源极 33 和漏极 34。

5 S16-1、在所述下主转接孔 61b 处形成下主连接部 72，在该实施例中，下主连接部 72 与参照图 4 的实施例中的下主连接部 72 的构造相同，也包括主体 72a 和凸缘 72b，其中所述主体 72a 与公共电极线相连并且下主连接部 72 的凸缘 72b 位于所述刻蚀阻挡层 31 上。

10 S15、形成位于刻蚀阻挡层 31 上方的钝化层 50，并且钝化层 50 覆盖部分凸缘 72b，如图 5 所示；

S14-2、在与下主转接孔 61b 对应的位置形成上主转接孔 61a，其中上主转接孔 61a 的宽度等于下主转接孔 61b 的宽度，并去除沉积在所述下主转接孔 61b 中的钝化层材料，上主转接孔 61a 和下主转接孔 61b 贯通，以形成主转接孔 61。

15 S16-2、在所述上主转接孔 61a 处形成上主连接部 71，所述上主连接部 71 与所述凸缘 72b 相连；以及

S17、在所述钝化层 50 上形成公共电极 10 的图形，所述公共电极 10 与所述上主连接部 71 的上端相连。

20 S16-1 中还形成像素电极，并且所述步骤 S16-2 与所述步骤 S17 可同时进行。

25 如图 5 中所示，在形成像素电极 40 的同时形成了下主连接部 72，在形成公共电极 10 的同时形成了上主连接部 71，因此，与背景技术中描述的现有技术相比，制备本发明所提供的阵列基板的方法并没有增加制备阵列基板的复杂程度。容易理解的是，在图 5 中，箭头的方向即为本发明所提供的制造方法中各个制备步骤的顺序。

优选地，该实施例中，所述制造方法还包括在基板中形成辅转接孔的步骤。具体地，在阵列基板中包括辅转接孔的实施方式中，所述制造方法还包括：

30 S18、形成位于凸缘 72b 上方的辅转接孔 62；

S19、在辅转接孔 62 中设置将公共电极 10 和凸缘 72b 电连接的辅连接部 80。

5 为了减少制备阵列基板的步骤、提高生产效率，优选地，所述步骤 S19 与所述步骤 S17 同步进行。即，辅连接部 80 与公共电极 10 在同一步骤中形成。

本领域技术人员应该明白，尽管在该实施例中步骤 S14-2 中将上主转接孔 61a 的宽度形成为等于下主转接孔 61b 的宽度，但是其仅是示例性的，还可以将上主转接孔 61a 的宽度形成为大于下主转接孔 61b 的宽度，附图中未示出该情形。

10 综上所述，利用本发明所提供的制造方法制造本发明所提供的阵列基板时，并没有增加制造方法的复杂程度。即，在利用本发明所提供的制造方法制造所述阵列基板时，可以获得较高的生产效率。

15 作为本发明的再一个方面，提供一种显示装置，该显示装置包括阵列基板，其中，所述阵列基板为本发明所提供的上述阵列基板。

容易理解的是，所述显示装置还包括与所述阵列基板对盒形成的彩膜基板。

20 本发明所提供的显示装置可为液晶面板、电视、手机、平板电脑等电子设备。

25 在本发明所提供的阵列基板中，增加了朝向远离主转接孔中心的方向延伸的凸缘之后，上主连接部的竖直长度比主转接孔的总深度小，下主连接部的主体的竖直长度比主转接孔的总深度小，因此，在形成所述主连接部时，不容易产生缺口或不连续现象，即，降低了主连接部中产生断路的几率。换言之，在本发明所提供的阵列基板中，公共电极线与公共电极线之间具有可靠的电连接。因此，包括所述阵列基板的显示装置可以更好地显示画面。

30 可以理解的是，以上实施方式仅仅是为了说明本发明的原理而采用的示例性实施方式，然而本发明并不局限于此。对于本领域内的普通技术人员而言，在不脱离本发明的精神和实质的情况

下，可以做出各种变型和改进，这些变型和改进也视为本发明的保护范围。

权利要求书

1、一种阵列基板，该阵列基板包括公共电极线、薄膜晶体管、公共电极，所述公共电极线与所述薄膜晶体管的有源层间隔设置，所述公共电极线上方设置有主转接孔，其特征在于，所述公共电极通过至少部分地设置在所述主转接孔中的主连接部与所述公共电极线电连接，所述主连接部包括上主连接部和下主连接部，所述下主连接部包括主体和设置在所述主体上且朝向远离所述主转接孔中心的方向延伸的凸缘，所述上主连接部的下端与所述凸缘相连，所述上主连接部的上端与所述公共电极相连。

2、根据权利要求1所述的阵列基板，其特征在于，所述主转接孔包括上主转接孔和下主转接孔，且所述上主转接孔的宽度大于所述下主转接孔的宽度，所述主体设置在所述下主转接孔中，所述凸缘设置在所述上主转接孔与所述下主转接孔的连接处，所述上主连接部设置在所述上主转接孔中，所述主连接部与所述公共电极形成为一体。

3、根据权利要求1所述的阵列基板，其特征在于，所述主转接孔包括上主转接孔和下主转接孔，所述凸缘从所述下主转接孔的上端延伸至所述主转接孔的外部。

4、根据权利要求3所述的阵列基板，其特征在于，所述下主连接部与所述阵列基板的像素电极同步形成，以及所述上主连接部与所述公共电极形成为一体

5、根据权利要求3所述的阵列基板，其特征在于，所述凸缘上方设置有辅转接孔，所述公共电极通过设置在所述辅转接孔中的辅连接部与所述凸缘电连接。

6、根据权利要求 1 至 4 中任意一项所述的阵列基板，其特征在于，所述薄膜晶体管的有源层由金属氧化物制成，所述阵列基板还包括设置在所述薄膜晶体管的有源层上方的刻蚀阻挡层，以及所述凸缘设置在所述刻蚀阻挡层上方。

5

7、根据权利要求 6 所述的阵列基板，其特征在于，所述刻蚀阻挡层与所述公共电极之间设置有钝化层。

8、一种阵列基板的制造方法，所述制造方法包括：

10

S10、在基板上形成包括公共电极线和薄膜晶体管的栅极的图形；

S11、在包括公共电极线和薄膜晶体管的栅极的图形上方形成栅绝缘层；

15

S12、在所述栅极上方的所述栅绝缘层上形成薄膜晶体管的有源层；

S13、在所述薄膜晶体管的有源层和所述栅绝缘层上方形成刻蚀阻挡层；

S15、在所述刻蚀阻挡层上方形成钝化层；以及

其特征在于，所述方法还包括如下步骤：

20

S14、形成主转接孔，所述主转接孔位于所述公共电极线的上方，并到达所述公共电极线；

25

S16、形成包括主连接部的图形，所述主连接部至少部分地设置在所述主转接孔中，所述主连接部包括上主连接部和下主连接部，所述下主连接部包括主体和设置在所述主体上且朝向远离所述主转接孔中心的方向延伸的凸缘，所述上主连接部的下端与所述凸缘相连，并且所述主体与所述公共电极线相连；以及

S17、形成包括所述公共电极的图形，所述公共电极与所述上主连接部的上端相连。

30

9、根据权利要求 8 所述的制造方法，其特征在于，所述薄膜

晶体管的有源层由金属氧化物制成，其中，

所述步骤 S14 包括：

S14-1、在所述步骤 S13 之后形成下主转接孔，该下主转接孔贯穿所述刻蚀阻挡层和栅绝缘层到达所述公共电极线；以及

5 S14-2、在所述步骤 S15 之后，在所述刻蚀阻挡层上与所述下主转接孔对应的位置形成上主转接孔，并去除沉积在所述下主转接孔中的钝化层材料，所述上主转接孔与所述下主转接孔贯通，形成所述主转接孔。

10 10、根据权利要求 9 所述的制造方法，其特征在于，所述上主转接孔的宽度大于所述下主转接孔的宽度，所述步骤 S16 和所述步骤 S17 同步进行，且所述步骤 S16 中形成的所述上主连接部位于所述上主转接孔中，所述下主连接部的主体位于所述下主转接孔中，所述凸缘位于所述上主转接孔和所述下主转接孔的连接处，且所述凸缘位于所述刻蚀阻挡层上。

11、根据权利要求 9 所述的制造方法，其特征在于，所述上主转接孔的宽度大于或等于所述下主转接孔的宽度，所述步骤 S16 包括：

20 S16-1、形成所述下主连接部，所述凸缘位于所述刻蚀阻挡层上；

S16-2、形成所述上主连接部；其中，

所述步骤 S16-1 在所述步骤 S14-1 和所述步骤 S15 之间进行，并且，在所述步骤 S16-1 中在所述刻蚀阻挡层上方形成像素电极，
25 所述步骤 S16-2 与所述步骤 S17 同步进行。

12、根据权利要求 11 所述的制造方法，其特征在于，所述制造方法还包括：

S18、形成位于所述凸缘上方的辅转接孔；

30 S19、在所述辅转接孔中设置将所述公共电极和所述凸缘电连

接的辅连接部。

13、根据权利要求 12 所述的制造方法，其特征在于，所述步骤 S19 与所述步骤 S17 同步进行。

5

14、一种显示装置，所述显示装置包括阵列基板，其特征在于，所述阵列基板为权利要求 1 至 7 中任意一项所述的阵列基板。

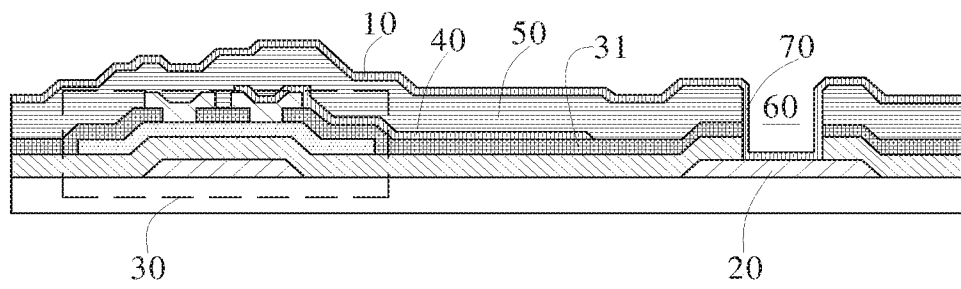


图 1

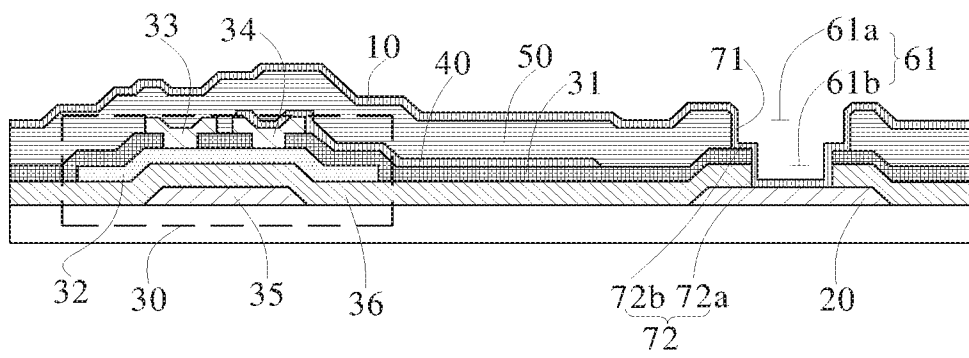


图 2

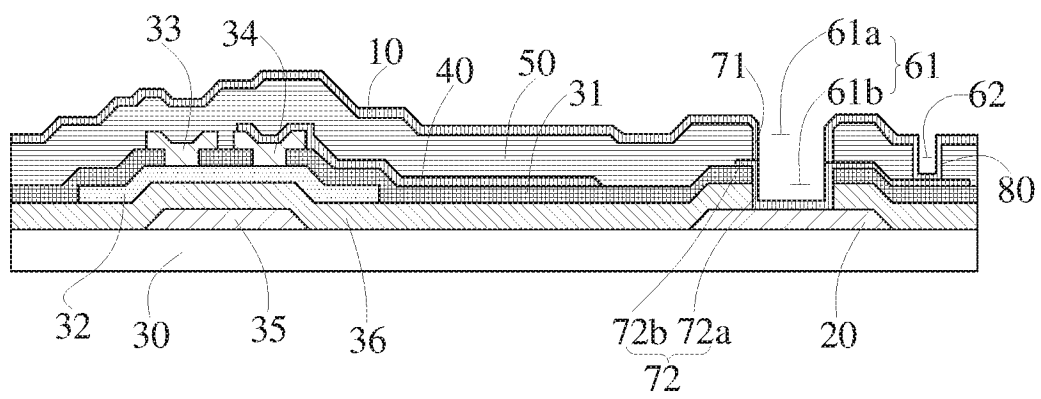


图 3

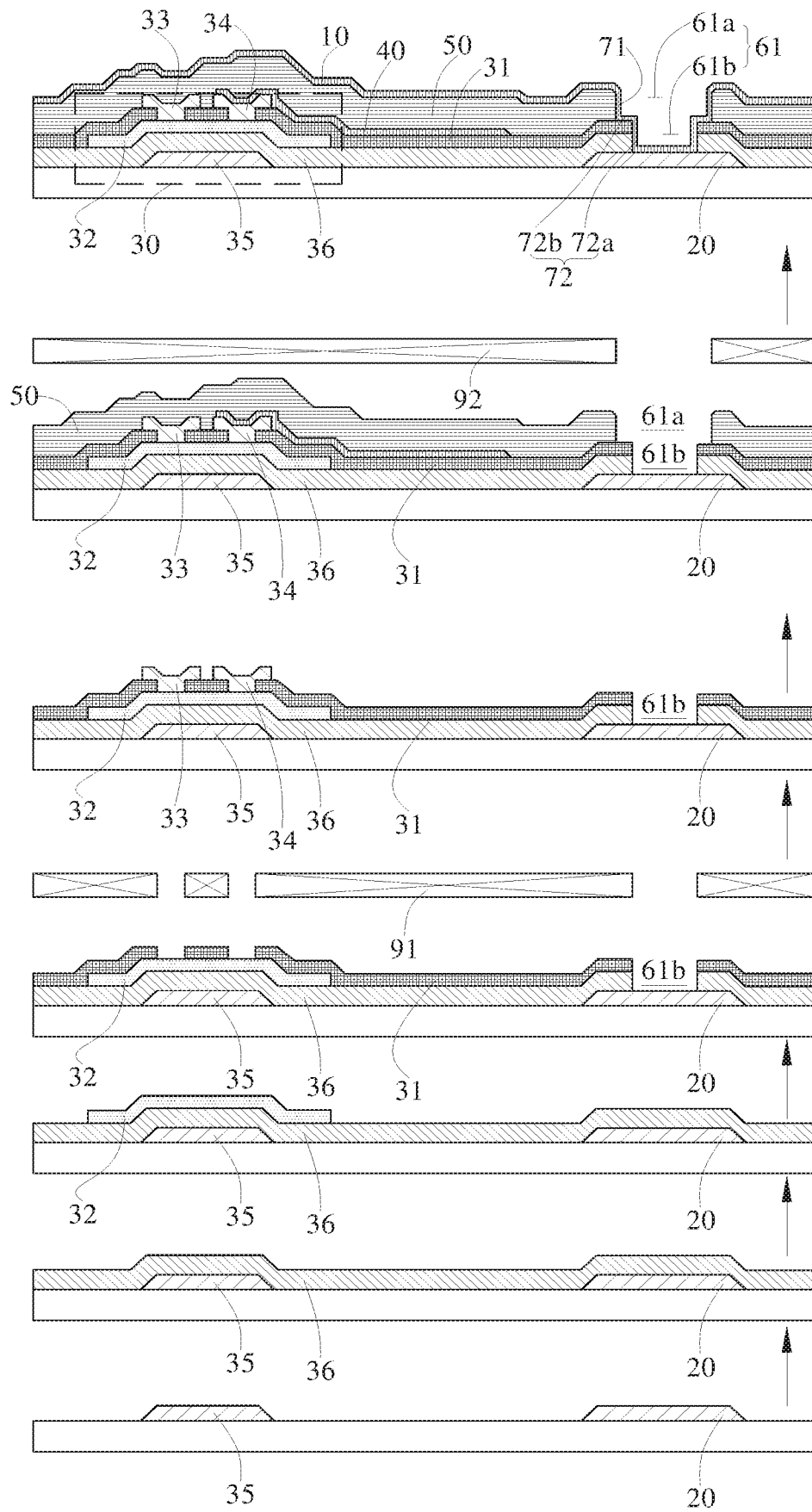


图 4

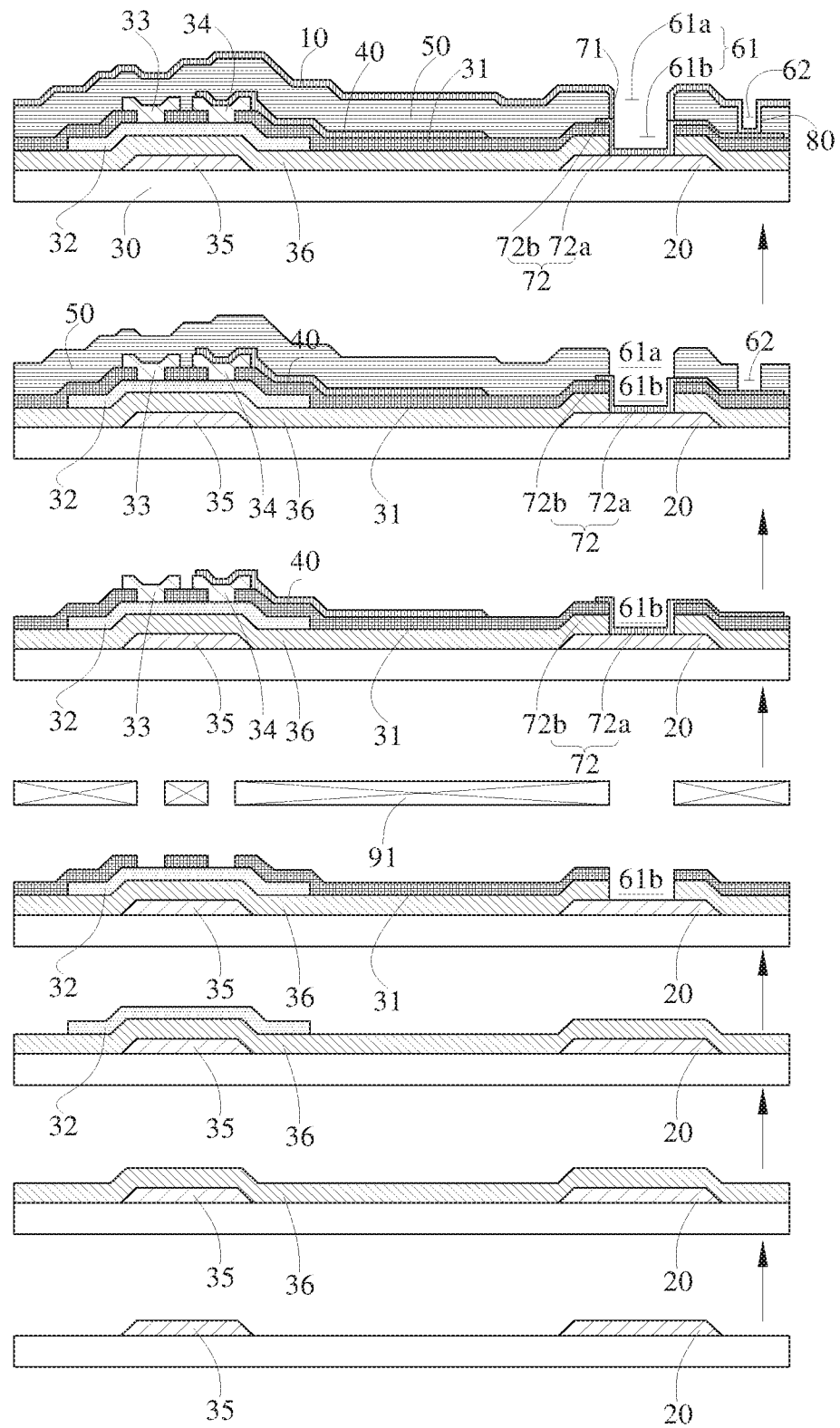


图 5

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2014/087521

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/12 (2006.01) i; H01L 21/77 (2006.01) i; G02F 1/1333 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L; G02F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNXTX; EPODOC; WPI: auxiliary, common w electrode, step, hole, opening

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 101957529 A (BEIJING BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.), 26 January 2011 (26.01.2011), description, paragraph [0065], and figure 4	1-4, 6-11, 14
Y	CN 102023429 A (BEIJING BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.), 20 April 2011 (20.04.2011), description, paragraphs [0064], [0073] and [0081]-[0100], and figures 11 and 13	1-4, 6-11, 14
E	CN 203983281 U (BOE TECHNOLOGY GROUP CO., LTD. et al.), 03 December 2014 (03.12.2014), description, paragraphs [0056]-[0094], and figures 1-5	1-14
A	CN 101055887 A (HITACHI DISPLAYS, LTD.), 17 October 2007 (17.10.2007), the whole document	1-14
A	CN 1455291 A (SAMSUNG ELECTRONICS CO., LTD.), 12 November 2003 (12.11.2003), the whole document	1-14
A	JP H05326745 A (FUJITSU LTD.), 10 December 1993 (10.12.1993), the whole document	1-14
A	JP H0425155 A (FUJITSU LTD.), 28 January 1992 (28.01.1992), the whole document	1-14

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 28 February 2015 (28.02.2015)	Date of mailing of the international search report 27 March 2015 (27.03.2015)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer AN, Jing Telephone No.: (86-10) 61648450

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2014/087521

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 102832170 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 19 December 2012 (19.12.2012), the whole document	1-14

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2014/087521

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 101957529 A	26 January 2011	US 2011013130 A1	20 January 2011
		US 8497966 B2	30 July 2013
		CN 101957529 B	13 February 2013
CN 102023429 A	20 April 2011	CN 102023429 B	23 October 2013
CN 203983281 U	03 December 2014	None	
CN 101055887 A	17 October 2007	US 2007241664 A1	18 October 2007
		CN 101055887 B	10 November 2010
		JP 2007287354 A	01 November 2007
CN 1455291 A	12 November 2003	JP 4438928 B2	24 March 2010
		JP 2003337338 A	28 November 2003
		CN 1324369 C	04 July 2007
		TWI 284238 B	21 July 2007
		US 6876416 B2	05 April 2005
		US 2003202133 A1	30 October 2003
		TW 200405098 A	01 April 2004
		KR 20030085458 A	05 November 2003
		KR 100857498 B1	08 September 2008
JPH 05326745 A	10 December 1993	None	
JPH 0425155 A	28 January 1992	None	
CN 102832170 A	19 December 2012	None	

国际检索报告

国际申请号

PCT/CN2014/087521

A. 主题的分类

H01L 27/12(2006.01)i; H01L 21/77(2006.01)i; G02F 1/1333(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L; G02F

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNTXT;EPODOC;WPI:共用电极, 公共电极, 通用电极, 台阶, 阶梯, 副, 辅, 孔, common w electrode, step, hole, opening

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
Y	CN 101957529 A (北京京东方光电科技有限公司) 2011年 1月 26日 (2011 - 01 - 26) 说明书第[0065]段、附图4	1-4, 6-11, 14
Y	CN 102023429 A (北京京东方光电科技有限公司) 2011年 4月 20日 (2011 - 04 - 20) 说明书第[0064], [0073], [0081]-[0100]段、附图11, 13	1-4, 6-11, 14
E	CN 203983281 U (京东方科技集团股份有限公司 等) 2014年 12月 3日 (2014 - 12 - 03) 说明书第[0056]-[0094]段、附图1-5	1-14
A	CN 101055887 A (株式会社日立显示器) 2007年 10月 17日 (2007 - 10 - 17) 全文	1-14
A	CN 1455291 A (三星电子株式会社) 2003年 11月 12日 (2003 - 11 - 12) 全文	1-14
A	JP H05326745 A (FUJITSU LTD.) 1993年 12月 10日 (1993 - 12 - 10) 全文	1-14
A	JP H0425155 A (FUJITSU LTD.) 1992年 1月 28日 (1992 - 01 - 28) 全文	1-14

☒ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2015年 2月 28日

国际检索报告邮寄日期

2015年 3月 27日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
北京市海淀区蓟门桥西土城路6号
100088 中国

传真号 (86-10)62019451

授权官员

安晶

电话号码 (86-10)61648450

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	CN 102832170 A (京东方科技集团股份有限公司 等) 2012年 12月 19日 (2012 - 12 - 19) 全文	1-14

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2014/087521

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	101957529	A	2011年 1月 26日	US	2011013130	A1	2011年 1月 20日
				US	8497966	B2	2013年 7月 30日
				CN	101957529	B	2013年 2月 13日
CN	102023429	A	2011年 4月 20日	CN	102023429	B	2013年 10月 23日
CN	203983281	U	2014年 12月 3日	无			
CN	101055887	A	2007年 10月 17日	US	2007241664	A1	2007年 10月 18日
				CN	101055887	B	2010年 11月 10日
				JP	2007287354	A	2007年 11月 1日
CN	1455291	A	2003年 11月 12日	JP	4438928	B2	2010年 3月 24日
				JP	2003337338	A	2003年 11月 28日
				CN	1324369	C	2007年 7月 4日
				TW	I284238	B	2007年 7月 21日
				US	6876416	B2	2005年 4月 5日
				US	2003202133	A1	2003年 10月 30日
					TW200405098	A	2004年 4月 1日
				KR	20030085458	A	2003年 11月 5日
				KR	100857498	B1	2008年 9月 8日
JP	H05326745	A	1993年 12月 10日	无			
JP	H0425155	A	1992年 1月 28日	无			
CN	102832170	A	2012年 12月 19日	无			

表 PCT/ISA/210 (同族专利附件) (2009年7月)