



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년03월27일
(11) 등록번호 10-1376722
(24) 등록일자 2014년03월14일

(51) 국제특허분류(Int. Cl.)
H01L 21/82 (2006.01) H01L 27/10 (2006.01)
H01L 29/739 (2006.01)
(21) 출원번호 10-2009-7003931
(22) 출원일자(국제) 2007년07월27일
심사청구일자 2012년07월26일
(85) 번역문제출일자 2009년02월25일
(65) 공개번호 10-2009-0046871
(43) 공개일자 2009년05월11일
(86) 국제출원번호 PCT/US2007/016948
(87) 국제공개번호 WO 2008/013959
국제공개일자 2008년01월31일
(30) 우선권주장
11/495,188 2006년07월28일 미국(US)
(56) 선행기술조사문헌
JP2000349275 A
US06340822 B1
US20020074565 A1
US20030039744 A1

(73) 특허권자
샌디스크 코포레이션
미국, 캘리포니아 95035, 밀피타스, 샌디스크 드라이브 951
(72) 발명자
날라볼루, 마드후리 엘.
미국 캘리포니아주 94086 서니베일 웨스트 올리브 애브뉴 1154 #221
리우 차오
미국 캘리포니아주 95129 산 호세 비아 비코 웨이 7295
(뒷면에 계속)
(74) 대리인
박경재

전체 청구항 수 : 총 29 항

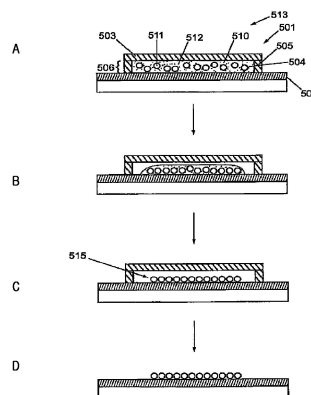
심사관 : 구본재

(54) 발명의 명칭 나노구조체 단층을 형성하기 위한 방법 및 장치와 그러한 단층을 포함하는 장치

(57) 요약

본 발명에는 나노구조체 배열의 형성 방법 또는 패터닝 방법이 제공된다. 이들 방법은 나노구조체 결합 기를 포함하는 코팅 상에서 배열 형성, 스핀-온-유전체에서 배열의 형성, 나노구조체 침착 후 용매 어닐링, 레지스트를 사용한 패터닝 및/또는 배열 형성을 촉진하는 장치의 사용을 포함한다. 나노구조체 배열을 형성하기 위한 관련 장치가 또한 제공되고, 마찬가지로 나노구조체 배열을 포함한 장치(예를 들면, 메모리 장치)도 역시 제공된다. 고온 처리동안 나노구조체가 융합되는 것으로부터 보호하는 방법이 또한 제공된다.

대표도 - 도5



(72) 발명자

두안 시양펑

미국 캘리포니아주 94040 마운틴 뷰 데일 애브뉴
1200 아파트먼트#131

첸 지안

미국 캘리포니아주 94043 마운틴 뷰 웨스트 미들필드
로드 777 아파트먼트 61

파르스 제이. 웰레이스

미국 캘리포니아주 94306 팔로 알토 로스 로블레스
애브뉴 754

크루덴 카렌 추

미국 캘리포니아주 94588 플레즌톤 버진 아일랜드
카운티 3681

관가나탄 시리칸트

미국 캘리포니아주 94043 마운틴 뷰 웨스트 미들필드
로드 1555 아파트먼트 102

특허청구의 범위

청구항 1

나노구조체 단층을 패터닝하는 방법에 있어서,

- a) 레지스트 및 나노구조체 단층을 제 1 층 상에 배치하여 레지스트 층을 제공하는 단계로서, 상기 나노구조체는 상기 레지스트에 매립되어 있는, 상기 단계와,
- b) 상기 레지스트 층 상에 미리 결정된 패턴을 노출하여, 상기 레지스트 층의 적어도 제 1 영역에 노출 레지스트를 제공하고 상기 레지스트 층의 적어도 제 2 영역에 노출되지 않은 레지스트를 제공하는 단계와,
- c) 상기 노출 레지스트와 그 매립된 나노구조체를 제거하지 않으면서 상기 제 1 층으로부터 상기 노출되지 않은 레지스트와 그 매립된 나노구조체를 제거하여, 상기 제 1 영역에 의해 한정된 적어도 하나의 나노구조체 단층 배열이 상기 제 1 층 상에 남아있는, 단계와,
- d) 단계 c) 후에, 상기 제 1 층, 상기 노출 레지스트, 및 그 매립된 나노구조체를 300℃ 이상의 온도에 노출하는 단계를

포함하는, 나노구조체 단층의 패터닝 방법.

청구항 2

제 1항에 있어서, 단계 b)에서 상기 레지스트 층 상에 미리 결정된 패턴을 노출하는 단계는, 상기 미리 결정된 패턴을 자외선 또는 전자 빔에 노출하는 단계를 포함하는, 나노구조체 단층의 패터닝 방법.

청구항 3

제 1항에 있어서, 단계 d) 후에, 상기 단층 배열에서 상기 나노구조체의 크기 분포는 20% 미만의 rms 편차를 나타내는, 나노구조체 단층의 패터닝 방법.

청구항 4

제 1항에 있어서, 단계 a)에서 상기 제 1 층 상에 상기 레지스트와 상기 나노구조체 단층을 배치하는 단계는, 상기 레지스트와 상기 나노구조체를 포함하는 용액으로 상기 제 1 층을 스핀 코팅하는 단계를 포함하는, 나노구조체 단층의 패터닝 방법.

청구항 5

제 1항에 있어서, 상기 레지스트는 규소 화합물을 포함하는, 나노구조체 단층의 패터닝 방법.

청구항 6

제 1항에 있어서, 상기 레지스트는 실세스퀴옥산(silsesquioxane)을 포함하는, 나노구조체 단층의 패터닝 방법.

청구항 7

제 1항에 있어서, 상기 제 1 층은 기판에 배치되고, 상기 기판은 반도체를 포함하는, 나노구조체 단층의 패터닝 방법.

청구항 8

제 7항에 있어서, 상기 제 1 층은 유전 물질을 포함하고, 1nm 내지 10nm의 두께를 갖는, 나노구조체 단층의 패터닝 방법.

청구항 9

제 7항에 있어서, 단계 d) 전에, 상기 기판에 도펀트 이온을 주입하여 나노구조체의 상기 단층 배열에 근접하게 상기 기판에 소스 영역과 드레인 영역을 형성하는 단계를 포함하고, 단계 d) 동안, 상기 기판에 대한 주입 손상은 복구되고 상기 도펀트는 활성화되는, 나노구조체 단층의 패터닝 방법.

청구항 10

제 7항에 있어서, 상기 노출 레지스트 상에 게이트 전극을 배치하는 단계를 포함하는, 나노구조체 단층의 패턴화 방법.

청구항 11

제 10항에 있어서, 상기 노출 레지스트 상에 상기 게이트 전극을 배치하기 전에, 상기 노출 레지스트 상에 유전층을 배치하는 단계를 포함하는, 나노구조체 단층의 패턴화 방법.

청구항 12

제 1항에 있어서, 상기 나노구조체는 금속 나노구조체를 포함하는, 나노구조체 단층의 패턴화 방법.

청구항 13

제 1항에 있어서, 상기 나노구조체는 팔라듐, 백금, 니켈, 또는 루테튬을 포함하는, 나노구조체 단층의 패턴화 방법.

청구항 14

나노구조체를 패턴화하는 방법에 있어서,

a) 제 1 층 상에 상기 나노구조체와 실세스퀴옥산을 배치하는 단계와,

b) i) 상기 실세스퀴옥산을 전리 방사선(ionizing radiation)에 미리 결정된 패턴으로 노출시켜, 적어도 제 1 영역의 상기 실세스퀴옥산이 노출되고 부분적으로 경화되는 반면, 적어도 제 2 영역의 실세스퀴옥산은 노출되지 않고 경화되지 않은 상태로 유지되는, 단계와,

ii) 상기 제 1 영역으로부터 상기 부분적으로 경화된 실세스퀴옥산과 그 매립된 나노구조체를 제거하지 않으면서, 상기 제 2 영역으로부터 상기 노출되지 않은 실세스퀴옥산과 그 안의 나노구조체를 제거하는 단계와,

iii) 단계 ii) 후에, 상기 제 1 영역의 상기 부분적으로 경화된 실세스퀴옥산을 전리 방사선에 노출시켜 상기 부분적으로 경화된 실세스퀴옥산을 추가 경화하여, 경화된 실세스퀴옥산을 제공하는 단계에 의해,

상기 실세스퀴옥산을 경화시켜, 상기 나노구조체가 매립된 경화 실세스퀴옥산을 제공하는 단계를

포함하는, 나노구조체의 패턴화 방법.

청구항 15

제 14항에 있어서, 상기 실세스퀴옥산과 상기 부분적으로 경화된 실세스퀴옥산을 전리 방사선에 노출하는 단계는, 상기 실세스퀴옥산과 상기 부분적으로 경화된 실세스퀴옥산을 자외선 또는 전자 빔에 노출하는 단계를 포함하는, 나노구조체의 패턴화 방법.

청구항 16

나노구조체 단층을 패턴화하는 방법에 있어서,

a) 레지스트와 나노구조체 단층을 제 1 층 상에 배치하여 레지스트 층을 제공하는 단계로서, 상기 나노구조체는 상기 레지스트에 매립되어 있고, 상기 레지스트와 상기 나노구조체 단층을 상기 제 1 층 상에 배치하는 단계는, 상기 레지스트와 상기 나노구조체를 포함하는 용액을 상기 제 1 층 상에 배치하는 단계를 포함하는, 단계와,

b) 상기 레지스트 층 상에 미리 결정된 패턴을 노출하여, 상기 레지스트 층의 적어도 제 1 영역에 노출 레지스트를 제공하고, 상기 레지스트 층의 적어도 제 2 영역에 노출되지 않은 레지스트를 제공하는 단계와,

c) i) 상기 노출되지 않은 레지스트와 그 매립된 나노구조체를 제거하지 않고 상기 제 1 층으로부터 상기 노출 레지스트와 그 매립된 나노구조체를 제거하거나, 또는 ii) 상기 노출 레지스트와 그 매립된 나노구조체를 제거하지 않고 상기 제 1 층으로부터 노출되지 않은 레지스트와 그 매립된 나노구조체를 제거하여, 상기 제 1 영역에 의해 한정된 적어도 하나의 나노구조체 단층 배열이 상기 제 1 층 상에 남아있는, 단계를

포함하는, 나노구조체 단층의 패턴화 방법.

청구항 17

나노구조체 배열을 형성하는 방법에 있어서,

제 1 층을 제공하는 단계와,

액체 형태의 스핀-온-유전체(spin-on-dielectric)를 포함하는 용액에 분산된 나노구조체를 제공하는 단계와,

상기 용액을 상기 제 1 층 상에 배치하여, 상기 나노구조체가 상기 제 1 층 상에 단층 배열을 형성하는 단계와,

상기 액체 형태의 스핀-온-유전체를 경화시켜, 상기 단층 배열의 상기 나노구조체가 랜덤하게 분포된 매트릭스로 고체 형태의 스핀-온-유전체를 제공하는 단계를

포함하는, 나노구조체 배열의 형성 방법.

청구항 18

제 17항에 있어서, 상기 제 1 층은 기판 상에 배치되고, 상기 기판은 반도체를 포함하며, 상기 제 1 층은 유전 물질을 포함하고 1nm 내지 10nm의 두께를 갖는, 나노구조체 배열의 형성 방법.

청구항 19

제 18항에 있어서, 상기 기판은, 소스 영역, 드레인 영역, 및 상기 소스 영역과 상기 드레인 영역 사이에 있고 나노구조체의 단층 배열 아래에 있는 채널 영역을 포함하고, 상기 방법은, 고체 형태의 스핀-온-유전체 상에 게이트 전극을 배치하는 단계를 포함하는, 나노구조체 배열의 형성 방법.

청구항 20

제 19항에 있어서, 상기 고체 형태의 스핀-온-유전체 상에 상기 게이트 전극을 배치하기 전에, 상기 고체 형태의 스핀-온-유전체 상에 유전층을 배치하는 단계를 포함하는, 나노구조체 배열의 형성 방법.

청구항 21

제 17항에 있어서, 용액을 상기 제 1 층 상에 배치하는 단계는, 상기 제 1 층을 상기 용액으로 스핀 코팅하는 단계를 포함하는, 나노구조체 배열의 형성 방법.

청구항 22

제 17항에 있어서, 상기 고체 형태의 스핀-온-유전체는, 산화규소, 산화알루미늄, 산화하프늄, 산화란탄, 또는 산화탄탈을 포함하는, 나노구조체 배열의 형성 방법.

청구항 23

제 17항에 있어서, 상기 액체 형태의 스핀-온-유전체는 액체 형태의 스핀-온-글래스이고, 상기 고체 형태의 스핀-온-유전체는 고체 형태의 스핀-온-글래스인, 나노구조체 배열의 형성 방법.

청구항 24

제 23항에 있어서, 상기 액체 형태의 스핀-온-글래스는 실세스퀴옥산을 포함하는, 나노구조체 배열의 형성 방법.

청구항 25

제 17항에 있어서, 상기 나노구조체는, 팔라듐, 백금, 니켈, 또는 루테튬을 포함하는, 나노구조체 배열의 형성 방법.

청구항 26

나노구조체 배열을 형성하는 방법에 있어서,

제 1 층을 제공하는 단계와,

나노구조체의 집단을 상기 제 1 층 상에 침착(depositing)시키는 단계와,

상기 제 1 층 상에 침착된 상기 나노구조체를 외부 용매 증기에 노출시켜, 상기 나노구조체가 단층 배열로 어셈블링되는 단계를

포함하는, 나노구조체 배열의 형성 방법.

청구항 27

제 26항에 있어서, 상기 나노구조체를 외부 용매 증기에 노출하는 단계는, 액체 형태의 제 1 용매를 제공하는 단계와, 상기 제 1 용매를 가열하여 용매 증기를 생성하는 단계를 포함하는, 나노구조체 배열의 형성 방법.

청구항 28

제 26항에 있어서, 상기 나노구조체의 집단을 상기 제 1 층 상에 침착시키는 단계는, 하나 이상의 제 2 용매를 포함하는 용액에 상기 나노구조체를 분산시키는 단계와, 상기 용액을 상기 제 1 층 상에 배치하는 단계를 포함하는, 나노구조체 배열의 형성 방법.

청구항 29

제 26항에 있어서, 상기 나노구조체는 구형 나노구조체 또는 양자 도트를 포함하는, 나노구조체 배열의 형성 방법.

청구항 30

삭제

청구항 31

삭제

청구항 32

삭제

청구항 33

삭제

청구항 34

삭제

청구항 35

삭제

청구항 36

삭제

청구항 37

삭제

청구항 38

삭제

청구항 39

삭제

청구항 40

삭제

청구항 41

삭제

청구항 42

삭제

청구항 43

삭제

청구항 44

삭제

청구항 45

삭제

청구항 46

삭제

청구항 47

삭제

청구항 48

삭제

청구항 49

삭제

청구항 50

삭제

청구항 51

삭제

청구항 52

삭제

청구항 53

삭제

청구항 54

삭제

청구항 55

삭제

청구항 56

삭제

청구항 57

삭제

청구항 58

삭제

청구항 59

삭제

청구항 60

삭제

청구항 61

삭제

청구항 62

삭제

청구항 63

삭제

청구항 64

삭제

청구항 65

삭제

청구항 66

삭제

청구항 67

삭제

청구항 68

삭제

청구항 69

삭제

청구항 70

삭제

청구항 71

삭제

청구항 72

삭제

청구항 73

삭제

청구항 74

삭제

청구항 75

삭제

청구항 76

삭제

청구항 77

삭제

청구항 78

삭제

청구항 79

삭제

청구항 80

삭제

청구항 81

삭제

청구항 82

삭제

청구항 83

삭제

청구항 84

삭제

청구항 85

삭제

청구항 86

삭제

청구항 87

삭제

청구항 88

삭제

청구항 89

삭제

청구항 90

삭제

청구항 91

삭제

청구항 92

삭제

청구항 93

삭제

청구항 94

삭제

청구항 95

삭제

청구항 96

삭제

청구항 97

삭제

청구항 98

삭제

청구항 99

삭제

청구항 100

삭제

청구항 101

삭제

청구항 102

삭제

청구항 103

삭제

청구항 104

삭제

청구항 105

삭제

청구항 106

삭제

청구항 107

삭제

청구항 108

삭제

청구항 109

삭제

청구항 110

삭제

청구항 111

삭제

청구항 112

삭제

청구항 113

삭제

청구항 114

삭제

청구항 115

삭제

청구항 116

삭제

청구항 117

삭제

청구항 118

삭제

청구항 119

삭제

명세서

기술 분야

[0001] 관련 출원의 상호 참조

[0002] 본 출원은 모든 목적을 위해 그의 전체 내용을 본 원에서 참고로 포함하는, 제이비드 엘. 힐드(David L. Heald) 등에 의해 "나노구조체 단층을 형성하기 위한 방법 및 장치와 그러한 단층을 포함하는 장치(METHODS AND DEVICES FOR FORMING NANOSTRUCTURE MONOLAYERS AND DEVICES INCLUDING SUCH MONOLAYERS)" 라는 명칭으로 2006년 7월 28일 출원된 미국 특허 출원 제11/495,118호의 부분 계속 출원이다.

[0003] 발명의 분야

[0004] 본 발명은 주로 나노기술 분야에 관한 것이다. 보다 구체적으로, 본 발명은 나노구조체 배열, 예를 들면 단층 배열을, 예컨대 예정 크기 및/또는 예정 위치의 것들을 형성하기 위한 방법 및 장치와, 이러한 나노구조체 배열을 포함하는 장치(예를 들면, 메모리 장치)에 관한 것이다. 본 발명은 또한 고온 처리동안 나노구조체가 융합되는 것으로부터 보호하는 방법에 관한 것이다.

배경 기술

[0005] 나노구조체(예를 들면, 양자 도트)의 단층은 LED 및 메모리 장치와 같은 각종 광전자 장치의 부품으로서 제공될 수 있다(참조예: 플래긴(Flagan) 등에 의한 "Aerosol silicon nanoparticles for use in semiconductor device fabrication" 명칭의 미국 특허 제6,586,785호). 이러한 단층을 생성하는 방법은 분자 빔 에피택시에 의해 고체 상에 원 위치에서 양자 도트를 성장시키는 단계, 양자 도트 상의 지방족 계면활성제와 양자 도트 상에 침착된 방향족 공액 유기 물질 사이에서 상 분리를 일으키는 단계를 포함한다(Coe et al. (2002) "Electroluminescence from single monolayers of nanocrystals in molecular organic devices" Nature 450:800-803). 그러나, 상기 전자의 기술은 다수의 단층을 형성하기 위해 규모 확대가 어렵고, 후자의 기술은 많은 장치 제조 공정에서 그 존재가 바람직하지 않은 두꺼운 유기 매트릭스 상에 배치되거나 내입된 나노구조체 층을 생성한다.

[0006] 따라서, 나노구조체 단층을 단순하고 재생가능하게 형성하는 방법이 요구된다. 본 발명은 다른 측면 중에서도 이와 같은 방법을 제공한다. 이하 내용을 검토하면 본 발명을 완전히 이해하게 될 것이다.

발명의 상세한 설명

[0007] 발명의 개요

[0008] 나노구조체 배열, 예를 들면 규칙적이거나 불규칙적인 단층 배열을 형성 또는 패턴화하는 방법이 개시된다. 상기 배열들은 예정 위치에 선택적으로 형성되고/형성되거나, 예정 치수(dimension)를 갖는다. 고온 처리동안 나노구조체가 융합되는 것으로부터 보호하는 방법이 또한 개시된다.

[0009] 한가지 일반적 부류의 구체예는 나노구조체 단층을 패턴화하는 방법을 제공한다. 이 방법은 a) 레지스트 및 나노구조체 단층을 제1층 상에 배치하여 레지스트층을 제공하는 단계로서, 여기서 나노구조체는 레지스트내로 매립되어 있는 것인 단계, b) 상기 레지스트 층 상에 예정 패턴을 노출하여(예를 들면, 자외선 또는 전자빔과 같은 전리 방사선), 레지스트 층의 적어도 제1 영역에 노출 레지스트를 제공하고 레지스트 층의 적어도 제2 영역에 비노출 레지스트를 제공하는 단계, c) 제1층으로부터 노출 레지스트 및 그의 매립된 나노구조체를 제거하는 일 없이 비노출 레지스트 및 그의 매립된 나노구조체를 제거하여, 제1 영역에 의해 한정된 적어도 하나의 나노구조체 단층 배열을 제1층 상에 잔류시키는 단계, 및 d) 단계 c) 후에, 제1층, 노출 레지스트 및 그의 매립된 나노구조체를 적어도 약 300 °C(예를 들어 적어도 약 700 °C 또는 적어도 약 900 °C)의 온도에 노출시키는 단계를 포함한다.

[0010] 특히 유용한 일 측면으로, 레지스트를, 단층을 패턴화하기 위한 초기 저선량 또는 단기 노출에 의해 불완전하게 경화시키고, 비노출 레지스트 및 그 안에 매립된 원치않는 나노구조체를 제거한 후, 이어서 불완전하게 경화된 레지스트를 제2 노출로 추가 경화시켜 나노구조체를 후속 고온 단계(들)로부터 보호한다. 따라서, 일 부류의 구체예에 있어서, 단계 b)에서 제1 영역내 레지스트는 제1 영역내 레지스트를 불완전하게 경화시키기에 충분한 전리 방사선에 노출된 후, 단계 c) 후에 및 단계 d) 전에, 제1 영역내 불완전하게 경화된 레지스트는 제1 영역내 레지스트를 추가 경화시키기에 충분한 전리 방사선에 노출된다. 일례로서, 단계 b)에서 제1 영역내 레지스트를 약 10 mJ/cm² 내지 1 J/cm² 자외선에 노출하여 제1 영역내 레지스트를 불완전하게 경화시킬 수 있고, 단계 c) 후

및 단계 d) 전에, 제1 영역내 레지스트를 약 1 J/cm^2 내지 50 J/cm^2 자외선에 노출하여 제1 영역내 레지스트를 추가로 경화시킬 수 있다.

[0011] 이 방법으로 나노구조체가 층에서 융합되는 것을 보호할 수 있게 됨에 따라, 고온 처리 단계동안 나노구조체 밀도, 크기, 크기 분포, 단층 형상 등을 유지할 수 있다. 따라서, 일 부류의 구체예에 있어서, 단계 d) 후 단층 배열에서의 나노구조체의 밀도는 단계 d) 전 단층 배열에서의 나노구조체 밀도의 75% 이상, 보다 전형적으로, 90% 이상 또는 95% 이상이다. 선택적으로, 밀도는 본질적으로 단계 d) 동안 변하지 않는다. 선택적으로, 단계 d) 후, 나노구조체의 단층 배열의 밀도는 약 1×10^{10} 나노구조체/ cm^2 초과, 예를 들어 약 1×10^{11} 나노구조체/ cm^2 초과, 약 1×10^{12} 나노구조체/ cm^2 초과, 적어도 2.5×10^{12} 나노구조체/ cm^2 , 적어도 5×10^{12} 나노구조체/ cm^2 , 또는 심지어 적어도 약 1×10^{13} 나노구조체/ cm^2 이다. 선택적으로, 단층 배열에서의 나노구조체의 밀도는 단계 d) 후 실질적으로 균일하다.

[0012] 관련 부류의 구체예에 있어서, 단계 d) 후 단층 배열에서의 나노구조체의 평균 직경은 단계 d) 전 단층 배열에서의 나노구조체 평균 직경의 110% 미만, 예를 들어, 105% 미만 또는 103% 미만이다. 선택적으로, 배열에서의 나노구조체의 크기 분포는 본질적으로 단계 d) 동안 변하지 않는다.

[0013] 다른 관련 부류의 구체예에 있어서, 단계 d) 후, 단층 배열에서의 나노구조체의 크기 분포는 20% 미만의 rms 편차를 나타낸다. 예를 들어, 단층 배열에서의 나노구조체의 크기 분포는 15% 미만, 10% 미만, 또는 심지어 미만 5%의 rms 편차를 나타낼 수 있다.

[0014] 보다 높은 초기 나노구조체의 밀도에서 나노구조체의 융합 경향이 더 커지기 때문에, 나노구조체의 밀도가 증가함에 따라 융합으로부터 보호하는 것이 더욱 중요하다는 것은 자명하다. 따라서, 예를 들어 나노구조체 밀도, 단층 균일성, 나노구조체 크기 및/또는 나노구조체 크기 분포의 보존이 관심의 대상인 일 구체예에 있어서, 단계 d) 전 단층 배열에서의 나노구조체의 밀도는 선택적으로 적어도 약 1×10^{10} 나노구조체/ cm^2 , 예를 들어 적어도 약 1×10^{11} 나노구조체/ cm^2 , 적어도 약 1×10^{12} 나노구조체/ cm^2 , 적어도 2.5×10^{12} 나노구조체/ cm^2 , 적어도 5×10^{12} 나노구조체/ cm^2 , 또는 심지어 적어도 약 1×10^{13} 나노구조체/ cm^2 이다.

[0015] 레지스트 층은 단계 a)에서 실질적으로 임의의 통상적인 기술로 형성될 수 있다. 예를 들어, 제1층은 레지스트 및 나노구조체를 포함하는 용액으로 스핀 코팅될 수 있다. 유사하게, 비노출 레지스트가 단계 c)에서 실질적으로 임의의 통상적인 기술로 제거될 수 있다. 예를 들어, 비노출 레지스트 및 그의 매립된 나노구조체는 비노출 레지스트를 적어도 하나의 유기 용매와 접촉시킴으로써, 노출 레지스트 및 그의 매립된 나노구조체를 제거하는 일 없이 제1층으로부터 제거될 수 있다.

[0016] 일 부류의 구체예에 있어서, 레지스트는 규소 화합물(silicon compound)을 포함한다. 예를 들어, 레지스트는 실세스퀴옥산, 예컨대 머캅토-프로필-시클로헥실 다면체 올리고머 실세스퀴옥산, 수소 실세스퀴옥산, 메틸 실세스퀴옥산, 옥타비닐 디메틸 실릴 실세스퀴옥산, 옥타실란 실세스퀴옥산, 옥타비닐-T8 실세스퀴옥산, 아미노프로필 시클로헥실 다면체 올리고머 실세스퀴옥산, 아크릴로 실세스퀴옥산 또는 메타크릴로 실세스퀴옥산일 수 있다.

[0017] 본 발명의 방법을 이용하여 실질적으로 임의의 수의 단층 배열을 제조할 수 있다. 예를 들어, 노출 레지스트가 레지스트 층의 2 이상, 10 이상, 50 이상, 100 이상, 1000 이상, 1×10^4 이상, 1×10^6 이상, 1×10^9 이상, 1×10^{10} 이상, 1×10^{11} 이상 또는 1×10^{12} 이상의 불연속 제1 영역에 제공될 수 있어서 대응하는 수의 불연속 나노구조체 단층 배열이 제1층 상에 남게 된다.

[0018] 제1층은 필수적으로 산화물(예를 들면, 금속 산화물, 산화규소, 산화하프늄 또는 알루미늄(Al_2O_3)), 또는 이들 산화물의 조합물) 또는 질화물(예를 들면, 질화규소)과 같은 유전 물질 또는 반도체를 포함하나 이들에 제한되지 않는 임의의 바람직한 물질을 포함할 수 있다. 제1층은 용액 침착전에, 예를 들어 헥사메틸디실리잔(HMDS) 또는 실란과 같은 화합물로 선택적으로 처리된다. 따라서, 예를 들어, 제1층은 HMDS로 코팅된 산화규소 또는 질화규소를 포함할 수 있다. 제1층은 선택적으로 기판, 예를 들어 반도체(예: Si)를 포함하는 기판 상에 배치된다. 일 부류의 구체예에 있어서, 제1층의 두께는 약 1 내지 약 10 nm, 예를 들어 3 내지 4 nm이다. 방법은 선택적으로 단계 d) 전에 기판에 도펀트 이온을 주입함으로써, 나노구조체의 단층 배열에 근접하게 기판에 소스 영역 및 드레인 영역을 형성하는 단계를 포함하는데, 단계 d) 동안 기판의 주입 손상이 복구되며, 도펀트가 활성화된다. 선택적으로, 유전층을 노출 레지스트 상에 배치한 후, 게이트 전극을 노출된 레지스트 상에 배치할 수 있다.

- [0019] 배열은 규칙적이거나 불규칙적인 배열일 수 있다. 나노구조체는 선택적으로 실질적으로 구형인 나노구조체 또는 양자 도트이다. 나노구조체는 본질적으로 임의의 목적 물질을 포함할 수 있다. 일 부류의 구체예에 있어서, 나노구조체는 약 4.5 eV 이상의 일함수를 갖는다. 예를 들어, 나노구조체는 금속, 예를 들면 팔라듐, 백금, 니켈 또는 루테튬을 포함할 수 있다. 일부 구체예에 있어서, 나노구조체의 제2 단층이 레지스트 층 또는 노출 레지스트 상에 배치된다.
- [0020] 다른 일반적인 부류의 구체예로 나노구조체의 패터닝 방법이 제공된다. 이 방법은 a) 나노구조체 및 실세스퀴옥산을 제1층 상에 배치하는 단계, 그리고 b) 실세스퀴옥산을, i) 실세스퀴옥산을 전리 방사선(예: 자외선 또는 전자 빔)에 예경 패터닝으로 노출함으로써, 적어도 제1 영역내 실세스퀴옥산을 노출하고 불완전하게 경화시킴, 동시에 적어도 제2 영역내 실세스퀴옥산을 비노출 및 비경화 상태로 잔류시키는 단계, ii) 제1 영역으로부터 불완전하게 경화된 실세스퀴옥산 및 그의 매립된 나노구조체가 제거되는 일 없이 제2 영역으로부터 비노출 실세스퀴옥산 및 그 안의 나노구조체를 제거하는 단계, 및 iii) 단계 ii) 후, 제1 영역내 불완전하게 경화된 실세스퀴옥산을 전리 방사선에 노출하여 실세스퀴옥산을 추가 경화시켜 경화된 실세스퀴옥산을 제공하는 단계에 의해, 경화시켜 나노구조체가 매립되어 있는 경화된 실세스퀴옥산을 제공하는 단계를 포함한다.
- [0021] 나노구조체 및 실세스퀴옥산을 실질적으로 임의의 통상적인 기술을 이용하여 제1층 상에 배치할 수 있다. 예를 들어, 제1층을 실세스퀴옥산 및 나노구조체를 포함하는 용액으로 스핀 코팅할 수 있다. 나노구조체는 제1층 상에 단층을 형성할 수 있지만, 필수적인 것은 아니다.
- [0022] 예시적인 일 부류의 구체예에 있어서, 단계 b) i)에서 제1 영역내 실세스퀴옥산을 약 10 mJ/cm^2 내지 1 J/cm^2 자외선에 노출하여 제1 영역내 실세스퀴옥산을 불완전하게 경화시키고, 단계 b) iii)에서는 제1 영역내 불완전하게 경화된 실세스퀴옥산을 약 1 J/cm^2 내지 50 J/cm^2 자외선에 노출하여 제1 영역내 실세스퀴옥산을 추가 경화시킨다. 비노출 실세스퀴옥산 및 그 안의 나노구조체는, 예를 들어 비노출 실세스퀴옥산을 적어도 하나의 유기 용매와 접촉시킴으로써, 제1 영역으로부터 불완전하게 경화된 실세스퀴옥산 및 그의 매립된 나노구조체를 제거하는 일 없이 제2 영역으로부터 제거될 수 있다. 단계 b) iii) 후, 경화된 실세스퀴옥산을 약 300°C 내지 400°C 의 온도에 선택적으로 노출시킨다.
- [0023] 본 발명의 방법을 이용하여 고온 처리동안 나노구조체가 융합되는 것으로부터 보호할 수 있다. 따라서, 방법은 선택적으로 또한 제1층, 경화된 실세스퀴옥산 및 그의 매립된 나노구조체를 가열하는 단계 c)를 포함한다. 선택적으로, 단계 c)에서 제1층, 경화된 실세스퀴옥산 및 그의 매립된 나노구조체는 약 300°C 이상, 전형적으로 약 700°C 이상 또는 약 900°C 이상의 온도에 노출된다. 예를 들어, 제1층, 경화된 실세스퀴옥산 및 그의 매립된 나노구조체는, 예를 들어, 고온 어닐링 단계동안 950°C 또는 그 이상의 온도에 노출될 수 있다.
- [0024] 상기 언급된 바와 같이, 제1층 상에 배치된 나노구조체는 선택적으로 단층을 포함한다. 단층이 단계 b)에서 패터닝되는 구체예에 있어서, 단계 b) ii)에서는 제1 영역으로 한정된 적어도 하나의 나노구조체 단층 배열이 제1층 상에 남게 된다.
- [0025] 상술한 바와 같이, 나노구조체를 융합으로부터 보호함으로써, 방법은 고온 처리 단계동안 나노구조체 밀도, 크기, 크기 분포, 단층 형상 등을 유지할 수 있다. 예를 들어, 나노구조체가 단층에 배치되는 일 부류의 구체예에 있어서, 단계 c) 후 단층 배열에서의 나노구조체의 밀도는 단계 c) 전 단층 배열에서의 나노구조체 밀도의 적어도 90%이다. 상술한 바와 같이, 나노구조체 밀도가 증가하면 융합으로부터의 보호가 더욱 중요해진다. 따라서, 단계 c) 전 단층 배열에서의 나노구조체의 밀도는 선택적으로 적어도 약 1×10^{10} 나노구조체/ cm^2 , 예를 들어 적어도 약 1×10^{11} 나노구조체/ cm^2 , 적어도 약 1×10^{12} 나노구조체/ cm^2 , 적어도 2.5×10^{12} 나노구조체/ cm^2 , 또는 적어도 5×10^{12} 나노구조체/ cm^2 이다. 일 부류의 구체예에 있어서, 단계 c) 후, 나노구조체의 단층 배열은 약 1×10^{12} 나노구조체/ cm^2 초과, 예를 들어 적어도 2.5×10^{12} 나노구조체/ cm^2 또는 적어도 5×10^{12} 나노구조체/ cm^2 의 밀도를 갖는다. 선택적으로, 단계 c) 후 단층 배열에서의 나노구조체의 밀도는 실질적으로 균일하다.
- [0026] 일 부류의 구체예에 있어서, 단계 c) 후 경화된 실세스퀴옥산에 매립된 나노구조체의 평균 직경은 단계 c) 전 경화된 실세스퀴옥산에 매립된 나노구조체 평균 직경의 110% 미만이다. 관련 부류의 구체예에 있어서, 경화된 실세스퀴옥산에 매립된 나노구조체의 크기 분포는 20% 미만의 rms 편차를 나타낸다. 예를 들어, 단계 c) 후, 경화된 실세스퀴옥산에 매립된 나노구조체의 크기 분포는 15% 미만, 10% 미만, 또는 심지어 5% 미만의 rms 편차를 나타낼 수 있다.

- [0027] 나노구조체가 단층에 배치된 구체예에 있어서, 방법은 선택적으로 1 이상의 추가의 단층을 단층 상에 배치하는 단계를 포함한다. 예를 들어, 일 부류의 구체예에 있어서, 방법은 단계 b) i) 후 및 단계 b) iii) 전에, 실세스퀴옥산 나노구조체의 제2 단층을 불완전하게 경화된 실세스퀴옥산 상에 배치하는 단계를 포함한다.
- [0028] 본질적으로, 상기 구체예에 언급된 모든 특징들은, 예를 들어 제1층의 조성, 기관 상에 제1층의 배치, 기관 조성, 나노구조체 형상 및 조성, 실세스퀴옥산 타입 등에 대해 이들 구체예에도 마찬가지로 상응하게 적용된다. 예를 들어, 나노구조체는 선택적으로 실질적으로 구형인 나노구조체 또는 양자 도트이다. 일 부류의 구체예에 있어서, 나노구조체는 약 4.5 eV 이상의 일 함수를 갖는다. 예를 들어, 나노구조체는 금속, 예를 들어 팔라듐, 백금, 니켈, 또는 루테튬을 포함할 수 있다.
- [0029] 또한, 상기 구체예에 따르면, 하나 이상의 단층 배열이 패턴화되는 구체예에 있어서, 방법은 선택적으로 배열(들)을 트랜지스터(들)에 도입하는 단계를 포함한다. 따라서, 예를 들어, 방법은 선택적으로 단계 c) 전에 기관에 도펀트 이온을 주입함으로써 나노구조체의 단층 배열에 근접하게 기관에서 소스 영역 및 드레인 영역을 형성하는 단계를 포함하는데, 단계 c) 동안 기관의 주입 손상이 복구되며, 도펀트가 활성화된다. 선택적으로 유전층이 경화된 실세스퀴옥산 상에 배치된 후에, 게이트 전극이 경화된 실세스퀴옥산 상에 배치될 수 있다.
- [0030] 다른 일반적인 부류의 구체예로 나노구조체 단층의 패턴화 방법이 제공된다. 이 방법에서는, 레지스트 및 나노구조체를 포함하는 용액을 제1층 상에 배치함으로써, 레지스트 및 레지스트에 매립된 나노구조체의 단층이 제1층 상에 배치되어 레지스트 층이 제공된다. 레지스트 층 상의 예정 패턴을 노출(예: 광, 전자 빔, x-선 등)하여 레지스트 층의 적어도 제1 영역에 노출된 레지스트 및 레지스트 층의 적어도 제2 영역에 비노출 레지스트를 제공한다. 노출 레지스트 및 그의 매립된 나노구조체가 비노출 레지스트 및 그의 매립된 나노구조체를 제거하는 일 없이 제1층으로부터 제거되거나, 또는 비노출 레지스트 및 그의 매립된 나노구조체가 노출 레지스트 및 그의 매립된 나노구조체를 제거하는 일 없이 제1층으로부터 제거된다. 제1 영역으로 한정된 적어도 하나의 나노구조체 단층 배열이 제1층 상에 남게 된다.
- [0031] 레지스트 층은 실질적으로 임의의 통상적인 기술로 형성될 수 있다. 예를 들어, 제1층이 레지스트 및 나노구조체를 포함하는 용액으로 스핀 코팅될 수 있다.
- [0032] 본 발명의 방법을 이용하여 실질적으로 임의의 수의 단층 배열을 생성할 수 있다. 예를 들어, 포지티브 레지스트를 사용하는 경우, 비노출 레지스트가 레지스트 층의 2 이상, 10 이상, 50 이상, 100 이상, 1000 이상, 1×10^4 이상, 1×10^6 이상, 1×10^9 이상, 1×10^{10} 이상, 1×10^{11} 이상, 또는 1×10^{12} 이상의 불연속 제2 영역으로 제공될 수 있고, 2 이상, 10 이상, 50 이상, 100 이상, 1000 이상, 1×10^4 이상, 1×10^6 이상, 1×10^9 이상, 1×10^{10} 이상, 1×10^{11} 이상 또는 1×10^{12} 이상의 불연속 나노구조체 단층 배열이 제1층 상에 잔류한다. 마찬가지로, 네거티브 레지스트를 사용하는 경우, 노출 레지스트가 레지스트 층의 2 이상, 10 이상, 50 이상, 100 이상, 1000 이상, 1×10^4 이상, 1×10^6 이상, 1×10^9 이상, 1×10^{10} 이상, 1×10^{11} 이상 또는 1×10^{12} 이상의 불연속 제1 영역에 제공될 수 있으며, 대응하는 수의 불연속 나노구조체 단층 배열이 제1층 상에 남게 된다.
- [0033] 선택적으로, 네거티브 레지스트는 규소 화합물을 포함하고, 노출 레지스트는 선택적으로 산화규소(예: SiO_2)를 포함한다. 예를 들어, 레지스트는 실세스퀴옥산, 예컨대 머캅토-프로필-시클로헥실 다면체 올리고머 실세스퀴옥산, 수소 실세스퀴옥산, 메틸 실세스퀴옥산, 옥타비닐 디메틸 실릴 실세스퀴옥산, 옥타실란 실세스퀴옥산, 옥타비닐-T8 실세스퀴옥산, 아미노프로필시클로헥실 다면체 올리고머 실세스퀴옥산, 아크릴로 실세스퀴옥산 또는 메타크릴로 실세스퀴옥산일 수 있다. 일 부류의 구체예에 있어서, 실세스퀴옥산은 광중합성일 수 있다.
- [0034] 본질적으로, 상기 방법들에 언급된 모든 특징은, 예를 들어 제1층의 조성 및/또는 처리, 기관 상에 제1층의 배치, 기관 조성, 트랜지스터(들)에 배열(들)의 도입, 나노구조체 형상 및 조성, 배열(들)의 크기 및 밀도 등에 대해 이들 구체예에도 마찬가지로 상응하게 적용된다. 단층 배열(또는 각 다중 배열)은 규칙 배열 또는, 전형적으로 불규칙 배열을 포함할 수 있음에 주목하기 바란다.
- [0035] 또 다른 일반적인 부류의 구체예로 나노구조체 배열의 형성 방법이 제공된다. 이 방법서는, 제1층이 액체 형태의 스핀-온-유전체(spin-on-dielectric)를 포함하는 용액중에 분산된 나노구조체로서 제공된다. 용액이 제1층 상에 배치되어, 나노구조체가 제1층 상에 단층 배열을 형성한다. 이어서, 액체 형태의 스핀-온-유전체를 경화시켜 고체 형태의 스핀-온-유전체를 단층 배열내 나노구조체가 랜덤하게 분포된 매트릭스로서 제공한다.
- [0036] 제1층은 필수적으로 산화물(예를 들면, 금속 산화물, 산화규소, 산화화프늄 또는 알루미늄(Al_2O_3)), 또는 이들 산

화물의 조합물) 또는 질화물(예를 들면, 질화규소)과 같은 유전 물질 또는 반도체를 포함하나 이들에 제한되지 않는 임의의 바람직한 물질을 포함할 수 있다. 제1층은 용액 침착전에, 예를 들어 헥사메틸디실리잔(HMDS) 또는 실란과 같은 화합물로 선택적으로 처리된다. 따라서, 예를 들어, 제1층은 HMDS로 코팅된 산화규소 또는 질화규소를 포함할 수 있다. 제1층은 선택적으로 기판, 예를 들어 반도체를 포함하는 기판 상에 배치된다. 일 부류의 구체예에 있어서, 제1층의 두께는 약 1 내지 약 10 nm, 예를 들어 3 내지 4 nm이다. 기판은 소스 영역, 드레인 영역, 및 소스 영역과 드레인 영역 사이에 있고 나노구조체의 단층 배열 아래에 있는 채널 영역을 형성하고, 방법은 게이트 전극을 고체 형태의 스핀-온-유전체 상에 배치하는 단계를 포함한다. 선택적으로, 게이트 전극을 고체 형태의 스핀-온-유전체 상에 배치하기 전에, 유전층을 고체 형태의 스핀-온-유전체 상에 배치함으로써 제1 유전체의 두께를 증가시킨다.

[0037] 나노구조체 및 액체 스핀-온-유전체를 포함하는 용액은 실질적으로 임의의 통상적인 기술로 제1층 상에 배치될 수 있다. 예를 들어, 제1층을 용액으로 스핀 코팅할 수 있다.

[0038] 다수의 스핀-온-유전 물질이 당업계에 공지되어 있으며 방법에 채용될 수 있다. 몇가지 예를 들자면, 고체 형태의 스핀-온-유전체는 산화규소, 산화알루미늄, 산화하프늄, 산화탄탄 또는 산화탄탈을 포함할 수 있다. 유사하게, 액체 형태의 스핀-온-유전체는 알루미늄 i-프로폭사이드, 트리-메틸 알루미늄, 트리-에틸 알루미늄, 하프늄 t-부톡사이드, 하프늄 에톡사이드, 테트라벤질 하프늄, 트리스(시클로펜타디에닐)란탄, 트리스(i-프로필시클로펜타디에닐)란탄, 펜타키스(디메틸아미노)탄탈, 탄탈 메톡사이드 또는 탄탈 에톡사이드를 포함할 수 있다.

[0039] 일 부류의 구체예에 있어서, 스핀-온-유전체는 스핀-온-글래스(spin-on-glass)이다. 액체 형태의 스핀-온-글래스는 경화 후 산화규소(예: SiO_2)를 형성하는 실리콘 화합물을 포함할 수 있다. 예를 들어, 액체 형태의 스핀-온-글래스는 실세스퀴옥산, 예컨대 머캅토-프로필-시클로헥실 다면체 올리고머 실세스퀴옥산, 수소 실세스퀴옥산, 메틸 실세스퀴옥산, 옥타비닐 디메틸 실릴 실세스퀴옥산, 옥타실란 실세스퀴옥산, 옥타비닐-T8 실세스퀴옥산, 아미노프로필시클로헥실 다면체 올리고머 실세스퀴옥산, 아크릴로 실세스퀴옥산 또는 메타크릴로 실세스퀴옥산일 수 있다.

[0040] 일 부류의 구체예에 있어서, 액체 형태의 스핀-온-유전체는 광중합성 화합물(예: 수소 실세스퀴옥산 또는 옥타비닐-T8 실세스퀴옥산)을 포함한다. 광중합성 스핀-온-유전체의 사용으로 단층 배열의 패터화를 촉진할 수 있다. 따라서, 일 부류의 구체예에 있어서, 제1층의 적어도 제1 영역 및 그 위에 분산된 용액을 적절한 파장의 광에 노출하여 제1 영역내 스핀-온-유전체를 경화시킬 수 있다. 동시에, 제1층의 적어도 제2 영역 및 그 위에 분산된 용액을 광으로부터 보호하여 제2 영역내 스핀-온-유전체를 비경화 상태로 잔류시킨다. 이어서, 비경화된 스핀-온-유전체 및 그 안의 나노구조체를 경화된 스핀-온-유전체 및 그 안의 나노구조체를 제거하는 일 없이 제1층으로부터 제거하여 제1층 상에 하나 이상의 단층 배열을 잔류시킨다.

[0041] 본 발명의 방법을 이용하여 실질적으로 임의의 수의 단층 배열을 생성할 수 있다. 예를 들어, 제1층의 2 이상, 10 이상, 50 이상, 100 이상, 1000 이상, 1×10^4 이상, 1×10^6 이상, 1×10^9 이상, 또는 심지어 1×10^{12} 이상의 불연속 영역 및 그 위에 배치된 용액을 광에 노출하여 대응하는 수의 불연속 나노구조체 단층 배열을 제1층 상에 잔류시킨다.

[0042] 나노구조체의 단층 배열은 전형적으로 불규칙 배열이다. 본 발명의 방법으로 제조된 배열(또는 각 다중 배열)은 선택적으로 고 밀도의 나노구조체를 가진다. 예를 들어, 나노구조체의 단층 배열은 선택적으로 약 1×10^{10} 나노구조체/ cm^2 초과, 약 1×10^{11} 나노구조체/ cm^2 초과, 약 1×10^{12} 나노구조체/ cm^2 초과, 적어도 2.5×10^{12} 나노구조체/ cm^2 , 적어도 5×10^{12} 나노구조체/ cm^2 , 또는 심지어 약 1×10^{13} 나노구조체/ cm^2 초과의 밀도를 갖는다. 배열을 통한 나노구조체의 밀도 변화가 낮은 것이 바람직하다. 예를 들어, 단층 배열에서 나노구조체의 밀도 변화는 단층을 통해 10% 미만, 예를 들어 5% 미만일 수 있다.

[0043] 나노구조체는 선택적으로 실질적으로 구형인 나노구조체 또는 양자 도트이다. 나노구조체는 본질적으로 임의의 목적 물질을 포함할 수 있다. 일 부류의 구체예에 있어서, 나노구조체는 약 4.5 eV 이상의 일 함수를 갖는다. 예를 들어, 나노구조체는 팔라듐, 백금, 니켈 또는 루테튬을 포함할 수 있다.

[0044] 본 발명의 일 측면으로 용매 어닐링을 이용하여 단층 질을 개선함으로써 단층 형성을 촉진하는 방법이 제공된다. 따라서, 한가지 일반적 부류의 구체예로서 나노구조체 배열의 형성 방법이 제공된다. 이 방법에서는, 제1층이 제공되고, 나노구조체 군이 제1층 상에 침착된다. 제1층 상에 침착된 나노구조체는 외부 용매 증기에 노출되고, 그에 따라 나노구조체가 단층 배열로 어셈블링된다. 나노구조체는 제1 용매를 액체 형태로 제공하고,

제1 용매를, 예를 들어 50 ℃ 내지 제1 용매의 비점 사이의 온도로 가열하여 용매 증기를 생성함으로써 용매 증기에 노출될 수 있다.

[0045] 나노구조체는, 제2 용매를 포함하는 용액에 그 나노구조체를 분산시키고, 생성된 용액을 제1층 상에 배치함으로써, 제1층 상에 침착시킬 수 있다. 나노구조체를 포함하는 용액은 실질적으로 당업계에 공지된 방법, 예를 들어 스프레이 코팅(spray coating), 플로우 코팅(flow coating), 캐필러리 코팅(capillary coating), 딥 코팅(dip coating), 롤 코팅(roll coating), 잉크-젯 프린팅(ink-jet printing), 스핀 코팅(spin coating) 또는 그밖의 다른 습식 코팅 기술로 제1층에 적용될 수 있다. 전형적으로, 용액은 스핀 코팅 이외의 기술로 제1층 상에 배치된다.

[0046] 일 부류의 구체예에 있어서, 방법은 용액을 제1층 상에 배치한 후에 그리고 나노구조체를 용매 증기에 노출하기 전에, 나노구조체가 분산되어 있는 제2 용매를 증발시켜 제1층 상에 침착된 건조 나노구조체를 제공하는 단계를 포함한다. 나노구조체를 용매 증기에 노출시키기 전에, 제1층 상에 침착된 건조 나노구조체를 전형적으로 주변 온도에서 공기에 선택적으로 노출한다.

[0047] 본 원에 개시된 다른 구체예와 관련하여, 제1층은 본질적으로 임의의 목적 물질, 예를 들어 전도성 물질, 비전도성 물질, 예를 들어, 실리콘 웨이퍼를 포함한 반도체 등, 또는 가요성 물질, 예컨대 플라스틱을 포함할 수 있다. 제1층은 선택적으로 유전 물질, 예컨대 산화물 또는 질화물, 예를 들어 산화규소, 산화하프늄, 알루미늄 또는 질화규소를 포함하고, 선택적으로 기판 상에 배치된다.

[0048] 생성된 나노구조체의 단층 배열은 규칙 배열 또는 불규칙 배열을 포함할 수 있다. 배열은 선택적으로 약 1×10^{10} 나노구조체/cm² 초과, 약 1×10^{11} 나노구조체/cm² 초과, 약 1×10^{12} 나노구조체/cm² 초과 또는 약 1×10^{13} 나노구조체/cm² 초과와 밀도를 가진다.

[0049] 실질적으로, 상기 구체예들에 언급된 모든 특징은, 예를 들어 트랜지스터(들)에 배열(들)의 도입, 나노구조체 형상 및 조성, 나노구조체 리간드, 배열(들)의 크기 등에 대해 이들 구체예에도 마찬가지로 상응하게 적용된다. 예를 들어, 나노구조체는 실질적으로 구형인 나노구조체 또는 양자 도트를 선택적으로 포함한다. 나노구조체는 본질적으로 임의의 목적 물질을 포함할 수 있다. 일 부류의 구체예에 있어서, 나노구조체는 약 4.5 eV 이상의 일 함수를 갖는다.

[0050] 도면의 간단한 설명

[0051] 도 1의 패널 A 내지 C는 코팅된 제1층 상의 나노구조체의 단층 배열의 형성을 개략적으로 도시한 것으로, 여기서 제1층의 불연속 영역이 코팅되어 있다.

[0052] 도 2의 패널 A 내지 D는 코팅된 제1층 상의 나노구조체의 단층 배열의 형성을 개략적으로 도시한 것으로, 코팅 조성물은 광활성이고 제1층의 불연속 영역은 광에 노출되어 나노구조체 상의 리간드에 대한 조성물의 가교 결합을 개시한다.

[0053] 도 3의 패널 A는 예시적인 모노티올 실세스퀴옥산 리간드를 도시한 것이고, 도 3의 패널 B는 예시적인 트리티올 실세스퀴옥산 리간드를 도시한 것이다. 패널 C는 예시적인 아민 POSS 리간드를 도시한 것이다. 패널 A 내지 C에서, R은 유기 기 또는 수소 원자일 수 있으며; 예를 들면, R은 탄화수소기, 알킬기(예를 들면, 탄소 원자가 20개 미만 또는 심지어 10개 미만인 고리형 알킬기 또는 단쇄형 알킬기), 아릴기, 알킬아릴기, 알케닐기 또는 알키닐기일 수 있다. 예를 들면, 일부 구체예에서, R은 이소부틸기, 메틸기, 헥실기 또는 시클로펜틸기이다. 특정 구체예에서, R은 시클로헥실기이다. 패널 D는 메타크릴로 실세스퀴옥산을 나타낸다. 패널 E는 아크릴로 실세스퀴옥산을 나타낸다.

[0054] 도 4는 레지스트를 사용하여 단층을 패터닝하는 것을 포함하는, 나노구조체의 단층 배열을 포함한 플래시 트랜지스터의 제조를 개략적으로 도시한 것이다.

[0055] 도 5의 패널 A 내지 D는 본 발명의 장치를 이용한 나노구조체의 단층 배열의 형성을 개략적으로 도시한 것이다. 장치의 측면도가 패널 A 내지 C에 개략적으로 도시되어 있다.

[0056] 도 6의 패널 A 내지 B는 나노구조체 배열을 형성하기 위한 장치의 제조를 개략적으로 도시한 것이다. 장치의 측면도가 도시되어 있다.

[0057] 도 7의 패널 A 내지 C는 본 발명의 예시적인 장치를 개략적으로 도시한 것이다. 패널 A는 장치의 상면도를 도시

한 것이다. 패널 B는 패널 A에 도시된 장치의 단면도 및 장치를 이용한 나노구조체의 단층 배열 형성의 개략도를 나타낸 것이다. 패널 C는 다른 예시적인 장치의 단면도를 나타낸 것이다.

[0058] 도 8은 스핀-온-글래스에서 도트의 침착으로 형성된 팔라듐(패널 A), 루테튬(패널 B) 및 니켈(패널 C) 양자 도트의 현미경사진을 나타낸다.

[0059] 도 9는 단층 질을 개선시키기 위한 용매 어닐링 전 (패널 A) 및 후 (패널 B) 양자 도트의 현미경사진을 나타낸다.

[0060] 도 10은 레지스트에 매립된 나노구조체의 단층 배열 패턴화를 개략적으로 도시한 것이다.

[0061] 도 11은 본 발명의 방법을 이용하여 패턴화된 양자 도트의 현미경사진을 나타낸다.

[0062] 도 12의 패널 A 내지 C는 950 °C로 노출한 후 실세스퀴옥산내 루테튬 양자 도트의 현미경사진을 나타내는데, 상기 도트는 실세스퀴옥산의 사전 경화로 보호되지 않았거나 (패널 A), 또는 실세스퀴옥산을 15 분 (패널 B) 또는 100 분 (패널 C)동안 사전 UV 경화시킴으로써 보호되었다.

[0063] 도 13은 패턴화에 레지스트를 사용하고, 단층을 보호하는 단계를 포함하여 나노구조체의 단층 배열을 포함하는 플래시 트랜지스터를 제조하는 것을 개략적으로 도시한 것이다.

[0064] 도면들이 반드시 일정한 척도로 도시되어 있지는 않다.

[0065] **정의**

[0066] 별도로 정의하지 않는 한, 본 원에 사용되는 모든 기술 용어 및 과학 용어는 본 발명이 관련되는 기술 분야에서 통상의 지식을 가진 자가 일반적으로 이해하는 것과 동일한 의미를 갖는다. 하기의 정의는 이 기술 분야에서의 정의를 보충한 것으로, 본 출원에 관한 것이고, 임의의 공동 소유의 특허 또는 출원과 같이 임의의 관련되거나 비관련 건에 귀속되지 않는다. 본 원에 설명된 것과 유사하거나 등가인 어떠한 방법 및 물질도 본 발명을 테스트하기 위한 실시예에 사용될 수 있지만, 본 원에는 바람직한 물질 및 방법이 설명되어 있다. 따라서, 본 원에 설명된 용어들은 단지 구체적인 구체예를 설명하기 위한 것일 뿐 제한하고자 하는 것은 아니다.

[0067] 본 명세서 및 청구 범위에서 사용된 바와 같이, 단수 형태는 그 문장이 달리 명확히 지시하고 있지 않는 한, 복수의 대상물도 포함하는 의미로 사용된다. 따라서, 예컨대 "나노구조체"는 복수의 나노구조체도 포함하는 의미로 사용되며, 그 외에도 이와 상응하게 적용된다.

[0068] 본 원에 사용된 바와 같이, 용어 "약"은 주어진 크기의 값이 그 값의 +/-10%, 또는 선택적으로 그 값의 +/-5%, 또는 일부 구체예에서는 그 값의 +/-1% 만큼 변할 수 있다는 것을 나타낸다.

[0069] "나노구조체(nanostructure)"는 약 500 nm 미만, 예를 들면 약 200 nm 미만, 약 100 nm 미만, 약 50 nm 미만, 또는 약 20 nm 미만의 치수를 갖는 적어도 하나의 영역 또는 특징적 치수를 가진 구조체이다. 전형적으로, 영역 또는 특징적 치수는 구조체의 최소 축을 따를 것이다. 그러한 구조체의 예로는 나노와이어(nanowire), 나노로드(nanorod), 나노튜브, 분지형 나노구조체(branched nanostructure), 나노테트라포드, 트리포드, 바이포드, 나노결정, 나노도트, 양자 도트, 나노입자 등이 있다. 나노구조체는 예를 들면 실질적으로 결정성, 실질적으로 단결정성, 다결정성, 무정형 또는 이들의 조합일 수 있다. 일 측면으로, 각각의 3차원 나노구조체는 약 500 nm 미만, 예를 들면, 약 200 nm 미만, 약 100 nm 미만, 약 50 nm 미만, 또는 심지어 약 20 nm 미만의 치수를 가진다.

[0070] "종횡비(aspect ratio)"는 나노구조체의 제1 축의 길이를 나노구조체의 제2 축과 제3축의 길이의 평균으로 나눈 값이고, 여기에서 제2 축과 제3축은 그 길이가 서로 가장 근접하게 동일한 2개의 축을 말한다. 예를 들어서 퍼펙트 로드(perfect rod)의 종횡비는 그 장축의 길이를 이 장축에 수직(법선인)인 단면의 직경으로 나눈 값이다.

[0071] 본 원에 사용된 바와 같이, 나노구조체의 "직경"은 나노구조체의 제1 축에 법선인 단면의 직경을 의미하며, 여기에서 제1 축은 제2 축 및 제3축(제2 축과 제3축은 그 길이가 서로 가장 근접하게 동일한 2개의 축임)에 대하여 길이 차가 가장 큰 축이다. 제1 축은 반드시 나노구조체, 예컨대 디스크형 나노구조체에 있어서는 나노구조체의 최장 축일 필요는 없고, 단면은 디스크의 짧은 세로축에 법선인 실질적으로 원형 단면일 것이다. 단면이 원형이 아닌 경우, 직경은 그 단면의 장축과 단축의 평균이다. 나노와이어 또는 나노로드와 같이 길거나 높은 종횡비의 나노구조체에 있어서, 직경은 전형적으로 나노와이어 또는 나노로드의 최장축에 법선인 횡단면을 가로질러 측정된다. 양자 도트와 같은 구형 나노구조체에 있어서, 직경은 구의 중심을 통하여 한쪽 측면으로부터 나머지 다른 한쪽 측면까지 측정된다.

- [0072] 용어 "결정성" 또는 "실질적으로 결정성"은, 나노구조체에 대하여 사용될 때, 나노구조체가 전형적으로 이 구조체의 하나 이상의 치수를 횡단하여 장거리 질서(long-range ordering)를 나타내는 사실을 의미한다. 당업자라면 용어 "장거리 질서"는, 단결정에 대한 질서가 그 결정의 경계부를 넘어서 연장될 수 없기 때문에, 특정 나노구조체의 절대 크기에 좌우될 것임을 이해할 것이다. 이 경우, "장거리 질서"는 적어도 나노구조체 치수의 대부분을 횡단하는 실질적인 질서를 의미할 것이다. 일부의 경우, 나노구조체는 산화물 또는 다른 코팅을 가질 수 있거나, 코어와 하나 이상의 셸(shell)로 구성될 수 있다. 그 경우, 산화물, 셸(들) 또는 다른 코팅은 상기 질서를 나타낼 필요가 없다(예를 들면, 이는 무정형, 다결정성 또는 그밖의 다른 것일 수 있다). 그 경우, 용어 "결정성", "실질적으로 결정성", "실질적으로 단결정성" 또는 "단결정성"은 나노구조체의 중심 코어를 의미한다(코팅층 또는 셸을 제외함). 본 원에 사용되고 있는 용어 "결정성" 또는 "실질적으로 결정성"은, 그 구조체가 실질적인 장거리 질서(예를 들면, 나노구조체 또는 이것의 코어의 적어도 한 축 길이의 적어도 약 80%를 초과한 질서)를 나타내는 한, 각종 결함, 적층 결점(stacking fault), 원자 치환 등을 포함하는 구조체를 또한 포함하도록 의도된다. 또한, 코어와 나노구조체의 외층 간, 또는 코어와 인접 셸 간, 또는 셸과 제2 인접 셸 간의 인터페이스는 무정형 영역을 포함할 수 있고, 더 나아가 무정형일 수 있음이 이해될 것이다. 이것은 나노구조체가 본 원에 정의되어 있는 바와 같은 결정성 또는 실질적으로 결정성으로 되는 것을 막지는 못한다.
- [0073] 나노구조체에 대하여 사용될 때, 용어 "단결정성"은 나노구조체가 실질적으로 결정성이고 실질적으로 단결정을 포함하는 것을 나타낸다. 코어와 하나 이상의 셸을 포함하는 나노구조체 헤테로구조에 대하여 사용될 때, "단결정성"은 코어가 실질적으로 결정성이고 실질적으로 단결정을 포함하는 것을 나타낸다.
- [0074] "단결정"은 실질적으로 단결정성인 나노구조체이다. 따라서, 나노결정은 약 500 nm 미만, 예를 들면, 약 200 nm 미만, 약 100 nm 미만, 약 50 nm 미만 또는 심지어 약 20 nm 미만의 치수를 가진 적어도 하나의 영역 또는 특징적 치수를 갖는다. 용어 "나노결정"은 각종 결함, 적층 결점, 원자 치환 등을 포함한 실질적으로 단결정성인 나노구조체 뿐만 아니라 상기와 같은 결함, 결점 또는 치환이 없는 실질적으로 단결정성인 나노구조체를 포함하는 것으로 의도된다. 코어 및 하나 이상의 셸을 포함하는 나노결정 헤테로구조의 경우, 나노결정의 코어는 전형적으로 실질적으로 단결정성이지만, 셸(들)은 그럴 필요가 없다. 일 측면에서, 3차원 나노결정은 각각 약 500 nm 미만, 예를 들면, 약 200 nm 미만, 약 100 nm 미만, 약 50 nm 미만, 또는 심지어 약 20 nm 미만의 치수를 가진다. 나노결정의 예로는, 실질적으로 구형인 나노결정, 분지형 나노결정 및 실질적으로 단결정성인 나노와이어, 나노로드, 나노도트, 양자 도트, 나노테트라포트, 트리포트, 바이포트 및 분지형 테트라포트(예를 들면, 무기 텐드러머)를 들 수 있으나, 이들에 제한되는 것은 아니다.
- [0075] "실질적으로 구형인 나노구조체"는 종횡비가 약 0.8 내지 약 1.2인 나노구조체이다. 예를 들면, "실질적으로 구형인 나노결정"은 종횡비가 약 0.8 내지 약 1.2인 나노결정이다.
- [0076] "나노구조체 배열"은 나노구조체의 집합군이다. 집합군(assemblage)은 공간적으로 규칙적이거나("규칙 배열"), 불규칙적("불규칙 배열")일 수 있다. 나노구조체의 "단층 배열"에서, 나노구조체의 집합군은 단층을 포함한다.
- [0077] 다양한 추가의 용어들이 본 원에 정의되어 있거나 다른 방식으로 특성화되어 있다.
- [0078] **발명의 상세한 설명**
- [0079] 일 측면으로, 본 발명은 나노구조체 배열, 예를 들면 나노구조체의 규칙적이거나, 불규칙적인 단층 배열을 형성하는 방법을 제공한다. 이 배열은 예정 위치에 선택적으로 형성되고/형성되거나, 예정 치수를 갖는다. 나노구조체 배열을 포함한 장치와 같이, 이 방법과 관련된 장치가 또한 제공된다. 예를 들면, 일 측면에서, 본 발명은 소형 나노구조체 단층 배열을 포함한 메모리 장치를 제공한다.
- [0080] 화학적 코팅 상의 단층 형성
- [0081] 나노구조체 배열이 형성되는 표면은 화학적 조성물, 예를 들면, 나노구조체에 대하여 표면 자체보다 더 높은 친화도를 가진 조성물로 코팅될 수 있다. 이러한 코팅은 예를 들면 표면에 대한 나노구조체의 집착을 용이하게 할 수 있고, 따라서 단층의 형성을 촉진할 수 있다.
- [0082] 따라서, 하나의 일반적 부류의 구체에는 나노구조체 배열을 형성하는 방법을 제공한다. 이 방법에서는 제1층이 제공되고 나노구조체 결함 기를 포함하는 조성물에 의해 코팅되어 코팅된 제1층을 제공한다. 나노구조체 군이 코팅된 제1층 상에 침착되고, 이로써 나노구조체가 나노구조체 결함 기와 결함하게 된다. 나노구조체 결함 기와 결함되지 않은 임의의 나노구조체가 제거되고, 이로써 나노구조체의 단층 배열이 코팅된 제1층과 결함된 채로 잔류하게 된다.

- [0083] 제1층은 본질적으로, 예를 들어 생성된 나노구조체의 단층 배열이 적용될 용도를 기초로 하여 선택되는 임의의 원하는 물질(예를 들면, 전도성 물질, 비전도성 물질, 반도체 등)을 포함할 수 있다. 제1층은 기판 상에 선택적으로 배치되거나 침착되고, 이것은 예를 들면 나노구조체 배열의 목적 용도에 따라, 본질적으로 임의의 원하는 물질을 유사하게 포함할 수 있다. 적절한 기판은, 균일한 기판, 예를 들면 실리콘 또는 다른 반도체 물질, 유리, 석영, 중합체 등과 같은 고체 물질의 웨이퍼; 예를 들면 유리, 석영, 플라스틱, 예컨대 폴리카보네이트, 폴리스티렌 등과 같은 고체 물질의 대형 경질 시트; 예를 들면 폴리올레핀, 폴리아미드 등의 플라스틱 몰과 같은 가요성 기판; 또는 투명 기판을 포함하나 이들에 제한되는 것은 아니다. 이들 형태의 조합이 사용될 수 있다. 기판은 궁극적으로 원하는 장치의 부분인 다른 구성 또는 구조적 부재를 선택적으로 포함한다. 이러한 부재의 구체적인 예로는 나노와이어 또는 다른 나노스케일의 전도성 소자, 광학 및/또는 광전기 소자(예를 들면, 레이저, LED 등), 및 구조적 부재(예를 들면, 마이크로컨테이너, 피트, 웰, 포스트 등)를 비롯한 전기 접촉부, 기타 배선 또는 전도 경로와 같은 전기 회로 소자를 들 수 있다.
- [0084] 예를 들어서, 나노구조체의 단층 배열이 플래시 트랜지스터 또는 메모리 장치에 도입되는 구체예에서, 제1층은 산화물(예를 들면, 금속 산화물, 산화규소, 산화하프늄 또는 알루미늄(Al_2O_3), 또는 이들 산화물의 조합물), 질화물(예를 들면, Si_3N_4), 절연성 중합체, 또는 다른 비전도성 물질과 같은 유전 물질을 포함한다. 이러한 일 부류의 구체예에서, 제1층(이것은 이러한 구체예에서 터널 유전층으로서 사용됨)은 얇은 것이 바람직하고(예를 들면, 약 1 nm 내지 약 10 nm, 예컨대 3 nm 내지 4 nm의 두께를 갖는 것), 반도체를 포함한 기판 상에 배치된다. 바람직한 터널 유전체가 지앙 첸(Jian Chen)에 의해 "Electron blocking layers for electronic devices" 라는 명칭으로 2007년 5월 1일자로 출원된 미국 특허 출원 제11/743,085호에 기술되었으며, 그의 전체 내용은 본 원에서 참고로 포함된다. 기판은 전형적으로 소스 영역, 드레인 영역, 소스 영역과 드레인 영역 사이에 있고 나노구조체의 단층 배열 아래에 있는 채널 영역을 포함하고, 방법은 제어 유전층을 나노구조체의 단층 배열 상에 배치하는 단계 및, 게이트 전극을 제어 유전층 상에 배치하는 단계를 포함하며, 이로써 나노구조체 배열이 트랜지스터 내로 도입된다. 제어 유전층은 유전 물질, 예를 들면, 산화물(예컨대, 금속 산화물, SiO_2 , Al_2O_3 , 또는 이들 산화물의 조합물), 절연 중합체 또는 다른 비전도성 물질을 포함한다. 바람직한 제어 유전체가 미국 특허 출원 제11/743,085호(상동)에 기술되었고, 바람직한 게이트 전극 디자인이 프란시스코 에이. 레온(Francisco A. Leon) 등에 의해 "Gate electrode for nonvolatile memory cell" 이라는 명칭으로 2007년 5월 23일자로 출원된 미국 특허 출원 제60/931,488호에 기술되었으며, 이들의 전체 내용은 본 원에서 참고로 포함된다.
- [0085] 본 발명의 방법은 동일 기판 상에 복수의 나노구조체 배열을 형성하기 위해 사용될 수 있다. 따라서, 일 부류의 구체예에서, 제1층의 2 이상의 불연속 영역이 조성물로 코팅된다. 각 영역은 제1층의 예정 위치를 점유한다(이것은 예를 들어 제1층이 배치되는 기판의 예정 위치에 상응할 수 있다). 따라서, 나노구조체의 2 이상의 불연속 단층 배열은, 나노구조체 군이 제1층의 코팅된 영역 위에 침착되고 나노구조체 결합 기와 결합되지 않은 임의의 나노구조체가 제거된 후에, 코팅된 제1층과 결합된 채로 잔류하게 된다. 본질적으로 임의의 수의 나노구조체 배열이 이러한 방식으로 생성될 수 있다. 예를 들면, 제1층의 10 이상, 50 이상, 100 이상, 1000 이상, 1×10^4 이상, 1×10^6 이상, 1×10^9 이상, 1×10^{10} 이상, 1×10^{11} 이상 또는 1×10^{12} 이상의 불연속 영역이 조성물로 코팅될 수 있고, 이로써 10 이상, 50 이상, 100 이상, 1000 이상, 1×10^4 이상, 1×10^6 이상, 1×10^9 이상, 1×10^{10} 이상, 1×10^{11} 이상 또는 1×10^{12} 이상의 불연속 단층 나노구조체 배열이 제1층의 예정 위치에 형성된다.
- [0086] 영역들은 본질적으로 임의의 목적하는 크기로 될 수 있다. 예를 들면, 각 영역(및 이로써 생성된 나노구조체의 단층 배열 각각)은 약 $10^4 \mu m^2$ 이하, 약 $10^3 \mu m^2$ 이하, 약 $10^2 \mu m^2$ 이하, 약 $10 \mu m^2$ 이하, 약 $1 \mu m^2$ 이하, 약 $10^5 nm^2$ 이하, 약 $10^4 nm^2$ 이하, 약 $4225 nm^2$ 이하, 약 $2025 nm^2$ 이하, 약 $1225 nm^2$ 이하, 약 $625 nm^2$ 이하, 또는 약 $324 nm^2$ 이하의 면적을 가질 수 있다. 생성된 각 배열이, 필요에 따라 트랜지스터 또는 다른 장치 내에 도입될 수 있음은 명백하다.
- [0087] 제1층의 불연속 영역을 코팅하는 데 유용한 기술은 당업계에 공지되어 있다. 예를 들면, 제1층을 레지스트(예를 들면, 포토레지스트)로 코팅하고, 원하는 패턴으로 노출 및 현상하여 제1층의 원하는 영역을 벗겨낸(uncover) 다음에, 조성물로 코팅한다. 다른 예로서, 제1층을 조성물로 코팅한 다음에, 레지스트로 코팅하고, 원하는 패턴의 역으로 노출 및 현상시킬 수 있다. 레지스트로 보호되지 않은 조성물을 제거하고, 나머지 레지스트를 제거하여 조성물을 원하는 영역에 잔류시킨다. 또 다른 예로서, 조성물을 제1층의 원하는 영역 상에 단순히 프린팅할 수 있다. 다른 부류의 구체예에서는, 단층을 형성하고, 그 다음에, 예를 들면, 후술하는 "레지스트를 이용한 단

층 패턴화"라는 제목의 섹션에 설명되어 있는 바와 같은 레지스트를 이용하여 패턴화한다.

- [0088] 상기 언급된 바와 같이, 제1층을 코팅하기 위해 사용된 조성물은 나노구조체 결합 기(예를 들면, 나노구조체의 표면 및/또는 나노구조체의 표면을 코팅하는 리간드와 공유 또는 비공유적으로 상호작용할 수 있는 화학 기)를 포함한다. 수 많은 적당한 기들이 당업계에 공지되어 있고, 본 발명의 실시를 위하여 채택될 수 있다. 예시적인 나노구조체 결합 기로는, 티올, 아민, 알콜, 포스포닐, 카복실, 보로닐, 불소 또는 기타 비탄소 헥테로 원자, 포스피닐, 알킬, 아릴 등의 기를 들 수 있지만, 이에 한정되는 것은 아니다.
- [0089] 일 부류의 구체예에서, 조성물은 실란을 포함한다. 예를 들면, 실란은 유기실란, 예컨대, 트리클로로실란, 트리메톡시실란 또는 트리에톡시실란일 수 있다. 다른 예로서, 실란은 식 $[X_3Si\text{-스페이스}\text{-나노구조체 결합 기(들)}]$ 을 갖는 구조를 포함할 수 있는데, 여기에서 X는 Cl, OR, 알킬, 아릴, 기타 탄화수소, 헥테로 원자, 또는 이들 기의 조합물이고, 스페이스는 알킬, 아릴 및/또는 헥테로 원자 조합물이다. 실란은, 예컨대 제1층 상에 단층 코팅을 형성하는 산화규소 제1층의 표면 상에서 자유 히드록실기와 반응할 수 있다.
- [0090] 일 측면으로, 나노구조체 결합 기는 나노구조체 표면과 상호작용한다. 예시적인 일 부류의 구체예에서, 나노구조체 결합 기는 티올기를 포함한다. 따라서, 코팅된 제1층은 티올 화합물을 포함한 자기 어셈블링된 단층을 포함할 수 있다. 조성물은, 예를 들면 머캅토알킬트리클로로실란, 머캅토알킬트리메톡시실란 또는 머캅토알킬트리에톡시실란을 포함할 수 있고, 여기에서, 예컨대 알킬기는 3 내지 8개의 탄소를 포함한다(예를 들면, 12-머캅토도데실트리메톡시실란). 조성물은 선택적으로 2 이상의 상이한 화합물의 혼합물을 포함한다. 예를 들면, 조성물은 장쇄 머캅토실란(예를 들면, 머캅토알킬트리클로로실란, 머캅토알킬트리메톡시실란 또는 머캅토알킬트리에톡시실란, 여기에서 알킬기는 8 내지 18개의 탄소를 포함함)과 단쇄 머캅토실란(예를 들면, 머캅토알킬트리클로로실란, 머캅토알킬트리메톡시실란 또는 머캅토알킬트리에톡시실란, 여기에서 알킬기는 8개 이하의 탄소를 포함함)의 혼합물을 포함할 수 있고, 여기에서 장쇄 머캅토실란의 알킬기는 단쇄 머캅토실란의 알킬기에 비하여 탄소를 적어도 하나 더 포함한다. 이 예에서, 장쇄 머캅토실란과 단쇄 머캅토실란의 비율은 나노구조체에 제공되는 표면에 맞추어 적절하게 변할 수 있다. 예를 들면, 장쇄 머캅토실란과 단쇄 머캅토실란은 장쇄 머캅토실란 대 단쇄 머캅토실란의 몰비가 약 1:10 내지 약 1:10,000(예를 들면, 약 1:100 또는 1:1000의 몰비)가 되도록 존재할 수 있다. 다른 예로서, 조성물은 나노구조체 결합 기를 포함할 필요가 없는 장쇄 머캅토실란과 단쇄 머캅토실란(예를 들면, 알킬트리클로로실란, 알킬트리메톡시실란 또는 알킬트리에톡시실란, 여기에서, 알킬기는 8개 이하의 탄소를 포함함)의 혼합물을 포함할 수 있다.
- [0091] 나노구조체는 계면활성제 또는 다른 표면 리간드와 선택적으로 결합한다. 일 부류의 구체예에서, 각 나노구조체는 나노구조체의 표면과 결합된 리간드, 예를 들면, 화이트포드(Whiteford) 등이 "Post-deposition encapsulation of nanocrystals: Compositions, devices and systems incorporating same" 이라는 명칭으로 2004년 11월 30일자로 출원한 미국 특허 출원 제60/632,570호에 설명되었거나, 또는 도 3의 패널 A 내지 C에 도시된 것과 같은 실세스퀴옥산 리간드를 포함한 코팅을 포함한다. 리간드는 배열 내에서 인접 나노구조체들 사이의 간격을 선택적으로 제어한다. 나노구조체 결합 기는 리간드를 치환할 수 있고/있거나, 인접 리간드 분자 간에 삽입되어 나노구조체의 표면에 도달할 수 있다.
- [0092] 예시적인 구체예가 도 1에 개략적으로 도시되어 있다. 이 예에서, 제1층(103)(예를 들면, SiO_2 층)이 기판(120)(예를 들면, 실리콘 기판) 상에 배치된다. 도시된 제1층은 기판을 가로질러 연속적으로 분포되어 있지만, 그에 대신하여 제1층이 기판 상의 복수의 불연속 영역에 선택적으로 분포될 수 있다는 것은 명백하다. 제1층은 나노구조체 결합 기(105)(예를 들면, 티올기)를 포함한 조성물(104)(예를 들면, 장쇄 머캅토실란과 단쇄 머캅토실란의 혼합물)로 코팅되어, 불연속 영역(119)에서 코팅된 제1층(102)을 형성한다. 리간드(111)(예를 들면, 실세스퀴옥산 리간드)로 코팅된 나노구조체(110)의 개체군(예를 들면, Pd 양자 도트)은, 예를 들면 스핀 코팅(패널 A)에 의해 코팅된 제1층 상에 배치된다. 나노구조체는 나노구조체를 코팅하는 리간드 중에 삽입되는 나노구조체 결합 기와 결합되고, 제1층 상에서 약간 더 많은 단층을 형성한다(패널 B). 나노구조체 결합 기와 결합되지 않은 임의의 나노구조체는 (예를 들면, 용매로 세척함으로써) 제거되어 코팅된 제1층과 결합된 나노구조체의 단층 배열(109)를 잔류시키게 된다(패널 C).
- [0093] 나노구조체 표면과의 상호작용을 위해 나노구조체 상의 리간드로 치환하거나 이를 삽입하는 대신에(또는 이외에), 나노구조체 결합 기가 리간드와 상호작용할 수 있다. 따라서, 일 측면으로, 각 나노구조체는 나노구조체의 표면과 결합된 리간드를 포함하는 코팅을 포함하고, 나노구조체 결합 기는 리간드와 상호작용한다. 일부 구체예에서, 리간드는 실세스퀴옥산을 포함한다. 예시적인 리간드로는, 미국 특허 출원 제60/632,570호(상동)에

개시된 것 또는 도 3 패널의 A 내지 C에 도시된 것을 들 수 있지만, 이에 제한되는 것은 아니다.

- [0094] 리간드와 나노구조체 결합 기 간의 상호작용은 공유 또는 비공유 결합일 수 있다. 따라서, 일 부류의 구체예에서, 상호작용은 비공유 결합이다. 조성물은, 예를 들면 3-아미노프로필트리에톡시실란(APTES), 도데실트리에톡시실란, 옥타데실트리에톡시실란(OTS), 도데실트리에톡시실란, 옥타데실트리에톡시실란, 또는 임의의 다수의 유사한 화합물을 포함할 수 있다. 전술한 바와 같이, 실란은, 예를 들면 SiO_2 제1층의 표면 상의 자유 히드록실기와 결합될 수 있다. 도데실 및 옥타데실 기는 소수성 표면, 예를 들면 나노구조체 상의 소수성 리간드와 상호작용하기 위한 소수성 표면을 제공하는데 반해, APTES는 극성 표면, 예를 들면 APTES 아미노기와 수소 결합할 수 있는 리간드와 상호작용하기 위한 극성 표면을 제공한다.
- [0095] 다른 부류의 구체예에서, 나노구조체 결합 기는 리간드와 공유 결합을 형성한다. 조성물은 리간드와 나노구조체 결합 기 간의 공유 결합이 광에 노출되는 경우에만 형성되도록, 선택적으로 광활성화될 수 있다. 이러한 구체예에서, 방법은 코팅된 제1층 상에서 예정 위치를 각각 점유하는 코팅된 제1층의 하나 이상의 불연속 영역을 광에 노출시키는 단계를 포함한다.
- [0096] 본질적으로, 임의 수의 나노구조체 배열이 이러한 방식으로 생성될 수 있다. 예를 들면, 코팅된 제1층의 2 이상, 10 이상, 50 이상, 100 이상, 1000 이상, 1×10^4 이상, 1×10^6 이상, 1×10^9 이상, 1×10^{10} 이상, 1×10^{11} 이상 또는 1×10^{12} 이상의 불연속 영역이 광에 노출되어 제1층의 예정 위치(및 이어서 제1층이 배치되는 임의의 기판 상의 예정 위치)에서 대응하는 수의 불연속 나노구조체 단층 배열을 형성한다. 유사하게, 영역들은 본질적으로 임의의 원하는 크기로 할 수 있다. 예를 들면, 각 영역(및 따라서 생성된 나노구조체의 각 단층 배열)은 약 $10^4 \mu\text{m}^2$ 이하, 약 $10^3 \mu\text{m}^2$ 이하, 약 $10^2 \mu\text{m}^2$ 이하, 약 $10 \mu\text{m}^2$ 이하, 약 $1 \mu\text{m}^2$ 이하, 약 10^5nm^2 이하, 약 10^4nm^2 이하, 약 4225nm^2 이하, 약 2025nm^2 이하, 약 1225nm^2 이하, 약 625nm^2 이하, 또는 약 324nm^2 이하의 면적을 가질 수 있다. 생성된 배열이 각각, 필요에 따라, 트랜지스터 또는 다른 장치 내로 도입될 수 있다는 것은 명백하다. 따라서, 광활성 조성물을 사용함으로써 단층 나노구조체 배열(들)의 원하는 수, 크기 및/또는 형상이 생성되도록, 편리한 패터닝 수단이 제공된다.
- [0097] 다수의 광활성 화합물이 당업계에 알려져 있고 본 발명의 실시를 위해 채택될 수 있다. 예를 들면, 조성물은 광활성화 시에, 예컨대 나노구조체의 표면과 결합된 코팅을 포함하는 실세스퀴옥산과 공유 결합을 형성할 수 있는 페닐 아지드기를 포함할 수 있다. 예시적인 광활성 조성물은, 아릴 아지드기(예를 들면, 페닐 아지드기, 히드록시페닐 아지드기 또는 니트로페닐 아지드기), 소라렌(psoralen) 또는 디엔을 포함한 화합물을 포함하지만, 이에 제한되는 것은 아니다.
- [0098] 조성물은 일 이상의 단계에서 코팅을 형성하는데 적용될 수 있다. 예를 들면, 특정 구체예에서, 제1층을 조성물로 코팅하는 단계는 제1층을 제1 화합물로 코팅하는 단계, 그 다음에 제1층을 제1 화합물과 상호작용하고 나노구조체 결합 기를 포함한 제2 화합물로 코팅하는 단계를 포함한다. 예를 들면, 제1층(예컨대 SiO_2 제1층)은 제1 화합물로서 3-아미노프로필트리에톡시실란(APTES) 및 그 다음에 제2 화합물로서 N-5-아지도-2-니트로벤조일옥시숙신이미드(ANB-NOS)로 코팅될 수 있다. (ANB-NOS는 APTES 아미노기와 반응하는 아민 반응성 N-히드록시숙신이미드 에스테르기 및 예컨대 320 내지 350 nm에서 광분해될 수 있는 니트로페닐 아지드기를 갖는다).
- [0099] 예시적인 구체예가 도 2에 개략적으로 도시되어 있다. 이 예에서, 제1층(203)(예를 들면, SiO_2 층)은 기판(220)(예를 들면, 실리콘 기판) 상에 배치된다. 제1층은 광활성 나노구조체 결합 기(205)(예를 들면, 페닐 아지드기)를 포함하는 조성물(204)(예를 들면, APTES 및 ANB-NOS)로 코팅되어 코팅된 제1층(202)을 형성한다(패널 A). 리간드(211)(예를 들면, 실세스퀴옥산 리간드)로 코팅된 나노구조체 군(210)(예를 들면, Pd 양자 도트)은 예컨대 스핀 코팅에 의해 코팅된 제1층 상에 침착되어 약간 더 많은 단층을 형성한다(패널 B). 코팅된 제1층의 불연속 영역(219)은 광(230)에 노출되는 반면, 코팅된 제1층의 나머지는 마스크(231)에 의해 광 노출로부터 보호된다(패널 C). 나노구조체 결합 기에 공유 결합되지 않은 나노구조체는 (예를 들면, 핵산 등의 용매로 세척함으로써) 제거되어 코팅된 제1층과 결합된 나노구조체의 단층 배열(209)을 남긴다(패널 D).
- [0100] 일 부류의 구체예에서, 나노구조체 군은 코팅된 제1층 상에 하나 이상의 용매에 분산된 나노구조체를 포함한 용매를 침착시킴으로써 코팅된 제1층 상에 침착된다. 나노구조체의 용액은 본질적으로 임의의 편리한 기술, 예컨대 스핀 코팅, 딥 코팅, 담그기(soaking), 스프레이, 또는 유사한 기술에 의해 침착될 수 있다. 용매는, 예컨대 증발에 의해 침착된 나노구조체로부터 부분적으로 또는 완전히 제거될 수 있지만, 필수적인 것은 아니다. 나노구조체 결합 기와 결합되지 않은 임의의 나노구조체는 예컨대 하나 이상의 용매로 세척함으로써 편리하게 제거

될 수 있다.

- [0101] 일 측면에서, 상기 방법에 의해 형성된 나노구조체의 단층 배열(또는 각 다층 배열)은 규칙 배열, 예를 들면, 실질적으로 구형인 나노결정을 포함한 육방 밀집된 단층 배열 또는 입방체 나노결정을 포함한 정방형 배열을 갖는다. 그러나, 많은 응용에서, 규칙 배열은 요구되지 않는다. 예를 들면, 메모리 장치에 사용하기 위한 배열에서, 나노구조체는, 이들이 불규칙 배열에서 충분한 밀도를 달성하는 한, 배열 내에서 규칙적일 필요는 없다. 따라서, 다른 측면에서, 나노구조체의 단층 배열은 불규칙 배열을 포함한다.
- [0102] 일 부류의 구체예에서, 배열(또는 방법에 의해 생성된 각 다층 배열)은 고밀도의 나노구조체를 갖는다. 예를 들면, 나노구조체의 단층 배열은 선택적으로 약 1×10^{10} 나노구조체/ cm^2 초과, 약 1×10^{11} 나노구조체/ cm^2 초과, 약 1×10^{12} 나노구조체/ cm^2 초과, 또는 심지어 약 1×10^{13} 나노구조체/ cm^2 초과,의 밀도를 갖는다.
- [0103] 일 부류의 구체예에서, 나노구조체는 실질적으로 구형인 나노구조체 또는 양자 도트를 포함한다. 나노구조체는 본질적으로, 예를 들면 나노구조체의 생성된 단층 배열이 적용될 용도에 기초하여 선택되는 임의의 원하는 물질을 포함할 수 있다. 예를 들면, 나노구조체는 전도성 물질, 비전도성 물질, 반도체 등을 포함할 수 있다. 일 측면에서, 나노구조체는 약 4.5 eV 이상의 일 함수를 갖는다. 이러한 나노구조체는, 예를 들면 메모리 장치의 제조에 유용한 데, 이 때 나노구조체의 일 함수가 충분히 높지 않으면, 나노구조체에 저장된 전자들은 터널 유전층을 횡단하여 역으로 이동하는 경향이 있어서 결국 메모리 손실을 가져온다. 따라서, 나노구조체(예를 들면, 실질적으로 구형인 나노구조체 또는 양자 도트)는 팔라듐(Pd), 이리듐(Ir), 니켈(Ni), 백금(Pt), 금(Au), 루테튬(Ru), 코발트(Co), 텅스텐(W), 텔루륨(Te), 철-백금 합금(FePt) 등과 같은 물질을 선택적으로 포함한다. 나노구조체는 하기 "나노구조체"라는 제목의 섹션에서 보다 상세히 설명된다.
- [0104] 본 발명의 방법에 의해 생성된 장치 또는 그 방법을 실시하는데 유용한 장치도 또한 본 발명의 특징이다. 따라서, 다른 일반적인 부류의 구체예는 코팅된 제1층 및 이 코팅된 제1층 상에 배치된 나노구조체의 단층 배열을 포함하는 장치를 제공한다. 코팅된 제1층은 나노구조체 결합 기를 포함한 조성물로 코팅된 제1층을 포함하고, 나노구조체는 나노구조체 결합 기와 결합된다.
- [0105] 본질적으로, 상기 방법과 관련하여 언급한 모든 특징은, 예를 들어 제1층의 조성, 기판, 제1층을 코팅하기 위해 사용된 조성물, 나노구조체 결합 기 및 나노구조체에 대해 상기 구체예에도 마찬가지로 상응하게 적용된다. 나노구조체의 단층 배열이 규칙 배열 또는 불규칙 배열을 포함할 수 있고, 코팅된 제1층이 예정 위치를 각각 점유하는 2 이상의 불연속 영역을 선택적으로 포함한다는 것에 주목할 필요가 있다(이로써 장치는 코팅된 제1층 상에 배치된 나노구조체의 2 이상의 단층 배열을 선택적으로 포함한다). 장치가 플래시 트랜지스터(플로팅 게이트 메모리 MOSFET) 또는 메모리 장치를 선택적으로 포함한다는 것에 또한 주목할 필요가 있다. 따라서, 특정 구체예에서, 제1층은 산화물(예를 들면, 금속 산화물, 산화규소, 산화하프늄 또는 알루미늄(Al_2O_3)), 질화물, 절연 중합체 또는 다른 비전도성 물질과 같은 유전 물질을 포함한다. 이 부류의 구체예에서, 제1층(터널 유전층으로 사용됨)은 얇은 것(예를 들면, 약 1 nm 내지 약 10 nm, 예컨대 3 nm 내지 4 nm의 두께를 갖는 것)이 바람직하고, 반도체를 포함하는 기판(예를 들면, Si 기판) 상에 배치된다. 기판은 전형적으로 소스 영역, 드레인 영역, 및 소스 영역과 드레인 영역 사이에 있고 나노구조체의 단층 배열 아래에 있는 채널 영역을 포함한다. 제어 유전층은 나노구조체의 단층 배열 상에 배치되고, 게이트 전극은 제어 유전층 상에 배치된다. 제어 유전층은 유전 물질, 예를 들면 산화물(예를 들면, 금속 산화물, SiO_2 또는 Al_2O_3), 절연 중합체 또는 다른 비전도성 물질을 포함한다. 전극은 본질적으로 임의의 적당한 물질(들)을 포함할 수 있다. 예를 들어, 게이트 전극은 폴리실리콘, 금속 규화물(예를 들면, 규화니켈 또는 규화텅스텐), 루테튬, 루테튬 산화물 또는 Cr/Au를 포함할 수 있다. 유사하게, 소스 및 드레인 전극은 구리 또는 알루미늄과 같은 다른 금속에 연결되는, 금속 규화물(예를 들면, 규화니켈 또는 규화텅스텐) 또는 임의의 각종 장벽 금속 또는 TiN과 같은 금속 질화물을 선택적으로 포함한다.
- [0106] 예시적인 구체예가 도 1의 패널 C에 개략적으로 도시되어 있다. 이 예에서, 장치(101)는 코팅된 제1층(102), 및 코팅된 제1층(102)의 불연속 영역(119)에 배치된 나노구조체(110)의 단층 배열(109)을 포함한다. 코팅된 제1층(102)은 나노구조체 결합 기(105)를 포함한 조성물(104)로 코팅된 제1층(103)을 포함한다. 제1층은 기판(120) 상에 배치된다.
- [0107] 관련된 예시적인 구체예가 도 2의 패널 D에 개략적으로 도시되어 있다. 이 예에서, 장치(201)는 코팅된 제1층(202), 및 코팅된 제1층의 불연속 영역(219)에 배치된 나노구조체(210)의 단층 배열(209)을 포함한다. 코팅된 제1층(202)은 나노구조체 결합 기(205)를 포함한 조성물(204)로 코팅된 제1층(203)을 포함한다. 제1층은 기판

(220) 상에 배치된다. 이 구체예에서, 나노구조체 결합 기(205)는 나노구조체의 리간드(211)에 공유 결합된다.

[0108] 스핀-온-유전체에서 단층 형성

[0109] 상기 언급된 바와 같이, 나노구조체 단층은 다수 응용에 바람직하다. 예를 들어, 터널 산화물 상에 양자 도트 단층의 형성이 나노결정 플래시 메모리 장치의 생산에 바람직하다. 나노결정을 기반으로 한 플래시 메모리 장치 (또는 기타 나노구조체를 기반으로 한 장치)는 적어도 부분적으로 나노구조체 밀도 변화에 의해 결정될 수 있는데, 나노구조체 밀도 변화가 작은 고 밀도 단층이 바람직하다. 그러나, 나노 도트의 불완전한 크기 분포는 자기 어셈블리(self assembly)의 응집 길이에 영향을 미치기 때문에, 기판에 도트의 단순한 코팅(예: 표면이 나노구조체 결합기를 포함하는 조성물로 개질되지 않고, 도트가 매트릭스 물질에 분산되지 않은 기판 등)은 전형적으로 특히나 입자 경계가 형성된 편재화된 도트 어셈블리로 이어지게 된다. 응집 자기 어셈블리 길이는 도트의 크기 분포에 좌우되기 때문에, 어셈블리의 공정 품질은 도트의 크기 분포로 제한을 받고, 생성된 어셈블리의 품질을 개선하여야 하는 과제를 떠안게 된다. 용액상 화학은 보통 10% 미만의 크기 분포를 제공하는데, 통상적인 CVD 및 PVD 방법은 약 20% 내지 25%의 입자 분포를 제공한다.

[0110] 본 발명의 일 측면은 스핀-온-유전 물질의 사용에 의한 입자 경계 형성없이 랜덤화된 나노구조체(예: 양자 도트) 어셈블리를 촉진하는 방법을 제공한다. 나노구조체는 스핀-온-유전체(예: 스핀-온-글래스) 물질의 존재하에 용액에 잘 분산된다. 나노구조체 용액이 기판 상에 스핀되는 경우, 나노구조체는 스핀-온-유전 물질내에 랜덤화된 단층 어셈블리를 형성한다. 스핀-온-유전 물질은 코팅 공정 후 기판 상에 매트릭스를 형성한다; 나노구조체는 매트릭스에 랜덤하게 분포된다. 생성된 배열중 나노구조체 밀도는 용액중의 그의 농도로 제어된다. 생성된 단층을 통한 나노구조체 밀도의 변화는 최소화이다.

[0111] 따라서, 한가지 일반적인 부류의 구체예로 나노구조체 배열의 형성 방법이 제공된다. 이 방법에서는, 나노구조체가 액체 형태의 스핀-온-유전체를 포함하는 용액에 분산됨으로써 제1층이 제공된다. 용액을 제1층 상에 배치함으로써 나노구조체가 제1층 상에 단층 배열을 형성하게 된다. 이어서, 액체 형태의 스핀-온-유전체를 경화시켜 고체 형태의 스핀-온-유전체를 제공한다. 나노구조체의 단층 배열이 생성된 고체 스핀-온-유전체 매트릭스에 매립된다.

[0112] 제1층에 적절한 물질은 상술한 바와 같다; 예를 들자면 예컨대 산화물(예를 들면, 금속 산화물, 산화규소, 산화하프늄 또는 알루미늄(Al_2O_3)), 또는 이들 산화물의 조합물) 또는 질화물(예를 들면, 질화규소)과 같은 유전 물질 또는 반도체를 들 수 있으나 이들에 제한되지 않는다. 제1층은 용액 침착전에 선택적으로 처리된다. 예를 들어, 제1층에 용액을 침착시키기 전에, 제1층을 헥사메틸디실리잔(HMDS) 또는 실란과 같은 화합물로 코팅할 수 있다. 따라서, 예를 들어, 제1층은 HMDS로 코팅된 산화규소 또는 질화규소를 포함할 수 있다. 제1층은 선택적으로 기판, 예를 들어 반도체를 포함하는 기판 상에 배치된다. 일 부류의 구체예에 있어서, 제1층의 두께는 약 1 내지 약 10 nm, 예를 들어 3 내지 4 nm이다. 기판은 소스 영역, 드레인 영역, 및 소스 영역과 드레인 영역 사이에 있고 나노구조체의 단층 배열 아래에 있는 채널 영역을 포함할 수 있고, 방법은 게이트 전극을 고체 형태의 스핀-온-유전체 상에 배치하는 단계를 포함한다. 선택적으로, 게이트 전극을 고체 형태의 스핀-온-유전체 상에 배치하기 전에, 유전층을 고체 형태의 스핀-온-유전체 상에 배치함으로써 제어 유전체의 두께를 증가시킨다. 상술한 바와 같이, 바람직한 터널 및 제어 유전체 및 게이트 전극은 각각 미국 특허 출원 제11/743,085호 및 제 60/931,488호에 기술되었다.

[0113] 나노구조체 및 액체 스핀-온-유전체를 포함하는 용액은 실질적으로 임의의 통상적인 기술로 제1층 상에 배치할 수 있다. 예를 들어, 제1층을 용액으로 스핀 코팅할 수 있다.

[0114] 다수의 스핀-온-유전 물질이 당업계에 공지되었으며, 방법에 채용될 수 있다. 몇가지 예를 들자면, 고체 형태의 스핀-온-유전체는 산화규소, 산화알루미늄, 산화하프늄(예: HfO_2), 산화란탄(예: La_2O_3) 또는 산화탄탈(예: Ta_2O_5)을 포함할 수 있다. 유사하게, 액체 형태의 스핀-온-유전체는 알루미늄 i-프로폭사이드(Al i-프로폭사이드), 트리-메틸 알루미늄, 트리-에틸 알루미늄, 하프늄 t-부톡사이드(Hf t-부톡사이드), 하프늄 에톡사이드(Hf 에톡사이드), 테트라벤질 하프늄(테트라벤질 Hf), 트리스(시클로펜타디에닐)란탄, 트리스(i-프로필 시클로펜타디에닐)란탄, 펜타키스(디메틸아미노)탄탈, 탄탈 메톡사이드(Ta 메톡사이드) 또는 탄탈 에톡사이드(Ta 에톡사이드)를 포함할 수 있다. 본 원에 언급된 바와 같이, 고체 형태의 스핀-온-유전체는 선택적으로 확산 배리어로 제공된다.

[0115] 일 부류의 구체예에 있어서, 스핀-온-유전체는 스핀-온-글래스이다. 액체 형태의 스핀-온-글래스는 경화 후 산

화규소(예: SiO_2)를 형성하는 실리콘 화합물을 포함할 수 있다. 예를 들어, 액체 형태의 스핀-온-글래스는 실세스퀴옥산, 예를 들어 머캅토-프로필-시클로헥실 다면체 올리고머 실세스퀴옥산(도 3의 패널 A 참조(여기에서, R은 시클로헥실기임)), 수소 실세스퀴옥산, 메틸 실세스퀴옥산, 옥타비닐 디메틸 실릴 실세스퀴옥산, 옥타실란 실세스퀴옥산, 옥타비닐-T8 실세스퀴옥산, 아미노프로필시클로헥실 다면체 올리고머 실세스퀴옥산(아미노프로필시클로헥실 POSS, 도 3의 패널 C 참조(여기에서, R은 시클로헥실기임)); Hybrid Plasics, Inc.로부터 상업적으로 입수가능함), 아크릴로 실세스퀴옥산(예: Hybrid Plasics, Inc.로부터 상업적으로 입수가능한 아크릴로 POSS[®] 케이지 혼합물로서, $(\text{C}_6\text{H}_9\text{O}_2)_n(\text{SiO}_{1.5})_n$ (여기에서, $n=8, 10, 12$; $n=8$ 임), 도 3의 패널 E에 도시된 바와 같음), 또는 메타크릴로 실세스퀴옥산(예: Hybrid Plasics, Inc.로부터 상업적으로 입수가능한 메타크릴 POSS[®] 케이지 혼합물로서, $(\text{C}_7\text{H}_{11}\text{O}_2)_n(\text{SiO}_{1.5})_n$ (여기에서, $n=8, 10, 12$; $n=8$ 임), 도 3의 패널 D에 도시된 바와 같음), 또는 이들의 조합물(예: 나노구조체의 표면에 결합할 수 있는 나노구조체 결합 부분을 갖거나 갖지 않는 실세스퀴옥산의 조합물, 예를 들어 머캅토-프로필-시클로헥실 POSS와 수소 실세스퀴옥산의 혼합물)을 포함할 수 있다. 이와 같은 각종 실세스퀴옥산이 당업계에 공지되었으며, 다수가 예를 들어 Gelest, Inc.로부터 상업적으로 입수가능하다. 다른 형태의 스핀-온-글래스 물질이 또한 사용될 수 있다. 바람직한 스핀-온-글래스 또는 스핀-온-유전 물질은 나노구조체의 용매에 잘 용해되어 관련 표면(예: HMDS 개질된 터널 옥사이드 층) 상에 우수한 습윤 거동을 제공하는 것이다.

[0116] 스핀-온-유전 물질은 당업계에 공지된 바와 같이, 예를 들면 UV, 전자 빔, 가열 등에 의해 경화될 수 있다. 일부류의 구체예에 있어서, 액체 형태의 스핀-온-유전체는 광중합성 화합물(예: 수소 실세스퀴옥산 또는 옥타비닐-T8 실세스퀴옥산 또는 다른 광중합성 실세스퀴옥산 또는 실리케이트)을 포함한다. 이하 "레지스트를 이용한 단층 패터닝"라는 제목의 섹션에 보다 상세히 기술된 바와 같이, 광중합성 스핀-온-유전체의 사용으로 단층 배열의 패터닝이 촉진된다. 요약하면, 배열의 패터닝을 위해, 예정 패턴을 광에 노출하여 스핀-온-유전체를 경화시키고, 비경화 물질을 그의 매립된 나노구조체와 함께 제거한다.

[0117] 따라서, 일 부류의 구체예에 있어서, 제1층의 적어도 제1 영역 및 그 위에 배치된 용액을 적절한 파장의 광에 노출함으로써 제1 영역중의 스핀-온-유전체를 경화시킨다. 동시에, 제1층의 적어도 제2 영역 및 그 위에 배치된 용액을 광으로부터 보호하여 제1 영역중의 스핀-온-유전체를 비경화된 채로 잔류시킨다. 이어서, 비경화된 스핀-온-유전체 및 그 안의 나노구조체를, 경화된 스핀-온-유전체 및 그 안의 나노구조체를 제거하는 일 없이 제1층으로부터 제거하여 제1층 상에 하나 이상의 단층 배열을 잔류시킨다. 경화된 스핀-온-유전체 매트릭스내 배열(들)의 위치 및 크기는 제1 영역(들)의 것들에 상응한다.

[0118] 본 발명의 방법을 이용하여 실질적으로 임의의 다수의 단층 배열을 생성할 수 있다. 예를 들어, 제1층의 2 이상, 10 이상, 50 이상, 100 이상, 1000 이상, 1×10^4 이상, 1×10^6 이상, 1×10^9 이상 또는 심지어 1×10^{12} 이상의 불연속 영역 및 그 위에 배치된 용액을 광에 노출하여 대응하는 수의 불연속 나노구조체 단층 배열을 제1층 상에 잔류시킨다.

[0119] 유사하게, 스핀-온-유전체가 편리하게는 광중합성이 아닌 경우 이러한 패터닝이 요구되는 경우, 포토레지스트(예: 임의의 주지된 포토레지스트)가 나노구조체 및 액체 형태의 스핀-온-유전체와 함께 용액에 포함될 수 있다. 예를 들어, 경화 후 양질의 유전체 및 매트릭스의 적절한 광경화를 제공하기 위해서, 필요에 따라 각종 성분들의 비율이 조정된다.

[0120] 나노구조체의 단층 배열은 전형적으로 불규칙 배열이다. 상기 방법으로 생성된 배열(또는 각 다층 배열)은 선택적으로 고 밀도의 나노구조체를 갖는다. 예를 들어, 나노구조체의 단층 배열은 선택적으로 약 1×10^{10} 나노구조체/ cm^2 초과, 약 1×10^{11} 나노구조체/ cm^2 초과, 약 1×10^{12} 나노구조체/ cm^2 초과, 또는 심지어 약 1×10^{13} 나노구조체/ cm^2 초과와 밀도를 가진다. 언급한 바와 같이, 배열을 통한(또는 대면적 배열, 예를 들어 사이드 상의 2 내지 3 마이크로미터 면적에 걸친) 나노구조체의 밀도는 낮은 것이 바람직하다. 예를 들어, 단층 배열에서의 나노구조체의 밀도 변화는 단층을 통해 10% 미만, 예를 들어 5% 미만일 수 있다.

[0121] 본질적으로, 상기 구체예들에 언급된 모든 특징은, 예를 들어 기판 상에 제1층의 침착, 기판 조성, 트랜지스터(들)에 배열(들)의 도입, 나노구조체 형상 및 조성, 나노구조체 리간드, 배열(들) 크기 등에 대해 이들 구체예에도 마찬가지로 상응하게 적용된다. 예를 들어, 나노구조체는 선택적으로 실질적으로 구형인 나노구조체 또는 양자 도트이다. 나노구조체는 본질적으로 임의의 목적 물질을 포함할 수 있다. 일 부류의 구체예에 있어서, 나

나노구조체는 약 4.5 eV 이상의 일 함수를 갖는다. 예를 들어, 나노구조체는 팔라듐, 백금, 니켈 또는 루테튬을 포함할 수 있다.

[0122] Pd, Ru, 및 Ni 양자 도트의 단층 형성이 각각 도 8의 패널 A 내지 C에 도시되었다. 이들 예에서는, 기판이 HMDS로 코팅되었고, 머캅토-프로필-시클로헥실 다면체 올리고머 실세스퀴옥산(클로로벤젠 또는 크실렌중 3.5 mg/ml)이 스핀-온-글래스 물질로서 사용되었다. 이들 예에서는, 질화규소막이 기판으로서 사용되었고; 다른 예시적인 기판으로는, 예를 들어 SiO₂ 웨이퍼 또는 옥시질화물 기판을 들 수 있다. 실세스퀴옥산은 O₂, CDA 환경에서 300-400 °C로의 램핑 및 고온에서 5 내지 30 분 체류로 경화되었다.

[0123] 언급한 바와 같이, 본 발명의 방법을 실시하여 생성되거나 이러한 방법에 유용한 장치들이 또한 본 발명의 특징이 된다. 따라서, 다른 일반적인 부류의 구체예에 있어서 제1층, 제1층 상에 배치된 액체 또는 고체 형태의 스핀-온-유전체 및 스핀-온-유전체중의 제1층 상에 배치된 나노구조체의 단층을 포함하는 장치가 제공된다.

[0124] 본질적으로, 상기 방법들에 언급된 모든 특징은, 예를 들어 액체 조성 및/또는 고체 형태의 스핀-온-유전체, 제1층, 기판 및 나노구조체 등에 대해 이들 구체예에도 마찬가지로 상응하게 적용된다. 나노구조체의 단층은 전형적으로 불규칙 단층이고, 장치는 전형적으로 예정 위치를 각각 점유하는 고체 형태의 스핀-온-유전체에 매립된 2 이상의 불연속 영역을 선택적으로 포함한다는 것에 주목하기 바란다. 장치가 플래시 트랜지스터(플로팅 게이트 메모리 MOSFET) 또는 메모리 장치를 선택적으로 포함한다는 것에 또한 주목하기 바란다. 따라서, 특정 구체예에서, 제1층은 산화물(예를 들면, 금속 산화물, 산화규소, 산화하프늄 또는 알루미늄(Al₂O₃)), 질화물, 절연 중합체 또는 다른 비전도성 물질과 같은 유전 물질을 포함한다. 이 부류의 구체예에서, 제1층(터널 유전층으로 사용됨)은 얇은 것(예를 들면, 약 1 nm 내지 약 10 nm, 예컨대 3 nm 내지 4 nm의 두께를 갖는 것)이 바람직하고, 반도체를 포함하는 기판(예를 들면, Si 기판) 상에 배치된다. 기판은 전형적으로 소스 영역, 드레인 영역, 및 소스 영역과 드레인 영역 사이와 나노구조체의 단층 배열 하부의 채널 영역을 포함한다. 제어 유전층은 필요에 따라, 스핀-온-유전체에서 나노구조체의 단층 배열 상에 배치되고, 게이트 전극은 제어 유전층 상에 배치된다. 제어 유전층은 유전 물질, 예를 들면 산화물(예를 들면, 금속 산화물, SiO₂ 또는 Al₂O₃), 절연 중합체 또는 다른 비전도성 물질을 포함한다. 전극은 본질적으로 임의의 적당한 물질(들)을 포함할 수 있다. 예를 들어, 게이트 전극은 폴리실리콘, 금속 규화물(예를 들면, 규화니켈 또는 규화텅스텐), 루테튬, 루테튬 산화물 또는 Cr/Au를 포함할 수 있다. 유사하게, 소스 및 드레인 전극은 구리 또는 알루미늄과 같은 다른 금속에 연결되는, 금속 규화물(예를 들면, 규화니켈 또는 규화텅스텐) 또는 임의의 각종 장벽 금속 또는 TiN과 같은 금속 질화물을 선택적으로 포함한다.

[0125] 용매 어닐링

[0126] 본 발명의 일 측면으로 단층의 질을 개선시키기 위하여 이용될 수 있는 용매의 어닐링 방법이 제공된다. 양자도트 또는 다른 나노구조체들을 표면 상에 침착시킨 후, 용매 어닐링을 이용한다: 나노구조체를 용매 증기에 노출시켜 표면 상의 나노구조체에 약간의 단거리 이동성을 도입함에 따라 단층 어셈블리의 질이 개선될 수 있다.

[0127] 따라서, 한가지 부류의 구체예로 나노구조체 배열의 형성 방법이 제공된다. 이 방법에서는, 제1층이 제공되고, 나노구조체 군이 제1층 상에 침착된다. 제1층 상에 침착된 나노구조체는 외부 용매 증기에 노출되고, 그에 따라 나노구조체가 단층 배열로 어셈블된다.

[0128] 제1층 상의 나노구조체를 용매 증기에 노출시키기 위하여, 제1 용매를 액체 형태로 제공할 수 있다(예를 들어, 제1층과 물리적으로 분리된 저장소(reservoir)에). 나노구조체를 가진 제1층을 전형적으로 액체 제1 용매와 함께 컨테이너, 예를 들어 밀폐 컨테이너에 위치시킨다. 제1 용매(및 제1층)를 주변 온도로 유지할 수 있으나, 선택적으로 제1 용매는, 예를 들어 용매의 적어도 일부를 증발시키기에 충분한 온도로 가열된다. 예를 들어, 제1 용매를 30 °C 초과, 50 °C 초과, 70 °C 초과, 또는 90 °C 초과로 온도로 가열할 수 있다. 바람직하게, 이 온도는 용매의 비점보다 낮은 것이며, 나노구조체를 서로 융합시킬 만큼 높지는 않다. 가열로 용매가 증발하고, 표면 상의 나노구조체가 더욱 큰 이동성을 가질 수 있게 됨은 자명하다. 선정된 온도를 단층이 형성되도록 하기에 충분한 시간동안 유지한다. 제1 용매는 바람직하게는 나노구조체를 잘 분산시키고 제1층을 충분히 습윤시킬 수 있는 것이다. 적합한 용매로는 헥산, 옥탄, 크실렌, 클로로벤젠, 메틸이소부틸케톤(MIBK) 및 휘발성 실록산을 들 수 있으나, 이들에 제한되는 것은 아니다.

[0129] 나노구조체를 적어도 하나의 제2 용매를 포함하는 용액에 분산시키고, 생성된 용액을 제1층 상에 배치함으로써 상기 나노구조체를 제1층 상에 침착시킬 수 있다. 나노구조체를 포함하는 용액은 본질적으로 당업계에 공지된 임의의 기술, 예를 들어, 스프레이 코팅, 플로우 코팅, 캐필러리 코팅, 딥 코팅, 롤 코팅, 잉크 젯 프린팅, 스

핀 코팅, 또는 그밖의 다른 습식 코팅 기술로 제1층에 적용될 수 있다. 선택적으로, 용액은 스핀 코팅 이외의 기술로 제1층 상에 배치된다. 나노구조체가 분산되는 제2 용매는 제1층 상에 침착후 그의 증기에 나노구조체가 노출되는 제1 용매와 동일하거나 상이할 수 있다.

[0130] 나노구조체는 선택적으로 용매 증기에 노출되는 경우 실질적으로 건조 상태이다. 따라서, 일 부류의 구체예에 있어서, 방법은 제2 용매를 증발시키는 단계를 포함하는데, 이 단계에서는 용액이 제1층 상에 침착된 후, 나노구조체가 용매 증기에 노출되기 전에 나노구조체가 분산하여 제1층 상에 침착된 건조 나노구조체를 제공한다. 제1층 상에 침착된 건조 나노구조체는 선택적으로, 나노구조체가 용매 증기에 노출되기 전에, 전형적으로 주변 온도에서 공기 또는 선택한 분위기(예: 산소 함유 분위기, N_2 , CDA(압축 건조 공기) 등)에 노출된다.

[0131] 다른 부류의 구체예에 있어서, 나노구조체는 용매 증기에 노출될 때 제2 용매로 여전히 습윤된 상태이다. 예를 들어, 박막의 제2 용매가 나노구조체 주변의 제1층 상에 잔류하는 것이 가능할 수 있다. 이들 구체예에 있어서, 제1 용매의 용매 증기에 대한 노출로 표면으로부터 제2 용매의 증발 속도가 감소함으로써 나노구조체의 어셈블리가 촉진된다.

[0132] 용매 증기는 외부에서 적용되며, 따라서, 나노구조체 및 전형적으로 제1층 밖에 있는 제1 용매의 공급원으로부터 발생한다. 예를 들어, 용매 증기는 제1층 상에 잔류하는 나노구조체 주변의 제2 용매 막으로부터 발생하지는 않는다.

[0133] 일 부류의 구체예에 있어서, 제1층에 적용되는 나노구조체의 수는 실질적으로 생성된 단층 배열에서 요구하는 나노구조체의 수와 동일하다. 과량의 나노구조체를 적용할 필요가 없기 때문에, 단층 형성후 과량의 나노구조체를 제거하기 위한 세척 단계가 필요치 않다.

[0134] 본 원에 기술된 다른 구체예에 대한 것과 같이, 제1층은 본질적으로 임의의 목적 물질, 예를 들어 전도성 물질, 비전도성 물질, 예를 들어, 실리콘 웨이퍼를 비롯한 반도체 등, 또는 가요성 물질, 예컨대 플라스틱을 포함할 수 있다. 제1층은 선택적으로 유전 물질, 예컨대 산화물 또는 질화물, 예를 들어 산화규소, 산화하프늄, 알루미늄 나 또는 질화규소를 포함하고, 기판 상에 선택적으로 배치된다(기판으로서 제공되지 않는 구체예에서).

[0135] 제1층은 나노구조체의 침착 전에, 예를 들어, 자기 어셈블화 단층을 형성하는 화합물로 개질될 수 있다. 예시적인 화합물로는 머캅토실란, APTES, OTS 및 HMDS를 들 수 있으나, 이들에 제한되는 것은 아니다.

[0136] 생성된 나노구조체의 단층 배열은 규칙 배열 또는 불규칙 배열을 포함할 수 있다. 배열은 선택적으로 약 1×10^{10} 나노구조체/ cm^2 초과, 약 1×10^{11} 나노구조체/ cm^2 초과, 약 1×10^{12} 나노구조체/ cm^2 초과(예: $3-4 \times 10^{12}$ 나노구조체/ cm^2), 또는 약 1×10^{13} 나노구조체/ cm^2 초과의 밀도를 가진다.

[0137] 본질적으로, 상기 구체예에 언급된 모든 특징들은, 예를 들어 트랜지스터(들)에 배열(들)의 도입, 나노구조체 형상 및 조성물 나노구조체 리간드, 배열(들) 크기 등에 대해 이들 구체예에도 마찬가지로 상응하게 적용된다. 예를 들어, 나노구조체는 선택적으로 실질적으로 구형인 나노구조체 또는 양자 도트이다. 나노구조체는 본질적으로 임의의 목적 물질을 포함할 수 있다. 일 부류의 구체예에 있어서, 나노구조체의 일함수는 약 4.5 eV 이상이다.

[0138] 도 9는 저응력 질화규소 상에 침착된 Pd 양자 도트의 용매 어닐링 전 (패널 A) 및 후 (패널 B) 현미경사진을 나타낸다. 이 예에서는, 클로로벤젠이 어닐링 용매로 사용된다. 용매를 110 °C로 12 시간 가열하는데, 이 동안 기판 상의 도트가 클로로벤젠 증기에 노출된다. 용매 어닐링 처리로 다층 영역의 비율이 감소하여서 어셈블리 질이 개선된다.

[0139] 단층 형성은 상기 언급한 바와 같이 양자 도트를 기반으로 한 장치를 비롯한 임의의 수의 나노구조체를 기반으로 한 장치의 제조에 있어서 중요한 단계이다. 양자 도트 단층을 형성하는 현행 기술은 전형적으로 과량의 도트를 사용한다. 예를 들어, 웨이퍼가 양자 도트로 스핀 코팅되는 경우, 도트 대부분은 화학적 드레인으로 스핀 처리된다(전형적으로, 도트의 95%를 초과함). 이들 과량의 도트는 오염 및 품질 관리와 관련한 문제로 회수하여 재사용할 수 없다. 따라서, 특히 나노구조체 장치의 대량 생산을 위해 도트 소비를 최소화하는 기술이 필요하다.

[0140] 본 발명의 일 측면으로 선택적으로 나노구조체의 소비를 최소화하면서 단층 형성을 촉진하는 방법이 제공된다. 대상(예: 웨이퍼) 표면을 양자 도트 또는 다른 나노구조체로 코팅한다. 표면을 도트로 스핀 코팅하거나, 또는 선택적으로 도트를 비스피닝 기술에 의해 표면에 적용할 수 있다. 도트는 도트가 표면 상의 단층에 존재할 때 목적 밀도를 제공하도록 산출된 양으로 표면에 적용될 수 있다. 고 품질의 단층을 얻기 위해, 도트의 침착 후

용매 어닐링이 이용된다: 도트를 용매 증기에 노출하여 단거리 이동성을 제공하고 다층 영역으로부터 이동하여 단층을 형성하도록 한다.

[0141] 레지스트를 이용한 단층 패터닝

[0142] 전술한 특정 방법에 따라 생성된 단층 나노구조체 배열의 크기, 형상 및/또는 위치를 선결정할 수 있다. 레지스트, 예컨대 포토레지스트를 사용하면, 상기 단층 배열의 패터닝도 촉진할 수 있다.

[0143] 하나의 일반적 부류의 구체예는 나노구조체 단층의 패터닝 방법을 제공한다. 이 방법에서, 제1층 상에 배치된 나노구조체의 단층이 제공된다. 레지스트는 나노구조체의 단층 상에 배치되어 레지스트 층을 제공하고, 레지스트 층 상의 예정 패턴은 (예를 들면, 광, 전자빔, x 선 등에) 노출되어 레지스트 층의 적어도 제1 영역에 노출 레지스트를 제공하고 레지스트 층의 적어도 제2 영역에 비노출 레지스트를 제공한다. 포지티브 레지스트를 이용하면, 노출 레지스트와 그 하부의 나노구조체가 제거되고, 그 다음에 비노출 레지스트가 그 하부의 나노구조체를 제1층으로부터 제거하는 일 없이 제거된다. 반면에, 네거티브 레지스트를 이용하면, 비노출 레지스트와 그 하부의 나노구조체가 제거되고, 그 다음에 노출 레지스트가 그 하부의 나노구조체를 제거하는 일 없이 제거된다. 포지티브 레지스트를 사용하든 네거티브 레지스트를 사용하든, 제1 영역에 의해 한정된 적어도 하나의 나노구조체 단층 배열이 제1층 상에 잔류하게 된다. 포지티브 레지스트를 사용하면, 배열의 위치가 제2 영역의 위치(즉, 제1 영역의 반대)에 대응하고, 한편 네거티브 레지스트를 사용하면, 배열의 위치가 제1 영역의 위치에 대응한다는 것이 명백하다. 따라서, 나노구조체 단층 배열의 경계부는 제1 영역의 경계부에 의해 한정된다.

[0144] 나노구조체의 단층은 임의의 편리한 기술에 의해 생성될 수 있다. 예를 들어서, 제1층은 나노구조체의 용액으로 스핀 코팅되고, 이어서 제1층과 접촉하지 않는 임의의 나노구조체가 예컨대 세척에 의해 제거될 수 있다. 단층은 또한, 예를 들면 제1층을 담그거나 또는 딥 코팅하거나, 또는 상업적으로 이용가능한 Langmuir-Blodgett 장치를 이용함으로써 형성될 수 있다.

[0145] 제1층은 예를 들면 제1층에 대한 나노구조체의 접착력을 증가시키기 위해서 전술한 것과 같은 나노구조체 결합기를 가진 코팅을 포함할 수 있지만, 필수적인 것은 아니다. 유사하게, 나노구조체는 전술한 것과 같은 리간드를 선택적으로 포함한다.

[0146] 레지스트는 나노구조체의 단층에 직접 배치될 수 있다(예를 들면, 스핀 코팅 또는 공지된 다른 기술에 의해). 대안적으로, 하나 이상의 추가적인 층이 레지스트와 단층 사이에 배치될 수 있다. 예를 들면, 일 부류의 구체예에서, 유전층이 나노구조체의 단층 상에 배치되고 레지스트가 유전층 상에 배치된다.

[0147] 본 발명의 방법을 이용하여 본질적으로 임의의 수의 단층 배열을 생성할 수 있다. 예를 들면, 포지티브 레지스트를 사용하는 경우, 비노출 레지스트는 레지스트 층의 2 이상, 10 이상, 50 이상, 100 이상, 1000 이상, 1×10^4 이상, 1×10^6 이상, 1×10^9 이상, 1×10^{10} 이상, 1×10^{11} 이상 또는 1×10^{12} 이상의 불연속 제2 영역으로 제공될 수 있고, 2 이상, 10 이상, 50 이상, 100 이상, 1000 이상, 1×10^4 이상, 1×10^6 이상, 1×10^9 이상, 1×10^{10} 이상, 1×10^{11} 이상 또는 1×10^{12} 이상의 불연속 나노구조체 단층 배열이 제1층 상에 잔류한다. 유사하게, 네거티브 레지스트를 사용하는 경우, 노출 레지스트는 레지스트 층의 2 이상, 10 이상, 50 이상, 100 이상, 1000 이상, 1×10^4 이상, 1×10^6 이상, 1×10^9 이상, 1×10^{10} 이상, 1×10^{11} 이상 또는 1×10^{12} 이상의 불연속 제1 영역으로 제공될 수 있으며, 대응하는 수의 불연속 나노구조체 단층 배열이 제1층 상에 잔류한다.

[0148] 본질적으로, 상기 방법에 대하여 언급한 모든 특징은, 예를 들어 제1층의 조성, 기판 상에 제1층의 배치, 기판 조성, 트랜지스터(들)에 배열(들)의 도입, 나노구조체의 형상 및 조성, 배열(들)의 크기 및 밀도 등에 대해 상기 구체예에도 마찬가지로 상응하게 적용된다. 단층 배열(또는 각 다중 배열)은 규칙 배열 또는 불규칙 배열을 포함할 수 있음에 주목하기 바란다.

[0149] 예시적인 구체예가 도 4에 개략적으로 도시되어 있다. 이 예에서, 제1층(420)(예를 들면, 3-4 nm 두께의 SiO_2 층 또는 다른 산화물, 질화물 또는 기타 비전도성 물질)이 기판(421)(예를 들면, Si 또는 다른 반도체 기판) 상에 배치된다. 단계 401에서, 나노구조체(예를 들면, Pd 양자 도트)의 단층(422)이 제1층 상에 배치된다. 단계 402에서, 제어 유전층(423)(예를 들면, SiO_2 또는 Al_2O_3 등의 산화물, 절연 중합체, 또는 다른 비전도성 물질)이 단층 상에 배치된다. (예를 들면, Al_2O_3 층은 원자층 침착에 의해 배치될 수 있고, SiO_2 층은 화학 기상 침착에

의해 배치될 수 있다). 제어 유전층은 단계 403에서 포지티브 레지스트로 코팅되고, 단계 404에서 마스크 처리 및 노출되며, 단계 405에서 현상되어 노출 레지스트를 제거하게 된다. 단계 406-408에서, 채널 영역(437)으로 분리되는 소스 영역(430)과 드레인 영역(431)이 이온 주입(단계 406), 비노출 레지스트 스트립핑 처리(단계 407) 및 활성화(단계 408)에 의해 기관(421) 내에 생성된다. 제어 유전층은 단계 409에서 레지스트 층(432)을 형성하기 위해 포지티브 레지스트(예를 들면, 폴리메틸 메타크릴레이트(PMMA))로 다시 코팅된다. 포토리소그래피(photolithography) 단계 410에서, 제1 영역(433)의 레지스트가 노출되고(예를 들면, 전자빔 또는 딥 UV에 의해), 한편 제2 영역(434)의 레지스트는 마스크(435)에 의해 보호되어 비노출 상태로 잔류하게 된다. 노출 레지스트가 단계 411에서 제거되고(예를 들면, 유기 용매로 현상됨), 그 다음에 제1 영역(433)의 노출 레지스트 아래에 있는 나노구조체와 제어 유전층 및 제1층의 부분이 단계 412에서 제거되어(예를 들면, 플루오르화수소산에 담금으로써) 나노구조체의 단층 배열(445)이 잔류하게 된다. 배열(445)의 경계부는 제2 영역(434)의 경계부와 대응하고, 따라서 제1 영역(433)의 경계부에 의해 한정된다. 단계 413에서, 금속층은 소스 전극(440)과 드레인 전극(441)을 형성하도록 침착된다. 단계 414에서, 비노출 레지스트는 제어 유전층 또는 그 하부의 나노구조체를 방해하는 일 없이 제거된다(예를 들면, 비노출 레지스트를 하나 이상의 용매, 예컨대 아세톤과 접촉시킴으로써). 게이트 전극(442)(예를 들면, Cr/Au 또는 폴리실리콘, 금속 규화물(예를 들면, 규화니켈 또는 규화텅스텐), 루테튬 또는 루테튬 산화물(이에 한정되는 것은 아님)을 비롯한 다른 적당한 물질)은 단계 415에서 제어 유전층 상에 배치되어 트랜지스터(450)를 생성한다.

[0150] 다른 일반적 부류의 구체에는 또한 나노구조체 단층의 패턴화 방법을 제공한다. 이 방법에서, 위에 레지스트 층이 배치된 제1층이 제공된다. 레지스트는 레지스트 층의 적어도 제1 영역에 잔류하도록 허용되는 한편, 레지스트는 레지스트 층의 적어도 제2 영역으로부터 제거된다. 나노구조체 군이 레지스트 층 및 제1층 상에 배치되고, 나노구조체는 제1층의 레지스트 및 제2 영역의 제1층과 접촉한다. 레지스트와 그 상부의 나노구조체가 제1 영역으로부터 제거되고, 제1층과 접촉하지 않은 임의의 나노구조체가 제2 영역으로부터 제거되는데, 이로써 제1층 상에 잔류하는 적어도 하나의 나노구조체 단층 배열이 잔류하게 된다. 배열의 위치, 크기, 형상 등은 제2 영역의 것들과 대응하고, 형성된 배열의 수는 제2 영역의 수와 같다는 것은 명백하다.

[0151] 레지스트는 당업계에 공지된 포토리소그래피 기술에 따라 배치, 노출 및 제거될 수 있다. 제1 영역으로부터 레지스트 및 그 상부의 나노구조체를 제거하고 제1층(예를 들면, 제2 영역에서)과 접촉하지 않는 모든 나노구조체를 제거하는 것은, 예를 들어 적어도 제1 용매로 세척함으로써 동시에 선택적으로 달성된다.

[0152] 본질적으로, 상기 방법에 대하여 언급한 모든 특징은, 예를 들어 제1층의 조성, 제1층의 코팅, 기관 상에 제1층의 배치, 기관의 조성, 트랜지스터(들)에 배열(들)의 도입, 나노구조체의 형상 및 조성, 나노구조체 리간드, 배열(들)의 크기 및 밀도 등에 대해 상기 구체예에도 마찬가지로 상응하게 적용된다. 단층 배열(또는 각 다중 배열)가 규칙 배열 또는 불규칙 배열을 포함할 수 있음에 주목하기 바란다.

[0153] 또 다른 일반적 부류의 구체에는 또한 나노구조체 단층의 패턴화 방법을 제공한다. 이 방법에서는, 레지스트에 매립된 나노구조체의 단층이 제1층 상에 배치되어 레지스트 층을 제공한다. 레지스트 층 상의 예정 패턴은(예를 들면, 광, 전자빔, x 선 등에) 노출되어 레지스트 층의 적어도 제1 영역에 노출 레지스트를 제공하고, 레지스트 층의 적어도 제2 영역에 비노출 레지스트를 제공한다. 포지티브 레지스트를 이용하면, 노출 레지스트 및 그의 매립된 나노구조체가 비노출 레지스트 및 그의 매립된 나노구조체를 제거하는 일 없이, 제1층으로부터 제거된다. 반면에, 네거티브 레지스트를 이용하면, 비노출 레지스트 및 그의 매립된 나노구조체가 노출 레지스트 및 그의 매립된 나노구조체를 제거하는 일 없이, 제1층으로부터 제거된다. 포지티브 레지스트를 사용하면 네거티브 레지스트를 사용하면, 제1 영역에 의해 한정된 적어도 하나의 나노구조체 단층 배열이 제1층 상에 잔류하게 된다. 포지티브 레지스트를 사용하면, 배열의 위치가 제2 영역의 위치(즉, 제1 영역의 반대)에 대응하고, 네거티브 레지스트를 사용하면, 배열의 위치가 제1 영역의 위치에 대응한다는 것이 명백하다. 따라서, 나노구조체 단층 배열의 경계부는 제1 영역의 경계부에 의해 한정된다.

[0154] 레지스트 층은 본질적으로 임의의 편리한 기술에 의해 생성될 수 있다. 예를 들어서, 제1층은 레지스트 및 나노구조체를 포함하는 용액으로 스핀 코팅될 수 있다.

[0155] 본 발명의 방법을 이용하여 본질적으로 임의의 수의 단층 배열을 생성할 수 있다. 예를 들면, 포지티브 레지스트를 사용하는 경우, 비노출 레지스트는 레지스트 층의 2 이상, 10 이상, 50 이상, 100 이상, 1000 이상, 1×10^4 이상, 1×10^6 이상, 1×10^9 이상, 1×10^{10} 이상, 1×10^{11} 이상 또는 1×10^{12} 이상의 불연속 제2 영역으로 제공될 수 있으며, 2 이상, 10 이상, 50 이상, 100 이상, 1000 이상, 1×10^4 이상, 1×10^6 이상, 1×10^9 이상, 1×10^{10}

이상, 1×10^{11} 이상 또는 1×10^{12} 이상의 불연속 나노구조체 단층 배열이 제1층 상에 잔류한다. 유사하게, 네거티브 레지스트는 사용하는 경우, 노출 레지스트를 레지스트 층의 2 이상, 10 이상, 50 이상, 100 이상, 1000 이상, 1×10^4 이상, 1×10^6 이상, 1×10^9 이상, 1×10^{10} 이상, 1×10^{11} 이상 또는 1×10^{12} 이상의 불연속 제1 영역으로 제공될 수 있으며, 대응하는 수의 불연속 나노구조체 단층 배열이 제1층 상에 잔류한다.

[0156] 일 측면으로, 레지스트는 실리콘 화합물을 포함하고, 노출 레지스트는 선택적으로 산화규소(예: SiO_2)를 포함한다. 예를 들어, 레지스트는 실세스퀴옥산, 예컨대 머캅토-프로필-시클로헥실 다면체 올리고머 실세스퀴옥산, 수소 실세스퀴옥산, 메틸 실세스퀴옥산, 옥타비닐 디메틸 실릴 실세스퀴옥산, 옥타실란 실세스퀴옥산, 옥타비닐-T8 실세스퀴옥산, 아미노프로필시클로헥실 다면체 올리고머 실세스퀴옥산, 아크릴로 실세스퀴옥산 또는 메타크릴로 실세스퀴옥산, 또는 이들의 조합물일 수 있다. 일 부류의 구체예에 있어서, 실세스퀴옥산 또는 실리케이트는 광중합성이다. 나노구조체는 실세스퀴옥산 또는 이들의 표면에 결합되는 본 원에 언급된 바와 같은 기타 리간드를 가질 수 있으나, 필수적인 것은 아니다.

[0157] 본질적으로, 상기 방법들에 언급된 모든 특징은, 예를 들어 제1층의 조성, 제1층의 처리, 기판 상에 제1층의 배치, 기판 조성, 트랜지스터(들)에 배열(들)의 도입, 나노구조체 형상 및 조성, 배열(들)의 크기 및 밀도 등에 대해 이들 구체예에도 마찬가지로 상응하게 적용된다. 단층 배열(또는 각 다중 배열)가 규칙 배열 또는, 전형적으로 불규칙 배열을 포함할 수 있음에 주목하기 바란다.

[0158] 레지스트 층은 선택적으로 층의 유전 상수를 증가시키는 화합물을 포함한다. 예를 들어, 레지스트 층은 네거티브 레지스트(예: 수소 실세스퀴옥산)와 함께 스핀-온-유전체(예를 들어 알루미늄 i-프로폭사이드, 트리-메틸 알루미늄, 트리-에틸 알루미늄, 하프늄 t-부톡사이드, 하프늄 에톡사이드, 테트라벤질 하프늄, 트리스(시클로펜타디에닐)란탄, 트리스(i-프로필시클로펜타디에닐)란탄, 펜타키스(디메틸아미노)탄탈, 탄탈 메톡사이드 또는 탄탈 에톡사이드 등의 화합물)을 포함할 수 있어서, 레지스트가 노출되고, 스핀-온-유전체가 경화되는 경우, 나노구조체 주변의 생성된 매트릭스는 이러한 화합물이 없는 노출 레지스트 보다 더 높은 유전 상수를 갖게 된다. 나노구조체는 선택적으로 제1층에 인접하거나, 또는 물리적 또는 전기적으로 접촉하고 있거나, 또는 선택적으로 레지스트에 의해 완전히 둘러 싸인다. 레지스트 층은 또한, 예를 들어 나노구조체를 포함하는 물질이 후속한 고온 처리 단계동안 제1층 또는 임의의 하부 기판으로 확산되지 못하도록 하기 위해서, 확산 배리어로서 이용될 수도 있다. 예를 들어, SiO_2 제1층 상의 금속 나노구조체가 승온에서 어닐링되는 경우, 금속은 SiO_2 층을 통해 확산될 수 있다. 기판 및 금속 나노구조체 중간에 고 k 유전층을 지니면, 확산이 차단될 수 있다. 일례로, 산화 하프늄을 함유하는 레지스트가 어닐링 단계동안 Ru 나노구조체의 안정화를 도울 수 있을 것이다.

[0159] 예시적인 구체예가 도 10에 개략적으로 도시되었다. 이 예에서는, 단계 1001에서, 레지스트(1024) 및 나노구조체(1023)가 제1층(1020) 상에 배치되어 레지스트 층(1022)을 제공한다. 단계 1002에서, 제1 영역내 레지스트(1033)가 노출(예: 딥 UV) 되는 반면, 제2 영역(1034) 내 레지스트는 마스크(1035)에 의해 보호되어 비노출 채로 유지된다. 나노구조체가 내입된 비노출 레지스트가 단계 1003에서 제거되어(예: 유기 용매에 의한 현상에 의한) 노출 레지스트에 매립된 나노구조체의 단층 배열(1045)가 제공된다.

[0160] 도 11은 본 발명의 방법을 이용하여 Nanosys, Inc. 로고 및 "나노" 단어로 패턴화된 단층 배열의 현미경사진을 나타낸다. 질화규소 막을 크실렌중의 루테튬 나노도트 및 아미노프로필시클로헥실 POSS(참조: 도 3의 패널 C, 여기에서 R은 시클로헥실 기임) 용액으로 스핀 코팅하여 아미노프로필시클로헥실 POSS에 매립된 Ru 도트의 단층을 얻는다. 이어서, 단층을 전자 빔 패턴화에 적용하는데, 제1 영역(로고 및 "나노" 형성)이 전자 빔에 빔 강도 $400 \mu\text{C}/\text{cm}^2$ 로 노출된다. 그 다음에, 비노출 아미노프로필시클로헥실 POSS(및 그 안의 도트)를 클로로포름으로 세척하여 도 11에 도시된 패턴화 구조를 얻는다.

[0161] 본 원에 기술된 바와 같이, 플래시 트랜지스터와 같은 장치에 나노구조체 배열을 도입하는 것이 매우 바람직하다. 전형적으로, 전하 저장용 금속 나노결정 또는 양자 도트와 같은 나노구조체를 사용하는 비휘발성 메모리 장치는 크기 분포가 균일한 매우 균일한 밀도의 나노구조체를 요한다. 콜로이드성 금속 나노결정이 균일한 크기 분포로 합성되어 균일 밀도로 표면 상에 코팅될 수 있으나; 전형적으로 트랜지스터 제작 공정(예를 들어, 기판 내 소스 영역 및 드레인 영역의 활성화를 위해 이온 주입 후 고온 어닐링 단계)에 사용되는 고온에서는 금속 도트가 서로 융합하려는 경향이 있다. 이러한 융합은 나노구조체 배열의 균일성 및 밀도를 떨어뜨리고, 나노구조체의 크기 분포를 증가시킨다(참조예: 도 12의 패널 A).

[0162] 다른 유익한 점중에서도, 본 원의 방법은 나노구조체를 상기와 같은 융합으로부터 보호하는 방법을 제공한다:

후속하는 고온 노출동안 노출 레지스트내 나노구조체를 융합으로부터 보호할 수 있다. 따라서, 레지스트중에 나노구조체의 내입은 나노구조체의 패턴화를 촉진할 뿐만 아니라 그의 무결성(integrity) 유지를 도울 수 있다.

[0163] 도 12는 노출 실세스퀴옥산 레지스트에 의해 고온에서 나노구조체를 융합으로부터 보호하는 것을 예시하는 현미경사진을 나타낸다. 아미노프로필시클로헥실 POSS내 루테튬 도트의 단층(참조: 도 3의 패널 C, 여기에서 R은 시클로헥실 기입)을 질소/수소 분위기하에서 950 °C에 20 초동안 노출시켰다. 실세스퀴옥산 레지스트는 950 °C에 노출시키기 전에 경화되지 않거나(패널 A), 950 °C에 노출시키기 전에 질소 분위기하에서 UV(자외선)로 15 분(패널 B) 또는 100 분(패널 C) 경화되었다. 도트의 밀도는 패널 A의 경우 약 $2.03 \times 10^{12}/\text{cm}^2$, 패널 B의 경우 $2.34 \times 10^{12}/\text{cm}^2$ 및 패널 C의 경우 $2.75 \times 10^{12}/\text{cm}^2$ 이다(세 샘플에 대한 밀도는 950 °C로 가열하기 전에 비슷하였다). 실세스퀴옥산을 UV 경화시키지 않은 샘플(패널 A)에서는 950 °C 어닐링 후 양자 도트의 상당한 융합, 막 형상의 열화 및 도트 밀도의 감소가 관찰되었다. 이에 반해, 레지스트를 UV로 사전 경화시키면(패널 B 및 C), 도트 크기, 형상 및 밀도를 유지할 수 있었다. 어떤 특정 메커니즘에 제한없이, UV 방사는 실세스퀴옥산을 가교화시키고, 가교화 실리케이트 매트릭스내 도트를 고정화시키며, 이들을 고온 단계동안 이동하지 못하도록 함으로써 서로 융합하는 것을 방지하게 된다.

[0164] 따라서, 네거티브 레지스트가 방법에 사용되는 경우, 일 측면으로, 방법은 제1 영역에 있는 레지스트의 노출 및 제2 영역으로부터 비노출 레지스트의 제거 후, 제1층, 노출 레지스트 및 그의 매립된 나노구조체를 승온에 노출시키는 단계를 포함한다. 전형적으로, 승온은 적어도 약 300 °C(이 온도에서는 금속 도트가 노출 레지스트에 의해 보호되지 않으면 융합하기 시작한다), 예를 들어 적어도 약 400 °C, 적어도 약 500 °C, 적어도 약 600 °C, 보다 전형적으로 적어도 약 700 °C, 적어도 약 800 °C 또는 적어도 약 900 °C이다. 예를 들어, 제1층, 노출 레지스트 및 그의 매립된 나노구조체는, 예를 들어 고온 어닐링 단계동안 950 °C 이상의 온도에 노출될 수 있다. 승온 노출 기간은 예를 들어 30 분 미만, 10 분 미만, 1 분 미만, 45 초 미만, 30 초 미만, 또는 심지어 20 초 이하로 짧을 수 있다(특히 고온 어닐링 단계의 경우).

[0165] 레지스트는 승온 노출 전 어느 한 단계에서 선택적으로 경화된다(부분적으로 또는 완전히). 그러나, 특히 유용한 측면으로, 레지스트는 단층을 패턴화하기 위한 초기 저선량 또는 단기 노출로 불완전하게 경화되고, 비노출 레지스트 및 그 안에 매립된 원치않는 나노구조체가 제거된 후, 이어서 불완전하게 경화된 레지스트는 후속한 고온 노출동안 나노구조체를 보호하기 위한 제2 노출로 추가 경화된다. 따라서, 일 부류의 구체예에 있어서, 제1 영역의 레지스트를 제1 영역의 레지스트를 불완전하게 경화시키기에 충분한 전리 방사선(예: x-선, UV 광 또는 전자 빔)에 노출하고, 비노출 레지스트 및 그의 매립된 나노구조체를 제1층으로부터 제거한 후(불완전하게 경화된 레지스트 및 그의 매립된 나노구조체를 제거하는 일 없이), 제1 영역의 불완전하게 경화된 레지스트를 승온에 노출하기 전에 제1 영역의 레지스트를 추가로 경화시키기에 충분한 전리 방사선에 노출한다. 각종 레지스트를 경화시키기에 적합한 조건은 당업계에 공지되었고/되었거나, 실험적으로 결정할 수 있다. 일례로, 예를 들어 UV(예: 250 nm로 집중된 UV)에 의해 경화된 실세스퀴옥산의 경우, 제1 영역의 레지스트를 약 $10 \text{ mJ}/\text{cm}^2$ 내지 $1 \text{ J}/\text{cm}^2$ 자외선(예를 들어 $1 \text{ J}/\text{cm}^2$)에 노출하여 제1 영역의 레지스트를 불완전하게 경화시킨 후, 약 $1 \text{ J}/\text{cm}^2$ 내지 $50 \text{ J}/\text{cm}^2$ 자외선(예: $10 \text{ J}/\text{cm}^2$)에 노출하여 제1 영역의 레지스트를 추가로 경화시킬 수 있다.

[0166] 나노구조체를 융합으로부터 보호함으로써, 본 발명의 기술은 상술한 바와 같이 고온 처리 단계동안 나노구조체 밀도, 크기 분포, 단층 형상 등을 유지할 수 있다. 따라서, 일 부류의 구체예에 있어서, 승온(예: 300 °C 이상) 노출 후 단층 배열에서의 나노구조체의 밀도는 이와 같은 노출 전 단층 배열에서의 나노구조체 밀도의 적어도 75%, 보다 전형적으로, 적어도 90% 또는 적어도 95%이다. 선택적으로, 밀도는 본질적으로 가열 단계동안 변하지 않는다. 선택적으로, 승온 단계 후, 나노구조체의 단층 배열은 약 1×10^{10} 나노구조체/ cm^2 초과, 예를 들어 약 1×10^{11} 나노구조체/ cm^2 초과, 약 1×10^{12} 나노구조체/ cm^2 초과, 적어도 2×10^{12} 나노구조체/ cm^2 , 적어도 2.5×10^{12} 나노구조체/ cm^2 , 적어도 3×10^{12} 나노구조체/ cm^2 , 적어도 4×10^{12} 나노구조체/ cm^2 , 적어도 5×10^{12} 나노구조체/ cm^2 , 또는 심지어 적어도 약 1×10^{13} 나노구조체/ cm^2 의 밀도를 갖는다.

[0167] 본 원에 기술된 바와 같이, 단층 상에서 최소의 나노구조체 밀도 변화를 갖는 단층이 제조될 수 있다(예를 들어, 기관을 액체 스핀-온-유전체/레지스트에 분산된 나노구조체로 스핀 코팅함으로써). 노출 레지스트는 나노구조체가 융합되는 것으로부터 보호하기 때문에, 고온 단계동안 단층의 균일성이 유지될 수 있다. 따라서, 일 부류의 구체예에 있어서, 승온에 노출 후 단층 배열에서의 나노구조체의 밀도는 실질적으로 균일하다. 선택적으

로, 단층 배열에서의 나노구조체의 밀도 변화는, 예를 들어 배열내 25 nm^2 (또는 단일 단층으로부터 형성된 배열간)를 비교하여 측정할 경우, 상술한 바와 같이 단층을 통해 10% 미만이다.

[0168] 관련 부류의 구체예에 있어서, 승온 노출 후, 단층 배열에서의 나노구조체의 평균 직경은 승온 노출 전 단층 배열에서의 나노구조체의 평균 직경의 110% 미만, 예를 들어, 105% 미만 또는 103% 미만이다. 선택적으로, 배열내 나노구조체의 크기 분포는 가열 단계동안 실질적으로 변하지 않는다.

[0169] 다른 관련 부류의 구체예에 있어서, 승온 노출 후, 단층 배열에서의 나노구조체의 크기 분포는 20% 미만의 rms 편차를 나타낸다. 예를 들어, 배열중 단층 나노구조체의 크기 분포는 15% 미만, 10% 미만, 또는 심지어 5% 미만의 rms 편차를 나타낼 수 있다. 따라서, 나노구조체의 콜로이드성 합성으로 이를 수 있는 좁은 크기 분포가 고온 처리 단계(들)를 통해 유지될 수 있다.

[0170] 초기 나노구조체의 밀도가 높을 수록 나노구조체의 응집 경향이 더 강해지고, 따라서 나노구조체의 밀도가 증가할수록 응집으로부터의 보호가 더욱 더 중요하다는 것은 자명한 일이다. 따라서, 나노구조체의 밀도, 단층 균일성, 나노구조체 크기, 나노구조체 크기 분포 등의 보존이 대상인 구체예에서, 승온 노출 전 단층 배열내 나노구조체의 밀도는 선택적으로 적어도 약 1×10^{10} 나노구조체/ cm^2 , 예를 들어 적어도 약 1×10^{11} 나노구조체/ cm^2 , 적어도 약 1×10^{12} 나노구조체/ cm^2 , 적어도 2×10^{12} 나노구조체/ cm^2 , 적어도 2.5×10^{12} 나노구조체/ cm^2 , 적어도 3×10^{12} 나노구조체/ cm^2 , 적어도 4×10^{12} 나노구조체/ cm^2 , 적어도 5×10^{12} 나노구조체/ cm^2 , 또는 심지어 적어도 약 1×10^{13} 나노구조체/ cm^2 이다.

[0171] 상술한 바와 같이, 본 발명의 방법은 나노구조체를 패턴화할 뿐만 아니라 보호하는데 편리한 방법을 제공한다. 방법은 또한 다른 관련 이점을 제공한다; 특정 구체예(예: 실세스퀴옥산 레지스트에 대한)에 있어서, 비노출 레지스트를 적어도 하나의 유기 용매와 접촉시킴으로써 비노출 레지스트 및 그의 매립된 나노구조체를 제1층으로부터 제거한다. 비노출 레지스트 및 내입된 바람직하지 않은 나노구조체를 용매로 세척하는 것은 PVD 도트에 필요한 바와 같은 원치않는 나노구조체를 에칭하는 것에 비해 매우 온화하다. 에칭 단계의 제거로 나노구조체가 침착되는 제1층, 예를 들어 민감한 터널 산화물 층이 손상될 가능성이 없어진다.

[0172] 전술한 바와 같이, 본 발명의 방법은 트랜지스터(들)에 배열(들)을 선택적으로 도입하는 단계를 포함한다. 따라서, 예를 들어, 방법은 선택적으로, 기판에 도펀트 이온을 주입함으로써 나노구조체의 단층 배열에 근접하게 기판에 소스 영역 및 드레인 영역을 형성하는 단계를 포함하며, 여기에서는 승온 노출(고온 어닐링 단계) 동안 주입에 의한 기판 손상이 복구되고, 도펀트가 활성화된다. 고온 어닐링 단계 후, 또는 전형적으로는 그 전에 게이트 전극을 노출 레지스트 상에 배치할 수 있다. 나노구조체 배열이 내입된 노출 레지스트는 유전 물질을 선택적으로 포함한다. 노출 레지스트는, 일부 구체예에 있어서 제어 유전체로서 제공된다. 다른 구체예에 있어서, 유전층은 노출 레지스트 상에 배치된다(노출 레지스트 자체가 유전 물질이든지 아니든지에 상관 없이).

[0173] 예시적인 구체예가 도 13에 개략적으로 도시되었다. 이 예에서는 제1층(1320)(예: 3 내지 4 nm 두께의 SiO_2 층 또는 다른 산화물, 질화물, 또는 기타 비전도성 물질)이 기판(1321)(예: Si 또는 다른 반도체 기판) 상에 배치된다. 단계 1301에서, 레지스트(1328) (예: 실세스퀴옥산)에 매립된 나노구조체(예: 금속 양자 도트)의 단층(1322)을 포함하는 레지스트 층(1329)이 제1층 상에 배치된다. 예를 들어, 제1층은 레지스트에 분산된 나노구조체로 스핀 코팅될 수 있다. 포토리소그래피 단계 1302에서는, 제1 영역의 레지스트(1333)가 노출되고 불완전하게 경화(예: 전자 빔 또는 UV에 의한)되는 반면, 제2 영역의 레지스트(1334)는 마스크(1335)로 보호되어 비노출채로 유지된다. 비노출 레지스트는 단계 1303에서 제거된다(예: 유기 용매에 의한 세척). 단계 1304에서, 레지스트는, 예를 들어, 고용량의 전자 빔 또는 UV 노출에 의해 추가로 경화된다. 유기 치환체들을 연소(예: 유기 치환체를 가진 실세스퀴옥산이 레지스트로 사용되는 구체예) 시키고/시키거나, 생성된 매트릭스를 덜 다공성으로 만들기 위한 임의적인 추가의 단계가 포함될 수 있다; 예를 들어, 기판을 300 내지 400 °C(예: 예를 들어 산소-함유 환경, 질소 분위기, 질소/수소 분위기, 예컨대 포밍 가스(forming gas) 또는 수증기에서 5 내지 30 분)에서 유지한 뒤, 이어서 950 °C(예: 예를 들어 질소 또는 질소/수소 분위기에서 약 20 초)에서 선택적으로 유지할 수 있다. 단계 1305에서는, 제어 유전층(1323)(예: 산화물, 예컨대 SiO_2 또는 Al_2O_3 , 절연 폴리머 또는 다른 비전도성 물질), 소스 전극(1340), 드레인 전극(1341) 및 게이트 전극(1342)이 침착되고, 리소그래피적으로 한정된다. 마지막으로, 단계 1306에서는, 채널 영역(1337)로 분리된 소스 영역(1330) 및 드레인 영역(1331)이 이온 주입 및 활성화로 기판(1321)에 형성되어 트랜지스터(1350)를 생성하게 된다. 경화된 레지스트는 소스 및 드레인 영역을 활성화시키는 고온 어닐링 단계동안 나노구조체를 보호한다. 상술된 바와 같이, 바람직한 터

널 및 제어 유전층 및 게이트 전극은 각각 미국 특허 출원 제11/743,085호 및 제60/931,488호에 기술되었다.

- [0174] 본 원의 임의의 구체예에 있어서, 하나 이상의 추가의 단층(또는 단층 배열)이 상술된 단층(또는 배열) 상에 선택적으로 배치된다. 따라서, 방법은 선택적으로 나노구조체의 제2 단층을 레지스트 층 또는 노출 레지스트 상에 배치하는 단계를 포함한다. 제3, 제4 등의 단층이 또한 제2, 제3층 상에 배치될 수 있다. 각종 층은 선택적으로 동시에 배치되어 패턴화되거나, 또는 제2층이 그 위에 배치되어 패턴화하기 전에, 제1 단층이, 예를 들어 본질적으로 상술한 바와 같이 패턴화될 수 있다. 유전층이 인접 나노구조체 단층 사이에 선택적으로 배치된다.
- [0175] 관련된 일반적인 부류의 구체예로 고온 처리동안 나노구조체를 융합으로부터 보호하는 방법이 제공된다. 이 방법은 a) 나노구조체 및 실세스퀴옥산을 제1층 상에 배치하는 단계, b) 실세스퀴옥산을 경화하여 나노구조체가 내입된 경화된 실세스퀴옥산을 제공하는 단계, 및 c) 제1층, 경화된 실세스퀴옥산 및 그의 매립된 나노구조체를 가열하는 단계를 포함한다. 경화된 실세스퀴옥산은 나노구조체를 에워 싸거나 이를 분리하여, 상기 구체예들에 기술된 바와 같이, 가열 단계동안 융합으로부터 보호하는 매트릭스를 형성할 수 있다.
- [0176] 나노구조체 및 실세스퀴옥산은 실질적으로 임의의 통상적인 기술을 이용하여 제1층 상에 배치될 수 있다. 예를 들어, 제1층은 실세스퀴옥산 및 나노구조체를 포함하는 용액으로 스핀 코팅될 수 있다. 나노구조체는 제1층 상에 단층을 형성할 수 있으나, 반드시 그럴 필요는 없다.
- [0177] 실세스퀴옥산은 전형적으로, 약 500 °C 미만의 온도에서 가열에 의해 경화될 수 있다. 예를 들어, 실세스퀴옥산은 약 300 °C 내지 400 °C의 온도에, 예를 들어 5 내지 30 분간 노출함으로써 경화될 수 있다. 이러한 구체예에 있어서, 단계 b) 및 c)는 동시에 수행되거나, 또는 단계 b) 이후에 단계 c)가 수행될 수 있다. 다른 예로서, 실세스퀴옥산은 전형적으로 단계 c) 전에 전리 방사선(예: x-선, UV 또는 전자 빔)에 노출하여 경화할 수 있다. 일 부류의 구체예에 있어서, 실세스퀴옥산은 실세스퀴옥산을 실질적으로 완전히 경화시키기에 충분한 전리 방사선에 노출된다. 실세스퀴옥산은 선택적으로 한 단계로 경화된다. 그러나, 특히 유용한 측면으로, 실세스퀴옥산은 나노구조체가 패턴화되고, 이어서 추가로 경화될 때 불완전하게 경화된다.
- [0178] 따라서, 일 부류의 구체예에 있어서, 단계 b)에서 실세스퀴옥산의 경화 단계는 b) i) 실세스퀴옥산을 전리 방사선에 예정 패턴으로 노출함으로써, 적어도 제1 영역내의 실세스퀴옥산을 노출하고 불완전하게 경화시키며, 동시에 적어도 제2 영역내의 실세스퀴옥산을 비노출 및 비경화 상태로 잔류시키는 단계, b) ii) 제1 영역으로부터 불완전하게 경화된 실세스퀴옥산 및 그의 매립된 나노구조체를 제거하는 일 없이, 제2 영역으로부터 비노출 실세스퀴옥산 및 그 안의 나노구조체를 제거하는 단계 그리고 b) iii) 단계 ii) 후, 제1 영역의 불완전하게 경화된 실세스퀴옥산을 전리 방사선에 노출하여 실세스퀴옥산을 추가로 경화하여 경화된 실세스퀴옥산을 제공하는 단계를 포함한다. 예시적인 일 부류의 구체예에 있어서, 단계 b) i)에서, 제1 영역의 실세스퀴옥산을 약 10 mJ/cm² 내지 1 J/cm² 자외선(예: 1 J/cm², 250 nm)에 노출하여 제1 영역의 실세스퀴옥산을 불완전하게 경화시키고, 단계 b) iii)에서 제1 영역의 불완전하게 경화된 실세스퀴옥산을 약 1 J/cm² 내지 50 J/cm² 자외선(예: 10 J/cm², 250 nm)에 노출하여 제1 영역의 실세스퀴옥산을 추가로 경화시킨다. 비노출 실세스퀴옥산 및 그 안의 나노구조체가, 예를 들어 비노출 실세스퀴옥산을 적어도 하나의 유기 용매와 접촉시킴으로써 제1 영역으로부터 불완전하게 경화된 실세스퀴옥산 및 그의 매립된 나노구조체를 제거하는 일 없이 제2 영역으로부터 제거될 수 있다.
- [0179] 단계 b) iii) 후 및 단계 c) 전에, 경화된 실세스퀴옥산을 300 내지 400 °C의 온도(예: 예를 들어 산소-함유 환경, 질소 분위기, 질소/수소 분위기, 예컨대 포밍 가스 또는 수증기에서 5 내지 30 분)에서 선택적으로 노출한 뒤, 이어서(또는 대신에) 약 950 °C의 온도(예: 예를 들어 질소 또는 질소/수소 분위기에서 약 20 초)에 선택적으로 노출할 수 있다. 임의적인 추가의 단계(들)는 유기 치환체를 연소(유기 치환체를 가지는 실세스퀴옥산이 사용되는 구체예의 경우) 시키고/시키거나, 생성된 매트릭스를 다공성이 덜하도록 만드는 단계를 포함할 수 있다. 선택적으로, 이러한 방법에 의해 실질적으로 실세스퀴옥산으로부터 형성된 SiO₂로 구성된 매트릭스에 매립된 나노구조체가 생겨난다.
- [0180] 선택적으로, 단계 c)에서 제1층, 경화된 실세스퀴옥산 및 그의 매립된 나노구조체를 적어도 약 300 °C(전형적으로, 단계 b 후에), 예를 들어 적어도 약 400 °C, 적어도 약 500 °C, 적어도 약 600 °C, 보다 전형적으로 적어도 약 700 °C, 적어도 약 800 °C, 또는 적어도 약 900 °C의 온도에 노출한다. 예를 들어, 제1층, 경화된 실세스퀴옥산 및 그의 매립된 나노구조체는 예를 들어, 고온 어닐링 단계동안 950 °C 이상의 온도에 노출될 수 있다. 노출 기간은, 예를 들어 30 분 미만, 10 분 미만, 1 분 미만, 45 초 미만, 30 초 미만, 또는 심지어 20 초 이하

등으로 짧을 수 있다(특히 고온 어닐링 단계동안).

- [0181] 상기 언급한 바와 같이, 제1층 상에 배치된 나노구조체는 단층을 선택적으로 포함한다. 단층이 단계 b)에서 패턴화되는 구체예에서, 단계 b) ii)에서, 제1 영역에 의해 한정된 적어도 하나의 나노구조체 단층 배열이 제1층 상에 유지된다. 본 발명의 방법을 이용하여 실질적으로 임의의 수의 단층 배열을 생성할 수 있다. 예를 들어, 노출 실세스퀴옥산은 2 이상, 10 이상, 50 이상, 100 이상, 1000 이상, 1×10^4 이상, 1×10^6 이상, 1×10^9 이상 또는 1×10^{12} 이상의 불연속 제1 영역으로 제공될 수 있으며, 2 이상, 10 이상, 50 이상, 100 이상, 1000 이상, 1×10^4 이상, 1×10^6 이상, 1×10^9 이상, 또는 1×10^{12} 이상의 불연속 나노구조체 단층 배열이 제1층 상에 잔류한다.
- [0182] 상술한 바와 같이, 나노구조체를 융합으로부터 보호함으로써, 방법은 나노구조체가 단층에 배열되었는지, 또는 배열되지 않았는지에 상관없이, 고온 처리 단계 동안 나노구조체의 밀도, 크기, 크기 분포, 단층 형상 등을 유지할 수 있다. 예를 들어, 나노구조체가 단층에 배치되는 일 부류의 구체예에서, 단계 c) 후 단층 배열에서의 나노구조체의 밀도는 단계 c) 전 단층 배열에서의 나노구조체의 밀도의 75% 이상, 보다 전형적으로 90% 이상 또는 95% 이상이다. 선택적으로, 밀도는 가열 단계동안 실질적으로 변하지 않는다. 상술한 바와 같이, 나노구조체의 밀도가 증가할수록 응집으로부터의 보호가 더욱 더 중요하다. 따라서, 단계 c) 전 단층 배열에서의 나노구조체의 밀도는 선택적으로 적어도 약 1×10^{10} 나노구조체/cm², 예를 들어 적어도 약 1×10^{11} 나노구조체/cm², 적어도 약 1×10^{12} 나노구조체/cm², 적어도 2×10^{12} 나노구조체/cm², 적어도 2.5×10^{12} 나노구조체/cm², 적어도 3×10^{12} 나노구조체/cm², 적어도 4×10^{12} 나노구조체/cm², 적어도 5×10^{12} 나노구조체/cm², 또는 심지어 적어도 약 1×10^{13} 나노구조체/cm²이다. 일 부류의 구체예에 있어서, 단계 c) 후, 나노구조체의 단층 배열은 약 1×10^{10} 나노구조체/cm² 초과, 예를 들어 약 1×10^{11} 나노구조체/cm² 초과, 약 1×10^{12} 나노구조체/cm² 초과, 적어도 2×10^{12} 나노구조체/cm², 적어도 2.5×10^{12} 나노구조체/cm², 적어도 3×10^{12} 나노구조체/cm², 적어도 4×10^{12} 나노구조체/cm², 적어도 5×10^{12} 나노구조체/cm², 또는 심지어 적어도 약 1×10^{13} 나노구조체/cm²의 밀도를 가진다. 선택적으로, 단층 배열에서의 나노구조체의 밀도는 단계 c) 후 실질적으로 균일하다.
- [0183] 일 부류의 구체예에 있어서, 단계 c) 후 경화된 실세스퀴옥산에 매립된 나노구조체의 평균 직경은 단계 c) 전 경화된 실세스퀴옥산에 매립된 나노구조체의 평균 직경의 110% 미만, 예를 들어, 105% 미만 또는 103% 미만이다. 선택적으로, 경화된 실세스퀴옥산에 매립된 나노구조체의 크기 분포는 단계 c) 동안 실질적으로 변하지 않는다. 관련 부류의 구체예에 있어서, 경화된 실세스퀴옥산에 매립된 나노구조체의 크기 분포는 20% 미만의 rms 편차를 나타낸다. 예를 들어, 단계 c) 후, 경화된 실세스퀴옥산에 매립된 나노구조체의 크기 분포는 15% 미만, 10% 미만, 또는 심지어 5% 미만의 rms 편차를 나타낼 수 있다.
- [0184] 나노구조체가 단층에 배치되는 구체예에서, 방법은 선택적으로 단층 상에 하나 이상의 추가의 단층을 배치하는 단계를 포함한다. 예를 들어, 일 부류의 구체예에 있어서, 방법은 단계 b) i) 후 및 단계 b) iii) 전에, 실세스퀴옥산내 나노구조체의 제2 단층을 불완전하게 경화된 실세스퀴옥산 상에 배치하는 단계를 포함한다. 이어서, 제2 단층을 제1 단층에 대해 기술한 바와 같이 패턴화할 수 있다. 대안적으로, 다양한 층을 배치한 후, 동시에 패턴화할 수 있다. 유전층은 선택적으로 인접한 나노구조체 단층 사이에 배치된다.
- [0185] 본질적으로, 상기 방법들에 언급된 모든 특징은, 예를 들어 제1층의 조성, 제1층의 처리, 기판 상에 제1층의 배치, 기판 조성, 나노구조체 형상 및 조성, 배열(들)의 크기 등에 대해 이들 구체예에도 마찬가지로 상응하게 적용된다. 단층 배열이 생성되는 구체예에서, 단층 배열(또는 각 다중 배열)가 규칙 배열 또는, 전형적으로 불규칙 배열을 포함할 수 있음에 주목할 필요가 있다.
- [0186] 2 이상의 단층 배열이 생성되는 구체예에서, 방법은 선택적으로 트랜지스터(들)에 배열(들)을 도입하는 단계를 포함한다. 따라서, 예를 들어, 방법은 선택적으로 단계 c) 전에 기판에 도펀트 이온을 주입함으로써, 단층 배열에 근접하게 기판에 소스 영역 및 드레인 영역을 형성하는 단계를 포함하는데, 단계 c) 동안 기판의 주입 손상이 복구되며, 도펀트가 활성화된다. 전형적으로, 단계 c) 전에 게이트 전극이 경화된 실세스퀴옥산 상에 배치될 수 있다. 게이트 전극이 배치되기 전, 유전층이 경화된 실세스퀴옥산 상(즉, 나노구조체 배열 상)에 배치될 수 있다.
- [0187] 본 원에 각종 적합한 실세스퀴옥산이 기술되었으며, 예컨대 머캡토-프로필-시클로헥실 다면체 올리고머 실세스

퀴옥산, 수소 실세스퀴옥산, 메틸 실세스퀴옥산, 옥타비닐 디메틸 실릴 실세스퀴옥산, 옥타실란 실세스퀴옥산, 옥타비닐-T8 실세스퀴옥산, 아미노프로필시클로헥실 다면체 올리고머 실세스퀴옥산, 아크릴로 실세스퀴옥산 또는 메타크릴로 실세스퀴옥산 또는 이들의 조합물을 들 수 있다. 도 3의 패널 A 내지 E를 또한 참조하기 바란다. 추가의 실세스퀴옥산은 상업적으로 입수가가능하거나, 당업자들이 용이하게 제조할 수 있다.

[0188] 나노구조체가 금속 나노구조체인 구체예에서, 가열 단계(특히 산화 분위기에서 가열) 동안 나노구조체가 산화되어 금속 산화물로 전환되는 경우, 이들은 이어서 환원 분위기(예: 수소를 포함한 분위기, 예를 들어 포밍 가스)에서 가열함으로써 선택적으로 환원된다.

[0189] 상기 언급된 바와 같이, 본 발명의 방법으로 제조되거나 이들 방법을 수행하는데 유용한 장치가 또한 본 발명의 특징이다. 따라서, 다른 일반적인 부류의 구체예에서는 제1층, 제1층 상에 배치된 나노구조체의 단층 배열 및 제1층 상에 배치된 레지스트를 포함하는 장치가 제공된다. 일 부류의 구체예에 있어서, 레지스트는 나노구조체의 단층 배열 상에 배치된 레지스트 층을 포함한다. 예를 들어, 도 4의 장치 (460)을 참조할 수 있다. 다른 부류의 구체예에 있어서, 레지스트는 제1층의 제1 영역을 구성하고, 나노구조체의 단층 배열은 제1 영역에 인접한 제1층의 제2 영역을 구성한다. 또 다른 부류의 구체예에 있어서, 나노구조체의 단층 배열은 레지스트에 매립된다(참조: 예를 들어 도 10의 배열(1045)).

[0190] 본질적으로, 상기 방법들에 언급된 모든 특징은, 예를 들어 제1층의 조성, 제1층의 코팅, 기판 상에 제1층의 배치, 기판 조성, 트랜지스터(들)에 배열(들)의 도입, 나노구조체 형상 및 조성, 나노구조체 리간드, 배열(들)의 크기 및 밀도, 제1층 상에 배치된 제2 단층의 도입 등에 대해 이들 구체예에도 마찬가지로 상응하게 적용된다. 단층 배열(또는 각 다중 배열)가 규칙 배열 또는 불규칙 배열을 포함할 수 있음에 주목하기 바란다.

[0191] 단층 형성용 장치

[0192] 본 발명의 일 측면은 나노구조체 배열을 형성하기 위한 장치 및 그의 사용 방법을 제공한다. 따라서, 한가지 일반적인 부류의 구체예는 제1층, 제2층, 제1층과 제2층 사이의 공동, 하나 이상의 스페이서 및 적어도 하나의 개공(aperture)을 포함한 장치를 제공한다. 하나 이상의 스페이서는 제1층과 제2층 사이에 위치되어 제1층과 제2층 사이에 소정의 거리를 유지한다. 적어도 하나의 개공은 공동을 외부 대기와 연결시킨다. 공동은 나노구조체 군에 의해 점유된다.

[0193] 하기에서 더욱 상세히 설명하는 바와 같이, 장치는 나노구조체 배열을 형성하기 위해 사용될 수 있다. 간략하면, 나노구조체의 용액이 공동 내로 도입되고, 용매는 공동으로부터 증발된다. 용매가 증발함에 따라, 나노구조체는 제1층 상에서 배열로 어셈블된다. 증발 속도는 조절될 수 있으며, 나노구조체가 규칙 배열로 어셈블 되도록 저속일 수 있다.

[0194] 따라서, 일 부류의 구체예에서, 나노구조체는 적어도 하나의 용매에 분산되는 반면, 다른 구체예에서 나노구조체는 실질적으로 용매를 포함하지 않는다. 나노구조체는 제1층 상에 배치된 배열을 선택적으로 포함한다. 배열은 불규칙 배열을 포함할 수 있으나, 특정 구체예에서는 배열이 규칙 배열을 포함한다. 배열은 바람직하게 단층, 예를 들면, 육방 밀집된 단층과 같은 규칙적 단층을 포함하지만, 선택적으로 복수의 단층을 포함한다.

[0195] 제1층과 제2층은 전형적으로 실질적으로 평탄하며 실질적으로 서로 평행하다. 제1층에 적당한 물질로는, 전술한 것들, 예를 들면, 산화물(예를 들면, 산화규소, 산화하프늄 및 알루미늄) 또는 질화물과 같은 유전 물질을 들 수 있지만, 이에 제한되는 것은 아니다. 제1층은 나노구조체 결합 기를 포함한 조성물을 함유하는 코팅을 선택적으로 포함한다. 예시적인 코팅 조성물 및 나노구조체 결합 기는 상기 설명되어 있다.

[0196] 제1층은 기판 상에 배치될 수 있다. 예시적인 기판은 상기에 또한 설명되어 있으며, 예를 들어, 나노구조체의 생성된 배열이 트랜지스터 또는 유사한 장치 내로 도입되는 경우에는 반도체 기판이 사용될 수 있다. 복수의 장치가 단일 기판상에 배치되어 본질적으로 임의의 원하는 수 및/또는 크기의 나노구조체 배열을 기판 상의 예정 위치에 동시에 생성하기 위해 사용될 수 있다는 것은 명백하다(예를 들면, 2 이상, 10 이상, 50 이상, 100 이상, 1000 이상, 1×10^4 이상, 1×10^6 이상, 1×10^9 이상, 1×10^{10} 이상, 1×10^{11} 이상 또는 1×10^{12} 이상의 배열).

[0197] 제2층 및/또는 스페이서(들)는 본질적으로 임의의 적당한 물질을 포함할 수 있다. 예를 들면, 제2층 및/또는 스페이서(들)는 금속 또는 유전 물질(예를 들면, 알루미늄, 니켈, 크롬, 몰리브덴, ITO, 질화물 또는 산화물)을 포함할 수 있다.

[0198] 제1층과 제2층 간의 거리는 나노구조체의 평균 직경보다 더 크다. 상기 거리는 나노구조체의 평균 직경의 약 2

배 또는 그 이상일 수 있으나, 특정 구체예에서는 나노구조체의 단층 형성을 촉진하기 위해 제1층과 제2층 간의 거리를 나노구조체의 평균 직경의 약 2배 미만으로 한다. 예를 들면, 평균 직경이 약 3 내지 5 nm인 양자 도트에 있어서, 상기 거리는 약 6 내지 10 nm 미만이다.

- [0199] 장치는 본질적으로 임의의 원하는 크기 및/또는 형상으로 할 수 있다. 일 부류의 구체예에서, 제1층은 4개의 엷지를 갖는다. 제1 및 제2층은 제1층의 2개의 대향 엷지를 따라 연장되는 2개의 스페이서에 의해 분리된다. 제1층의 나머지 2개의 대향 엷지를 따라 연장되는 2개의 개공은 예를 들면 용매가 증발되어 빠져나갈 수 있도록 공동을 외부 대기와 연결한다. 다수의 기타 구성도 가능하다는 것은 명백하다. 하나의 추가적인 예로서, 제1층은 4개의 엷지와 4개의 코너를 가질 수 있는데, 이때 각 코너에는 스페이서가, 각 엷지를 따라서는 개공이 있을 수 있거나, 또는 장치는 원형 또는 불규칙 형상 동일 수 있다.
- [0200] 나노구조체 배열의 형성은 공동 양단에 전계를 인가함으로써 촉진될 수 있다[예를 들면, 문헌 (Zhang 및 Liu (2004)의 "In situ observation of colloidal monolayer nucleation driven by an alternating electric field" Nature 429:739-743)을 참조할 수 있다]. 따라서, 일 부류의 구체예에서, 제1층은 제1 전도성 물질을 포함하거나 그 위에 배치되고, 제2층은 제2 전도성 물질을 포함하거나 그 위에 배치된다. 전도성 물질로는 금속, 반도체, ITO 등을 들 수 있지만, 이에 제한되는 것은 아니다. 공동(예를 들면 유전성 제1층)의 어느 한 면 또는 양면 상에 절연층의 존재는 그러한 전계의 인가를 방해하지 않는다는 점을 유의해야 한다.
- [0201] 나노구조체는, 예를 들면 짧은 나노로드, 실질적으로 구형인 나노구조체 또는 양자 도트를 포함할 수 있고, 본질적으로 임의의 원하는 물질을 포함할 수 있다. 나노구조체는 하기 "나노구조체" 라는 제목의 섹션에서 보다 상세히 설명된다.
- [0202] 예시적인 구체예가 도 5의 패널 A 내지 C에 개략적으로 도시되어 있다. 이 예에서, 장치(501)는 제1층(502), 제2층(503), 제1층과 제2층 사이의 공동(504) 및 2개의 스페이서(505)를 포함한다. 스페이서는 제1층과 제2층 사이에 위치되어 이들 층 사이에 거리(506)를 유지한다. 2개의 개공(510)은 공동(504)과 외부 대기(513)를 연결한다. 공동은, 패널 A와 패널 B에서는 용매(512) 내에 분산되어 있고 패널 C에서는 제1층 상에 배치된 배열(515)을 구성하는 나노구조체 군(511)에 의해 점유된다.
- [0203] 상기 언급된 바와 같이, 본 발명의 장치를 사용하는 방법은 본 발명의 다른 특징을 구성한다. 따라서, 일 부류의 구체예는 나노구조체 배열의 형성 방법을 제공한다. 이 방법에서는, 제1층, 제2층 및 제1층과 제2층 사이의 공동을 포함하는 장치가 제공된다. 적어도 하나의 용매에 분산된 나노구조체를 포함하는 용액이 공동 내로 도입된다. 용매의 적어도 일부는 공동으로부터 증발되고, 이로써 나노구조체들이 제1층 상에 배치된 배열로 어셈블된다.
- [0204] 예시적인 방법이 도 5에 개략적으로 도시되어 있으며, 도 5는 패널 A에서 용매에 분산된 나노구조체를 포함하는 공동을 도시한 것이다. 나노구조체는 용매가 증발함에 따라 함께 끌어당겨지고(패널 B), 제1층 상에서 배열로 어셈블된다(패널 C). 제2층이 제거되는데(패널 D), 이 예에서는 스페이서가 또한 제거되어 제1층 상에 배치된 나노구조체 배열이 잔류하게 된다.
- [0205] 배열은 장치, 예를 들면 메모리 장치 내에 선택적으로 도입된다. 예를 들면, 나노구조체 배열은 플래시 트랜지스터의 게이트 영역을 포함할 수 있다. 상기 방법은 본질적으로 임의의 수의 나노구조체 배열을 예정 위치에서 동시에 형성하기 위해 사용될 수 있다는 것은 명백하다(예를 들면, 2 이상, 10 이상, 50 이상, 100 이상, 1000 이상, 1×10^4 이상, 1×10^6 이상, 1×10^9 이상, 1×10^{10} 이상, 1×10^{11} 이상 또는 1×10^{12} 이상).
- [0206] 본질적으로, 상기 장치에 대하여 언급한 모든 특징은, 예를 들어 장치의 구성, 제1층 및/또는 스페이서의 조성, 나노구조체의 유형, 생성된 배열의 구성 등에 대해 상기 방법에도 마찬가지로 상응하게 적용된다.
- [0207] 장치는 예를 들면 종래의 리소그래픽, MEMS, 및/또는 집적 회로 기술을 이용하여 제조될 수 있다. 일 측면으로, 장치를 제조하는 방법은 제3층을 제1층 상에 배치하는 단계, 제2층을 제3층 상에 배치하는 단계 및 제3층의 적어도 일부를 제거하는 단계를 포함하고, 이로써 제1층과 제2층 사이에 공동이 형성된다. 제3층 또는 그 일부는 예를 들면, 에칭제, 에천대 이방성 에칭제로 제3층을 에칭 처리함으로써 제거될 수 있다. 예를 들면, 제3층은 폴리실리콘(즉, 다결정성 실리콘), 무정형 실리콘, 물리브덴 또는 티탄을 포함할 수 있고, 에칭제는 XeF_2 를 포함할 수 있다.
- [0208] 제거되는 제3층의 두께는 제1층과 제2층 사이에 생성된 공동의 높이를 한정한다는 것이 명백하다. 따라서, 제3층은 나노구조체의 평균 직경보다 더 큰 두께를 갖는다. 제3층은 나노구조체의 평균 직경의 약 2배 또는 그 이

상의 두께를 가질 수 있지만, 나노구조체의 단층 형성을 촉진하기 위해서, 특정 구체예에서는 제3층이 나노구조체의 평균 직경의 약 2배 미만의 두께를 갖는다.

- [0209] 제1층과 제2층은 전형적으로 제3층이 제거되었을 때 제1층과 제2층 사이에 일정 거리를 유지하는 하나 이상의 스페이서에 의해 분리된다. 전술한 바와 같이, 생성된 장치는 본질적으로 임의의 크기 및/또는 형상을 가질 수 있고, 그에 따라 제1층, 제2층, 제3층 및 스페이서에 대하여 다수의 구성이 가능하다. 예를 들면, 일 부류의 구체예에서, 제1층은 4개의 엣지를 갖는다. 제1층과 제2층은 제1층의 2개의 대향 엣지를 따라 연장되는 2개의 스페이서에 의해 분리된다. 따라서, 생성된 장치는 나머지 2개의 대향 엣지를 따라 연장되는 2개의 개공을 갖는다. 대안적으로, 장치는 더 많거나, 더 적은 스페이서를 가질 수도 있고, 엣지 대신 코너에 스페이서를 둘 수 있으며, 원형 또는 불규칙한 형상 등을 가질 수 있다.
- [0210] 장치를 제공하기 위한 예시적인 방법이 도 6의 패널 A에 개략적으로 도시되어 있다. 이 예에서는, 예를 들어 기관(611)(예를 들면, Si 또는 다른 반도체 기관) 상에 배치된 원하는 제1층(예를 들면, SiO₂ 또는 다른 유전 물질)과 동일한 물질을 포함한 비교적 두꺼운 층(610)이 제공된다. 단계 601에서, 두꺼운 층(610)은 마스크 처리되고 스트라이프가 그 안으로 에칭된다. 단계 602에서, 얇은 물질층이 제1층(612)을 형성하도록 배치된다. 단계 603에서, 제3층(613)이 제1층(612) 상에 배치된다(예를 들면, 폴리실리콘의 제3층이 화학적 기상 침착에 의해 배치될 수 있다). 단계 604에서, 제2층(614)은 제3층(613) 상에 배치된다(예를 들면, 얇은 금속의 제2층이 제3층 위로 증발될 수 있다). 두꺼운 층(610)의 나머지 부분은 스페이서(615)를 포함한다. 단계 605에서, 제3층이 에칭되어 장치(620)에 공동(616)을 잔류케 한다. 이 예에서는 2개의 장치가 동일 기관 상에서 동시에 제조된다.
- [0211] 장치를 제공하는 다른 예시적인 방법이 도 6의 패널 B에 개략적으로 도시되어 있다. 이 예에서는 얇은 제1층(660)이 기관(661) 상에 제공된다. 단계 651에서, 제3층(662)이 제1층(660) 상에 배치된다. 단계 652에서, 제3층(662)이 마스크 처리되고 스트라이프가 그 안에서 에칭된다. 단계 653에서, 금속이 침착되어 제2층(665)과 스페이서(666)를 형성한다. 장치는 선택적으로 마스크 처리되고 미리 형성된 것과 수직한 스트라이프로 에칭되어, 에칭제가 대향 면에서 제3층에 접근하게 하는 자유 엣지를 제공한다. 단계 654에서, 제3층이 에칭되어 장치(671)에 공동(670)을 잔류케 한다. 이 예에서도 또한 2개의 장치가 동일 기관 상에서 동시에 제조된다.
- [0212] 제1층은 나노구조체 결합 기를 포함한 조성물을 함유하는 코팅을 선택적으로 포함한다. 따라서, 방법은 제3층을 제1층 상에 배치하기 전에, 나노구조체 결합 기를 포함한 조성물로 제1층을 코팅하는 단계를 선택적으로 포함한다. 예시적인 코팅 조성물 및 나노구조체 결합 기는 상기 설명되어 있다.
- [0213] 나노구조체는 예를 들면 모세관 작용에 의해 공동 내로 용이하게 도입될 수 있다. 일 부류의 구체예에서, 나노구조체 용액은 장치를 과량의 용액에 담그고, 용액을 모세관 작용에 의해 공동 내로 유인하며, 장치를 과량의 용액으로부터 제거함으로써 공동 내로 도입된다.
- [0214] 용매는 일부 또는 실질적으로 전부가 증발된다. 용매의 증발 속도는, 예를 들어 배열 형성을 제어하도록 조절될 수 있다. 예를 들면, 용매의 저속 증발은 나노구조체의 농도를 점차적으로 증가시키는데, 이것은 나노구조체의 규칙 배열, 예를 들면 육방 밀집된 단층과 같은 규칙적 단층의 형성에 도움을 줄 수 있다.
- [0215] 용매의 증발 처리는 나노구조체의 측방향 이동을 생성할 수 있는데, 이것은 규칙 배열의 형성에 기여할 수 있다. 나노구조체의 추가적인 이동은, 예를 들면, 용액이 공동에 유입된 후에(예를 들면, 용매가 증발하기 전에 또는 증발과 동시에) 공동 양단에 AC 전압을 인가함으로써 촉진될 수 있다. 이에 대해서는 AC 전압이 용액에서 와동 전류(eddy current)를 발생하여 나노구조체의 측방향 이동을 일으키고 규칙 배열(예를 들면, 육방 밀집된 단층)의 형성에 기여한다는 것을 개시하고 있는 Zhang 및 Liu(상동)의 문헌을 참조할 수 있다.
- [0216] 증발 및 배열 형성이 원하는 만큼 진행되었을 때, 제2층이 제거된다. 선택적으로, 임의의 이질적인 나노구조체(예를 들면, 단층보다 더 큰 임의의 나노구조체) 및/또는 임의의 잔류 용매가 예를 들면 세척에 의해 제거될 수 있다. 제2층은, 예를 들면, 에칭으로 제거될 수 있거나, 또는 스페이서가 에칭으로 제거될 수 있으며, 제2층은, 예를 들면 용매로 세척함으로써 나노구조체 배열을 방해하는 일 없이 소거될 수 있다. 유사하게, 장치를 적당한 용매에 담가서 제2층의 소거를 용이하게 하기 위해서는, 레지스트 층이 제2층 아래의 스페이서 위에, 또는 제1층 상의 스페이서 아래에 배치될 수 있다.
- [0217] 다른 일반적 부류의 구체예는 표면 상에서 하나 이상의 수직 단절부를 포함하는 고체 지지체를 가진 장치를 제공한다. 단절부는 표면으로부터의 돌출부 또는 표면 내의 함몰부를 포함한다. 돌출부 또는 함몰부는 고체 지지체 상의 예정 위치에 있다. 장치는 또한 돌출부 또는 함몰부에 배치된 나노구조체 군을 포함한다.

- [0218] 이후 더 자세히 설명되는 바와 같이, 장치는 나노구조체 배열을 형성하기 위해 사용될 수 있다. 간략하면, 나노구조체 용액을 고체 지지체 상에 침착시키고, 용매를 증발시킨다. 용매가 증발함에 따라, 나노구조체는 돌출부 상에 또는 함몰부 내에 배열로 어셈블된다. 증발 속도는 조절될 수 있으며, 나노구조체가 규칙 배열로 어셈블되도록 저속일 수 있다.
- [0219] 따라서, 일 부류의 구체예에서, 나노구조체는 적어도 하나의 용매에 분산되고, 다른 구체예에서, 나노구조체는 실질적으로 용매를 포함하지 않는다. 나노구조체는 돌출부 상에 또는 함몰부 내에 배치된 배열을 선택적으로 포함한다. 배열은 규칙 배열을 포함할 수 있지만, 특정 구체예에서는 배열이 규칙 배열을 포함한다. 배열은 바람직하게 단층, 예를 들면 육방 밀집된 단층과 같은 규칙적 단층을 포함하지만, 선택적으로는 복수의 단층을 포함한다.
- [0220] 바람직한 부류의 구체예에서, 고체 지지체는 제1층을 포함한다. 고체 지지체는 제1층이 위에 배치되는 기관을 또한 선택적으로 포함한다. 일 부류의 구체예에서, 제1층은 나노구조체 결합 기를 포함한 조성물을 함유하는 코팅을 포함한다. 제1층 및 기관의 예시적인 물질과, 예시적인 코팅 조성물 및 나노구조체 결합 기는 상기 설명되어 있다. 본질적으로, 상기 구체예에서 언급한 모든 특징은, 예를 들면 나노구조체의 유형(예를 들면, 짧은 나노로드, 실질적으로 구형인 나노구조체, 양자 도트 등)에 대해 이들 구체예에도 마찬가지로 상응하게 적용된다.
- [0221] 단일 고체 지지체가 본질적으로 임의의 원하는 수 및/또는 크기의 나노구조체 배열을 고체 지지체 상의 예정 위치에서 동시에 생성하기 위해(예를 들면, 지지체를 포함하는 기관 상에서 예컨대 2 이상, 10 이상, 50 이상, 100 이상, 1000 이상, 1×10^4 이상, 1×10^6 이상, 1×10^9 이상, 1×10^{10} 이상, 1×10^{11} 이상 또는 1×10^{12} 이상의 배열) 사용될 수 있는 복수의 장치를 포함할 수 있다는 것은 명백하다.
- [0222] 예시적인 구체예가 도 7의 패널 문자 A 내지 C에 개략적으로 도시되어 있다. 일 예로, 장치(701)는 고체 지지체(702)를 포함하고, 고체 지지체(702)는 제1층(708)과 기관(709)을 포함한다. 고체 지지체(702)의 표면(703)은 복수의 수직 단절부(704)를 포함하고, 이 수직 단절부는 표면으로부터의 돌출부(705)를 포함한다(패널 A 내지 B). 패널 B는 돌출부(705) 상에 배치된 용매(711) 또는 배열(713)에 분산된 나노구조체 군(710)을 또한 도시하고 있다. 제2 예에서, 장치(751)(패널 C)는 고체 지지체(752)를 포함하고, 이 고체 지지체는 제1층(758)과 기관(759)을 포함한다. 고체 지지체(752)의 표면(753)은 복수의 수직 단절부(754)를 포함하고, 이 단절부는 표면 내의 함몰부(755)를 포함한다.
- [0223] 이 장치는 예를 들면 제1층을 마스크 및 에칭함으로써 종래의 리소그래픽, MEMS 및/또는 집적회로 기술을 이용하여 제조될 수 있다.
- [0224] 언급한 바와 같이, 본 발명의 장치를 사용하는 방법은 본 발명의 또 다른 특징을 구성한다. 따라서, 한가지 일반적인 부류의 구체예는 나노구조체 배열의 형성 방법을 제공한다. 이 방법에서, 표면에 적어도 하나의 수직 단절부를 포함한 고체 지지체가 제공된다. 단절부는 표면으로부터의 돌출부 상 또는 표면 내의 함몰부를 포함하며, 이 돌출부 또는 함몰부는 고체 지지체 상의 예정 위치에 있다. 적어도 하나의 용매에 분산된 나노구조체를 포함한 용액이 고체 지지체 상에서 침착된다. 용매의 적어도 일부가 증발되고, 이에 따라 나노구조체가 돌출부 상에 또는 함몰부 내에 배치된 배열로 어셈블된다.
- [0225] 예시적인 방법이 도 7의 패널 B에 개략적으로 도시되어 있다. 단계 721에서, 용매(711) 내의 나노구조체(710) 용액이 표면(703)으로부터의 돌출부(705)를 포함한 고체 지지체(702) 상에 침착된다. 용매가 증발함에 따라, 나노구조체의 농도가 증가한다. 용매는 궁극적으로 일부 영역의 표면을 탈습윤시키고, 돌출부에 밀착하며, 돌출부들 사이의 공간에서 탈습윤된다. 새로이 분리된 용매 액적 내의 대류 전류는 나노구조체에 측방향 이동성을 제공하여 자기 어셈블리를 촉진할 수 있다. 궁극적으로, 증발이 진행함에 따라, 용매의 표면 장력에 의해 용매 액적이 돌출부 상부에 잔류하게 된다(단계 722). 실질적으로 모든 용매가 증발될 수 있거나, 또는 일단 나노구조체의 어셈블이 원하는 단계에 도달한 후에는 증발이 중단될 수 있다. 임의의 잔류 용매를 제거하고, 선택적으로 단층보다 더 큰 임의의 나노구조체 및/또는 돌출부들 사이에 남은 임의의 나노구조체를 제거함으로써, 나노구조체의 배열(713)이 돌출부 상에 배치된 채로 잔류하게 된다(단계 723).
- [0226] 배열은 장치, 예를 들면 메모리 장치에 선택적으로 도입되는데, 예를 들어, 나노구조체 배열은 플래시 트랜지스터의 게이트 영역을 포함할 수 있다. 상기 방법은 본질적으로 임의의 수의 나노구조체 배열, 예를 들면, 2 이상, 10 이상, 50 이상, 100 이상, 1000 이상, 1×10^4 이상, 1×10^6 이상, 1×10^9 이상, 1×10^{10} 이상, 1×10^{11} 이상 또는 1×10^{12} 이상의 배열을 예정 위치에서 동시에 형성하기 위해 사용될 수 있다는 것은 명백할 것이다.

- [0227] 본질적으로, 상기 장치에 대하여 언급한 모든 특징은, 예를 들면 장치의 구성, 나노구조체의 유형, 생성된 배열의 구성 등에 대해 상기 방법에도 마찬가지로 상응하게 적용된다.
- [0228] 바람직한 부류의 구체예에서, 고체 지지체는 제1층을 포함한다. 고체 지지체는 제1층이 배치되는 기판을 또한 선택적으로 포함한다. 제1층은 나노구조체 결합 기를 포함한 조성물을 함유하는 코팅을 선택적으로 포함한다. 따라서, 본 발명의 방법은 용액을 제1층 상에 침착하기 전에 나노구조체 결합 기를 포함한 조성물로 제1층을 코팅하는 단계를 선택적으로 포함한다. 제1층과 기판의 예시적인 물질, 및 예시적인 코팅 조성물과 나노구조체 결합 기는 상기 설명되어 있다.
- [0229] 나노구조체를 함유한 용액은, 예를 들면 고체 지지체 상에 용액의 스핀 코팅, 고체 지지체 상에 용액의 딥 코팅, 고체 지지체를 과량의 용액에 담그는 것, 또는 고체 지지체를 용액으로 스프레이 코팅하는 것 등을 포함한 임의의 다양한 기술에 의해 고체 지지체 상에 침착될 수 있다.
- [0230] 일부 또는 실질적으로 모든 용매가 증발된다. 용매의 증발 속도는 예를 들면 배열 형성을 제어하도록 조절될 수 있다. 예를 들면, 용매의 저속 증발은 나노구조체의 농도를 점차적으로 증가시키는데, 이것은 나노구조체의 규칙 배열, 예를 들면 육방 밀집된 단층과 같은 규칙적 단층의 형성에 도움을 줄 수 있다.
- [0231] 나노구조체 배열을 포함한 장치
- [0232] 상술된 방법 및 장치는 예정 위치에 나노구조체 배열을 생성하기 위해 사용될 수 있고, 이들 배열은 메모리 장치, LED 등과 같은 장치에 도입될 수 있다. 따라서, 일 측면으로, 본 발명은 예정 위치 및/또는 크기의 배열을 비롯한 나노구조체 배열을 포함한 장치를 제공한다.
- [0233] 한가지 일반적인 부류의 구체예는 기판 및 이 기판 상에 배치된 2 이상의 나노구조체 배열을 포함하는 장치를 제공한다. 각 나노구조체 배열은 기판 상의 예정 위치에 배치된다. 주지하고 있는 바와 같이, 장치는 본 발명의 방법에 의해 선택적으로 생성되고, 예시적인 장치는 도 1(장치 101) 및 도 2(장치 201)에 개략적으로 도시되어 있다.
- [0234] 기판은 본질적으로 예를 들면 나노구조체 배열의 목적 용도에 따라 임의의 원하는 물질을 포함할 수 있다. 적당한 기판으로는 반도체; 균일한 기판, 예를 들면 고체 물질의 웨이퍼, 예컨대 실리콘 또는 다른 반도체 물질, 유리, 석영, 중합체 등; 고체 물질의 대형 경질 시트, 예를 들면 유리, 석영, 플라스틱, 예컨대 폴리카보네이트, 폴리스티렌 등; 가요성 기판, 예를 들면 플라스틱, 예컨대 폴리올레핀, 폴리아미드 등의 폴; 또는 투명 기판을 들 수 있지만, 이에 제한되는 것은 아니다. 이들 형태의 조합이 또한 사용될 수 있다. 기판은 궁극적으로 원하는 장치의 일부인 다른 구성 또는 구조적 부재를 선택적으로 포함한다. 이러한 부재의 특정 예로는 나노와이어 또는 다른 나노스케일의 전도성 소자, 광학 및/또는 광전 소자(예를 들면, 레이저, LED 등), 및 구조적 부재(예를 들면, 마이크로캔틸레버, 피트, 웰, 포스트 등)를 비롯한 전기 접촉부, 다른 배선 또는 전도 경로와 같은 전기 회로 소자가 포함된다.
- [0235] 나노구조체는 기판과 물리적으로 접촉할 수 있지만 필수적인 것은 아니다. 따라서, 일 부류의 구체예에서, 제1층이 나노구조체 배열과 기판 사이에 배치된다. 제1층의 예시적인 물질은 상기 설명되어 있다. 제1층은 나노구조체 결합 기를 포함한 조성물을 함유하는 코팅을 선택적으로 포함하고, 예시적인 조성물 및 나노구조체 결합 기는 마찬가지로 상기 설명되어 있다.
- [0236] 일 부류의 구체예에서, 제1층은 유전 물질을 포함하고, 약 1 내지 약 10 nm, 예를 들면 3 내지 4 nm의 두께를 갖는다. 제1층은 나노구조체 배열이 예컨대 플래시 트랜지스터 또는 메모리 장치에 도입되는 구체예에서 터널 유전층으로서 사용될 수 있다. 따라서, 일부 구체예에서, 나노구조체의 각 단층 배열에 대하여, 기판은 소스 영역, 드레인 영역, 및 소스 영역과 드레인 영역 사이에 있고 나노구조체의 단층 배열 아래에 있는 채널 영역을 포함하고, 제어 유전층은 나노구조체의 각 단층 배열 상에 배치되며, 게이트 전극은 각 제어 유전층 상에 배치된다. 바람직한 터널 및 제어 유전층과 게이트 전극은 각각 미국 특허 출원 제11/743,085호 및 제60/931,488호에 기재되어 있다.
- [0237] 장치는 본질적으로 임의의 수의 나노구조체 배열, 예를 들면, 10 이상, 50 이상, 100 이상, 1000 이상, 1×10^4 이상, 1×10^6 이상, 1×10^9 이상, 1×10^{10} 이상, 1×10^{11} 이상 또는 1×10^{12} 이상의 나노구조체 배열을 포함할 수 있다. 유사하게, 배열은 본질적으로 임의의 원하는 크기 및/또는 형상을 가질 수 있다. 예를 들면, 각 나노구조체 배열은 약 $10^4 \mu\text{m}^2$ 이하, 약 $10^3 \mu\text{m}^2$ 이하, 약 $10^2 \mu\text{m}^2$ 이하, 약 $10 \mu\text{m}^2$ 이하, 약 $1 \mu\text{m}^2$ 이하, 약 10^5nm^2 이하,

약 10^4 nm^2 이하, 약 4225 nm^2 이하, 약 2025 nm^2 이하, 약 1225 nm^2 이하, 약 625 nm^2 이하, 또는 약 324 nm^2 이하의 면적을 갖는다. 각 나노구조체 배열은 약 $45 \times 45 \text{ nm}$ 이하, 약 $35 \times 35 \text{ nm}$ 이하, 약 $25 \times 25 \text{ nm}$ 이하 또는 약 $18 \times 18 \text{ nm}$ 이하의 치수를 선택적으로 갖는다.

[0238] 일 측면으로, 각 나노구조체 배열은 규칙 배열 및/또는 단층, 예를 들면, 육방 밀집된 단층을 포함한다. 그러나, 많은 응용에서, 규칙 배열은 필요하지 않다. 예를 들어서, 메모리 장치에 사용되는 배열에 있어서, 나노구조체는, 불규칙 배열에서 충분한 밀도를 달성하기만 한다면, 배열 내에서 규칙적인 필요는 없다. 따라서, 다른 측면으로, 각 나노구조체 배열은 불규칙 배열, 예를 들어 불규칙 단층 배열을 포함한다. 나노구조체 배열 (예를 들어, 불규칙 단층 배열)은 고체 형태의 스핀-온-유전체 또는 고체 형태의 스핀-온-글래스에 선택적으로 내입된다.

[0239] 일 부류의 구체예에서, 배열은 고밀도의 나노구조체를 갖는다. 예를 들면, 각 나노구조체 배열은 선택적으로 약 1×10^{10} 나노구조체/ cm^2 초과, 약 1×10^{11} 나노구조체/ cm^2 초과, 약 1×10^{12} 나노구조체/ cm^2 초과, 적어도 2×10^{12} 나노구조체/ cm^2 , 적어도 2.5×10^{12} 나노구조체/ cm^2 , 적어도 3×10^{12} 나노구조체/ cm^2 , 적어도 4×10^{12} 나노구조체/ cm^2 , 적어도 5×10^{12} 나노구조체/ cm^2 , 또는 심지어 약 1×10^{13} 나노구조체/ cm^2 초과와 밀도를 갖는다.

[0240] 본질적으로, 본원에 설명되는 임의의 특징이 임의의 관련 조합에 적용되는데, 예를 들어, 기판 상의 예정 위치에 배치되고 각각 약 1×10^{11} 나노구조체/ cm^2 초과와 밀도를 가진 2 이상의 불규칙 단층 배열을 가진 장치가 본 발명의 특징이다.

[0241] 일 부류의 구체예에서, 나노구조체는 실질적으로 구형인 나노구조체 또는 양자 도트를 포함한다. 나노구조체는 본질적으로, 예를 들면 목적 용도에 기초하여 선택된 임의의 원하는 물질을 포함할 수 있다. 예를 들면, 나노구조체는 전도성 물질, 비전도성 물질, 반도체 등을 포함할 수 있다. 일 측면에서, 배열을 구성하는 나노구조체는 약 4.5 eV 이상의 일 함수를 갖는다. 그러한 나노구조체는 예를 들면, 메모리 장치의 제조에 유용하고, 나노구조체의 일 함수가 충분히 높지 않으면, 나노구조체에 저장된 전자들은 터널 유전층을 횡단하여 역으로 이동하는 경향이 있어서 메모리 손실을 가져온다. 따라서, 나노구조체(예를 들면, 실질적으로 구형인 나노구조체 또는 양자 도트)는 팔라듐(Pd), 이리듐(Ir), 니켈(Ni), 백금(Pt), 금(Au), 루테튬(Ru), 코발트(Co), 텅스텐(W), 텔루륨(Te), 철-백금 합금(FePt) 등과 같은 물질을 선택적으로 포함한다. 배열을 구성하는 나노구조체는 전형적으로 예비 형성되고, 즉 배열에 도입되기 전에 합성된다. 예를 들면, 일 측면에서, 나노구조체는 콜로이드성 나노구조체이다. 일 부류의 구체예에서, 배열을 구성하는 각각의 나노구조체는 나노구조체의 표면과 결합된 리간드, 예를 들면, 미국 특허 출원 제60/632,570호(상동)에 설명된 것 또는 도 3의 패널 A 내지 C에 도시된 것과 같은 실세스퀴옥산 리간드를 포함한 코팅을 포함한다. 관련 부류의 구체예에서, 배열을 구성하는 나노구조체는, 예를 들면 실세스퀴옥산 코팅으로부터 생성된 SiO_2 또는 다른 절연성 셸로 싸여진다(미국 특허 출원 제60/632,570호 참조). 이러한 리간드 또는 셸은 배열 내에서 인접하는 나노구조체들 사이의 간격을 선택적으로 제어한다. 나노구조체는 후술하는 "나노구조체"라는 제목의 섹션에서 보다 상세히 설명된다.

[0242] 관련되는 일반적인 부류의 구체예는 또한 기판 및 기판 상에 배치된 2 이상의 나노구조체 배열을 포함하는 장치를 제공한다. 기판은 반도체를 포함하고, 각 나노구조체 배열은 단층을 포함하며, 기판 상의 예정 위치에 배치된다. 각 단층 배열에 있어서, 기판은 활성화 소스 영역, 활성화 드레인 영역, 및 소스 영역과 드레인 영역 사이에 있고 나노구조체의 단층 배열 아래에 있는 채널 영역을 포함한다. 도펀트 이온(예: B 또는 As)이 기판(예: Si)의 소스 영역 및 드레인 영역에 주입되는 경우, 기판 격자에 대한 손상이 전형적으로 발생하며, 도펀트는 전형적으로 격자 사이에 위치할 것으로 판단된다. 상술한 바와 같이, 고온 어닐링 단계는 전형적으로 이러한 주입에 의한 기판 손상을 복구하고, 소스 영역 및 드레인 영역을 활성화시키기 위해 이용된다. "활성화" 소스 영역과 드레인 영역에서, 도펀트는 기판 격자에서 치환 위치를 취하여 소스 영역 및 드레인 영역을 고도의 전도성으로 만든다(도펀트가, 예를 들어 원자가 밴드내 여분의 홀(extra hole) 또는 전도 밴드내 여분의 전자(extra electron)에 기여하기 때문임).

[0243] 적절한 기판에는 석영 기판, 실리콘 웨이퍼 또는 그 일부가 포함되나 이들에 제한되는 것은 아니다. 상기 구체예에 따르면, 기판은 궁극적으로 목적으로 하는 장치의 일부인 다른 구성 또는 구조적 요소를 선택적으로 포함한다.

[0244] 일 부류의 구체예에 있어서, 제1층은 단층 배열과 기판 사이에 배치된다. 제1층에 대한 예시적인 물질은 상술된 것들이다. 제1층은 코팅을 선택적으로 포함한다; 예시적인 코팅 또한 상술된 것들이다. 일 부류의 구체예에 있

어서, 제1층은 유전 물질을 포함하며, 두께는 약 1 nm 내지 약 10 nm, 예를 들어 3 내지 4 nm이다. 제1층은, 나노구조체 배열이 예를 들어 플래시 트랜지스터 또는 메모리 장치에 도입되는 구체예에서 터널 유전층으로 사용될 수 있다. 따라서, 일부 구체예에 있어서, 제어 유전층은 나노구조체의 각 단층 배열 상에 배치되며, 게이트 전극은 각 제어 유전층 상에 배치된다. 상술한 구체예에 대해 언급된 바와 같이, 바람직한 터널 및 제어 유전층 및 게이트 전극은 각각 미국 특허 출원 제11/743,085호 및 제60/931,488호에 기술되어 있다.

[0245] 본질적으로, 상기 구체예들에 언급된 모든 특징은, 예를 들어 나노구조체 형상 및 조성, 예비형성된 나노구조체의 도입, 배열 수, 배열의 크기 및/또는 치수 등에 대해 이들 구체예에도 마찬가지로 상응하게 적용된다. 배열이 규칙 배열 또는, 전형적으로 불규칙 배열을 포함할 수 있음에 주목하기 바란다. 나노구조체 배열은 고체 형태의 스핀-온-유전체 또는 고체 형태의 스핀-온-글래스, 경화(부분적으로 또는 실질적으로 완전히 경화된) 레지스트, 경화된 실세스퀴옥산, 이산화규소 등에 상술한 바와 같이 선택적으로 내입된다.

[0246] 장치는 본 발명의 방법으로 선택적으로 제조되며, 따라서, 상술한 바와 같이 크기 분포가 좁은 나노구조체를 포함할 수 있다. 따라서, 일 부류의 구체예에 있어서, 단층 배열에서의 나노구조체의 크기 분포는 20% 미만, 예를 들어, 15% 미만, 10% 미만, 또는 심지어 5% 미만의 rms 편차를 나타낸다.

[0247] 일 부류의 구체예에 있어서, 배열은 고밀도의 나노구조체를 갖는다. 예를 들어, 각 나노구조체 배열은 선택적으로 약 1×10^{10} 나노구조체/cm² 초과, 약 1×10^{11} 나노구조체/cm² 초과, 약 1×10^{12} 나노구조체/cm² 초과, 적어도 2×10^{12} 나노구조체/cm², 적어도 2.5×10^{12} 나노구조체/cm², 적어도 3×10^{12} 나노구조체/cm², 적어도 4×10^{12} 나노구조체/cm², 적어도 5×10^{12} 나노구조체/cm², 또는 심지어 약 1×10^{13} 나노구조체/cm² 초과와 밀도를 가진다. 선택적으로, 상술한 바와 같이, 각 단층 배열 내(또는 배열 사이의) 나노구조체의 밀도는 실질적으로 균일하다.

[0248] 일 부류의 구체예에 있어서, 기판 상에 배치된 나노구조체의 2 이상의 단층 배열은 각각 그 위에 배치된 나노구조체의 추가의 단층 배열(또는 2 이상의 추가의 배열)을 갖는다. 유전층은 인접한 단층 사이에 선택적으로 배치된다. 제어 유전층 및 게이트 전극이 제2(또는 제3, 제4 등) 단층 상에 배치될 수 있다.

[0249] 메모리 장치에서 저장 소자로 나노구조체를 사용하게 되면 통상적인 집적 회로 제조 기술에 의해 얻을 수 있는 것 보다 작은 노드의 생성이 용이하다. 따라서, 다른 일반적 부류의 구체예는 나노구조체의 단층 배열에 의해 점유되고 8100 nm² 이하의 면적을 가진 게이트 영역을 포함한 적어도 하나의 트랜지스터(예를 들면, MOSFET)를 가진 메모리 장치를 제공한다. 게이트 영역은 약 4225 nm² 이하, 약 2025 nm² 이하, 약 1225 nm² 이하, 약 625 nm² 이하, 또는 약 324 nm² 이하의 면적을 선택적으로 갖는다. 게이트 영역은 약 65×65 nm 이하, 약 45×45 nm 이하, 약 35×35 nm 이하, 약 25×25 nm 이하, 또는 약 18×18 nm 이하의 치수를 선택적으로 갖는다.

[0250] 장치는 본질적으로 임의의 수의 이러한 트랜지스터를 포함할 수 있다. 예를 들면, 메모리 장치는 2 이상, 10 이상, 50 이상, 100 이상, 1000 이상, 1×10^4 이상, 1×10^6 이상, 1×10^9 이상, 1×10^{10} 이상, 1×10^{11} 이상 또는 1×10^{12} 이상의 트랜지스터를 포함할 수 있다.

[0251] 본질적으로, 상기 구체예들에 언급된 모든 특징들이 상기 구체예에도 마찬가지로 상응하게 적용된다. 예를 들면, 단층 배열을 구성하는 나노구조체는 실질적으로 구형인 나노구조체 또는 양자 도트를 선택적으로 포함하고, 약 4.5 eV 이상의 일 함수를 가지며, 예비 형성되고(예를 들면, 콜로이드성)/되거나, SiO₂ 또는 다른 절연성 셸로 싸여진다. 유사하게, 단층 배열은 규칙 배열(예를 들면, 육방 밀집된 단층) 또는 불규칙 배열을 포함할 수 있다. 단층 배열(규칙 배열 또는 불규칙 배열)은 약 1×10^{10} 나노구조체/cm² 초과, 예를 들어 약 1×10^{11} 나노구조체/cm² 초과, 약 1×10^{12} 나노구조체/cm² 초과, 적어도 2×10^{12} 나노구조체/cm², 적어도 2.5×10^{12} 나노구조체/cm², 적어도 3×10^{12} 나노구조체/cm², 적어도 4×10^{12} 나노구조체/cm², 적어도 5×10^{12} 나노구조체/cm², 또는 심지어 약 1×10^{13} 나노구조체/cm²초과의 밀도를 선택적으로 갖는다.

[0252] 하나의 예시적인 구체예가 도 4에 개략적으로 도시되어 있으며, 여기에서 메모리 장치/트랜지스터(450)는 게이트 영역(449)을 점유하는 나노구조체의 단층 배열(445)을 포함한다.

[0253] 언급한 바와 같이, 본 발명의 방법은 나노구조체의 크기, 밀도 등을 유지하면서(예를 들면, PVD 도트 대신 콜로이드성으로 이를 수 있는 좁은 크기 분포), 기판의 고온 어닐링을 촉진한다. 따라서, 일반적 부류의 일 구체예

는 나노구조체의 단층 배열에 의해 점유된 게이트 영역, 활성화 소스 영역 및 활성화 드레인 영역을 가진 적어도 하나의 트랜지스터를 포함하며, 단층 배열내 나노구조체의 크기 분포가 20% 미만의 rms 편차를 나타내는 메모리 장치를 제공한다. 예를 들어, 단층 배열내 나노구조체의 크기 분포는 15% 미만, 10% 미만 또는 심지어 5% 미만의 rms 편차를 나타낼 수 있다. 선택적으로, 단층 배열내 나노구조체의 밀도는 실질적으로 균일하다. 적어도 하나의 트랜지스터는 2 이상, 10 이상, 50 이상, 100 이상, 1000 이상, 1×10^4 이상, 1×10^6 이상, 1×10^9 이상 또는 1×10^{12} 이상의 트랜지스터를 포함할 수 있다.

[0254] 본질적으로, 상기 구체예들에 언급된 모든 특징은, 예를 들어 나노구조체의 형상 및 조성, 예비형성된 나노구조체의 도입, 배열의 크기 및/또는 치수, 제1층상에 제2(제3, 제4 등) 단층 배열의 도입, 제어 유전체, 터널 유전체, 게이트 전극 등에 대해 이들 구체예에도 마찬가지로 상응하게 적용된다. 배열이 규칙 배열 또는, 보다 전형적으로 불규칙적일 수 있음에 주목하기 바란다. 단층 배열은(규칙적이든지 불규칙적이든지에 상관없이) 약 1×10^{10} 나노구조체/cm² 초과, 예를 들어 약 1×10^{11} 나노구조체/cm² 초과, 약 1×10^{12} 나노구조체/cm² 초과, 적어도 2×10^{12} 나노구조체/cm², 적어도 2.5×10^{12} 나노구조체/cm², 적어도 3×10^{12} 나노구조체/cm², 적어도 4×10^{12} 나노구조체/cm², 적어도 5×10^{12} 나노구조체/cm², 또는 심지어 약 1×10^{13} 나노구조체/cm² 초과와 밀도를 선택적으로 갖는다. 배열내 나노구조체는 고체 형태의 스핀-온-유전체 또는 고체 형태의 스핀-온-글래스, 경화된(부분적으로 또는 실질적으로 완전히 경화된) 레지스트, 경화된 실세스퀴옥산, 이산화규소 등에, 상술한 바와 같이 선택적으로 내입된다.

[0255] 나노구조체를 기반으로 한 메모리 장치, 트랜지스터 등의 추가적인 상세 내용은, 예를 들면 씨앙펑 듀안(Xiangfeng Duan) 등이 2004년 12월 21일 출원한 "Nano-enabled memory devices and anisotropic charge carrying arrays" 이라는 명칭의 미국 특허 출원 제11/018,572호에서 찾을 수 있다.

[0256] 나노구조체

[0257] 본 발명의 방법 및 장치에 사용되는 개별 나노구조체로는, 나노결정, 양자 도트, 나노도트, 나노입자, 나노와이어, 나노로드, 나노튜브, 나노테트라포드, 트리포드, 바이포드, 분지형 나노결정, 또는 분지형 테트라포드를 들 수 있지만, 이에 제한되는 것은 아니다. 일 측면으로, 본 발명의 방법 및 장치는 예를 들면 약 10 nm 미만, 및 선택적으로 약 8 nm, 6 nm, 5 nm 또는 4 nm 미만의 평균 직경을 가진 나노도트 및/또는 양자 도트, 예를 들면, 실질적으로 구형인 나노결정 또는 양자 도트와 같은 구형, 거의 구형 및/또는 이방성 나노결정을 포함한다.

[0258] 본 발명의 방법 및 장치에 사용된 나노구조체는 본질적으로 임의의 편리한 물질로부터 제조될 수 있다. 예를 들면, 나노결정은 무기 물질, 예컨대 Pd, Ir, Ni, Pt, Au, Ru, Co, W, Te, Ag, Ti, Sn, Zn, Fe, FePt 등을 비롯한 금속, 또는 각종 II-VI족, III-V족 또는 IV족 반도체로부터 선택된 반도체 물질, 및 예컨대 주기율표의 II족 으로부터 선택된 제1 원소와 VI족 으로부터 선택된 제2 원소를 포함하는 물질(예를 들면, ZnS, ZnO, ZnSe, ZnTe, CdS, CdSe, CdTe, HgS, HgSe, HgTe, MgS, MgSe, MgTe, CaS, CaSe, CaTe, SrS, SrSe, SrTe, BaS, BaSe, BaTe 등의 물질); III족 으로부터 선택된 제1 원소와 V족 으로부터 선택된 제2 원소를 포함하는 물질(예를 들면, GaN, GaP, GaAs, GaSb, InN, InP, InAs, InSb 등의 물질); IV족 원소를 포함하는 물질(Ge, Si 등의 물질); PbS, PbSe, PbTe, AlS, AlP, AlSb와 같은 물질; 또는 이들의 합금 또는 혼합물을 비롯한 물질을 포함할 수 있다. 나노구조체는 p형 또는 n형 도핑 반도체를 포함할 수 있다. 다른 구체예에서, 나노구조체는 절연성 물질(예를 들면, 금속 산화물), 중합체, 유기 물질(예를 들면, 탄소) 등을 포함할 수 있다.

[0259] 일 측면으로, 나노구조체는 예비 형성되며, 즉 나노구조체는 방법에 사용되거나 장치 내로 도입되기 전에 제조된다. 예를 들면, 나노구조체는 콜로이드성 나노구조체일 수 있다. 콜로이드성 금속 나노구조체(예를 들면, Pd, Pt 및 Ni 나노구조체)의 합성은 제프리 에이. 화이트포드(Jeffery A. Whiteford) 등이 2004년 12월 16일에 출원한 "Process for group can metal nanostructure synthesis and compositions made using same" 이라는 명칭의 미국 특허 출원 제60/637,409호에 개시되어 있다. 콜로이드성 III-V족 반도체 나노구조체의 합성은 에릭 씨. 셔(Eric C. Scher) 등이 2004년 11월 15일에 출원한 "Process for group III-V semiconductor nanostructure synthesis and compositions made using same" 이라는 명칭의 미국 특허 출원 제60/628,455호에 개시되어 있다. 나노구조체 합성에 대한 추가적인 상세한 내용은 문헌들에 개시되어 있다(예를 들면, 하기의 참조 문헌을 참조할 수 있다).

[0260] 상이한 물질에 채택될 수 있는 다수의 편리한 방법 중 임의의 방법에 의해 나노구조체가 제조될 수 있고 그 크기가 조절될 수 있다. 예를 들면, 다양한 조성의 나노결정 합성이, 예를 들어 문헌들(Peng 등(2000)의 "Shape

control of CdSe nanocrystals" Nature 404, 59-61; Puntès 등(2001)의 "Colloidal nanocrystal shape and size control: The case of cobalt" Science 291, 2115-2117; Alivisatos 등(2001년 10월 23일)에 의한 "Process for forming shaped group III-V semiconductor nanocrystals, and product formed using process"이라는 명칭의 USPN 6,306,736; Alivisatos 등(2001년 5월 1일)에 의한 "Process for forming shaped group II-VI semiconductor nanocrystals, and product formed using process"이라는 명칭의 USPN 6,225,198; Alivisatos 등(1996년 4월 9일)의 "Preparation of III-V semiconductor nanocrystals"라는 명칭의 USPN 5,505,928; Alivisatos 등(1998년 5월 12일)에 의한 "Semiconductor nanocrystals covalently bound to solid inorganic surfaces using self-assembled monolayers"이라는 명칭의 USPN 5,751,018; Gallagher 등(2000년 4월 11일)에 의한 "Encapsulated quantum sized doped semiconductor particles and method of manufacturing same"이라는 명칭의 USPN 6,048,616; Weiss 등(1999년 11월 23일)에 의한 "Organo luminescent semiconductor nanocrystal probes for biological applications and process for making and using such probes"이라는 명칭의 USPN 5,990,479}에 개시되어 있다.

[0261] 직경 제어된 나노와이어를 비롯한 각종 종횡비의 나노와이어 성장에 대해서는 예를 들면, 문헌들{Gudixsen 등(2000)의 "Diameter-selective synthesis of semiconductor nanowires" J. Am. Chem. Soc. 122, 8801-8802; Cui 등(2001)의 "Diameter-controlled synthesis of single-crystal silicon nanowires" Appl. Phys. Lett. 78, 2214-2216; Gudixsen 등(2001)의 "Synthetic control of the diameter and length of single crystal semiconductor nanowires" J. Phys. Chem. B 105,4062-4064; Morales 등(1998)의 "A laser ablation method for the synthesis of crystalline semiconductor nanowires" Science 279, 208-211; Duan 등(2000)의 "General synthesis of compound semiconductor nanowires" Adv. Mater. 12, 298-302; Cui 등(2000)의 "Doping and electrical transport in silicon nanowires" J. Phys. Chem. B 104, 5213-5216; Peng 등(2000)의 "Shape control of CdSe nanocrystals" Nature 404, 59-61; Puntès 등(2001)의 "Colloidal nanocrystal shape and size control: The case of cobalt" Science 291, 2115-2117; Alivisatos 등(2001년 10월 23일)에 의한 "Process for forming shaped group III-V semiconductor nanocrystals, and product formed using process"이라는 명칭의 USPN 6,306,736; Alivisatos 등(2001년 5월 1일)에 의한 "Process for forming shaped group II-VI semiconductor nanocrystals, and product formed using process"이라는 명칭의 USPN 6,225,198; Lieber 등(2000년 3월 14일)에 의한 "Method of producing metal oxide nanorods"이라는 명칭의 USPN 6,036,774; Lieber 등(1999년 4월 27일)에 의한 "Metal oxide nanorods"라는 명칭의 USPN 5,897,945; Lieber 등(1999년 12월 7일)에 의한 "Preparation of carbide nanorods"라는 명칭의 USPN 5,997,832; Urbau 등(2002)의 "Synthesis of single-crystalline perovskite nanowires composed of barium titanate and strontium titanate" J. Am. Chem. Soc., 124, 1186; 및 Yun 등(2002)의 "Ferroelectric Properties of Individual Barium Titanate Nanowires Investigated by Scanned Probe Microscopy" Nanoletters 2, 447}에 개시되어 있다.

[0262] 분지형 나노와이어(예를 들면, 나노테트라포드, 트리포드, 바이포드 및 분지형 테트라포드)의 성장에 대해서는 예를 들면 문헌들{Jun 등(2001)의 "Controlled synthesis of multi-armed CdS nanorod architectures using monosurfactant system" J. Am. Chem. Soc. 123, 5150-5151; 및 Manna 등(2000)의 "Synthesis of Soluble and Processable Rod-, Arrow-, Teardrop-, and Tetrapod-Shaped CdSe Nanocrystals" J. Am. Chem. Soc. 122, 12700-12706}에 개시되어 있다.

[0263] 나노입자의 합성에 대해서는 예를 들면 문헌들{Clark Jr. 등(1997년 11월 25일)에 의한 "Method for producing semiconductor particles"이라는 명칭의 USPN 5,690,807; El-Shall 등(2000년 10월 24일)에 의한 "Nanoparticles of silicon oxide alloys"라는 명칭의 USPN 6,136,156; Ying 등(2002년 7월 2일)에 의한 "Synthesis of nanometer-sized particles by reverse micelle mediated techniques"이라는 명칭의 USPN 6,413,489; 및 Liu 등(2001)의 "Sol-Gel Synthesis of Free-Standing Ferroelectric Lead Zirconate Titanate Nanoparticles" J. Am. Chem. Soc. 123, 4344}에 개시되어 있다.

[0264] 나노구조체는 코어-셸 구조를 선택적으로 포함한다. 코어-셸 나노구조체 헤테로구조, 즉 나노결정 및 나노와이어(예를 들면, 나노로드) 코어-셸 헤테로구조의 합성은, 예를 들면 문헌들{Peng 등(1997)의 "Epitaxial growth of highly luminescent CdSe/CdS core/shell nanocrystals with photostability and electronic accessibility" J. Am. Chem. Soc. 119, 7019-7029; Dabbousi 등의 (1997) "(CdSe)ZnS core-shell quantum dots: Synthesis and characterization of a size series of highly luminescent nanocrystallites" J. Phys. Chem. B 101, 9463-9475; Manna 등(2002)의 "Epitaxial growth and photochemical annealing of graded

CdS/ZnS shells on colloidal CdSe nanorods" J. Am. Chem. Soc. 124, 7136-7145; 및 Cao 등 (2000)의 "Growth and properties of semiconductor core/shell nanocrystals with InAs cores" J. Am. Chem. Soc. 122, 9692-9702}에 개시되어 있다. 유사한 접근법이 다른 코어-셸 나노구조체의 성장에 적용될 수 있다.

[0265] 상이한 물질이 나노와이어의 장축을 따라 상이한 위치에 분포되어 있는 나노와이어 헤테로구조의 성장에 대해서는 예를 들면 문헌들{Gudiksen 등(2002)의 "Growth of nanowire superlattice structures for nanoscale photonics and electronics" Nature 415, 617-620; Bjork 등 (2002)의 "One-dimensional steeplechase for electrons realized" Nano letters 2, 86-90; Wu 등 (2002)의 "Block-by-block growth of single-crystalline Si/SiGe superlattice nanowires" Nano Letters 2, 83-86; 및 Empedocles에 의한 "Nanowire heterostructures for encoding information" 라는 명칭의 미국 특허 출원 제60/370,095호(2002년 4월 2일)}에 개시되어 있다. 유사한 접근법이 다른 헤테로구조의 성장에 적용될 수 있다.

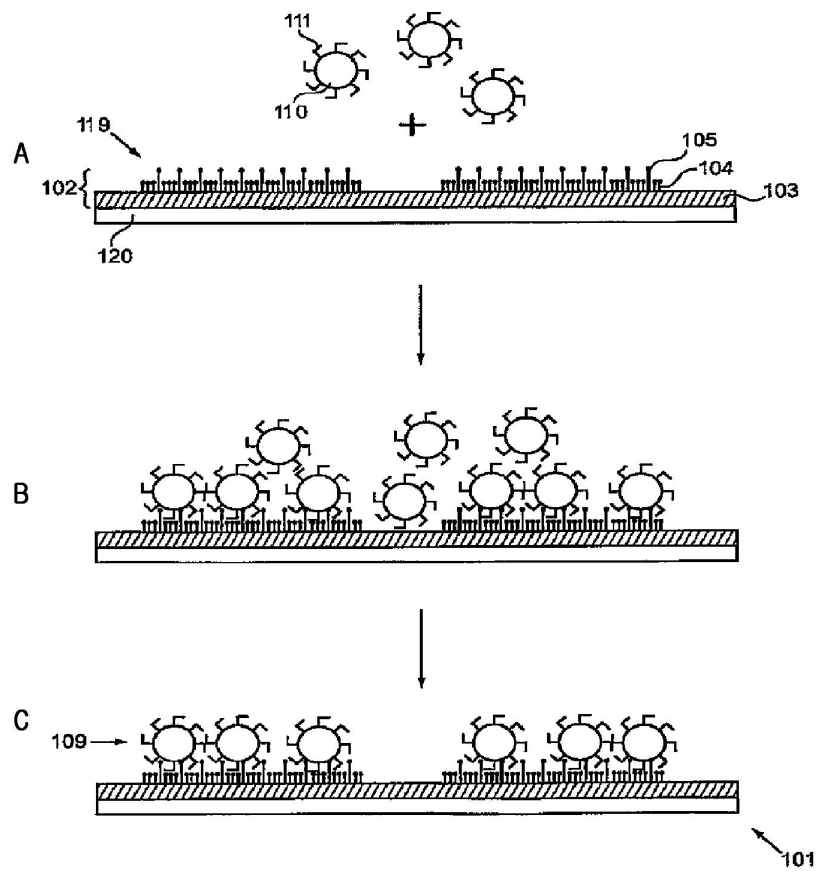
[0266] 특정 구체예에서, 나노구조체 집단 또는 군은 크기 및/또는 형상에 있어서 실질적으로 단분산(monodisperse)된다. 예를 들면, Bawendi 등에 의한 "Preparation of nanocrystallites" 라는 명칭의 미국 특허 출원 제 20020071952호를 참조할 수 있다.

[0267] 나노구조체의 실세스퀴옥산 및 기타 리간드 코팅, SiO₂ 셸, 및 금속 나노구조체의 산화에 대해서는 미국 특허 출원 제60/632,570호(상동), 제11/147,670호 및 제11/299,299호에 개시되어 있다

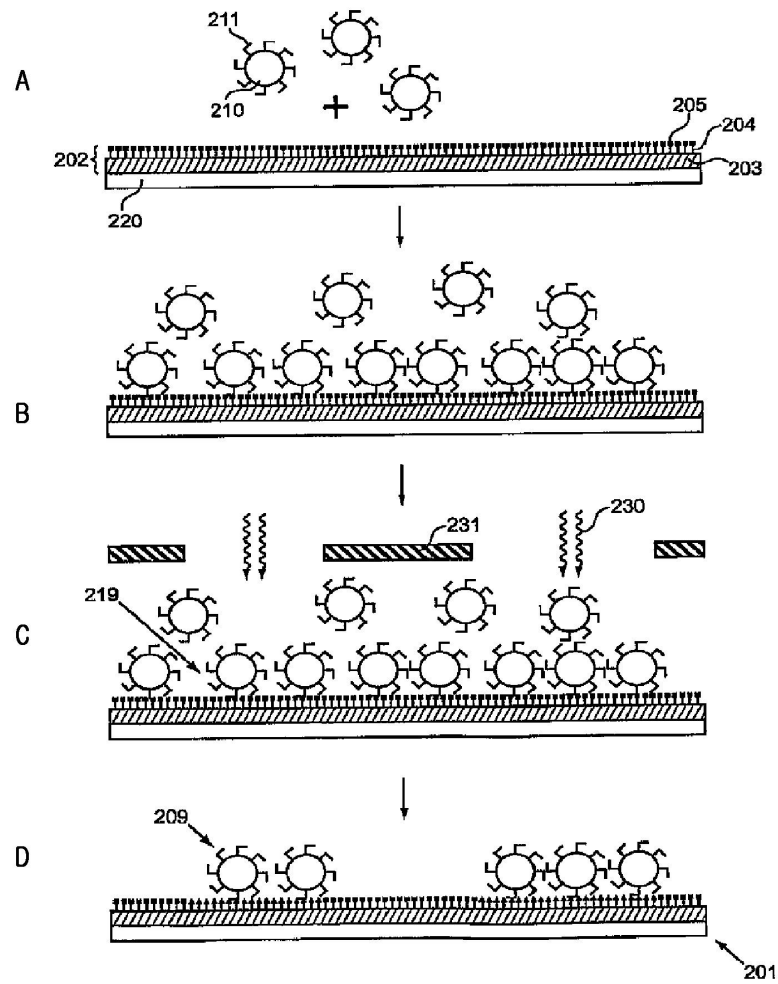
[0268] 전술한 발명이 본 발명의 석명성 및 이해를 목적으로 일부 상세히 설명되어 있지만, 당업자라면 본 개시내용을 파악함으로써 일정 양태 및 상세설명의 변경이 본 발명의 실제 범위를 벗어나는 일 없이 이루어질 수 있다는 점을 명백히 이해할 수 있을 것이다. 예를 들면, 상기 설명한 모든 기술 및 장치가 다양한 조합으로 이용될 수 있다. 본 출원에 인용된 모든 공개물, 특허, 특허 출원 및/또는 기타 문헌은, 각각의 개별 공개물, 특허, 특허 출원 및/또는 기타 문헌이 모든 목적을 위하여 참고로 인용되어 있는 바와 같은 정도로 모든 목적을 위하여 그 전체 내용이 참고로 인용되어 있다.

도면

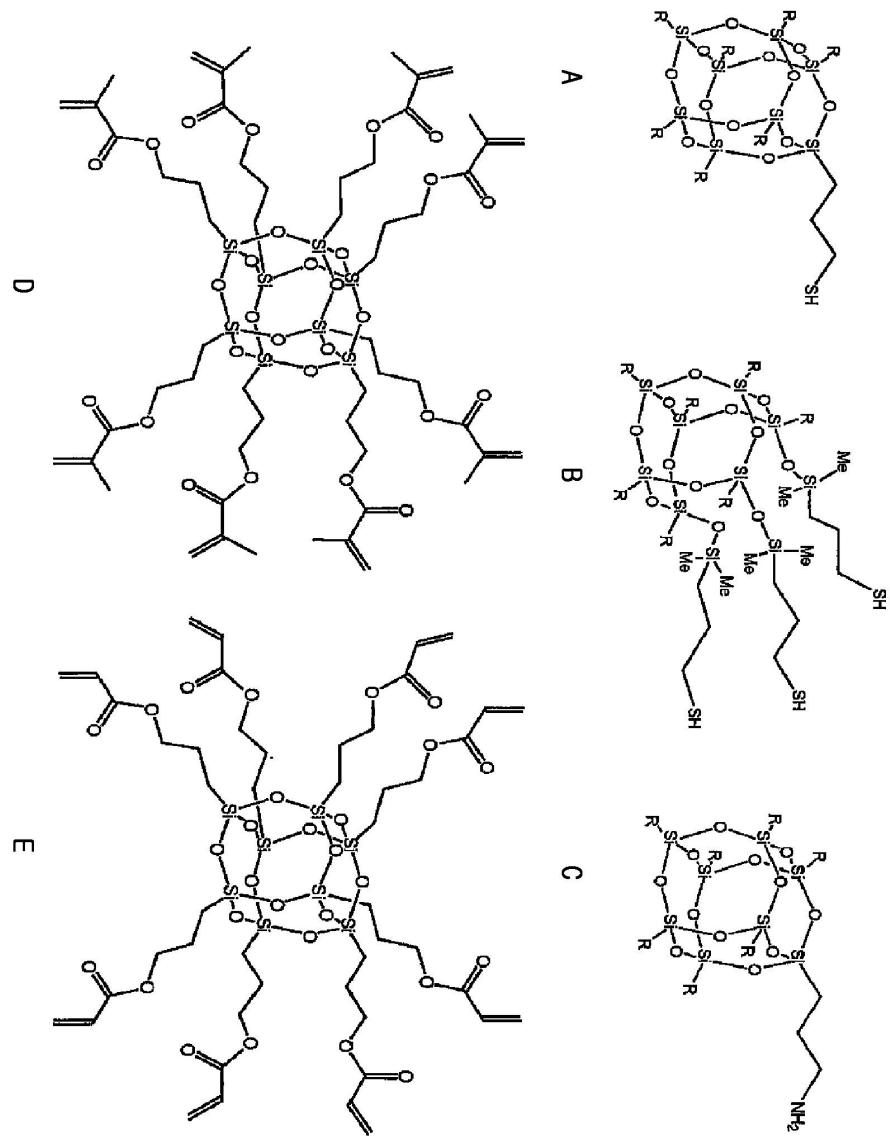
도면1



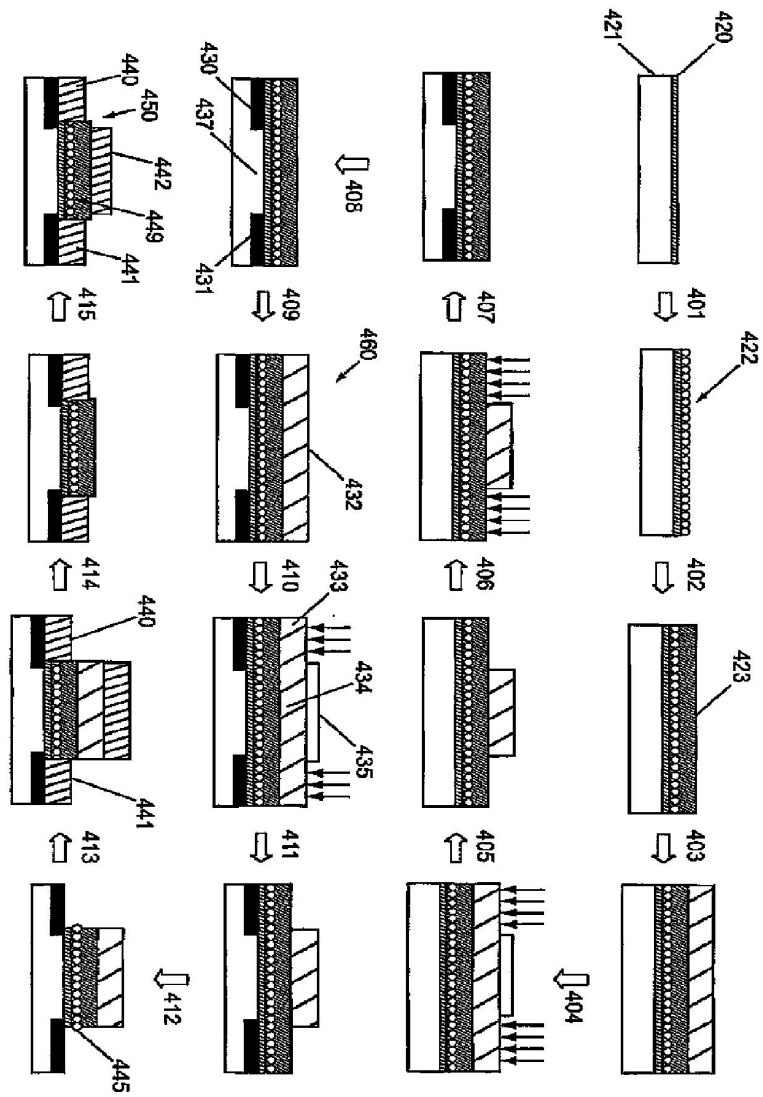
도면2



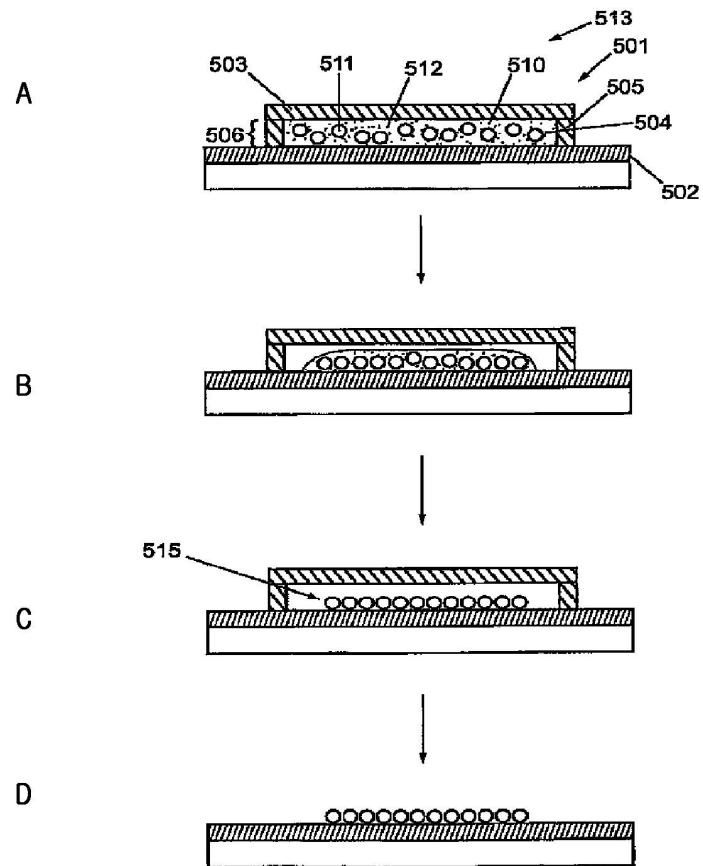
도면3



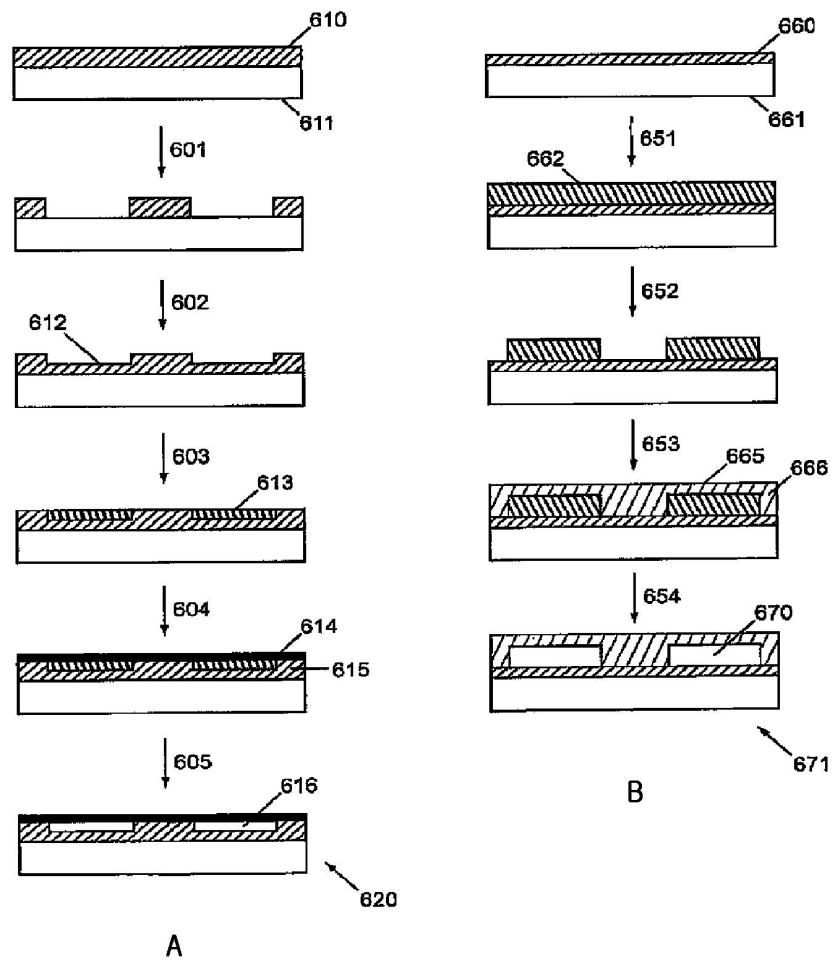
도면4



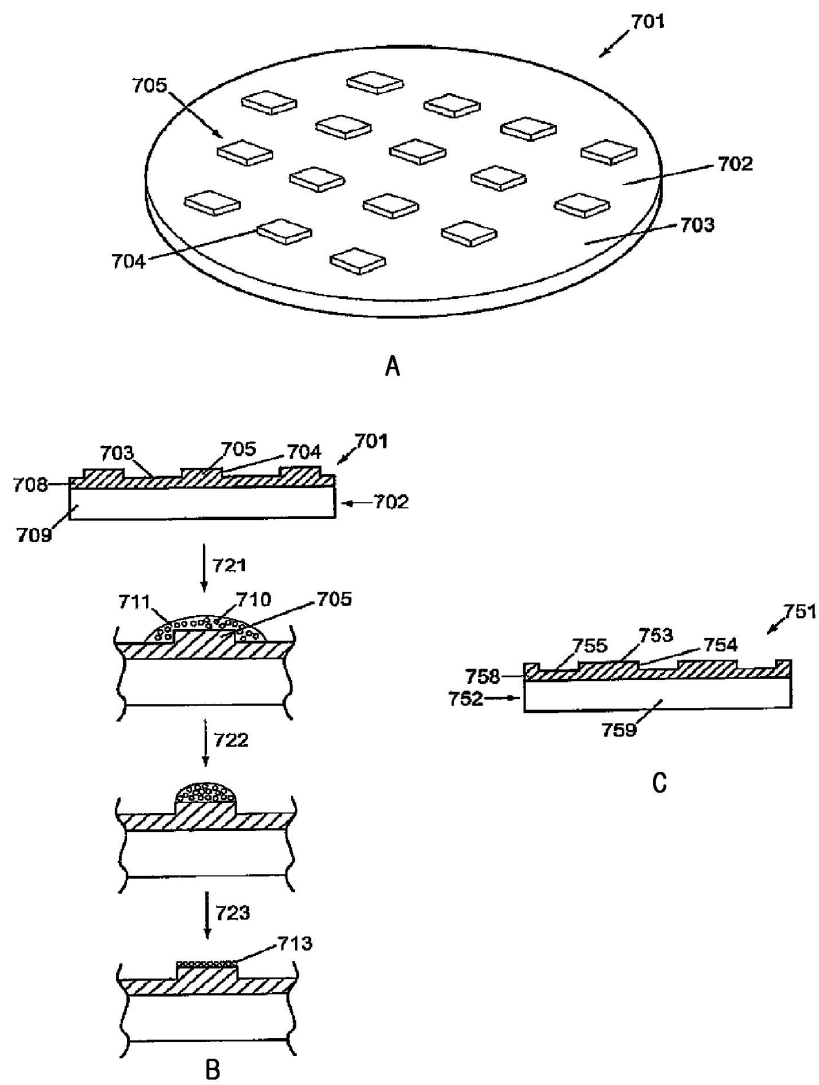
도면5



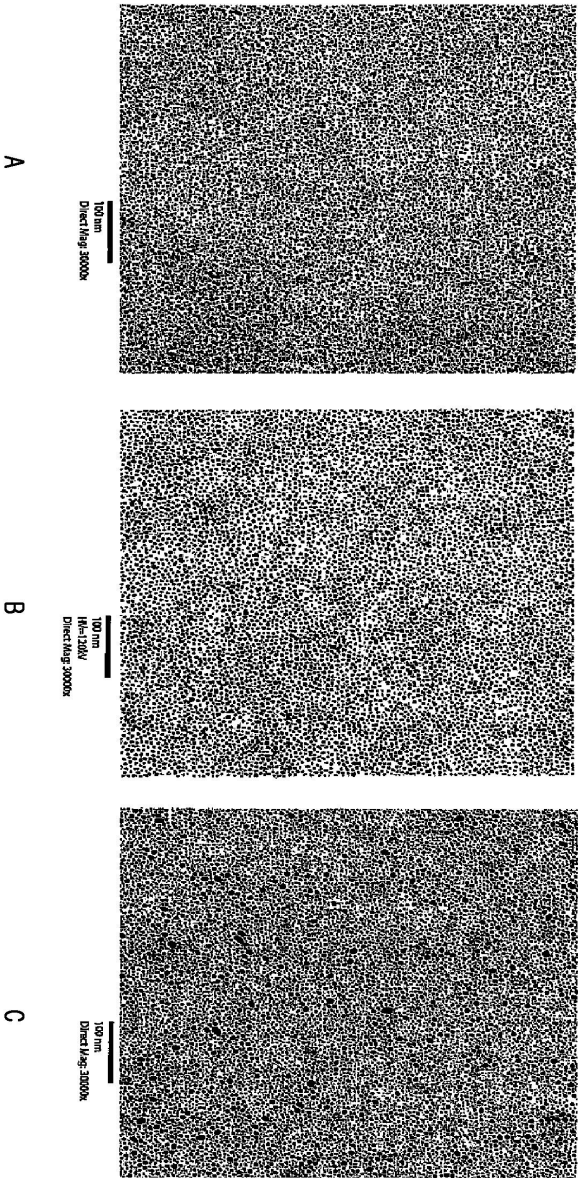
도면6



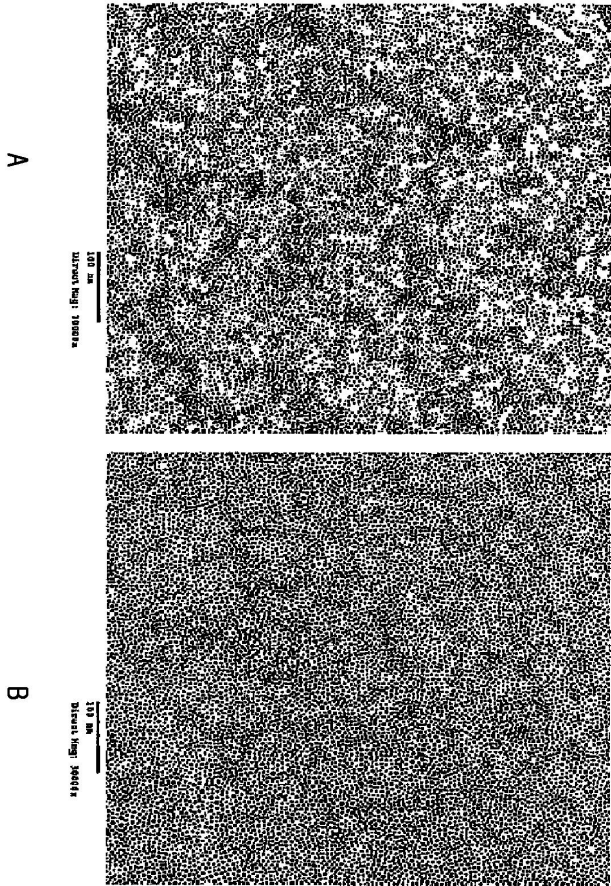
도면7



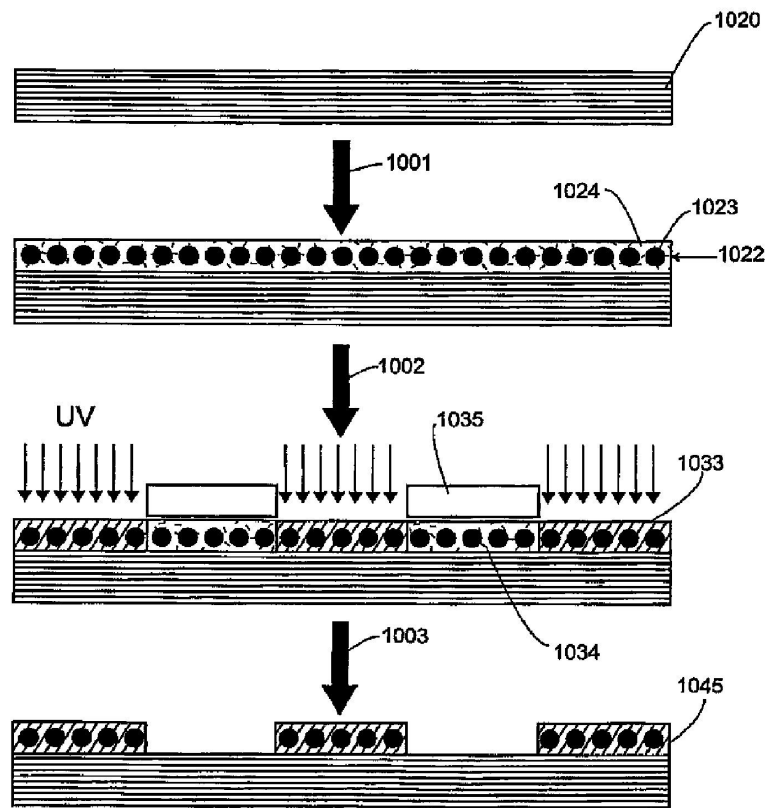
도면8



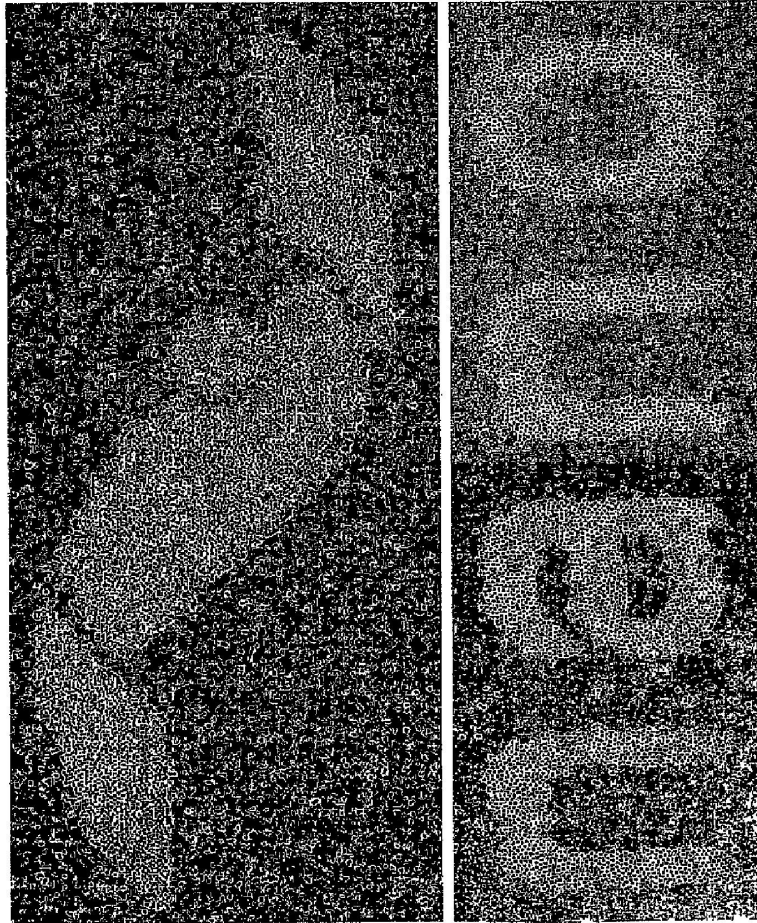
도면9



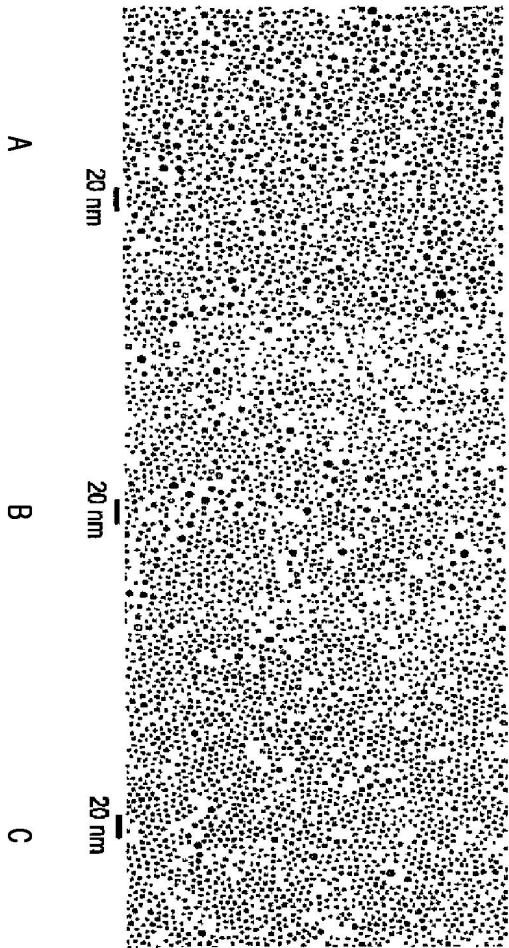
도면10



도면11



도면12



도면13

