



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년12월11일

(11) 등록번호 10-1576815

(24) 등록일자 2015년12월07일

(51) 국제특허분류(Int. Cl.)

H01L 27/12 (2006.01)

(21) 출원번호 10-2009-0092181

(22) 출원일자 2009년09월29일

심사청구일자 2014년09월26일

(65) 공개번호 10-2010-0036209

(43) 공개일자 2010년04월07일

(30) 우선권주장

JP-P-2008-251335 2008년09월29일 일본(JP)

(56) 선행기술조사문현

JP2005252244 A

US20070281172 A1

US20080200010 A1

(73) 특허권자

가부시키가이샤 한도오따이 에네루기 켄큐쇼

일본국 가나가와Ken 아쓰기시 하세 398

(72) 발명자

쿠라타 모토무

일본, 카나가와Ken 243-0036, 아쓰기시, 하세, 398, 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내

사사가와 신야

일본, 카나가와Ken 243-0036, 아쓰기시, 하세, 398, 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내

무라오카 타이가

일본, 카나가와Ken 243-0036, 아쓰기시, 하세, 398, 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내

(74) 대리인

장훈

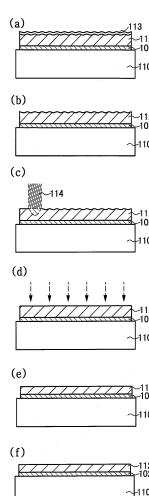
전체 청구항 수 : 총 11 항

심사관 : 류정현

(54) 발명의 명칭 반도체 기판의 제작 방법

(57) 요 약

반도체 기판 위에 절연막을 형성하고, 절연막을 통하여 상기 반도체 기판에 가속된 이온을 조사함으로써, 반도체 기판에 취화 영역을 형성하는 공정과, 상기 반도체 기판 표면과 베이스 기판 표면을 대향시켜, 절연막 표면과 상기 베이스 기판 표면을 접합시키는 공정과, 절연막 표면과 상기 베이스 기판 표면을 접합시킨 후에 열 처리를 행하고, 취화 영역에 있어서 분리함으로써, 베이스 기판 위에 절연막을 사이에 두고 반도체층을 형성하는 공정과, 반도체층에 에칭 처리를 행하는 공정과, 에칭 처리가 행해진 반도체층에 레이저빔을 조사하는 공정과, 레이저빔이 조사된 반도체층에 플라즈마를 조사한다.

대 표 도 - 도2

명세서

청구범위

청구항 1

반도체 기판 위에 절연막을 형성하는 단계와;

상기 반도체 기판에 취화 영역을 형성하기 위하여, 상기 절연막을 통하여 상기 반도체 기판에 가속된 이온들을 조사하는 단계와;

상기 반도체 기판의 표면과 베이스 기판의 표면을 서로 대향시켜 배치하고, 상기 절연막의 표면을 상기 베이스 기판의 표면에 접합하는 단계와;

상기 절연막을 사이에 두고 상기 베이스 기판 위에 반도체층을 형성하기 위하여, 상기 절연막의 표면과 상기 베이스 기판의 표면을 서로 접합한 후 가열 처리에 의하여 상기 취화 영역을 따라 분리하는 단계와;

상기 반도체층에 에칭 처리를 행하는 단계와;

상기 에칭 처리가 행해진 상기 반도체층에 레이저 빔을 조사하는 단계와;

상기 레이저 빔이 조사된 상기 반도체층에 플라즈마를 조사하는 단계를 포함하는, SOI 기판의 제작 방법.

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

반도체 기판 위에 절연막을 형성하는 단계와;

상기 반도체 기판에 취화 영역을 형성하기 위하여, 상기 절연막을 통하여 상기 반도체 기판에 가속된 이온들을 조사하는 단계와;

상기 반도체 기판의 표면과 베이스 기판의 표면을 서로 대향시켜 배치하고, 상기 절연막의 표면을 상기 베이스 기판의 표면에 접합하는 단계와;

상기 절연막을 사이에 두고 상기 베이스 기판 위에 반도체층을 형성하기 위하여, 상기 절연막의 표면과 상기 베이스 기판의 표면을 서로 접합한 후 가열 처리에 의하여 상기 취화 영역을 따라 분리하는 단계와;

상기 반도체층에 제 1 에칭 처리를 행하는 단계와;

상기 제 1 에칭 처리가 행해진 상기 반도체층에 레이저 빔을 조사하는 단계와;

상기 레이저 빔이 조사된 상기 반도체층에 제 2 에칭 처리를 행하는 단계와;

상기 제 2 에칭 처리가 행해진 상기 반도체층에 플라즈마를 조사하는 단계를 포함하는, SOI 기판의 제작 방법.

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

반도체 기판 위에 제 1 절연막을 형성하는 단계와;

상기 반도체 기판에 취화 영역을 형성하기 위하여, 상기 제 1 절연막을 통하여 상기 반도체 기판에 가속된 이온들을 조사하는 단계와;

베이스 기판 위에 제 2 절연막을 형성하는 단계와;

상기 반도체 기판 위의 상기 제 1 절연막과 상기 베이스 기판 위의 상기 제 2 절연막을 서로 대향시켜 배치하고, 상기 제 1 절연막의 표면을 상기 제 2 절연막의 표면에 접합하는 단계와;

상기 제 1 절연막과 상기 제 2 절연막을 사이에 두고 상기 베이스 기판 위에 반도체층을 형성하기 위하여, 상기 제 1 절연막의 표면과 상기 제 2 절연막의 표면을 서로 접합한 후 가열 처리에 의하여 상기 취화 영역을 따라 분리하는 단계와;

상기 반도체층에 에칭 처리를 행하는 단계와;

상기 에칭 처리가 행해진 상기 반도체층에 레이저 빔을 조사하는 단계와;

상기 레이저 빔이 조사된 상기 반도체층에 플라즈마를 조사하는 단계를 포함하는, SOI 기판의 제작 방법.

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

반도체 기판 위에 제 1 절연막을 형성하는 단계와;

상기 반도체 기판에 츄화 영역을 형성하기 위하여, 상기 제 1 절연막을 통하여 상기 반도체 기판에 가속된 이온들을 조사하는 단계와;

베이스 기판 위에 제 2 절연막을 형성하는 단계와;

상기 반도체 기판 위의 상기 제 1 절연막과 상기 베이스 기판 위의 상기 제 2 절연막을 서로 대향시켜 배치하고, 상기 제 1 절연막의 표면을 상기 제 2 절연막의 표면에 접합하는 단계와;

상기 제 1 절연막과 상기 제 2 절연막을 사이에 두고 상기 베이스 기판 위에 반도체층을 형성하기 위하여, 상기 제 1 절연막의 표면과 상기 제 2 절연막의 표면을 서로 접합한 후 가열 처리에 의하여 상기 츄화 영역을 따라 분리하는 단계와;

상기 반도체층에 제 1 에칭 처리를 행하는 단계와;

상기 제 1 에칭 처리가 행해진 상기 반도체층에 레이저빔을 조사하는 단계와;

상기 레이저빔이 조사된 상기 반도체층에 제 2 에칭 처리를 행함으로써 상기 반도체층의 두께를 감소시키는 단계와;

상기 제 2 에칭 처리가 행해진 상기 반도체층에 플라즈마를 조사하는 단계를 포함하는, SOI 기판의 제작 방법.

청구항 20

제 1, 7, 13, 및 19 항 중 어느 한 항에 있어서,

상기 플라즈마 조사는 유도 결합 플라즈마(Inductively Coupled Plasma; ICP)법에 의하여 행해지는, SOI 기판의 제작 방법.

청구항 21

제 1, 7, 13, 및 19 항 중 어느 한 항에 있어서,

상기 베이스 기판으로서 유리 기판이 사용되는, SOI 기판의 제작 방법.

청구항 22

제 1, 7, 13, 및 19 항 중 어느 한 항에 있어서,

상기 이온 조사는 이온 도핑 장치를 사용하여 행해지는, SOI 기판의 제작 방법.

청구항 23

제 22 항에 있어서,

상기 반도체 기판의 상기 이온 조사로 사용되는 이온들의 주성분들은 H_3^+ 이온들인, SOI 기판의 제작 방법.

청구항 24

제 1, 7, 13, 및 19 항 중 어느 한 항에 있어서,

상기 가열 처리는 상기 베이스 기판의 변형점 이하의 온도로 행해지는, SOI 기판의 제작 방법.

청구항 25

제 1 항 또는 제 13 항에 있어서,

상기 반도체층은 불활성 가스를 사용하여 상기 플라즈마가 조사되는, SOI 기판의 제작 방법.

청구항 26

제 25 항에 있어서,

상기 불활성 가스는 아르곤인, SOI 기판의 제작 방법.

발명의 설명

발명의 상세한 설명

기술 분야

[0001] 본 발명은 절연 표면에 단결정 반도체층이 형성된 소위 SOI(Silicon on Insulator) 구조를 갖는 SOI 기판의 제작 방법 및 SOI 구조를 갖는 반도체 장치의 제작 방법에 관한 것이다.

배경기술

[0002] 단결정 반도체의 잉곳(ingot)을 얇게 슬라이스하여 제작되는 실리콘 웨이퍼 대신에, 절연 표면에 얇은 단결정 반도체층을 형성한 실리콘·온·인슐레이터(이하, “SOI”라고도 함)로 불리는 반도체 기판을 사용한 집적 회로가 개발되어 있다. SOI 기판을 사용한 집적 회로는, 트랜지스터의 드레인과 기판간에 있어서의 기생 용량을 저감하고, 반도체 집적 회로의 성능을 향상시키는 것으로서 주목을 모으고 있다.

[0003] SOI 기판을 제작하는 방법으로는, 수소 이온 주입 박리법이 알려져 있다(예를 들어, 특허문현 1 참조). 수소 이온 주입 박리법은, 실리콘 웨이퍼에 수소 이온을 주입함으로써, 표면으로부터 소정의 깊이에 취화 영역을 형성하고, 취화 영역이 형성된 실리콘 웨이퍼와, 다른 실리콘 웨이퍼를 접합한다. 다음에, 열 처리를 행함으로써, 상기 취화 영역에 있어서 분리함으로써, 취화 영역이 형성된 실리콘 웨이퍼와 다른 실리콘 웨이퍼에 얇은 실리콘층을 형성한다. 또한, 산화성 분위기 하에서의 열 처리로 실리콘층에 산화막을 형성한 후에 상기 산화막을 제거하고, 다음에 1000°C 내지 1300°C의 열 처리를 행함으로써 접합 강도를 높일 필요가 있다고 한다.

[0004] 또한, 이와 같은 스마트 컷법을 사용하여 단결정 실리콘층을 유리로 이루어지는 베이스 기판 위에 형성하는 방법이 제안되어 있다(예를 들어, 특허문현 2 참조).

[0005] 이렇게 함으로써 형성된 실리콘층은, 취화 영역을 형성하기 위하여 행하는 이온 조사 공정이나 분리 공정에 의하여, 실리콘층의 내부 및 표면에는 결정 결함이 잔존하여 표면의 평탄성이 현저하게 열화된 상태가 되어 있다. 또한, 취화 영역에 있어서의 분리가 원활하게 행해지지 않으면, 실리콘층의 표면에 거칠기가 생기거나, 실리콘층의 막 두께가 변동하거나, 실리콘층에 미세한 크랙(crack)이 생기는 등의 문제가 발생한다.

[0006] 실리콘층의 결정 결함의 제거는, 1000°C 이상의 온도로 가열함으로써 실현할 수 있지만, 변형점이 700°C 이하인 유리 기판에 부착된 실리콘층의 결정 결함의 제거에는, 이와 같은 고온 프로세스는 사용할 수가 없다. 그래서, 특허 문현 3에 나타내는 바와 같이, 실리콘층에 레이저 빔을 조사함으로써, 실리콘층을 재결정화시켜 실리콘층의 결정 품질을 높이는 시도가 이루어지고 있다(특허문현 3).

[0007] [특허문현 1] 특개2000-124092호 공보

[0008] [특허문현 2] 특개2002-170942호 공보

[0009] [특허문현 3] 특개2005-252244호 공보

발명의 내용

해결 하고자하는 과제

[0010] 그렇지만, 단결정 실리콘 기판을 분리한 후의 실리콘층 표면에는, 결정 결함이나 분리할 때 생기는 대미지가 잔존되어 있다. 이와 같은 상태에서, 단결정 실리콘층의 결정 결함을 제거하기 위하여 레이저를 조사함으로써, 실리콘층 표면으로부터 결정 결함이나 대미지가 단결정 실리콘층 내부에 도입되어 버리는 문제가 있다. 또한, 실리콘층을 용융시켜 재결정화시킬 때, 실리콘층 표면에 요철이 생기는 문제가 있다.

[0011] 이와 같은 문제점에 감안하여, 유리 기판과 같이 내열성이 낮고 또 휘기 쉬운 기판을 베이스 기판으로서 사용하여도, 베이스 기판에 고정된 단결정 반도체층의 평탄성의 향상, 및 결정성이 향상된 SOI 기판의 제작 방법을 제공하는 것을 과제의 하나로 한다. 또한, 이와 같은 SOI 기판을 사용한 반도체 장치의 제작 방법을 제공하는 것을 과제의 하나로 한다.

과제 해결수단

- [0012] 본 발명에 따른 SOI 기판의 제작 방법은, 베이스 기판에 접착된 단결정 반도체층 표면에 대하여 에칭 처리를 행하고, 단결정 반도체층 표면에 레이저 빔을 조사하고, 단결정 반도체층 표면에 플라즈마 처리를 행하는 것을 특징으로 한다. 이하에 본 발명의 구체적인 구성에 대하여 설명한다.
- [0013] 본 발명의 일 형태는, 반도체 기판 위에 절연막을 형성하고, 절연막을 통하여 반도체 기판에 가속된 이온을 조사함으로써, 반도체 기판에 취화 영역을 형성하고, 반도체 기판 표면과 베이스 기판 표면을 대향시키고, 절연막 표면과 베이스 기판 표면을 접합시키고, 절연막 표면과 베이스 기판 표면을 접합시킨 후에 열 처리를 행하고, 취화 영역에 있어서 분리시킴으로써, 베이스 기판 위에 절연막을 사이에 두고 반도체층을 형성하고, 반도체층에 에칭 처리를 행하고, 에칭 처리가 행해진 반도체층에 레이저 빔을 조사하고, 레이저 빔이 조사된 반도체층에 플라즈마를 조사하는 것을 포함한다.
- [0014] 본 발명의 일 형태는, 반도체 기판 위에 절연막을 형성하고, 절연막을 통하여 반도체 기판에 가속된 이온을 조사함으로써, 반도체 기판에 취화 영역을 형성하고, 반도체 기판 표면과 베이스 기판 표면을 대향시키고, 절연막 표면과 베이스 기판 표면을 접합시키고, 절연막 표면과 베이스 기판 표면을 접합시킨 후에 열 처리를 행하고, 취화 영역에 있어서 분리시킴으로써, 베이스 기판 위에 절연막을 사이에 두고 반도체층을 형성하고, 반도체층에 제 1 에칭 처리를 행하고, 제 1 에칭 처리가 행해진 반도체층에 레이저 빔을 조사하고, 레이저 빔이 조사된 반도체층에 제 2 에칭 처리를 행하고, 제 2 에칭 처리가 행해진 반도체층에 플라즈마를 조사하는 것을 포함한다.
- [0015] 또한, 본 명세서에 있어서 단결정이란, 어느 결정축에 주목한 경우, 그 결정축의 방향이 시료의 어느 부분에 있어서도 같은 방향을 향하는 결정을 가리키고, 또 결정과 결정의 사이에 결정립계가 존재하지 않는 결정이다. 또한, 본 명세서에서는, 결정 결함이나 땡글링 본드를 포함하여도, 상술한 바와 같이 결정축의 방향이 일치하고, 입체가 존재하지 않는 결정인 것은 단결정으로 한다. 또한, 단결정 반도체층의 재단결정화란, 단결정 구조의 반도체층이, 그 단결정 구조와 상이한 상태(예를 들어, 액상 상태)를 거쳐, 다시 단결정 구조가 되는 것을 말한다. 또는, 단결정 반도체층의 재단결정화란, 단결정 반도체층을 재결정화하여, 단결정 반도체층을 형성한다고 말할 수도 있다.
- [0016] 본 명세서에 있어서 취화 영역이란, 단결정 반도체 기판에 이온 빔을 조사하고, 이온에 의하여 결정 결함을 가지도록 취약화된 영역이다. 이 취화 영역을 열 처리에 의하여 균열을 생기게 하는 등에 의하여 분할함으로써, 단결정 반도체 기판으로부터 단결정 반도체층을 분리할 수 있다.
- [0017] 본 명세서 중에 있어서 반도체 장치란, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리키고, 표시 장치, 반도체 회로 및 전자 기기는 모두 반도체 장치이다.
- [0018] 또한, 본 명세서에 있어서 표시 장치란, 액정 표시 장치나 발광 장치를 포함한다. 액정 표시 장치는, 액정 소자를 포함하고, 발광 장치는 발광 소자를 포함한다. 발광 소자는 전류 또는 전압에 의하여 휘도가 억제되는 소자를 그 범주로 포함하고, 구체적으로는, 무기 EL(Electro Luminescence) 소자, 유기 EL 소자 등이 포함된다.

효과

- [0019] 본 발명을 적용함으로써, 내열성이 낮은 지지 기판을 사용한 경우에도, 결정 결함을 감소시켜, 평탄성을 높일 수 있다. 또한, 이와 같은 SOI 기판을 사용하여 우수한 특성의 반도체 장치를 제작할 수 있다.

발명의 실시를 위한 구체적인 내용

- [0020] 본 발명의 실시형태에 대하여, 도면을 사용하여 자세히 설명한다. 그러나, 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위로부터 벗어남이 없이 그 형태 및 상세한 것을 다양하게 변경할 수 있다는 것은 당업자에게 명백할 것이다. 따라서, 본 발명은 이하에 제시하는 실시형태의 기재 내용에 한정하여 해석되는 것이 아니다. 또, 이하에 설명하는 본 발명의 구성에 있어서, 동일 부분 또는 동일 기능을 갖는 부분에는 동일 부호를 다른 도면 간에서 공통으로 사용하고, 그 반복 설명은 생략한다.
- [0021] (실시형태 1)
- [0022] 본 실시형태에서는, SOI 기판의 제작 방법의 일례에 관하여 도면을 참조하여 설명한다. 구체적으로는, 베이스 기판 위에 절연층을 사이에 두고, 단결정 반도체층을 형성하고, 상기 단결정 반도체층의 평탄성을 향상시키는 공정에 관하여 설명한다.

[0023]

우선, 단결정 반도체 기판(100)과 베이스 기판(110)을 준비한다(도 1a-1, 도 1b 참조).

[0024]

단결정 반도체 기판(100)으로서, 예를 들어, 단결정 실리콘 기판, 단결정 게르마늄 기판, 단결정 실리콘게르마늄 기판 등, 제 14 족 원소로 이루어지는 단결정 반도체 기판을 사용할 수 있다. 또한, 갈륨비소나 인듐인 등의 화합물 반도체 기판도 사용할 수 있다. 시판되는 실리콘 기판으로서는, 직경 5인치(125mm), 직경 6인치(150mm), 직경 8인치(200mm), 직경 12인치(300mm), 직경 16인치(400mm) 사이즈의 원형이 대표적이다. 또한, 단결정 반도체 기판(100)의 형상은 원형에 한정되지 않고, 예를 들어 직사각형 등으로 가공하여 사용할 수도 있다. 또한, 단결정 반도체 기판(100)은 CZ(초크랄스키(Czochralski))법이나 FZ(프로팅 존(Floating Zone))법을 사용하여 제작할 수 있다. 이하의 설명에서는, 단결정 반도체 기판(100)으로서 CZ법을 사용하여 제작된 단결정 실리콘 기판을 사용하는 경우에 대하여 제시한다.

[0025]

베이스 기판(110)으로서 절연체로 이루어지는 기판을 사용할 수 있다. 구체적으로는, 알루미노 실리케이트 유리, 알루미노 보로실리케이트 유리, 바륨 보로실리케이트 유리와 같은 전자 공업용에 사용되는 각종 유리 기판, 석영 기판, 세라믹스 기판, 사파이어 기판을 들 수 있다. 이 이외에도 베이스 기판(110)으로서 단결정 반도체 기판(예를 들어, 단결정 실리콘 기판 등)을 사용하여도 좋다. 본 실시형태에서는, 유리 기판을 사용하는 경우에 대하여 설명한다. 베이스 기판(110)으로서 대면적화가 가능하고, 저렴한 유리 기판을 사용함으로써, 저비용화를 도모할 수 있다.

[0026]

다음에, 단결정 반도체 기판(100) 위에 절연막(102)을 형성한다(도 1a-2 참조). 절연막(102)은, 산화 실리콘막, 산화질화 실리콘막, 질화 실리콘막, 질화산화 실리콘막 등의 절연층을 단층 또는 적층으로 형성할 수 있다. 이들 막은, 열 산화법, CVD법 또는 스퍼터링법 등을 사용하여 형성할 수 있다.

[0027]

본 명세서 중에 있어서, 산화질화 실리콘이란, 그 조성으로서, 질소보다도 산소의 함유량이 많은 것이며, 바람직하게는, 러더포드 후방 산란법(RBS : Rutherford Backscattering Spectrometry) 및 수소 전방 산란법(HFS : Hydrogen Forward Scattering)을 사용하여 측정한 경우에, 농도 범위로서 산소가 50atoms% 내지 70atoms%, 질소가 0.5atoms% 내지 15atoms%, 실리콘이 25atoms% 내지 35atoms%, 수소가 0.1atoms% 내지 10atoms%의 범위로 포함되는 것을 말한다. 또한, 질화산화 실리콘이란, 그 조성으로서, 산소보다도 질소의 함유량이 많은 것이며, 바람직하게는, RBS 및 HFS를 사용하여 측정한 경우에, 농도 범위로서 산소가 5atoms% 내지 30atoms%, 질소가 20atoms% 내지 55atoms%, 실리콘이 25atoms% 내지 35atoms%, 수소가 10atoms% 내지 30atoms%의 범위로 포함되는 것을 말한다. 단, 산화질화 실리콘 또는 질화산화 실리콘을 구성하는 원자의 합계를 100atoms%로 하였을 때, 질소, 산소, 실리콘 및 수소의 함유 비율이 상술한 범위 내에 포함되는 것으로 한다.

[0028]

다음에, 절연막을 통하여 단결정 반도체 기판에 이온을 조사함으로써, 단결정 반도체 기판(100)에 취화 영역(104)을 형성한다(도 1a-3 참조). 취화 영역(104)은 운동 에너지를 갖는 수소 등의 이온을 단결정 반도체 기판(100)에 조사함으로써 형성할 수 있다.

[0029]

다음에 절연막(102)을 사이에 두고, 단결정 반도체 기판(100)과 베이스 기판(110)을 접합한다(도 1c 참조). 그 후, 열 처리를 행하고, 상기 취화 영역에 있어서 분리(벽개)함으로써, 베이스 기판(110) 위에 절연막(102)을 사이에 두고, 단결정 반도체층(112)을 형성한다(도 1d 참조). 또한, 열 처리는, 베이스 기판(110)의 변형점 이하의 온도로 행하는 것이 바람직하다.

[0030]

가열 처리를 행함으로써, 온도 상승에 따라 취화 영역(104)에 형성되어 있는 미소한 구멍에 있어서 내부 압력이 상승한다. 압력의 상승에 의하여, 취화 영역(104)을 따라 단결정 반도체 기판(100)이 분리된다. 절연막(102)은 베이스 기판(110)에 접합하기 때문에, 베이스 기판(110) 위에는 단결정 반도체 기판(100)으로부터 분리된 단결정 반도체층(112)이 형성된다.

[0031]

일반적으로 벽개 후에 있어서의 베이스 기판(110) 위에 형성된 단결정 반도체층(112) 표층부에는, 취화 영역(104)의 형성 및 취화 영역에 있어서의 분리에 의하여, 결정 결함 등이 형성되고, 평탄성이 열화한 상태가 되어 있다(도 2a 참조). 또한, 단결정 반도체층(112) 표층부에 자연 산화막(113)이 형성된다. 자연 산화막(113) 표면은, 오염물이 부착되어 있다. 그래서, 단결정 반도체층(112) 표면에 형성된 자연 산화막(113), 및 단결정 반도체층(112) 표층부에 잔존되는 결정 결함 등을 제거한다(도 2b 참조).

[0032]

자연 산화막(113) 및 단결정 반도체층(112) 표층부에 잔존되는 결정 결함 등의 제거는, 에칭 처리에 의하여 행한다. 에칭 처리로서는, 드라이 에칭, 웨트 에칭, 또는 양쪽 모두를 조합하여 행한다. 또한, 에칭 처리 대신에 CMP 등의 연마 처리를 행하여도 좋다. 또한, 여기서의 에칭 처리를 제 1 에칭 처리라고도 기재한다.

[0033]

자연 산화막(113) 및 단결정 반도체층(112)의 에칭 처리 방법은, 예를 들어, 반응성 이온 에칭(RIE: Reactive Ion Etching)법, ICP(Inductively Coupled Plasma) 에칭법, ECR(Electron Cyclotron Resonance) 에칭법, 평행 평판형(용량 결합형) 에칭법, 마그네트론(magnetron) 플라즈마 에칭법, 2주파 플라즈마 에칭법 혹은 헬리콘파 플라즈마 에칭법 등을 사용할 수 있다. 에칭 가스는, 예를 들어, Cl_2 , BCl_3 , SiCl_4 등의 염소계 가스, CHF_3 , CF_4 , C_4F_8 , C_2F_6 , NF_3 , 불화유황 등의 불소계의 가스, HBr 등의 브롬계 가스를 사용함으로써, 에칭하는 것이 가능하다. 기타, He 나 Ar 나 Xe 등의 불활성 가스, 또는 O_2 가스, H_2 가스를 사용할 수 있다. 또한, 에칭 처리는, 복수 회로 나누어 행하여도 좋다. 단결정 반도체층(112)에 존재하는 결함의 크기나 깊이는, 이온을 첨가하는 에너지의 크기나 도즈량에 기인하므로, 에칭 처리에 의하여 단결정 반도체층(112) 표면을 제거하는 막 두께는, 에칭 처리 전의 단결정 반도체층(112)의 막 두께와 그 표면 거칠기의 정도에 따라 적절히 설정하면 좋다.

[0034]

상술한 바와 같이, 베이스 기판(110) 위에 형성된 단결정 반도체층(112) 표층부를 제거함으로써, 단결정 반도체층(112)의 결정 결함 등의 제거, 평탄화를 도모할 수 있다.

[0035]

다음에, 표층부가 제거된 단결정 반도체층(112)에 레이저 빔(114)을 조사한다(도 2c 참조). 단결정 반도체층(112) 내부에는, 취화 영역(104) 형성을 위한 이온 조사 공정에 의하여 결정 결함이 형성되어 있다. 단결정 반도체층(112)의 분리면 측으로부터, 또는 베이스 기판(110) 측으로부터 레이저 빔(114)을 조사함으로써 단결정 반도체층(112)을 용융시켜 결정성의 개선, 및 평탄성의 향상을 도모한다. 단결정 반도체층(112)에 레이저 빔(114)을 조사함으로써, 단결정 반도체층(112)을 부분 용융 또는 완전 용융시킨다.

[0036]

바람직하게는, 레이저 빔(114)의 조사에 의하여, 단결정 반도체층(112)을 부분 용융시킨다. 단결정 반도체층을 부분 용융시킴으로써, 용융되지 않는 고상 부분으로부터 결정 성장이 진행되므로, 결정성을 저하시키지 않고, 결정 결함을 수복할 수 있다. 또한, 본 명세서에 있어서, 부분 용융이란, 단결정 반도체층의 일부(예를 들어, 상층부)는 용융됨으로써 액상이 되지만, 그 외(예를 들어, 하층부)는 용융되지 않고 그대로 고상 상태인 채 유지된 것을 가리킨다. 또한, 완전 용융이란, 단결정 반도체층이 하부 계면 부근까지 용융되어, 액체 상태가 되는 것을 가리킨다.

[0037]

레이저 빔(114)의 조사에 의하여, 단결정 반도체층(112)을 부분 용융시키면서, 단결정 반도체층(112)에 대하여 레이저 빔(114)의 주사함으로써, 용융되지 않는 고상 부분으로부터 결정 성장이 진행된다. 이로써, 단결정 반도체층(112)의 결정 결함이 감소하여, 결정성이 향상된다. 용융되지 않는 부분은, 단결정이며, 결정 방위가 일치하기 때문에 결정립계가 형성되지 않고, 레이저 빔(114) 조사 후의 단결정 반도체층(112)은 결정립계가 없는 단결정 반도체층으로 할 수 있다. 또한, 용융된 영역은, 응고함으로써 재단결정화하지만, 인접하여 용융되지 않는 부분의 단결정 반도체와 결정 방위가 일치한 단결정 반도체가 형성된다. 따라서, 주표면의 면 방위가 (100)의 단결정 실리콘을 단결정 반도체 기판(100)으로서 사용한 경우, 단결정 반도체층(112)의 주표면의 면 방위는 (100)이고, 레이저 빔(114) 조사에 의하여 용융하고, 재단결정화된 단결정 반도체층(112)의 주표면의 면 방위는 (100)가 된다. 또한, 레이저 빔(114) 조사 대신에 RTA나 플래시 램프 조사를 행하여도 좋다.

[0038]

상술한 바와 같이, 단결정 반도체층의 분리면의 표층부를 제거한 후에, 레이저 빔(114)을 조사함으로써, 단결정 반도체층에 결정 결함이나 오염물 등이 도입되어 버리는 것을 방지할 수 있다. 또한, 자연 산화막을 제거함으로써, 레이저 빔(114)의 조사에 의한 표면 거칠기를 방지할 수 있다.

[0039]

다음에, 단결정 반도체층(112)의 평탄화를 위하여, 플라즈마 처리를 행한다(도 2d 참조).

[0040]

여기서는, 진공 상태의 챔버에 불활성 가스(예를 들어, Ar 가스)를 도입하여, 피처리면(여기서는, 단결정 반도체층(112))에 바이어스 전압을 인가하여 플라즈마 상태로서 행한다. 플라즈마 중에는 전자와 Ar 의 양이온이 존재하고, 음극 방향(단결정 반도체층(112) 측)에 Ar 양이온이 가속된다. 가속된 Ar 양이온이 단결정 반도체층(112) 표면에 충돌함으로써, 단결정 반도체층(112) 표면이 스퍼터 에칭된다. 이 때, 단결정 반도체층(112) 표면의 불록부로부터 우선적으로 스퍼터 에칭되고, 상기 단결정 반도체층(112) 표면의 평탄성을 향상시킬 수 있다. 또한, 가속된 Ar 양이온에 의하여, 단결정 반도체층(112) 표면의 유기물 등의 불순물을 제거할 수 있다. 또한, 진공 상태의 챔버에 불활성 가스뿐만 아니라 반응성 가스(예를 들어, O_2 가스, N_2 가스)를 도입하여 피처리면에 바이어스 전압을 인가하여 플라즈마 상태로서 행할 수도 있다. 반응성 가스를 도입하는 경우, 단결정 반도체층(112) 표면이 스퍼터 에칭됨으로써 생기는 결손을 보수할 수 있다.

[0041]

본 실시형태에서는, 아르곤 가스를 사용하여 유도 결합 플라즈마(ICP: Inductively Coupled Plasma) 방식의 플라즈마 처리를 행한다. 도 5에 플라즈마 처리 장치의 간략 구조도를 도시한다. 챔버(600) 상부의 석영판(601)

위에 멀티 스파이럴 코일(602)을 배치하고, 매칭 박스(matching box; 603)를 사이에 두고, RF 전원(604)에 접속된다. 또한, 대향으로 배치된 기판(610; 여기서는, 베이스 기판 위에 형성된 단결정 반도체층(112)) 측의 하부 전극(605)이 RF 전원(606)에 접속된다. 기판(610) 상방의 멀티 스파이럴 코일(602)에 RF 전류가 인가되면, 멀티 스파이럴 코일(602)에 RF 전류 J가 Θ 방향으로 흐르고, Z방향으로 자계(磁界) B가 발생한다. 또한, 수학식 중 μ_0 는 자화(磁化)율이다.

수학식 1

$$\mu_0 J = r \circ t B$$

[0042] 패러데이(Faraday)의 전자(電磁) 유도의 법칙에 따라, Θ 방향에 유도 전계 E가 생긴다.

수학식 2

$$-\frac{\partial B}{\partial t} = rot E$$

[0043] [0044] 이 유도 전계 E에서 전자가 Θ 방향으로 가속되고, 가스 분자와 충돌함으로써, 플라즈마가 생성된다. 기판(610) 측에는 자계 B가 거의 없기 때문에, 전자간에서 시트 형상으로 넓어진 고밀도의 플라즈마 영역을 얻을 수 있다. 기판(610) 측에 인가하는 바이어스 전압에 의하여, 양이온이 가속되어 기판(610)에 충돌한다.

[0045] 이로써, 플라즈마 처리를 행함으로써, 단결정 반도체층 표면의 평균 면 거칠기(Ra) 및 최대 고저차(P-V)를 저감 시킬 수 있다.

[0046] [0047] 플라즈마 처리의 구체적인 조건은, Ar 가스를 사용하여, ICP 전력 100W 내지 3000W, 압력 0.1Pa 내지 5.0Pa, 가스 유량 5sccm 내지 300sccm, RF 바이어스 전압 75W 내지 300W로 행하면 좋다. 보다 구체적으로는, ICP 전력 500W($0.11W/cm^2$), 압력 1.35Pa, 가스 유량 100sccm, RF 바이어스 전압 100W($0.61W/cm^2$)로 행하면 좋다.

[0048] 여기서, 단결정 반도체층(112)을 박막화하기 위한 박막화 공정을 행하여도 좋다(도 2d 참조). 박막화 공정을 행함으로써, 후에 형성되는 반도체 소자에 있어서, 최적인 막 두께로 할 수 있다. 또한, 단결정 반도체층(112)에 플라즈마 처리로 인한 플라즈마 대미지가 주어지더라도, 박막화 공정을 행함으로써 플라즈마 대미지를 제거할 수 있다. 단결정 반도체층(112)을 박막화하기 위해서는, 제 1 에칭 처리(도 2b 참조)와 마찬가지로 행할 수 있다. 예를 들어, 단결정 반도체층(112)이 실리콘인 경우, SF_6 와 O_2 를 프로세스 가스로 사용한 드라이 에칭으로, 단결정 반도체층(112)을 박막화할 수 있다. 이 에칭에 의하여, 단결정 반도체층의 막 두께는 5nm 이상 100nm 이하로 하는 것이 바람직하고, 5nm 이상 50nm 이하가 더욱 바람직하다. 또한, 여기서 기재한 에칭 처리를 제 2 에칭 처리라고도 한다.

[0049] 박막화 처리를 행한 후, 단결정 반도체층(112)에 500°C 이상 700°C 이하의 가열 처리를 행하는 것이 바람직하다. 이 가열 처리에 의하여, 레이저 빔(114)의 조사로 제거되지 않은, 단결정 반도체층(112)의 결정 결함의 소멸, 단결정 반도체층(112)의 변형을 완화할 수 있다. 이 가열 처리에는, RTA(Rapid Thermal Anneal) 장치, 저항 가열로, 마이크로파 가열 장치를 사용할 수 있다. RTA 장치에는, GRTA(Gas Rapid Thermal Anneal) 장치, LRTA(Lamp Rapid Thermal Anneal) 장치를 사용할 수 있다. 예를 들어, 저항 가열로를 사용하는 경우는, 550°C에서 4시간 가열하면 좋다.

[0050] 이상의 공정에 의하여, SOI 기판을 제작할 수 있다.

[0051] 상술한 공정에 의하여, 베이스 기판(110) 위에 절연막(102)을 사이에 두고, 단결정 반도체층(112)이 형성된 SOI 기판을 제작할 수 있다. 본 실시형태에서 나타낸 제작 방법을 사용함으로써, 결정 결함이 저감되고, 또 평탄성이 양호한 단결정 반도체층(112)을 갖는 반도체 기판을 제공할 수 있다. 이 SOI 기판을 사용함으로써, 특성이 우수한 반도체 소자를 형성할 수 있다.

[0052] 또한, 도 2a 내지 도 2f에 있어서는, 레이저 조사 후에 플라즈마 처리를 행하는 경우에 대하여 설명하였지만, 본 발명은 이것에 한정되지 않는다. 예를 들어, 도 3a 내지 도 3f에 도시하는 방법을 사용할 수도 있다.

- [0053] 도 3a 내지 도 3f는, 레이저 조사 후에 박막화 공정(제 2 에칭 처리)을 행하고, 박막화 공정을 행한 후에 플라즈마 처리를 행한 경우에 대하여 도시한다.
- [0054] 도 3a에, 베이스 기판(110) 위에, 단결정 반도체 기판(100)으로부터 분리된 단결정 반도체층(112)을 도시한다. 도 3b에 도시하는 바와 같이, 단결정 반도체층(112)에 에칭 처리를 행하고, 도 3c에 도시하는 바와 같이, 에칭 처리가 행해진 단결정 반도체층(112)에 레이저 범을 조사한다. 도 3b 및 도 3c의 공정은, 도 2b 및 도 2c의 공정과 마찬가지로 행할 수 있기 때문에 자세한 설명은 생략한다.
- [0055] 다음에, 단결정 반도체층(112)에 박막화 공정을 행하고(도 3d 참조), 박막화 공정이 행해진 단결정 반도체층(112)에 플라즈마 처리를 행한다(도 3e 참조). 또한, 플라즈마 처리가 행해진 단결정 반도체층(112)에 열 처리를 행하여도 좋다(도 3f 참조). 열 처리는, 도 2f와 마찬가지로 행할 수 있다. 도 3d의 박막화 공정은, 도 2e 와 도 3e의 플라즈마 처리 공정은 도 2d와, 도 3f의 열 처리 공정은 도 2f와 각각 마찬가지로 행할 수 있기 때문에, 자세한 설명은 생략한다.
- [0056] 박막화 공정 후에 플라즈마 처리를 행함으로써, 단결정 반도체층(112)에 존재하는 요철을 평탄화할 수 있다. 또한, 플라즈마 처리에 의한 플라즈마 대미지가 주어지더라도 플라즈마 처리 후에 행하는 열 처리에 의하여, 플라즈마 대미지를 회복시킬 수 있다.
- [0057] 이와 같이, 본 발명을 적용함으로써, 내열성이 낮은 지지 기판을 사용한 경우에도, 단결정 반도체층의 결정 결함을 감소시켜, 평탄성을 높일 수 있다.
- [0058] 또한, 본 실시형태에서 나타낸 구성은, 본 명세서의 다른 실시형태에서 나타내는 구성과 적절히 조합하여 행할 수 있다.
- [0059] (실시형태 2)
- [0060] 본 실시형태에서는, 단결정 반도체 기판(100)과, 베이스 기판(110)의 접합에 관하여, 도면을 참조하여 자세히 설명한다.
- [0061] 우선, 단결정 반도체 기판(100)을 준비한다(도 4a-1 참조). 단결정 반도체 기판(100) 표면은, 미리 황산과산화 수소수 혼합 용액(SPM), 암모니아 과수(APM: ammonium hydroxide/hydrogen peroxide mixture), 염산과산화 수소수 혼합 용액(HPM: hydrochloric acid/hydrogen peroxide mixture), 희불산(DHF: dilute hydrofluoric acid) 등을 사용하여 적절하게 세정하는 것이 오염 제거의 관점에서 바람직하다. 또한, 희불산과 오존수를 교대로 토출하여 세정하여도 좋다.
- [0062] 다음에 단결정 반도체 기판(100) 표면에 산화막(105)을 형성한다(도 4a-2 참조). 산화막(105)은, 예를 들어, 산화 실리콘막, 산화질화 실리콘막 등의 단층, 또는 이들을 적층시킨 막을 사용할 수 있다. 이들 막은, 열 산화법, CVD법 또는 스퍼터링법 등을 사용하여 형성할 수 있다. 또한, CVD법을 사용하여, 산화막(105)을 형성하는 경우에는, 테트라에톡시실란(약칭; TEOS: 화학식 $\text{Si}(\text{OC}_2\text{H}_5)_4$) 등의 유기 실란을 사용하여 제작되는 산화 실리콘막을 산화막(105)에 사용하는 것이 생산성의 관점에서 바람직하다.
- [0063] 본 실시형태에서는, 단결정 반도체 기판(100)에 열 산화 처리를 행함으로써 산화막(105: 여기서는, SiO_x 막)을 형성한다(도 4a-2 참조). 열 산화 처리는, 산화성 분위기 중에 할로겐을 첨가하여 행하는 것이 바람직하다.
- [0064] 예를 들어, 염소(Cl)가 첨가된 산화성 분위기 중에서 단결정 반도체 기판(100)에 열 산화 처리를 행함으로써 산화막(105)을 형성한다. 이 경우, 산화막(105)은 염소 원자를 함유한 막이 된다.
- [0065] 산화막(105) 중에 함유된 염소 원자는, 변형을 형성한다. 그 결과, 산화막(105)의 수분에 대한 흡수 비율이 향상되고, 확산 속도가 증대한다. 즉, 산화막(105) 표면에 수분이 존재하는 경우에 상기 표면에 존재하는 수분을 산화막(105) 중에 신속하게 흡수하여, 확산시킬 수 있다.
- [0066] 열 산화 처리의 일례로서는, 산소에 대하여 염화 수소(HCl)를 0.5체적% 내지 10체적%(바람직하게는 2체적%)의 비율로 포함하는 산화성 분위기 중에서, 900°C 내지 1150°C의 온도(바람직하게는 1000°C)에서 행할 수 있다. 처리 시간은 0.1시간 내지 6시간, 바람직하게는 0.5시간 내지 1시간으로 하면 좋다. 형성되는 산화막으로서는, 10nm 내지 1000nm (바람직하게는 50nm 내지 300nm), 예를 들어, 100nm의 두께로 한다.
- [0067] 본 실시형태에서는, 산화막(105)에 포함되는 염소 원자의 농도를 $1 \times 10^{17} \text{ atoms/cm}^3$ 내지 $1 \times 10^{21} \text{ atoms/cm}^3$ 가 되도록 제어한다. 산화막(105)에 염소 원자를 포함시킴으로써, 외인성 불순물인 중금속(예를 들어, Fe, Cr, Ni,

Mo 등)을 포집하여 단결정 반도체 기판(100)이 오염되는 것을 방지하는 효과를 갖는다.

[0068] 산화막(105)으로서 HCl 산화 등에 의하여, 막 중에 염소 등의 할로겐을 포함시킴으로써, 단결정 반도체 기판(100)에 악영향을 주는 불순물(예를 들어, Na 등의 가동 이온)을 제거할 수 있다. 즉, 산화막(105)을 형성한 후에 행해지는 열 처리에 의하여, 단결정 반도체 기판에 포함되는 불순물이 산화막(105)에 석출되고, 할로겐(예를 들어, 염소)과 반응하여 포획(捕獲)되게 된다. 그것에 의하여, 산화막(105) 중에 포집한 상기 불순물을 고정하여 단결정 반도체 기판(100)의 오염을 방지할 수 있다. 또한, 산화막(105)은 유리 기판과 접합한 경우에 유리에 포함되는 Na 등의 불순물을 고정하는 막으로서 기능한다.

[0069] 특히, 산화막(105)은 HCl 산화 등에 의하여, 막 중에 염소 등의 할로겐을 포함시키는 것은, 반도체 기판의 세정이 불충분한 경우나, 반복하여 재이용으로 사용되는 반도체 기판의 오염 제거에 효과적이다.

[0070] 또한, 산화막(105)에 포함시키는 할로겐 원자로서는, 염소 원자에 한정되지 않는다. 산화막(105)에 불소 원자를 함유시켜도 좋다. 단결정 반도체 기판(100) 표면을 불소 산화하기 위해서는, 단결정 반도체 기판(100) 표면에 DHF 용액에 침지한 후에 산화성 분위기 중에서 열 산화 처리를 행하거나, NF₃를 산화성 분위기에 첨가하여 열 산화 처리를 행하면 좋다.

[0071] 다음에, 운동 에너지를 갖는 이온을 단결정 반도체 기판(100)에 조사함으로써, 단결정 반도체 기판(100)의 소정의 깊이에 결정 구조가 손상된 취화 영역(104)을 형성한다(도 4a-3). 도 4a-3에 도시하는 바와 같이, 산화막(105)을 통하여 가속된 이온(103)을 단결정 반도체 기판(100)에 조사함으로써, 단결정 반도체 기판(100)의 표면으로부터 소정의 깊이의 영역에 이온(103)이 첨가되어, 취화 영역(104)을 형성할 수 있다. 이온(103)은 소스 가스를 여기하여, 소스 가스의 플라즈마로부터 추출함으로써 가속된 이온이다.

[0072] 취화 영역(104)이 형성되는 영역의 깊이는, 이온(103)의 운동 에너지, 질량과 전하, 이온(103)의 입사각에 의하여 조절할 수 있다. 운동 에너지는 가속 전압, 도즈량 등에 의하여 조절할 수 있다. 이온(103)의 평균 침입 깊이와 대략 깊이가 같은 영역에 취화 영역(104)이 형성된다. 그래서, 이온(103)의 평균 침입 깊이로, 단결정 반도체 기판(100)으로부터 분리되는 단결정 반도체층의 두께가 결정된다. 이 단결정 반도체층의 두께가 10nm 이상 500nm 이하, 바람직하게는 50nm 이상 200nm 이하가 되도록, 취화 영역(104)이 형성되는 깊이를 조절한다.

[0073] 이온 도핑 장치의 주요한 구성은, 피처리물을 배치하는 챔버, 원하는 이온을 발생시키는 이온원, 및 이온을 가속시키고 조사하기 위한 가속 기구이다. 이온원은, 원하는 이온종을 생성하기 위한 소스 가스를 공급하는 가스 공급 장치, 소스 가스를 여기하고, 플라즈마를 생성시키기 위한 전극 등으로 구성된다. 플라즈마를 형성하기 위한 전극으로서, 필라멘트형의 전극이나 용량 결합 고주파 방전용의 전극 등이 사용된다. 가속 기구는, 인출 전극, 가속 전극, 감속 전극, 접지 전극 등의 전극 등, 및 이들의 전극에 전력을 공급하기 위한 전원 등으로 구성된다. 가속 기구를 구성하는 전극에는 복수의 개구나 슬릿이 형성되고 있고, 이온원에서 생성된 이온은 전극에 형성된 개구나 슬릿을 통과하여 가속된다. 또, 이온 도핑 장치의 구성은 상술한 것에 한정되지 않고, 필요에 따른 기구가 설치된다.

[0074] 본 실시형태에서는, 이온 도핑 장치를 사용하여, 수소를 단결정 반도체 기판(100)에 첨가한다. 플라즈마 소스 가스로서 수소를 포함하는 가스를 공급한다. 예를 들어, H₂를 공급한다. 수소 가스를 여기하여 플라즈마를 생성하고, 질량 분리하지 않고 플라즈마 중에 포함되는 이온을 가속하고, 가속된 이온을 단결정 반도체 기판(100)에 조사한다.

[0075] 이온 도핑 장치에 있어서, 수소 가스로 생성되는 이온종(H⁺, H₂⁺, H₃⁺)의 총량에 대하여 H₃⁺의 비율을 50% 이상으로 한다. 보다 바람직하게는, 그 H₃⁺의 비율을 80% 이상으로 한다. 이온 도핑 장치는 질량 분리를 행하지 않기 때문에, 플라즈마 중에 생성되는 복수의 이온종 중, 하나(H₃⁺)를 50% 이상으로 하는 것이 바람직하고, 80% 이상으로 하는 것이 바람직하다. 동일한 질량의 이온을 조사함으로써, 단결정 반도체 기판(100)의 동일한 깊이에 집중시켜 이온을 첨가할 수 있다.

[0076] 취화 영역(104)을 얇은 영역에 형성하기 위해서는, 이온(103)의 가속 전압을 낮게 할 필요가 있지만, 플라즈마 중의 H₃⁺ 이온의 비율을 높게 함으로써, 원자상 수소(H)를 효율 좋게, 단결정 반도체 기판(100)에 첨가할 수 있다. H₃⁺ 이온은 H⁺ 이온의 3배의 질량을 갖기 때문에, 같은 깊이에 수소 원자를 하나 첨가하는 경우, H₃⁺ 이온의

가속 전압은 H^+ 이온의 가속 전압의 3배로 하는 것이 가능하게 된다. 이온의 가속 전압을 크게 할 수 있으면, 이온의 조사 공정의 택트 타임(tact time)을 단축할 수 있어, 생산성이나 스루풋의 향상을 도모할 수 있다.

[0077] 이온 도핑 장치는, 저렴하고 대면적 처리가 우수하기 때문에, 이와 같은 이온 도핑 장치를 사용하여 H_3^+ 을 조사 함으로써, 반도체 특성의 향상, 대면적화, 저비용화, 생산성 향상 등의 현저한 효과를 얻을 수 있다. 또한, 이온 도핑 장치를 사용한 경우, 중금속도 동시에 도입될 우려가 있지만, 염소 원자를 함유하는 산화막(105)을 사이에 두고, 이온의 조사를 행함으로써 상술한 바와 같이 이를 중금속에 의한 단결정 반도체 기판(100)의 오염을 방지할 수 있다.

[0078] 또한, 가속된 이온(103)을 단결정 반도체 기판(100)에 조사하는 공정은, 이온 주입 장치에 의하여 행할 수도 있다. 이온 주입 장치는, 챔버 내에 배치된 피처리체에, 소스 가스를 플라즈마 여기하여 생성된 복수의 이온종을 질량 분리하여, 특정의 이온종을 조사하는 질량 분리형 장치이다. 따라서, 이온 주입 장치를 사용하는 경우는, 수소 가스나 PH_3 를 여기하여 생성된 H^+ 이온 및 H_2^+ 이온을 질량 분리하여, H^+ 이온 또는 H_2^+ 이온 중 한쪽의 이온을 가속하여, 단결정 반도체 기판(100)에 조사한다.

[0079] 다음에, 베이스 기판(110)을 준비한다(도 4b-1 참조). 베이스 기판(110)은, 절연체로 이루어지는 기판을 사용 한다. 구체적으로는, 알루미노 실리케이트 유리, 알루미노 보로실리케이트 유리, 바륨 보로실리케이트 유리와 같은 전자 공업용에 사용되는 각종 유리 기판, 석영 기판, 세라믹스 기판, 사파이어 기판을 들 수 있다. 본 실시형태에서는, 유리 기판을 사용하는 경우에 대하여 설명한다. 베이스 기판(110)으로서 대면적화가 가능하고, 저렴한 유리 기판을 사용함으로써, 저비용화를 도모할 수 있다.

[0080] 또한, 베이스 기판(110)을 사용할 때, 베이스 기판(110) 표면을 미리 세정하는 것이 바람직하다. 구체적으로는, 베이스 기판(110)을 염산과수(HPM), 황산과수(SPM), 암모니아과수(APM), 희불산(DHF) 등을 사용하여 초음파 세정을 행한다. 예를 들어, 베이스 기판(110) 표면에 염산과수를 사용하여 초음파 세정을 행하는 것이 바람직하다. 이와 같은 세정 처리를 행함으로써, 베이스 기판(110) 표면의 평탄화나 잔존하는 연마 입자를 제거할 수 있다.

[0081] 다음에, 베이스 기판(110) 표면에 질소 함유층(111)(예를 들어, 질화 실리콘막(SiN_x) 또는 질화산화 실리콘막(SiN_xO_y)($x>y$) 등의 질소를 함유하는 절연막)을 형성한다(도 4b-2 참조).

[0082] 본 실시형태에 있어서, 질소 함유층(111)은 단결정 반도체 기판(100) 위에 형성된 산화막(105)과 접합되는 층(접합층)이 된다. 또한, 질소 함유층(111)은, 후에 베이스 기판 위에 단결정 구조를 갖는 단결정 반도체층을 형성하였을 때, 베이스 기판에 포함되는 Na(나트륨) 등의 불순물이 단결정 반도체층으로 확산되는 것을 방지하기 위한 배리어층으로서 기능한다.

[0083] 또한, 질소 함유층(111)을 접합층으로서 사용하기 때문에, 접합 불량을 억제하기 위해서는, 질소 함유층(111) 표면을 평활하게 하는 것이 바람직하다. 구체적으로는, 질소 함유층(111) 표면의 평균 면 거칠기(Ra)를 0.5nm 이하, 제곱 평균 거칠기(Rms)를 0.60nm 이하, 보다 바람직하게는, 평균 면 거칠기(Ra)를 0.35nm 이하, 제곱 평균 거칠기를 0.45nm 이하가 되도록 질소 함유층(111)을 형성한다. 막 두께는, 10nm 이상 200nm 이하, 바람직하게는 50nm 이상 100nm 이하의 범위로 형성하는 것이 바람직하다.

[0084] 다음에, 단결정 반도체 기판(100) 표면과 베이스 기판(110) 표면을 대향시켜, 산화막(105) 표면과 질소 함유층(111) 표면을 접합시킨다(도 4c 참조).

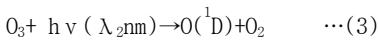
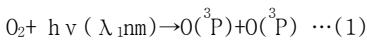
[0085] 여기서는, 단결정 반도체 기판(100)과 베이스 기판(110)을, 산화막(105)과 질소 함유층(111)을 사이에 두고 밀착시킨 후, 단결정 반도체 기판(100)의 1개소에 $1N/cm^2$ 내지 $500N/cm^2$, 바람직하게는 $1N/cm^2$ 내지 $20N/cm^2$ 정도의 압력을 가한다. 압력을 가한 부분으로부터 산화막(105)과 질소 함유층(111)이 접합하기 시작하고, 자발적으로 접합이 형성되어 전체 면에 미친다. 이 접합 공정은, 반데르발스 힘(van der Waals' force)이나 수소 결합이 작용하고 있고, 가열 처리를 동반하지 않으며, 상온에서 행할 수 있기 때문에, 베이스 기판(110)으로서 유리 기판과 같이 내열 온도가 낮은 기판을 사용할 수 있다.

[0086] 또한, 단결정 반도체 기판(100)과 베이스 기판(110)을 접합하기 전에, 단결정 반도체 기판(100) 위에 형성된 산화막(105)과, 베이스 기판(110) 위에 형성된 질소 함유층(111)의 적어도 한쪽에 표면 처리를 행하는 것이 바람직하다.

[0087] 표면 처리로서는, 플라즈마 처리, 오존 처리, 메가소닉 세정, 2유체 세정(순수나 수소 첨가수 등의 기능수를 질소 등의 캐리어 가스와 함께 살포하는 방법), 또는 이들 방법을 조합하여 행할 수 있다. 특히, 산화막(105), 질소 함유층(111)의 적어도 한쪽 표면에 플라즈마 처리를 행한 후, 단결정 반도체 기판(100) 및 베이스 기판(110)에 오존 처리, 메가소닉 세정, 2유체 세정 등을 행함으로써, 피처리면의 유기물 등의 먼지를 제거하여, 표면을 친수화할 수 있다. 그 결과, 산화막(105)과 질소 함유층(111)의 접합 강도를 향상시킬 수 있다. 여기서의 플라즈마 처리는, 불활성 가스(예를 들어, 아르곤(Ar) 가스) 및/또는 반응성 가스(예를 들어, 산소(O_2) 가스, 질소(N_2) 가스)를 사용하여 RIE법, ICP법, 대기압 플라즈마를 행한다.

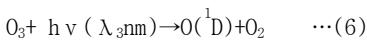
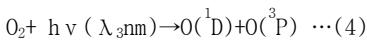
[0088] 여기서, 오존 처리의 일례를 설명한다. 예를 들어, 산소를 포함하는 분위기 하에서 자외선(UV)을 조사함으로써, 피처리체 표면에 오존 처리를 행할 수 있다. 산소를 포함하는 분위기 하에서 자외선을 조사하는 오존 처리는, UV 오존 처리, 또는 자외선 오존 처리라고 불리기도 한다. 산소를 포함하는 분위기 하에 있어서, 자외선 중 200nm 미만의 파장을 포함하는 광과, 200nm 이상의 파장을 포함하는 광을 조사함으로써, 오존을 생성시킴과 함께, 오존으로부터 일중항 산소를 생성시킬 수 있다. 자외선 중 180nm 미만의 파장을 포함하는 광을 조사함으로써, 오존을 생성시킴과 함께, 오존으로부터 일중항 산소를 생성시킬 수도 있다.

[0089] 산소를 포함하는 분위기 하에서, 200nm 미만의 파장을 포함하는 광 및 200nm 이상의 파장을 포함하는 광을 조사함으로써 일어나는 반응 예를 나타낸다.



[0093] 상기 반응식(1)에 있어서, 산소(O_2)를 포함하는 분위기 하에서 200nm 미만의 파장(λ_{1nm})을 포함하는 광($h\nu$)을 조사함으로써, 기저 상태의 산소 원자($O(^3P)$)가 생성된다. 다음에, 반응식(2)에 있어서, 기저 상태의 산소 원자($O(^3P)$)와 산소(O_2)가 반응하여 오존(O_3)이 생성된다. 그리고, 반응식(3)에 있어서, 생성된 오존(O_3)을 포함하는 분위기 하에서 200nm 이상의 파장(λ_{2nm})을 포함하는 광이 조사됨으로써, 여기 상태의 일중항 산소($O(^1D)$)가 생성된다. 산소를 포함하는 분위기 하에 있어서, 자외선 중, 200nm 미만의 파장을 포함하는 광을 조사함으로써 오존을 생성시킴과 함께, 200nm 이상의 파장을 포함하는 광을 조사함으로써 오존을 분해하여 일중항 산소를 생성한다. 상기와 같은 오존 처리는, 예를 들어, 산소를 포함하는 분위기 하에서의 저압 수은 램프의 조사($\lambda_1=185nm$, $\lambda_2=254nm$)에 의하여 행할 수 있다.

[0094] 또한, 산소를 포함하는 분위기 하에서, 180nm 미만의 파장을 포함하는 광을 조사함으로써 일어나는 반응 예를 나타낸다.



[0098] 상기 반응식(4)에 있어서, 산소(O_2)를 포함하는 분위기 하에서 180nm 미만의 파장(λ_{3nm})을 포함하는 광을 조사함으로써, 여기 상태의 일중항 산소($O(^1D)$)와 기저 상태의 산소 원자($O(^3P)$)가 생성된다. 다음에, 반응식(5)에 있어서, 기저 상태의 산소 원자($O(^3P)$)와 산소(O_2)가 반응하여 오존(O_3)이 생성된다. 반응식(6)에 있어서, 생성된 오존(O_3)을 포함하는 분위기 하에서 180nm 미만의 파장(λ_{3nm})을 포함하는 광이 조사됨으로써, 여기 상태의 일중항 산소와 산소가 생성된다. 산소를 포함하는 분위기 하에 있어서, 자외선 중, 180nm 미만의 파장을 포함하는 광을 조사함으로써 오존을 생성시킴과 함께, 오존 또는 산소를 분해하여 일중항 산소를 생성한다. 상기와 같은 오존 처리는, 예를 들어, 산소를 포함하는 분위기 하에서의 Xe 엑시며 UV 램프의 조사($\lambda_3=172nm$)에 의하

여 행할 수 있다.

[0099] 200nm 미만의 과장을 포함하는 광에 의하여, 피처리체 표면에 부착하는 유기물 등의 화학 결합을 절단하고, 오존 또는 오존으로부터 생성된 일중항 산소에 의하여 피처리체 표면에 부착하는 유기물, 또는 화학 결합을 절단한 유기물 등을 산화 분해하여 제거할 수 있다. 상술한 바와 같은 오존 처리를 행함으로써, 피처리체 표면의 친수성 및 청정성을 높일 수 있고, 접합을 양호하게 행할 수 있다.

[0100] 산소를 포함하는 분위기 하에서 자외선을 조사함으로써, 오존이 생성된다. 오존은 피처리체 표면에 부착하는 유기물의 제거에 효과를 갖는다. 또한, 일중항 산소도 오존과 동등, 또는 동등 이상으로 피처리체 표면에 부착하는 유기물의 제거에 효과를 갖는다. 오존 및 일중항 산소는, 활성 상태에 있는 산소의 예이며, 총칭하여 활성 산소라고도 한다. 상기 반응식 등으로 설명한 바와 같이, 일중항 산소를 생성할 때, 오존이 생기는 반응, 또는 오존으로부터 일중항 산소를 생성하는 반응도 있기 때문에, 여기서는 일중항 산소가 기여하는 반응도 포함하여 편의적으로 오존 처리라고 부른다.

[0101] 또한, 산화막(105)과 질소 함유층(111)을 접합시킨 후, 접합 강도를 증가시키기 위한 열 처리를 행하는 것이 바람직하다. 이 열 처리의 온도는, 취화 영역(104)에 균열을 발생시키지 않는 온도로 하고, 예를 들어, 실온 이상 400°C 미만의 온도 범위에서 처리한다. 또한, 이 온도 범위에서 가열하면서, 산화막(105)과 질소 함유층(111)을 접합시켜도 좋다. 열 처리에는, 확산로, 저항 가열로 등의 가열로, RTA(순간 열 어닐링, Rapid Thermal Anneal) 장치, 마이크로파 가열 장치 등을 사용할 수 있다.

[0102] 일반적으로, 산화막(105)과 질소 함유층(111)을 접합과 동시에, 또는 접합시킨 후에 열 처리를 행하면, 접합 계면에 있어서 탈수 반응이 진행되고, 접합 계면끼리가 가까워지고, 수소 결합의 강화나 공유 결합이 형성됨으로써 접합이 강화된다. 탈수 반응을 촉진시키기 위해서는, 탈수 반응에 의하여 접합 계면에 생기는 수분을 고온으로 열 처리를 행함으로써, 제거할 필요가 있다. 즉, 접합 후의 열 처리 온도가 낮은 경우에는, 탈수 반응으로 접합 계면에 생긴 수분을 효과적으로 제거할 수 없으므로, 탈수 반응이 진행되지 않고, 접합 강도를 충분히 향상시키는 것이 어렵다.

[0103] 한편으로, 산화막(105)으로서, 염소 원자 등을 함유시킨 산화막을 사용한 경우, 상기 산화막(105)이 수분을 흡수하여 확산시킬 수 있기 때문에, 접합 후의 열 처리를 저온으로 행하는 경우에도, 탈수 반응으로 접합 계면에 생긴 수분을 산화막(105)으로 흡수, 확산시켜, 탈수 반응을 효율 좋게 촉진시킬 수 있다. 이 경우, 베이스 기판(110)으로서 유리 등의 내열성이 낮은 기판을 사용한 경우에도, 산화막(105)과 질소 함유층(111)의 접합 강도를 충분히 향상시킬 수 있게 된다. 또한, 바이어스 전압을 인가하여 플라즈마 처리를 행함으로써, 수분을 효과적으로 산화막(105)에 흡수하여 확산시키고, 저온의 열 처리라도 산화막(105)과 질소 함유층(111)의 접합 강도를 향상시킬 수 있다.

[0104] 다음에, 열 처리를 행하고, 취화 영역(104)에 있어서 분리(벽개)함으로써, 베이스 기판(110) 위에, 산화막(105) 및 질소 함유층(111)을 사이에 두고, 단결정 반도체층(112)을 형성한다(도 4d 참조).

[0105] 가열 처리를 행함으로써, 온도 상승에 따라, 취화 영역(104)에 형성되어 있는 미소한 구멍에 있어서, 내부의 압력이 상승한다. 압력의 상승에 의하여, 취화 영역(104)의 미소한 구멍에 체적 변화가 일어나, 취화 영역(104)에 균열이 생기기 때문에, 취화 영역(104)을 따라 단결정 반도체 기판(100)이 벽개한다. 산화막(105)은, 베이스 기판(110)에 접합하기 때문에, 베이스 기판(110) 위에는 단결정 반도체 기판(100)으로부터 분리된 단결정 반도체층(112)이 형성된다. 또한, 여기서의 열 처리의 온도는, 베이스 기판(110)의 변형점을 넘지 않는 온도로 한다.

[0106] 이 가열 처리에는, 확산로, 저항 가열로 등의 가열로, RTA(순간 열 어닐, Rapid Thermal Anneal) 장치, 마이크로파 가열 장치 등을 사용할 수 있다. 예를 들어, RTA 장치를 사용하는 경우, 가열 온도 550°C 이상 730°C 이하, 처리 시간 0.5분 이상 60분 이내로 행할 수 있다.

[0107] 또한, 상술한 베이스 기판(110)과 산화막(105)의 접합 강도를 증가시키기 위한 열 처리를 행하지 않고, 도 1d의 열 처리를 행함으로써, 산화막(105)과 질소 함유층(111)의 접합 강도 증가의 열 처리 공정과, 취화 영역(104)에 있어서의 분리의 열 처리 공정을 동시에 행하여도 좋다.

[0108] 이상의 공정에 의하여, 베이스 기판(110) 위에 산화막(105) 및 질소 함유층(111)을 사이에 두고, 단결정 반도체층(112)이 형성된 SOI 기판을 제작할 수 있다. 본 실시형태에서 나타낸 제작 방법을 사용함으로써, 질소 함유층(111)을 접합층으로서 사용한 경우에도, 베이스 기판(110)과 단결정 반도체층(112)의 접합 강도를 향상시키고, 신뢰성을 향상시킬 수 있다. 그 결과, 베이스 기판(110) 위에 형성되는 단결정 반도체층(112)으로

의 불순물의 확산을 억제함과 함께, 베이스 기판(110)과 단결정 반도체층(112)이 강고하게 밀착된 SOI 기판을 형성할 수 있다.

[0109] 또한, 베이스 기판 측에 질소 함유층을 형성하고, 반도체 기판 측에 염소 등의 할로겐을 갖는 산화막을 형성함으로써, 제작 공정을 간략화함과 함께, 반도체 기판과 베이스 기판과의 접합 전에 상기 반도체 기판으로 불순물 원소가 침입하는 것을 억제할 수 있다. 또한, 반도체 기판 측에 형성되는 접합층으로서 염소 등의 할로겐을 갖는 산화막을 형성함으로써, 접합 후의 열 처리를 저온으로 행하는 경우에도, 탈수 반응을 효율 좋게 촉진시킴으로써, 접합 강도를 향상시킬 수 있다.

[0110] 그 후, 상기 실시형태 1에서 나타낸 바와 같이, 제 1 예칭 처리, 레이저 조사, 플라즈마 처리, 제 2 예칭 처리, 열 처리를 행한다. 이들 처리는, 도 2a 내지 도 2f, 또는 도 3a 내지 도 3f와 마찬가지로 행하면 좋다.

[0111] 또한, 본 실시형태에서는, 단결정 반도체 기판(100) 위에 산화막(105)을 형성하고, 베이스 기판(110) 위에 질소 함유층(111)을 형성하는 경우를 나타내지만, 이것에 한정되지 않는다. 예를 들어, 단결정 반도체 기판(100) 위에 산화막(105)과 질소 함유층(111)을 순서대로 적층시켜 형성하고, 산화막(105) 위에 형성된 질소 함유층(111) 표면과 베이스 기판(110) 표면을 접합시켜도 좋다. 이 경우, 질소 함유층(111)은 취화 영역(104)의 형성 전에 형성하여도 좋고, 형성 후에 형성하여도 좋다. 또한, 질소 함유층(111) 위에 산화막(예를 들어, 산화 실리콘)을 형성하고, 상기 산화막(105) 표면과 베이스 기판(110) 표면을 접합시켜도 좋다.

[0112] 또한, 베이스 기판(110)으로부터 단결정 반도체층(112)으로의 불순물의 혼입이 문제가 되지 않는 경우에는, 베이스 기판(110) 위에 질소 함유층(111)을 형성하지 않고, 단결정 반도체 기판(100) 위에 형성된 산화물(105) 표면과 베이스 기판(110) 표면을 접합시켜도 좋다.

[0113] 또한, 본 실시형태에서 나타낸 구성은, 본 명세서의 다른 실시형태에서 나타내는 구성과 적절히 조합하여 행할 수 있다.

[0114] (실시형태 3)

[0115] 본 실시형태에서는, 고성능 및 고신뢰성의 반도체 소자를 갖는 반도체 장치를, 수율 좋게 제작하는 것을 목적으로 한 반도체 장치의 제작 방법의 일례로서 n채널형 박막 트랜지스터, 및 p채널형 박막 트랜지스터를 제작하는 방법에 관하여 도 6a 내지 도 7c를 사용하여 설명한다. 복수의 박막 트랜지스터(TFT)를 조합함으로써, 각종 반도체 장치를 형성할 수 있다. 또한, 실시형태 1 및 실시형태 2와 동일 부분 또는 마찬가지인 기능을 갖는 부분의 반복 설명은 생략한다.

[0116] 도 6a는, 베이스 기판(110) 위에 절연막(102), 단결정 반도체층(112)이 형성된다. 또한, 여기서는 도 2d에 도시하는 구성의 반도체 기판을 적용하는 예를 나타내지만, 본 명세서에서 나타내는 그 외의 구성의 반도체 기판도 적용할 수 있다.

[0117] 단결정 반도체층(112)은, 단결정 반도체 기판(100)으로부터 분리되고, 실시형태 1에서 나타낸 바와 같이, 예칭 처리를 행한 후에 레이저 빔을 조사하여 플라즈마 처리를 행함으로써, 단결정 반도체층(112)은 결정 결함이 저감되어 표면의 평탄성이 높여진다.

[0118] 단결정 반도체층(112)을 예칭하고, 반도체 소자의 배치에 맞추어 섬 형상으로 분리한 단결정 반도체층(121, 122)을 형성한다(도 6b 참조).

[0119] 또한, 단결정 반도체층(112)의 예칭을 행하기 전에, TFT의 임계 값을 제어하기 위하여, 봉소, 알루미늄, 갈륨 등의 불순물 원소, 또는 인, 비소 등의 불순물 원소를 단결정 반도체층(112)에 첨가하는 것이 바람직하다. 예를 들어, n채널형 TFT가 형성되는 영역에, 봉소, 알루미늄, 갈륨 등의 불순물 원소를 첨가하고, p채널형 TFT가 형성되는 영역에 인, 비소 등의 불순물 원소를 첨가한다.

[0120] 단결정 반도체층 위의 산화막을 제거하여, 단결정 반도체층(121, 122)을 덮는 게이트 절연층(123)을 형성한다. 본 실시형태에 있어서의 단결정 반도체층(121, 122)은 평탄성이 높기 때문에, 단결정 반도체층(121, 122) 위에 형성되는 게이트 절연층이 박막의 게이트 절연층이어도 괴복성 좋게 덮을 수 있다. 따라서, 게이트 절연층의 괴복 불량에 의한 특성 불량을 방지할 수 있고, 고신뢰성의 반도체 장치를 수율 좋게 제작할 수 있다. 게이트 절연층(123)의 박막화는, 박막 트랜지스터를 저전압으로 고속 동작시키는 효과가 있다.

[0121] 게이트 절연층(123)은 산화 실리콘, 또는 산화 실리콘과 질화 실리콘의 적층 구조로 형성하면 좋다. 게이트 절연층(123)은, 플라즈마 CVD법이나 감압 CVD법에 의하여 절연막을 퇴적함으로써 형성하여도 좋고, 플라즈마 처리

에 의한 고상 산화 또는 고상 질화로 형성하면 좋다. 단결정 반도체층을, 플라즈마 처리에 의하여 산화 또는 질화함으로써 형성하는 게이트 절연층은, 치밀하고 절연 내압이 높아 신뢰성이 우수하기 때문이다.

[0122] 또한, 게이트 절연층(123)으로서, 산화 지르코늄, 산화 하프늄, 산화 티타늄, 산화 탄탈 등의 고유전율 재료를 사용하여도 좋다. 게이트 절연층(123)에 고유전율 재료를 사용함으로써, 게이트 누설 전류를 저감할 수 있다.

[0123] 게이트 절연층(123) 위에 게이트 전극층(124) 및 게이트 전극층(125)을 형성한다(도 6c 참조). 게이트 전극층(124, 125)은, 스퍼터링법, 증착법, CVD법 등의 수법에 의하여 형성할 수 있다. 게이트 전극층(124, 125)은 탄탈(Ta), 텅스텐(W), 티타늄(Ti), 몰리브덴(Mo), 알루미늄(Al), 구리(Cu), 크롬(Cr), 네오듐(Nd)으로부터 선택된 원소, 또는 상기 원소를 주성분으로 하는 합금 재료 또는 화합물 재료로 형성하면 좋다. 또한, 게이트 전극층(124, 125)으로서 인 등의 불순물 원소를 도핑한 단결정 실리콘층으로 대표되는 반도체층이나, AgPdCu 합금을 사용하여도 좋다.

[0124] 본 발명에 따른 SOI 기판은, 단결정 반도체층 표면이 평탄화되어 있기 때문에, 절연 내압성이 높은 게이트 절연층을 형성할 수 있다.

[0125] 단결정 반도체 층(122)을 덮는 마스크(126)를 형성한다. 마스크(126) 및 게이트 전극층(124)을 마스크로 하여, n형을 부여하는 불순물 원소(127)를 첨가하여, 제 1 n형 불순물 영역(128a, 128b)을 형성한다(도 6d 참조). 본 실시형태에서는, 불순물 원소를 포함하는 도핑 가스로서 포스핀(PH_3)을 사용한다. 여기서는, 제 1 n형 불순물 영역(128a, 128b)에, n형을 부여하는 불순물 원소가 $1 \times 10^{17}/\text{cm}^3$ 내지 $5 \times 10^{18}/\text{cm}^3$ 정도의 농도로 포함되도록 첨가한다. 본 실시형태에서는, n형을 부여하는 불순물 원소로서 인(P)을 사용한다.

[0126] 다음에, 마스크(126)를 제거한 후, 단결정 반도체층(121)을 덮는 마스크(130)를 형성한다. 마스크(126), 게이트 전극층(125)을 마스크로 하여 p형을 부여하는 불순물 원소(131)를 첨가하고, 제 1 p형 불순물 영역(132a), 제 1 p형 불순물 영역(132b)을 형성한다(도 6e 참조). 본 실시형태에서는, 불순물 원소로서 봉소(B)를 사용하기 때문에, 불순물 원소를 포함하는 도핑 가스로서는 디보란(B_2H_6) 등을 사용한다.

[0127] 마스크(130)를 제거한 후, 게이트 전극층(124, 125)의 측면에 사이드 월 구조의 측벽 절연층(134a 내지 134d), 게이트 절연층(135a, 135b)을 형성한다(도 7a 참조). 측벽 절연층(134a 내지 134d)은, 게이트 전극층(124, 125)을 덮는 절연층을 형성한 후, 이것을 RIE(Reactive Ion Etching: 반응성 이온 에칭)법을 사용한 이방성 에칭에 의하여 가공함으로써, 게이트 전극층(124, 125)의 측벽에 자기 정합적으로 사이드 월 구조의 측벽 절연층(134a 내지 134d)을 형성하면 좋다. 여기서, 절연층은 특별히 한정되지 않고, TEOS(Tetraethyl-ortho silicate) 또는 실란 등과, 산소 또는 아산화 질소 등을 반응시켜 형성한 단차 피복성이 좋은 산화 실리콘인 것이 바람직하다. 절연층은 열 CVD, 플라즈마 CVD, 상압 CVD, 바이어스 ECRCVD, 스퍼터링 등의 방법에 의하여 형성할 수 있다. 게이트 절연층(135a, 135b)은 게이트 전극층(124, 125) 및 측벽 절연층(134a 내지 134d)을 마스크로 하여 게이트 절연층(123)을 에칭하여 형성할 수 있다.

[0128] 또한, 본 실시형태에서는, 절연층을 에칭할 때, 게이트 전극층 위의 절연층을 제거하여, 게이트 전극층을 노출시키지만, 절연층을 게이트 전극층 위에 남기는 형상으로 측벽 절연층(134a 내지 134d)을 형성하여도 좋다. 또한, 뒤의 공정에서 게이트 전극층 위에 보호막을 형성하여도 좋다. 상술한 바와 같이, 게이트 전극층을 보호함으로써, 에칭 가공할 때, 게이트 전극층의 막이 감소되는 것을 방지할 수 있다. 또한, 소스 영역 및 드레인 영역에 실리사이드를 형성하는 경우, 실리사이드 형성시에 형성하는 금속막과 게이트 전극층이 접하지 않기 때문에, 금속막의 재료와 게이트 전극층의 재료가 반응하기 쉬운 재료라도, 화학 반응이나 확산 등의 불량을 방지할 수 있다. 에칭 방법은 드라이 에칭법, 웨트 에칭법의 어느 쪽이라도 좋고, 다양한 에칭 방법을 사용할 수 있다. 본 실시형태에서는 드라이 에칭법을 사용한다. 에칭용 가스로서, Cl_2 , BCl_3 , SiCl_4 , 또는 CCl_4 등을 대표로 하는 염소계 가스, CF_4 , SF_6 , 또는 NF_3 등을 대표로 하는 불소계 가스, 또는 O_2 를 적절히 사용할 수 있다.

[0129] 다음에, 단결정 반도체층(122)을 덮는 마스크(136)를 형성한다. 마스크(136), 게이트 전극층(124), 측벽 절연층(134a, 134b)을 마스크로 하여 n형을 부여하는 불순물 원소(137)를 첨가함으로써, 제 2 n형 불순물 영역(138a, 138b)이 형성된다. 본 실시형태에서는, 불순물 원소를 포함하는 도핑 가스로서 PH_3 를 사용한다. 여기서는, 제 2 n형 불순물 영역(138a, 138b)에 n형을 부여하는 불순물 원소가 $5 \times 10^{19}/\text{cm}^3$ 내지 $5 \times 10^{20}/\text{cm}^3$ 정도의 농도로 포함되도록 첨가한다. 또한, 단결정 반도체층(121)에 채널 형성 영역(129)이 형성된다(도 7b 참조).

[0130] 제 2 n형 불순물 영역(138a, 138b)은 고농도 n형 불순물 영역이며, 소스, 드레인으로서 기능한다. 한편, 제 1

n형 불순물 영역(128a, 128b)은 저농도 불순물 영역이며, LDD(Lightly Doped Drain) 영역이 된다. 제 1 n형 불순물 영역(128a, 128b)은 게이트 전극층(124)에 덮이지 않는 Loff 영역에 형성되기 때문에, 오프 전류를 저감하는 효과가 있다. 결과적으로, 보다 신뢰성이 높고, 저소비 전력의 반도체 장치를 제작할 수 있다.

[0131] 마스크(136)를 제거하고, 불순물 원소를 활성화하기 위하여 가열 처리, 강광의 조사, 또는 레이저 범의 조사를 행하여도 좋다. 활성화와 동시에 게이트 절연층에 대한 플라즈마 대미지나 게이트 절연층과 단결정 반도체층의 계면에 대한 플라즈마 대미지를 회복할 수 있다.

[0132] 다음에, 게이트 전극층, 게이트 절연층을 덮는 충간 절연층을 형성한다. 본 실시형태에서는, 충간 절연층은, 보호막이 되는 수소를 포함하는 절연막(139)과, 절연막(140)의 적층 구조로 한다. 절연막(139)과 절연막(140)은, 스팍터링법, 또는 플라즈마 CVD를 사용한 질화 실리콘막, 질화산화 실리콘막, 산화질화 실리콘막, 산화 실리콘막이라도 좋고, 다른 실리콘을 포함하는 절연막을 단층 또는 3층 이상의 적층 구조로서 사용하여도 좋다.

[0133] 또한, 질소 분위기 중에서, 300°C 내지 550°C로 1시간 내지 12시간의 열 처리를 행하여, 단결정 반도체층을 수소화하는 공정을 행한다. 바람직하게는, 이 처리는 400°C 내지 500°C로 행한다. 이 공정은 충간 절연층인 절연막(140)에 포함되는 수소에 의하여 단결정 반도체층의 맹글링 본드를 종단하는 공정이다. 본 실시형태에서는, 410°C로 1시간 가열 처리를 행한다.

[0134] 절연막(139), 절연막(140)으로서는 그 외에, 질화 알루미늄(AlN), 산화질화 알루미늄(AlON), 질소 함유량이 산소 함유량보다도 많은 질화산화 알루미늄(Al₁NO) 또는 산화 알루미늄, 다이아몬드 라이크 카본(DLC), 질소함유탄소(CN), 이 외의 무기 절연성 재료를 포함하는 물질 중으로부터 선택된 재료로 형성할 수 있다. 또한, 실록산 수지를 사용하여도 좋다. 또한, 실록산 수지란, Si-O-Si 결합을 포함하는 수지에 상당한다. 실론산은 실리콘(Si) 및 산소(O)의 결합으로 골격 구조가 구성된다. 치환기로서, 적어도 수소를 포함하는 유기기(예를 들어 알킬기, 아릴기)가 사용된다. 치환기로서 플루오르기를 사용하여도 좋다. 또는, 치환기로서, 적어도 수소를 함유하는 유기기와, 플루오르기를 사용하여도 좋다. 또한, 유기 절연성 재료를 사용하여도 좋고, 유기 재료로서는 폴리이미드, 아크릴, 폴리아미드, 폴리이미드아미드, 레지스트 또는 벤조사이클로부텐, 폴리실라잔을 사용할 수 있다. 평탄성이 좋은 도포법에 의하여 형성되는 도포막을 사용하여도 좋다.

[0135] 절연막(139), 절연막(140)은 디핑, 스프레이 도포, 닉터 나이프, 롤 코터, 커튼 코터, 나이프 코터, CVD법, 증착법 등을 채용할 수 있다. 액적 토출법에 의하여 절연막(139), 절연막(140)을 형성하여도 좋다. 액적 토출법을 사용한 경우에는, 재료액을 절약할 수 있다. 또한, 액적 토출법과 같이 패턴을 전사, 또는 그리는 방법, 예를 들어, 인쇄법(스크린 인쇄 또는 오프셋 인쇄 등의 패턴이 형성되는 방법) 등을 사용할 수도 있다.

[0136] 이어서, 레지스트로 이루어지는 마스크를 사용하여 절연막(139), 절연층(140)에 단결정 반도체층에 도달하는 콘택트 홀(개구)을 형성한다. 에칭은 사용되는 재료의 선택 비율에 따라 한번에 행하여도 좋고, 또는 복수 번에 거쳐 행하여도 좋다. 에칭에 의하여, 절연막(139), 절연층(140)을 부분적으로 제거하고, 소스 영역 또는 드레인 영역인 제 2 n형 불순물 영역(138a, 138b), 제 2 p형 불순물 영역(132a, 132b)에 도달하는 개구를 형성한다. 에칭은 웨트 에칭, 드라이 에칭의 어느 쪽이라도 좋고, 양쪽 모두를 사용하여도 좋다. 웨트 에칭의 에칠툰트는, 불소수소 암모늄 및 불화 암모늄을 포함한 혼합 용액과 같은 불산계의 용액을 사용하면 좋다. 에칭 가스로서는, Cl₂, BC1₃, SiCl₄, 또는 CCl₄ 등을 대표로 하는 염소계 가스, CF₄, SF₆, 또는 NF₃ 등을 대표로 하는 불소계 가스, 또는 O₂를 적절히 사용할 수 있다. 또한, 사용되는 에칭용 가스에 불활성 기체를 첨가하여도 좋다. 첨가되는 불활성 원소로서, He, Ne, Ar, Kr, Xe로부터 선택된 하나 또는 복수의 원소를 사용할 수 있다.

[0137] 개구를 덮도록 도전막을 형성하고, 도전막을 에칭하여 각 소스 영역 또는 드레인 영역의 일부에 각각 전기적으로 접속하는 소스 전극층 또는 드레인 전극층으로서 기능하는 배선층(141a, 141b, 142a, 142b)을 형성한다. 배선층은, PVD법, CVD법, 증착법 등에 의하여 도전막을 형성한 후, 원하는 형상으로 에칭하여 형성할 수 있다. 또한, 액적 토출법, 인쇄법, 전해 도금법 등에 의하여, 소정의 장소에 선택적으로 도전층을 형성할 수 있다. 또한, 리플로법 또는 다마신법을 사용하여도 좋다. 배선층의 재료는, Ag, Au, Cu, Ni, Pt, Pd, Ir, Rh, W, Al, Ta, Mo, Cd, Zn, Fe, Ti, Zr, Ba 등의 금속, 및 Si, Ge, 또는 그 합금, 또는 그 질화물을 사용하여 형성한다. 또한, 이들의 적층 구조로 하여도 좋다.

[0138] 상술한 공정에서 CMOS 구조의 n채널형 박막 트랜지스터 및 p채널형 박막 트랜지스터를 포함하는 반도체 장치를 제작할 수 있다(도 7c 참조). 도시하지 않지만, 본 실시형태는 CMOS 구조이므로, n채널형 박막 트랜지스터와 p채널형 박막 트랜지스터는 전기적으로 접속된다.

- [0139] 본 실시형태에 한정되지 않고, 박막 트랜지스터는 채널 형성 영역이 하나 형성되는 싱글 게이트 구조라도 좋고, 2개 형성되는 더블 게이트 구조, 또는 3개 형성되는 트리플 게이트 구조라도 좋다.
- [0140] 본 발명에 따른 SOI 기판을 사용한 반도체 장치는, 단결정 반도체층 표면이 평탄화되므로, 단결정 반도체층과 게이트 절연층의 계면에 있어서의 국재 준위 밀도를 낮게 할 수 있다. 또한, 단결정 반도체층의 결정 결함도 저감되므로, 반도체 소자의 전기적 특성을 향상시킬 수 있다. 상술한 바와 같이, 결정 결함이 저감되고, 또 평탄성도 높은 단결정 반도체층을 갖는 반도체 기판을 사용함으로써 고성능 및 고신뢰성의 반도체 장치를 수율 좋게 제작할 수 있다.
- [0141] 이와 같이, 반도체 기판을 사용하여 박막 트랜지스터를 제작할 수 있다. 본 발명을 적용한 SOI 기판의 단결정 반도체층은, 결정 결함이 저감되고, 게이트 절연층(135a, 135b)과의 계면 준위 밀도가 저감된 단결정 반도체층이고, 그 표면이 평탄화되어 있다. 이로써, SOI 기판에, 낮은 구동 전압, 높은 전계 효과 이동, 작은 서브 임계 값 등, 우수한 특성을 구비한 박막 트랜지스터를 형성할 수 있다. 또한, 동일 기판 위에 특성의 편차가 적고, 고성능의 트랜지스터를 복수 기판 위에 형성하는 것이 가능하다. 즉, 본 발명에 따른 SOI 기판을 사용함으로써, 임계 값 전압이나 이동도 등 트랜지스터 특성으로서 중요한 특성 값의 불균일성이 억제되고, 또한 고전계 이동도 등의 고성능화가 가능해진다.
- [0142] 따라서, 본 발명에 따른 반도체 기판을 사용하여 TFT 등 각종의 반도체 소자를 형성함으로써, 고부가가치의 반도체 장치를 제작할 수 있다.
- [0143] (실시형태 4)
- [0144] 실시형태 3을 참조하여 TFT의 제작 방법을 설명하였지만, 본 실시형태에서는 TFT 외에, 용량, 저항 등 TFT와 함께 각종의 반도체 소자를 형성함으로써, 고부가가치의 반도체 장치를 제작할 수 있다. 이하, 도면을 참조하면서 반도체 장치의 구체적인 형태를 설명한다.
- [0145] 먼저, 반도체 장치의 일례로서 마이크로 프로세서에 대하여 설명한다. 도 8은 마이크로 프로세서(500)의 구성 예를 도시하는 블록도이다.
- [0146] 마이크로 프로세서(500)는, 연산 회로(501; Arithmetic logic unit, ALU라고도 함), 연산회로 제어부(502; ALU Controller), 명령 해석부(503; Instruction Decoder), 인터럽트 제어부(504; Interrupt Controller), 타이밍 제어부(505; Timing Controller), 레지스터(506; Register), 레지스터 제어부(507; Register Controller), 버스 인터페이스(508; Bus I/F), 판독 전용 메모리(509), 및 메모리 인터페이스(510)를 갖는다.
- [0147] 버스 인터페이스(508)를 통하여 마이크로 프로세서(500)에 입력된 명령은 명령 해석부(503)에 입력되어 디코드된 후, 연산회로 제어부(502), 인터럽트 제어부(504), 레지스터 제어부(507), 타이밍 제어부(505)에 입력된다. 연산회로 제어부(502), 인터럽트 제어부(504), 레지스터 제어부(507), 타이밍 제어부(505)는, 디코드된 명령에 의거하여 다양한 제어를 행한다.
- [0148] 연산회로 제어부(502)는, 연산 회로(501)의 동작을 제어하기 위한 신호를 생성한다. 또한, 인터럽트 제어부(504)는, 마이크로 프로세서(500)의 프로그램 실행 중에, 외부의 입출력 장치나 주변 회로로부터의 인터럽트 요구를 처리하는 회로이고, 인터럽트 제어부(504)는, 인터럽트 요구의 우선도나 마스크 상태를 판단하여, 인터럽트 요구를 처리한다. 레지스터 제어부(507)는 레지스터(506)의 어드레스를 생성하고, 마이크로 프로세서(500)의 상태에 따라 레지스터(506)의 판독이나 기입을 행한다. 타이밍 제어부(505)는, 연산 회로(501), 연산회로 제어부(502), 명령 해석부(503), 인터럽트 제어부(504), 및 레지스터 제어부(507)의 동작의 타이밍을 제어하는 신호를 생성한다. 예를 들어, 타이밍 제어부(505)는, 기준 클록 신호CLK1을 바탕으로, 내부 클록 신호CLK2를 생성하는 내부 클록 생성부를 구비한다. 도 8에 도시하는 바와 같이, 내부 클록 신호CLK2는 다른 회로에 입력된다.
- [0149] 다음에, 비접촉으로 데이터의 송수신을 행하는 기능, 및 연산 기능을 구비한 반도체 장치의 일례를 설명한다. 도 9는, 이와 같은 반도체 장치의 구성예를 도시하는 블록도이다. 도 9에 도시하는 반도체 장치는, 무선 통신에 의하여 외부 장치와 신호의 송수신을 행하여 동작하는 컴퓨터(이하, “RFCPU”라고도 함)라고 부를 수 있다.
- [0150] 도 9에 도시하는 바와 같이, RFCPU(511)는, 아날로그 회로부(512)와 디지털 회로부(513)를 갖는다. 아날로그 회로부(512)로서, 공진 용량을 갖는 공진 회로(514), 정류 회로(515), 정전압 회로(516), 리셋 회로(517), 발진 회로(518), 복조 회로(519), 변조 회로(520), 전원 관리 회로(530)를 갖는다. 디지털 회로부(513)는, RF 인터페이스(521), 제어 레지스터(522), 클록 컨트롤러(523), CPU 인터페이스(524), 중앙처리 유닛(525), 랜덤 액세

스 메모리(526), 판독 전용 메모리(527)를 갖는다.

[0151] RFCPU(511)의 동작의 개요는 이하와 같다. 안테나(528)가 수신한 신호는 공진 회로(514)에 의하여 유도 기전력이 생긴다. 유도 기전력은 정류 회로(515)를 거쳐 용량부(529)에 충전된다. 이 용량부(529)는 세라믹 콘덴서나 전기 이중층 콘덴서 등의 커패시터로 형성되는 것이 바람직하다. 용량부(529)는, RFCPU(511)를 구성하는 기판에 집적될 필요는 없고, 다른 부품으로서 RFCPU(511)에 내장할 수도 있다.

[0152] 리셋 회로(517)는 디지털 회로부(513)를 리셋하여 초기화하는 신호를 생성한다. 예를 들어, 전원 전압의 상승에 지연되어 상승하는 신호를 리셋 신호로서 생성한다. 발진 회로(518)는, 정전압 회로(516)에 의하여 생성되는 제어 신호에 따라, 클록 신호의 주파수와 듀티비를 변경한다. 복조 회로(519)는, 수신 신호를 복조하는 회로이고, 변조 회로(520)는, 송신하는 데이터를 변조하는 회로이다.

[0153] 예를 들어, 복조 회로(519)는 로우패스 필터로 형성되고, 진폭변조(ASK) 방식의 수신 신호를, 그 진폭의 변동을 바탕으로 2치화(二值化)한다. 또한, 송신 데이터를 진폭변조(ASK) 방식의 송신 신호의 진폭을 변동시켜 송신하기 위하여, 변조 회로(520)는, 공진 회로(514)의 공진점을 변화시킴으로써 통신 신호의 진폭을 변화시킨다.

[0154] 클록 컨트롤러(523)는, 전원 전압 또는 중앙처리 유닛(525)에 있어서의 소비전류에 따라서 클록 신호의 주파수와 듀티비를 변경하기 위한 제어 신호를 생성한다. 전원 전압의 감시는 전원 관리 회로(530)가 행한다.

[0155] 안테나(528)로부터 RFCPU(511)에 입력된 신호는 복조 회로(519)로 복조된 후, RF 인터페이스(521)로 제어 커맨드나 데이터 등으로 분해된다. 제어 커맨드는 제어 레지스터(522)에 격납된다. 제어 커맨드에는, 판독 전용 메모리(527)에 기억되는 데이터의 판독, 랜덤 액세스 메모리(526)에의 데이터의 기입, 중앙 처리 유닛(525)에의 연산 명령 등이 포함된다.

[0156] 중앙 처리 유닛(525)은 인터페이스(524)를 통하여 판독 전용 메모리(527), 랜덤 액세스 메모리(526), 제어 레지스터(522)에 액세스한다. CPU 인터페이스(524)는 중앙 처리 유닛(525)이 요구하는 어드레스로부터, 판독 전용 메모리(527), 랜덤 액세스 메모리(526), 제어 레지스터(522) 중 어느 하나에 대한 액세스 신호를 생성하는 기능을 갖는다.

[0157] 중앙 처리 유닛(525)의 연산 방식은, 판독 전용 메모리(527)에 OS(Operating System)를 기억시켜 두고, 기동과 함께 프로그램을 판독하여 실행하는 방식을 채용할 수 있다. 또한, 전용 회로에서 연산 회로를 구성하고, 연산 처리를 하드웨어적으로 처리하는 방식을 채용할 수도 있다. 하드웨어와 소프트웨어를 병용하는 방식에서는, 전용의 연산 회로에서 일부의 연산 처리를 행하고, 프로그램을 사용하여, 나머지의 연산을 중앙 처리 유닛(525)이 처리하는 방식을 적용할 수 있다.

[0158] 이와 같은 RFCPU는, 결정 결함이 저감되고, 결정 방위가 일정한 단결정 반도체층(112)에 의하여 집적 회로가 형성되어 있으므로, 처리 속도의 고속화뿐만 아니라 저소비 전력화를 도모할 수 있다. 그것에 의하여, 전력을 공급하는 용량부(529)를 소형화하여도 장시간의 동작이 보증된다.

[0159] (실시형태 5)

[0160] 본 실시형태에서는, 본 발명의 반도체 기판을 사용한 표시 장치에 대하여, 도 10a 내지 도 11b를 참조하여 설명 한다.

[0161] 도 10a 및 도 10b는 액정 표시 장치를 설명하기 위한 도면이다. 도 10a는 액정 표시 장치의 화소의 평면도이고, 도 10b는, J-K 절단선에 의한 도 10a의 단면도이다.

[0162] 도 10a에 도시하는 바와 같이, 화소는, 단결정 반도체층(320), 단결정 반도체층(320)과 교차하고 있는 주사선(322), 주사선(322)과 교차하고 있는 신호선(323), 화소 전극(324), 화소 전극(324)과 단결정 반도체층(320)을 전기적으로 접속하는 전극(328)을 갖는다. 단결정 반도체층(320)은, 본 발명에 따른 SOI 기판이 갖는 단결정 반도체층으로부터 형성된 층이고, 실시형태 1에서 나타낸 바와 같이 에칭 처리를 행한 후에 레이저 빔을 조사하고, 플라즈마 처리를 행함으로써, 단결정 반도체층(112)은, 결정 결함이 저감되고, 표면의 평탄성이 높여진다. 단결정 반도체층(320)은 화소의 TFT(325)를 구성한다.

[0163] 반도체 기판에는, 상기 실시형태 1 및 실시형태 2에서 나타낸 SOI 기판이 사용되어 있다. 도 10b에 도시하는 바와 같이, 베이스 기판(110) 위에, 절연막(102)을 사이에 두고 단결정 반도체층(320)이 적층되어 있다. 베이스 기판(110)으로서는, 유리 기판을 사용할 수 있다. TFT(325)의 단결정 반도체층(320)은, SOI 기판의 단결정 반도체층을 에칭에 의하여 소자 분리하여 형성된 막이다. 단결정 반도체층(320)에는, 채널 형성 영역(340), 불

순물 원소가 첨가된 n형의 고농도 불순물 영역(341)이 형성된다. TFT(325)의 게이트 전극은 주사선(322)에 포함되고, 소스 전극과 드레인 전극 중의 한쪽은 신호선(323)에 포함되어 있다.

[0164] 충간 절연막(327) 위에는, 신호선(323), 화소 전극(324), 및 전극(328)이 형성되어 있다. 충간 절연막(327) 위에는, 기동형 스페이서(329)가 형성되어 있다. 신호선(323), 화소 전극(324), 전극(328) 및 기동형 스페이서(329)를 덮어 배향막(330)이 형성된다. 대향 기판(332)에는, 대향 전극(333), 대향 전극을 덮는 배향막(334)이 형성된다. 기동형 스페이서(329)는, 베이스 기판(110)과 대향 기판(332)의 틈을 유지하기 위하여 형성된다. 기동형 스페이서(329)에 의하여 형성되는 틈에 액정층(335)이 형성되어 있다. 신호선(323) 및 전극(328)과 고농도 불순물 영역(341)과의 접속부는 콘택트 홀의 형성에 의하여 충간 절연막(327)에 단차(段差)가 생기므로, 이 접속부에서는 액정층(335)의 액정의 배향이 흐트러지기 쉽다. 그래서, 이 단차부에 기동형 스페이서(329)를 형성하고, 액정의 배향의 흐트러짐을 방지한다.

[0165] 본 발명에 따른 반도체 기판의 제작 방법에 의하여 제작된 SOI 기판은, 결정이 저감되고, 표면의 평탄성이 높여지기 때문에, 동일 기판 위에 특성의 변동이 적은, 복수의 고성능의 트랜지스터를 기판 위에 형성하는 것이 가능하다. 따라서, 본 발명에 따른 SOI 기판을 사용하여 액정 표시 장치를 제작함으로써, 트랜지스터마다의 특성의 변동을 저감할 수 있다.

[0166] 다음에, 일렉트로루미네센스 표시장치(이하, EL 표시장치라고 함)에 대하여 도 11a 및 도 11b를 참조하여 설명한다. 도 11a는 EL 표시장치의 화소의 평면도이고, 도 11b는, J-K 절단선에 의한 도 11a의 단면도이다.

[0167] 도 11a에 도시하는 바와 같이, 화소는, 트랜지스터로 이루어지는 선택용 트랜지스터(401), 표시 제어용 트랜지스터(402), 주사선(405), 신호선(406), 및 전류 공급선(407), 화소 전극(408)을 포함한다. 일렉트로 루미네센스 재료를 포함하여 형성되는 층(EL층)이 한 쌍의 전극 사이에 끼워진 구조의 발광 소자가 각 화소에 형성된다. 발광 소자의 한쪽의 전극이 화소 전극(408)이다. 또한, 반도체 막(403)은, 선택용 트랜지스터(401)의 채널 형성 영역, 소스 영역 및 드레인 영역이 형성된다. 반도체막(404)은, 표시 제어용 트랜지스터(402)의 채널 형성 영역, 소스 영역 및 드레인 영역이 형성된다. 반도체막(403, 404)은, 베이스 기판 위에 형성된 단결정 반도체층(302)으로 형성된 층이다.

[0168] 선택용 트랜지스터(401)에 있어서, 게이트 전극은 주사선(405)에 포함되고, 소스 전극 또는 드레인 전극의 한쪽은 신호선(406)에 포함되고, 다른 쪽은 전극(410)으로서 형성된다. 표시 제어용 트랜지스터(402)는, 게이트 전극(412)이 전극(411)과 전기적으로 접속되고, 소스 전극 또는 드레인 전극의 한쪽은, 화소 전극(408)에 전기적으로 접속되는 전극(413)으로서 형성되고, 다른 쪽은 전류 공급선(407)에 포함된다.

[0169] 표시 제어용 트랜지스터(402)는 p채널형 TFT이다. 도 11b에 도시하는 바와 같이, 반도체막(404)에는 채널 형성 영역(451) 및 p형 고농도 불순물 영역(452)이 형성된다. 또한, 반도체 기판은, 실시형태 1 및 실시형태 2에서 제작한 반도체 기판이 사용된다.

[0170] 표시 제어용 트랜지스터(402)의 게이트 전극(412)을 덮어, 충간 절연막(427)이 형성된다. 충간 절연막(427) 위에, 신호선(406), 전류 공급선(407), 전극(411, 413) 등이 형성된다. 또한, 충간 절연막(427) 위에는 전극(413)에 전기적으로 접속되는 화소 전극(408)이 형성된다. 화소 전극(408)은 주변부가 절연성의 격벽층(428)으로 둘러싸여 있다. 화소 전극(408) 위에는 EL 층(429)이 형성되고, EL 층(429) 위에는 대향 전극(430)이 형성된다. 보강판으로서 대향 기판(431)이 형성되고, 대향 기판(431)은 수지층(432)에 의하여 베이스 기판(110)에 고정되어 있다.

[0171] EL 표시장치의 계조의 제어는, 발광 소자의 휘도를 전류로 제어하는 전류 구동 방식과, 전압으로 그 휘도를 제어하는 전압 구동 방식이 있지만, 전류 구동 방식은, 화소마다 트랜지스터의 특성 값의 차이가 큰 경우, 채용하는 것은 어렵고, 채용하기 위해서는, 특성의 변동을 보정하는 보정 회로가 필요하게 된다. 그렇지만, 본 발명에 따른 SOI 기판의 제작 방법에 의하여 제작된 SOI 기판은, 결정 결함이 저감되어, 표면의 평탄성이 높여지기 때문에, 동일 기판 위에 특성의 변동이 적고, 고성능의 트랜지스터를 복수 기판 위에 형성하는 것이 가능하다. 따라서, 본 발명에 따른 SOI 기판을 사용하여 EL 표시 장치를 제작함으로써, 선택용 트랜지스터(401) 및 표시 제어용 트랜지스터(402)는 화소마다 특성의 변동이 없어지기 때문에, 전류 구동 방식을 채용할 수 있다.

[0172] (실시형태 6)

[0173] 본 발명에 따른 SOI 기판을 사용하여 트랜지스터 등의 반도체 장치를 제작하고, 이 반도체 장치를 사용하여 다양한 전자 기기를 완성시킬 수 있다. 본 발명에 따른 SOI 기판에 형성된 단결정 반도체층은, 결정 결함이 저감되고, 표면의 평탄성이 높여지므로, 활성층으로서 사용함으로써, 전기적 특성이 향상된 반도체 소자를 제작할

수 있다. 또한, 상기 단결정 반도체층은 결정 결함이 저감되기 때문에, 게이트 절연층과의 계면에 있어서, 국재 준위 밀도를 저감시킬 수 있게 된다. 또한, 단결정 반도체층이 높은 평탄성을 갖기 때문에, 단결정 반도체층 위에 얹고, 또 높은 절연 내압을 갖는 게이트 절연층을 형성할 수 있고, 제작되는 반도체 소자의 이동도의 향상, S치의 향상 또는 단체널 효과 억제를 실현할 수 있게 된다. 즉, 본 발명에 따른 SOI 기판을 사용함으로써, 전류 구동 능력이 높고, 또 신뢰성이 높은 반도체 소자를 제작할 수 있게 된다. 결과적으로, 최종 제품으로서의 전자 기기를 스루 풋 좋고, 양호한 품질로 제작할 수 있다. 이 반도체 소자를 사용하여 다양한 반도체 장치를 제작할 수 있다. 본 실시형태에서는, 도면을 사용하여 구체적인 예를 설명한다. 또한, 본 실시형태에 있어서, 상기 실시형태와 마찬가지의 부분에는, 같은 부호를 붙이고, 자세한 설명을 생략한다.

[0174] 도 12a는 표시 장치이며, 케이스(901), 지지대(902), 표시부(903), 스피커부(904), 비디오 입력 단자(905) 등을 포함한다. 이 표시 장치는, 다른 실시형태에서 나타낸 제작 방법에 의하여 형성한 트랜지스터를 구동 IC나 표시부(903) 등에 사용함으로써 제작된다. 또한, 표시 장치에는, 액정 표시 장치, 발광 표시 장치 등이 있고, 용도별로는 컴퓨터용, TV 방송 수신용, 광고 표시용 등, 모든 정보 표시용 표시 장치가 포함된다. 구체적으로는, 디스플레이, 헤드 마운트 디스플레이, 반사형 프로젝터 등을 들 수 있다.

[0175] 도 12b는 컴퓨터이며, 케이스(911), 표시부(912), 키보드(913), 외부 접속 포트(914), 포인팅 디바이스(915) 등을 포함한다. 본 발명을 사용하여 제작된 트랜지스터는, 표시부(912)의 화소부뿐만 아니라, 표시용 구동 IC, 본체 내부의 CPU, 메모리 등의 반도체 장치에도 적용할 수 있다.

[0176] 도 12c는 휴대 전화기이며, 휴대용 정보 처리 단말의 하나의 대표적인 예이다. 이 휴대 전화기는 케이스(921), 표시부(922), 조작 키(923) 등을 포함한다. 본 발명에 따른 SOI 기판을 사용하여 제작된 트랜지스터는, 표시부(922)의 화소부나 센서부(924)뿐만 아니라, 표시용 구동 IC, 메모리, 음성 처리 회로 등에 사용할 수 있다. 센서부(924)는, 광 센서 소자를 갖고, 센서부(924)에서 얻어지는 조도에 맞추어, 표시부(922)의 휘도를 제어하거나 센서부(924)에서 얻어지는 조도에 맞추어 조작 키(923)의 조명을 제어함으로써, 휴대 전화기의 소비 전력을 억제할 수 있다.

[0177] 상기 휴대 전화기를 비롯하여, PDA(Personal Digital Assistants, 정보 휴대 단말), 디지털 카메라, 소형 게임기, 휴대형 음성 재생 장치 등의 전자기기에, 본 발명을 사용하여 형성한 반도체 재료를 사용할 수도 있다. 예를 들어, CPU, 메모리, 센서 등의 기능 회로를 형성하는 것이나, 이를 전자 기기의 화소부나, 표시용 구동 IC에 도 적용할 수 있다.

[0178] 도 12d 및 도 12e는 디지털 카메라이다. 또한, 도 12d의 뒷면을 도면하는 도면이다. 이 디지털 카메라는 케이스(931), 표시부(932), 렌즈(933), 조작 키(934), 릴리스 버튼(935) 등을 갖는다. 본 발명을 사용하여 제작된 트랜지스터는, 표시부(932)의 화소부, 표시부(932)를 구동하는 구동 IC, 메모리 등에 사용할 수 있다.

[0179] 도 12f는 디지털 비디오 카메라이다. 이 디지털 비디오 카메라는, 본체(941), 표시부(942), 케이스(943), 외부 접속 포트(944), 리모콘 수신부(945), 수상부(946), 배터리(947), 음성 입력부(948), 조작 키(949), 접안부(950) 등을 갖는다. 본 발명을 사용하여 제작된 트랜지스터는, 표시부(942)의 화소부, 표시부(942)를 제어하는 구동 IC, 메모리, 디지털 입력 처리 장치 등에 사용할 수 있다.

[0180] 그 이외에도, 네비게이션 시스템, 음향 재생 장치, 기록 매체를 구비한 화상 재생 장치 등에 사용할 수 있다. 이들의 표시부의 화소부나, 표시부를 제어하는 구동 IC, 메모리, 디지털 입력 처리 장치, 센서부 등의 용도에, 본 발명을 사용하여 제작된 트랜지스터를 사용할 수 있다.

[0181] 도 13a 내지 도 13c는, 본 발명을 적용한 휴대 전화기의 다른 일례이며, 도 13a가 정면도, 도 13b가 배면도, 도 13c가 두 개의 케이스를 슬라이드시켰을 때의 정면도이다. 휴대 전화기(700)는 휴대 전화기와 휴대 정보 단말 기의 쌍방 기능을 구비하며, 컴퓨터를 내장하고, 음성 통화 이외에도 다양한 데이터 처리가 가능한, 소위 스마트 폰이다.

[0182] 휴대 전화기(700)는 케이스(701) 및 케이스(702)로 구성되어 있다. 케이스(701)에 있어서는, 표시부(703), 스피커(704), 마이크로 폰(705), 조작 키(706), 포인팅 디바이스(707), 카메라용 렌즈(708), 외부 접속 단자(709) 및 이어폰 단자(710) 등을 구비하고, 케이스(702)에 있어서는, 키보드(711), 외부 메모리 슬롯(712), 뒷면 카메라(713), 라이트(714) 등에 의하여 구성된다. 또한, 안테나는 케이스(701)에 내장되어 있다. 본 발명에 따른 SOI 기판을 사용하여 제작된 반도체 소자는, 표시부(703)의 화소부, 표시부(703)를 구동하는 구동 IC, 메모리, 음성 처리 회로 등에 사용할 수 있다. 또한, 표시부(703)에, 도 10a 및 도 10b에서 설명한 액정 표시

장치 또는 도 11a 및 도 11b에서 설명한 EL 표시장치를 적용함으로써, 표시 불균일이 적고 화질이 뛰어난 표시부로 할 수 있다.

[0183] 또한, 휴대 전화기(700)에는 상기의 구성 이외에 비접촉형 IC 칩, 소형 기록장치 등을 내장하여도 좋다.

[0184] 서로 중첩한 케이스(701)와 케이스(702)(도 13a에 도시함)는, 슬라이드시킴으로써 도 13c와 같이 전개한다. 표시부(703)와 카메라용 렌즈(708)를 동일한 면에 구비하기 때문에, TV 전화로서 사용할 수 있다. 또한, 표시부(703)를 파인더(viewfinder)로서 사용함으로써, 뒷면 카메라(713) 및 라이트(714)로 정지 영상 및 동영상을 촬영이 가능하다.

[0185] 스피커(704) 및 마이크로 폰(705)을 사용함으로써, 휴대 전화기(700)는 음성 기록 장치(녹음 장치) 또는 음성 재생 장치로서 사용할 수 있다. 또한, 조작 키(706)에 의하여 전화의 착발신 조작, 전자 메일 등의 간단한 정보 입력 조작, 표시부에 표시하는 화면의 스크롤 조작, 표시부에 표시하는 정보의 선택 등을 행하는 커서의 이동 조작 등이 가능하다.

[0186] 또한, 서류의 작성, 휴대 정보 단말로서의 사용 등, 취급하는 정보가 많은 경우에는 키보드(711)를 사용하면 편리하다. 또한, 서로 중첩한 케이스(701)와 케이스(702)(도 13a 참조)를 슬라이드시킴으로써, 도 13c와 같이 전개시킬 수 있다. 휴대 정보 단말로서 사용하는 경우에는, 키보드(711) 및 포인팅 디바이스(707)를 사용하여 원활한 조작을 행할 수 있다. 외부 접속 단자(709)는 AC 어댑터 및 USB 케이블 등의 각종 케이블과 접속 가능하고, 충전 및 퍼스널 컴퓨터 등과의 데이터 통신이 가능하다. 또한, 외부 메모리 슬롯(712)에 기록 매체를 삽입하여, 보다 대량의 데이터 보존 및 이동이 가능하게 된다.

[0187] 케이스(702)의 뒷면(도 13b)에는 후면 카메라(713) 및 라이트(714)가 구비되어, 표시부(703)를 파인더로 사용하여 정지 영상 및 동영상을 촬영할 수 있다.

[0188] 또한, 상기 기능 구성 이외에, 적외선 통신 기능, USB 포트, 원 세그먼트 텔레비전 브로드캐스트(one segment television broadcast) 수신 기능, 비접촉 IC 칩 또는 이어폰 잭 등을 구비한 것이어도 좋다.

[0189] 상술한 바와 같이, 본 발명에 의하여 제작된 반도체 장치의 적용 범위는 극히 넓고, 본 발명에 따른 반도체 기판을 재료로 하여 모든 분야의 전자 기기에 사용할 수 있다.

[0190] (실시예 1)

[0191] 본 실시예에서는, 단결정 반도체층 표면에 플라즈마 처리를 행한 경우의 표면 특성의 변화에 관하여 설명한다.

[0192] 본 실시예에서 사용한 시료에 대하여 설명한다. 우선, 단결정 실리콘 기판 표면에 염산이 포함된 가스로 산화시킴으로써 산화막을 형성하였다. 상기 산화막을 통하여 수소 이온을 조사하여 단결정 실리콘 기판에 취화 영역을 형성하였다. 다음에, 취화 영역을 형성하기 위한 수소 이온이 첨가된 단결정 실리콘 기판 면과, 유리 기판의 표면을 접합하고, 열 처리를 행하여, 취화 영역에 있어서 분리하였다. 상술한 바와 같이, 유리 기판 위에 산화막을 사이에 두고, 단결정 실리콘층을 형성하였다. 이로써, 유리 기판 위에 산화막을 사이에 두고, 단결정 실리콘층이 형성된 복수의 시료(시료 A 내지 시료 F)를 준비하였다.

[0193] 다음에, 시료 A 내지 시료 F에 드라이 에칭을 행하고, 단결정 실리콘층의 표층부를 제거하였다. 드라이 에칭의 조건은 ICP 에칭법을 사용하여, ICP 전력 1000W, 하부 전극에 투입하는 전력 50W, 반응 압력 1.5Pa, 염소 가스 100sccm로 하여 행하였다.

[0194] 다음에, 시료 A 및 시료 B에 대하여 단결정 실리콘층에 형성된 자연 산화막을 제거하기 위하여, 삼불화 질소 가스를 사용하여 드라이 에칭을 행하였다. 드라이 에칭의 조건은 ICP 에칭법을 사용하여, ICP 전력 500W($0.71W/cm^2$), RF 바이어스 0W, 반응 압력 1.0Pa, 삼불화 질소 가스 50sccm, 10초로 하여 행하였다. 다음에, 시료 A 및 시료 B에 대하여 단결정 실리콘층에 레이저 빔을 조사하였다.

[0195] 또한, 시료 B에 대해서는, 레이저 빔을 조사한 후, 플라즈마 처리를 행하였다. 플라즈마 처리의 조건은, ICP 방식으로 Tokyo Electron Limited 제작의 장치(ME-500 ICP 플라즈마 드라이 에칭 장치)를 사용하여, ICP 전력 500W($0.11W/cm^2$), RF 바이어스 100W($0.61W/cm^2$), 압력 1.35Pa, 아르곤 가스 유량 100sccm, 240초로서 행하였다.

[0196] 다음에, 시료 C 및 시료 D에 대하여 단결정 실리콘층에 형성된 자연 산화막을 제거하기 위하여, 아르곤 가스를 사용하여 드라이 에칭을 행하였다. 드라이 에칭의 조건은 ICP 에칭법을 사용하여, ICP 전력 500W($0.11W/cm^2$),

RF 바이어스 100W($0.61\text{W}/\text{cm}^2$), 반응 압력 1.35Pa, 아르곤 가스 100sccm, 240초로 하여 행하였다. 다음에, 시료 C 및 시료 D에 대하여 단결정 실리콘층에 레이저 범을 조사하였다.

[0197] 또한, 시료 D에 대해서는, 레이저 범을 조사한 후, 플라즈마 처리를 행하였다. 플라즈마 처리의 조건은, 시료 B와 마찬가지로 행하였다.

[0198] 다음에, 단결정 실리콘층에 형성된 자연 산화막을 제거하기 위하여, 희볼산(1/100 희석)을 사용하여 웨트 에칭을 행하였다. 다음에, 시료 F, 시료 D에 대하여, 단결정 실리콘층에 레이저 범을 조사하였다.

[0199] 또한, 시료 F에 대해서는, 레이저 범을 조사한 후, 플라즈마 처리를 행하였다. 플라즈마 처리의 조건은, 시료 B와 마찬가지로 행하였다.

[0200] 다음에, 시료 A 내지 시료 F에 대하여, 단결정 실리콘층의 표면 거칠기의 측정을 행하였다. 본 실시예에 있어서는, 실리콘층의 표면 거칠기의 측정에는, 원자간력 현미경(AFM; Atomic Force Microscope)을 사용하여, 실리콘층의 평균 면 거칠기(Ra), 산곡의 최대 고저차(P-V)를 측정하였다.

[0201] 여기서, 평균 면 거칠기(Ra)란, JIS B0601:2001(ISO4287:1997)로 정의되어 있는 중심선 평균 거칠기(Ra)를, 측정면에 대하여 적용할 수 있도록 3차원으로 확장한 것이다. 기준면으로부터 지정면까지의 편차의 절대값을 평균한 값으로 표현할 수 있고, 이하의 수학식으로 구할 수 있다.

수학식 3

$$R_a = \frac{1}{S_0} \int_{Y_1}^{Y_2} \int_{X_1}^{X_2} |F(X, Y) - Z_0| dXdY$$

[0202] 또한, 측정면이란, 전체 측정 데이터가 나타내는 면이고, 이하의 수학식으로 제시한다.

수학식 4

$$Z = F(X, Y)$$

[0205] 또한, 지정면이란, 거칠기 계측의 대상이 되는 면이고, 좌표(X_1, Y_1)(X_1, Y_2)(X_2, Y_1)(X_2, Y_2)로 표시되는 4점에 대하여 둘러싸인 직사각형의 영역으로 하고, 지정면이 이상적으로 플랫(flat)인 상태라고 했을 때의 면적을 S_0 로 한다. 또, S_0 은 이하의 수학식으로 구할 수 있다.

수학식 5

$$S_0 = (X_2 - X_1) \cdot (Y_2 - Y_1)$$

[0207] 자승 평균 면 거칠기(RMS)란, 단면 곡선에 대한 RMS를, 측정면에 대하여 적용할 수 있도록, (Ra)와 마찬가지로 3차원으로 확장한 것이다. 기준면부터 지정면까지의 편차의 제곱을 평균한 값의 제곱근으로 표현할 수 있고, 이하의 수학식으로 구할 수 있다.

수학식 6

$$Z_0 = \frac{1}{S_0} \int_{Y_1}^{Y_2} \int_{X_1}^{X_2} F(X, Y) dXdY$$

[0209] 또한, 기준면이란, 지정면의 높이의 평균치를 Z_0 이라고 할 때, $Z = Z_0$ 으로 표시되는 평면이다. 기준면은 XY 평

면과 평행하게 된다. 또한, Z_0 은 하기의 수학식으로 구할 수 있다.

수학식 7

$$R_{ms} = \sqrt{\frac{1}{S_0} \int_{X_1}^{X_2} \int_{Y_1}^{Y_2} \{F(X, Y) - Z_0\}^2 dXdY}$$

[0210] 산곡의 최대 고저차(P-V)란, 지정면에 있어서, 가장 높은 산정(山頂)의 표고 Z_{max} 와 가장 낮은 곡저(谷底)의 표고 Z_{min} 의 차이로 표현할 수 있고, 하기 수학식으로 구할 수 있다.

수학식 8

$$P - V = Z_{max} - Z_{min}$$

[0211] 여기서 말하는 산정과 곡저란, JIS B0601: 2001(ISO4287: 1997)로 정의되어 있는 [산정], [곡저]를 3차원으로 확장한 것이며, 산정이란 지정면의 산에서 표고가 가장 높은 곳, 곡저란 지정면에서 표고가 가장 낮은 곳으로 표현된다.

[0212] 본 실시예에 있어서의 평균 면 거칠기(Ra), 산곡의 최대 고저차(P-V)의 측정 조건을 이하에 기재한다.

[0213] · 원자력 현미경(AFM): 주사형 프로브 현미경 SPI3800N/SPA500(Seiko Instruments Inc.제)

[0214] · 측정 모드: 다이나믹 포스 모드(DFM 모드)

[0215] · 캔틸레버(cantilever): SI-DF40(실리콘 제, 스프링 정수 42 N/m, 공진 주파수 250kHz 내지 390 kHz, 탐침(探針)의 선단 $R \leq 10\text{nm}$)

[0216] · 주사 속도: 1.0Hz

[0217] · 측정 면적: $10 \mu\text{m} \times 10 \mu\text{m}$

[0218] · 측정 점수: 256점 \times 256점

[0219] 또한, DFM 모드란, 어느 주파수(캔틸레버에 고유의 주파수)로 캔틸레버를 공진시킨 상태에서 캔틸레버의 진동 진폭이 일정하게 되도록 탐침과 시료의 거리를 제어하면서, 시료의 표면 형상을 측정하는 측정 모드를 가리킨다. 이 DFM 모드에서는, 시료의 표면과 비접촉으로 측정하기 때문에, 시료의 표면이 손상되지 않고 원래의 형상을 유지한 채 측정할 수 있다.

[0220] 단결정 실리콘층의 평균 면 거칠기의 측정은, 상기 조건으로, 시료 A 내지 시료 F에 대하여 행하고, 3차원 표면 형상의상을 얻었다. 이 얻어진 측정 화상의 기판 단면의 곡률을 고려하여, 부속의 소프트웨어에 의하여 화상의 모든 데이터로부터 최소 제곱법에 의하여 1차 평면을 구하여 피팅하고, 면 내의 기울기를 보정하는 1차 기울기 보정을 행하고, 이어서 2차 곡선을 보정하는 2차 기울기 보정을 행한 후, 부속의 소프트웨어에 의하여 표면 거칠기 해석을 행하고, 평균 면 거칠기(Ra), 산곡의 최대 고저차(P-V)를 각각 산출하였다.

[0221] 표 1 및 도 14에 산출된 평균 면 거칠기(Ra)와, 산곡의 최대 고저차(P-V)를 도시한다.

표 1

	평균 면 거칠기 $R_a(\text{nm})$	산곡의 최대 고저차 $P-V(\text{nm})$
시료A	3.0	83.2
시료B	1.7	25.7
시료C	2.9	35.8
시료D	1.2	26.1
시료E	2.3	32.4

시료 F	1.3	14.1
------	-----	------

[0225] 표 1 및 도 14에 도시하는 바와 같이, NF_3 가스를 사용한 드라이 에칭 후에 레이저 범 조사를 행한 시료 A의 산곡의 최대 고저차(P-V)가 83.2nm였던 것에 대하여, 레이저 범 조사 후에 Ar 가스를 사용한 플라즈마 처리를 행함으로써(시료 B), 25.7nm까지 저감되었다. 또한, 시료 C 및 시료 D를 비교하여도, 플라즈마 처리를 행한 시료 D 쪽이, 평균 면 거칠기, 산곡의 최대 고저차, 둘 다 저감되고, 시료 E와 시료 F를 비교하여도, 플라즈마 처리를 행한 시료 F 쪽이 평균 면 거칠기, 산곡의 최대 고저차, 둘 다 저감된다는 결과가 나왔다.

[0226] 다음에, 시료 C 및 시료 D에 대하여 도 15a 및 도 15b에 SEM(Scanning Electron Microscope)상을 도시한다. 도 15a는, 단결정 반도체층에 레이저 범을 조사한 후(시료 C)의 SEM상이다. 도 15a에는, 단결정 반도체층의 표면에 불록부가 있는 것을 볼 수 있다. 도 15b에는, 단결정 반도체층에 레이저 범을 조사하여 Ar 플라즈마 처리를 행한 후(시료 D)의 사진이다. 단결정 반도체층의 표면에는 불록부가 저감된 것을 볼 수 있다.

[0227] 이상의 결과를 보면, 플라즈마 처리를 행함으로써, 레이저 조사 후의 평균 면 거칠기나 산곡의 최대 고저차를 저감할 수 있다는 것을 확인할 수 있었다.

[0228] (실시예 2)

[0229] 본 실시예에서는, 단결정 반도체층에 레이저 범을 조사한 후, 플라즈마 처리를 시간을 변화시켜 행한 경우의 표면 특성의 변화에 관하여 설명한다.

[0230] 우선, 단결정 실리콘 기판의 표면에 염산이 포함된 가스로 산화시킴으로써, 산화막을 형성하였다. 상기 산화막을 통하여 수소 이온을 조사하여, 단결정 실리콘 기판에 취화 영역을 형성하였다. 다음에, 취화 영역을 형성하기 위하여 수소 이온이 첨가된 단결정 실리콘 기판의 면과 유리 기판의 표면을 접합하고, 열 처리를 행하고, 취화 영역에 있어서 분리하였다. 상술한 바와 같이, 유리 기판 위에 산화막을 사이에 두고, 단결정 실리콘층을 형성하였다. 이로써, 유리 기판 위에 산화막을 사이에 두고, 단결정 실리콘층이 형성된 복수의 시료를 준비하였다.

[0231] 다음에, 복수의 시료의 단결정 실리콘층에 드라이 에칭을 행하고, 단결정 실리콘층의 표층부를 제거하였다. 드라이 에칭의 조건은 ICP 에칭법을 사용하여, ICP 전력 150W, RF 바이어스 40W, 반응 압력 1.0Pa, 염소 가스 유량 100sccm로 하여 행하였다.

[0232] 복수의 시료에 드라이 에칭을 행한 후, 레이저 범을 조사하였다. 레이저 범을 조사한 후, 플라즈마 처리를 행하였다. 플라즈마 처리의 조건은, Tokyo Electron Limited 제작의 장치(ME-500 ICP 플라즈마 드라이 에칭 장치)를 사용하여, ICP 방식으로 ICP 전력 500W(0.11W/cm^2), RF 바이어스 전압 $100\text{W}(0.61\text{W/cm}^2)$, 압력 1.35Pa, 아르곤 가스 유량 100sccm, 처리 시간(2분, 3분, 4분)의 조건으로 행하였다. 플라즈마 처리를 행하지 않는 것을 시료 G, 플라즈마 처리를 2분 행한 것은 시료 H, 플라즈마 처리를 3분 행한 것은 시료 I, 플라즈마 처리를 4분 행한 것은 시료 J로 하였다.

[0233] 다음에, 시료 G 내지 시료 J에 대하여, 단결정 실리콘층의 표면 거칠기의 측정을 행하였다. 표면 거칠기의 측정은 실시예 1에서 행한 측정과 마찬가지로 행하였다. 다음에 평균 면 거칠기(Ra)와 산곡의 최대 고저차(P-V)를 각각 산출하였다. 평균 면 거칠기와 산곡의 최대 고저차의 산출 방법도 실시예 1과 마찬가지로 행하였다.

[0234] 표 2 및 도 16에, 산출된 평균 면 거칠기(Ra)와 산곡의 최대 고저차(P-V)를 도시한다.

표 2

	평균 면 거칠기 Ra(nm)	산곡의 최대 고저차 P-V(nm)
시료 G	2.2	105.3
시료 H	1.6	47.8
시료 I	1.6	24.7
시료 J	1.4	42.1

[0236] 표 2 및 도 16에 도시하는 바와 같이, 드라이 에칭 후에 레이저 조사를 행한 시료 G의 산곡의 최대 고저차(P-V)가 105.3nm였던 것에 대하여, Ar 가스에 의한 플라즈마 처리를 4분간 행함으로써(시료 J), 42.1nm에 저감되었다. 또한, 시료 G의 평균 면 거칠기(Ra)가 2.2nm였던 것에 대하여, 시료 J는 1.4nm까지 저감되었다.

도면의 간단한 설명

[0237] 도 1a-1, 도 1a-2, 도 1a-3, 및 도 1b 내지 도 1d는 본 발명에 따른 SOI 기판의 제작 방법의 일례를 도시하는 도면.

[0238] 도 2a 내지 도 2f는 본 발명에 따른 SOI 기판의 제작 방법의 일례를 도시하는 도면.

[0239] 도 3a 내지 도 3f는 본 발명에 따른 SOI 기판의 제작 방법의 일례를 도시하는 도면.

[0240] 도 4a-1, 도 4a-2, 도 4a-3, 도 4b-1, 도 4b-2, 도 4c 및 4d는 본 발명에 따른 SOI 기판의 제작 방법의 일례를 도시하는 도면.

[0241] 도 5는 본 발명에 따른 SOI 기판의 제작 방법에 있어서의 플라즈마 처리의 일례를 설명하는 도면.

[0242] 도 6a 내지 도 6e는 본 발명에 따른 SOI 기판을 사용한 반도체 장치의 일례를 도시하는 도면.

[0243] 도 7a 내지 도 7c는 본 발명에 따른 SOI 기판을 사용한 반도체 장치의 일례를 도시하는 도면.

[0244] 도 8은 본 발명에 따른 SOI 기판에 의하여 얻어지는 마이크로 프로세서의 구성을 도시하는 블록도.

[0245] 도 9는 본 발명에 따른 SOI 기판에 의하여 얻어지는 RFCPU의 구성을 도시하는 블록도.

[0246] 도 10a는 액정 표시 장치의 화소의 평면도이고, 도 10b는 J-K 절단선에 의한 도 10a의 단면도.

[0247] 도 11a는 일렉트로 루미네센스 표시 장치의 화소의 평면도이고, 도 11b는 J-K 절단선에 의한 도 11a의 단면도.

[0248] 도 12a 내지 도 12f는 본 발명에 따른 SOI 기판을 사용한 전자 기기를 도시하는 도면.

[0249] 도 13a 내지 도 13c는 본 발명에 따른 SOI 기판을 사용한 휴대 전화를 도시하는 도면.

[0250] 도 14는 단결정 실리콘층의 표면 거칠기를 측정한 결과를 도시하는 도면.

[0251] 도 15a 및 도 15b는 표면 SEM상을 도시하는 도면.

[0252] 도 16은 단결정 실리콘층의 표면 거칠기를 측정한 결과를 도시하는 도면.

[0253] <도면의 주요 부분에 대한 부호의 설명>

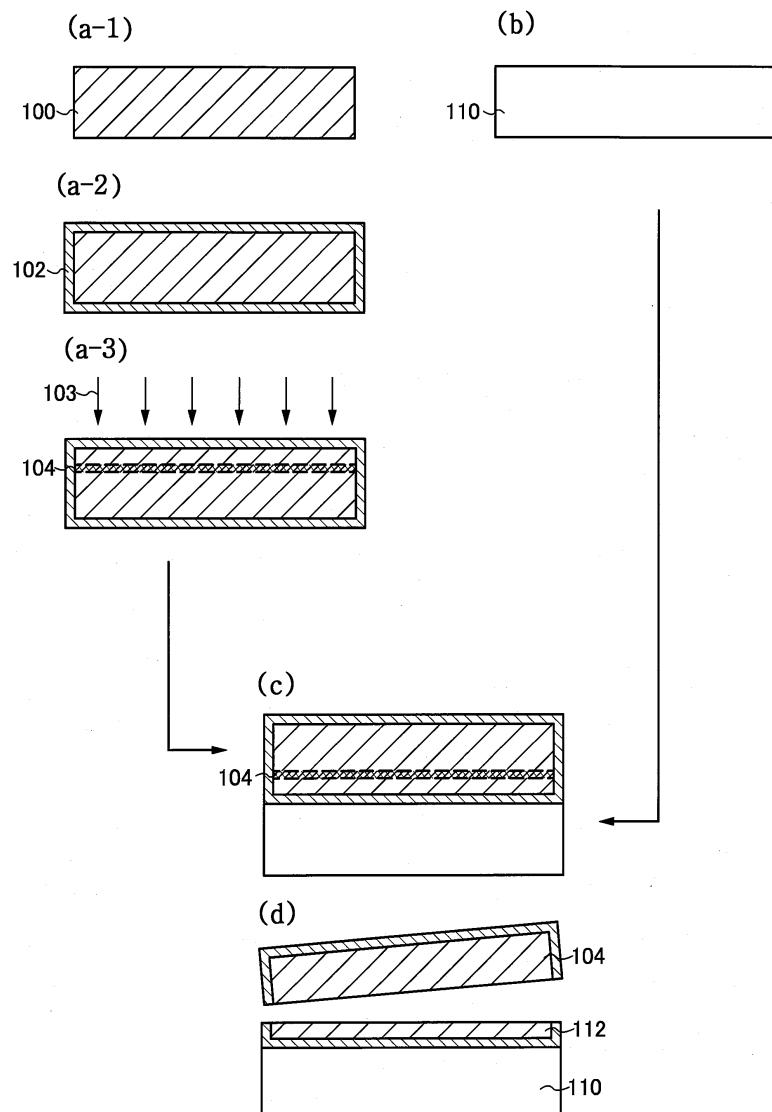
[0254] 102: 절연막 110: 베이스 기판

[0255] 112: 단결정 반도체층 113: 자연 산화막

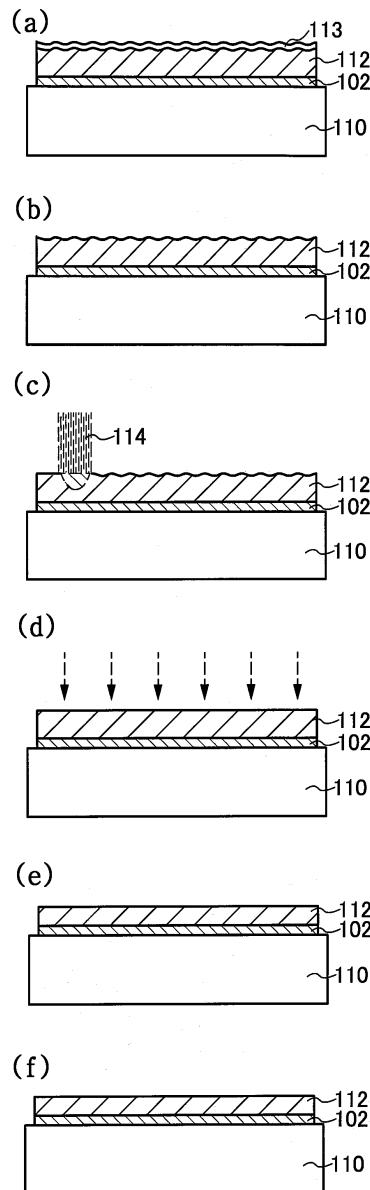
[0256] 114: 레이저 범

도면

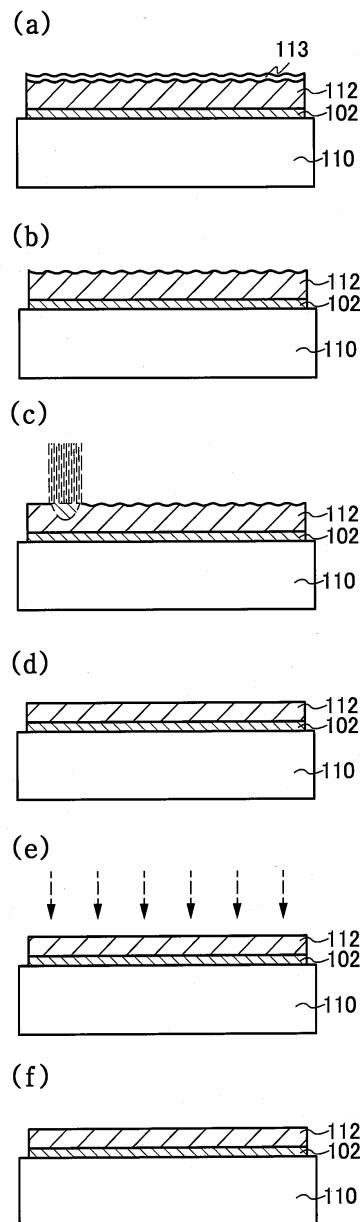
도면1



도면2

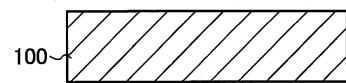


도면3

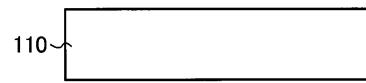


도면4

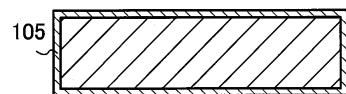
(a-1)



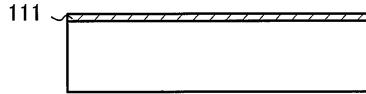
(b-1)



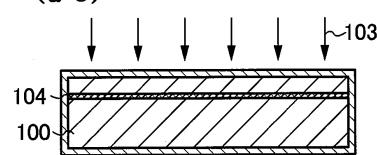
(a-2)



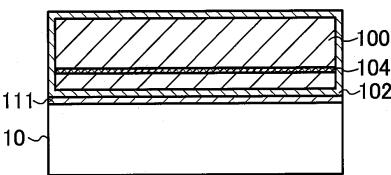
(b-2)



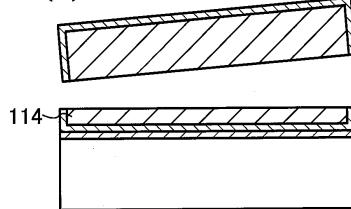
(a-3)



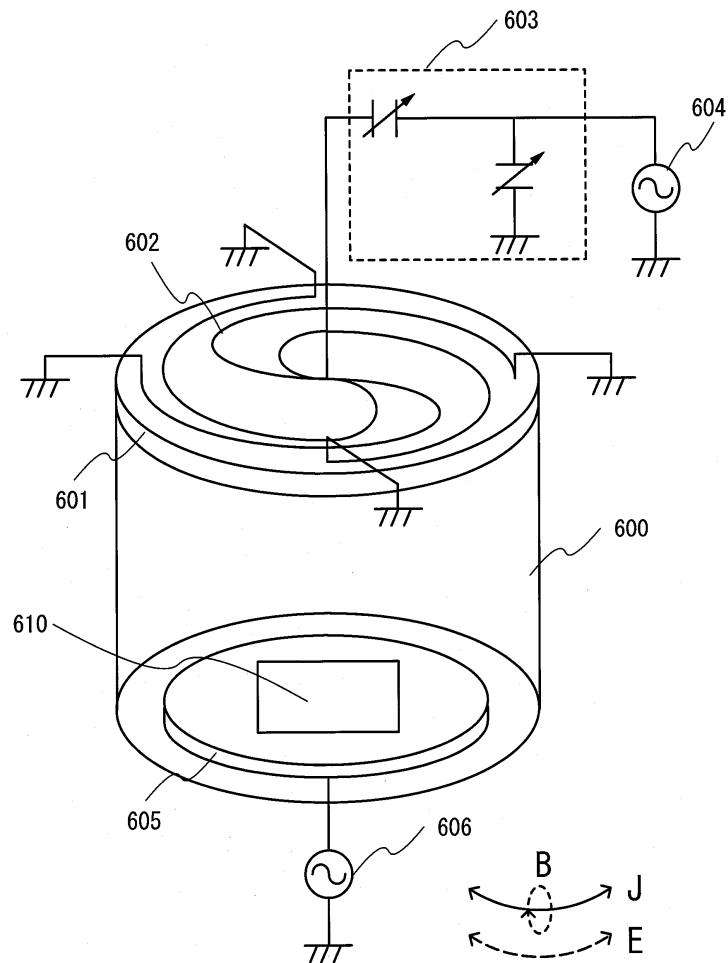
(c)



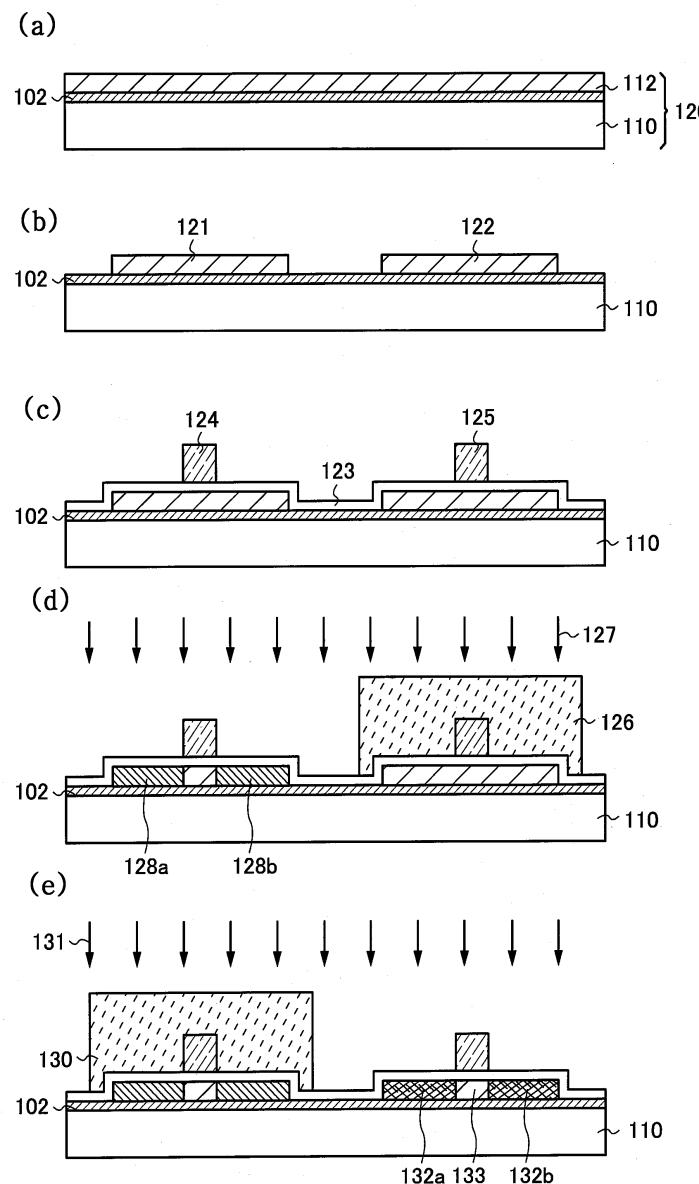
(d)



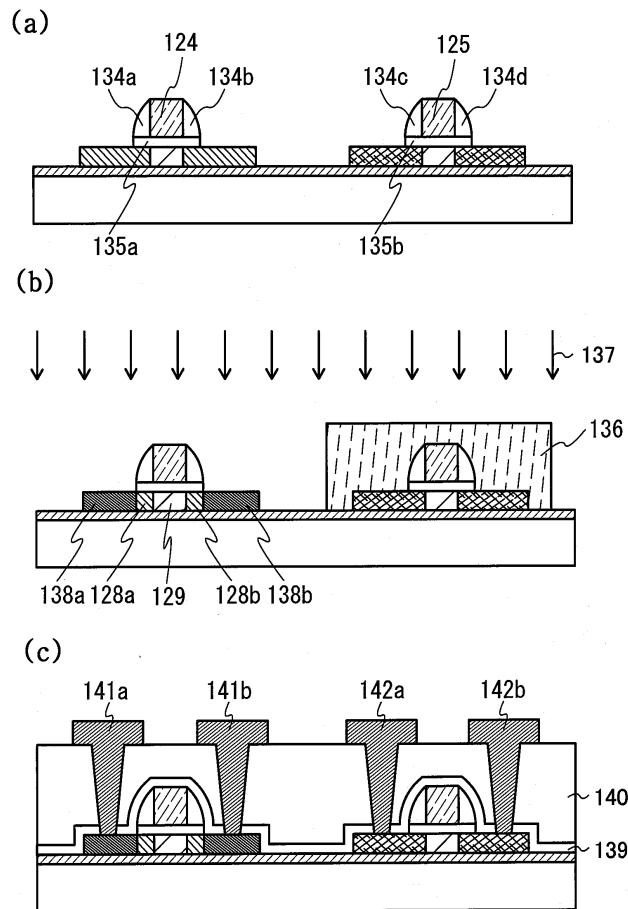
도면5



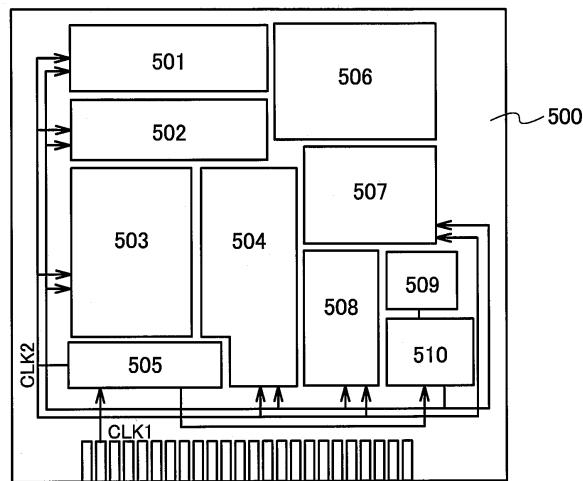
도면6



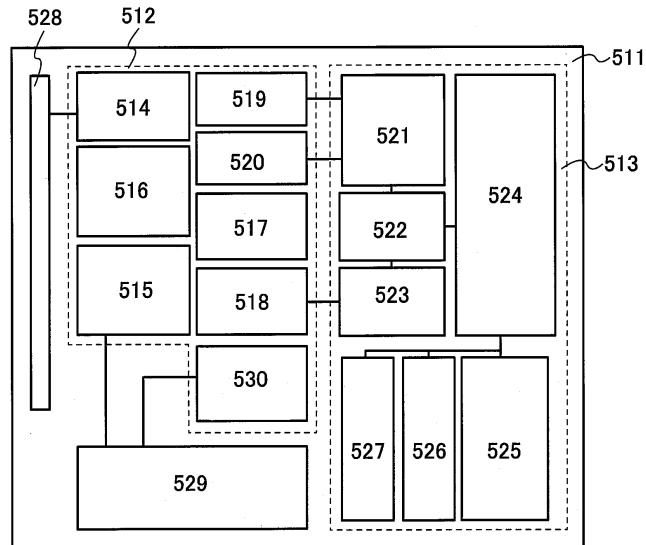
도면7



도면8

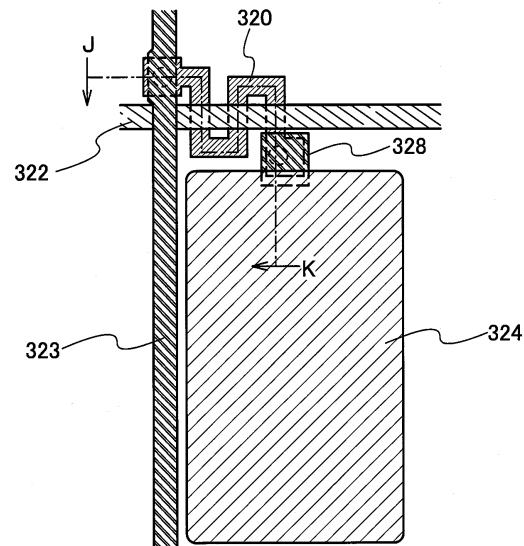


도면9

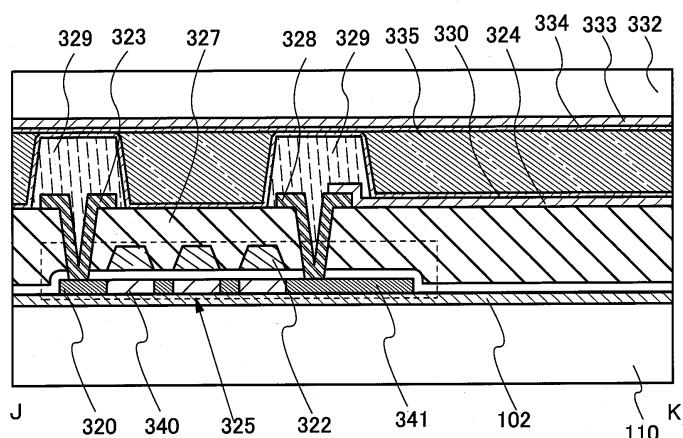


도면10

(a)

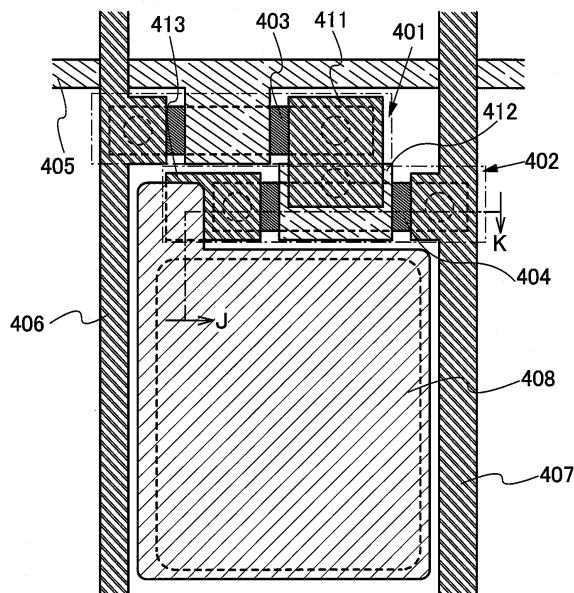


(b)

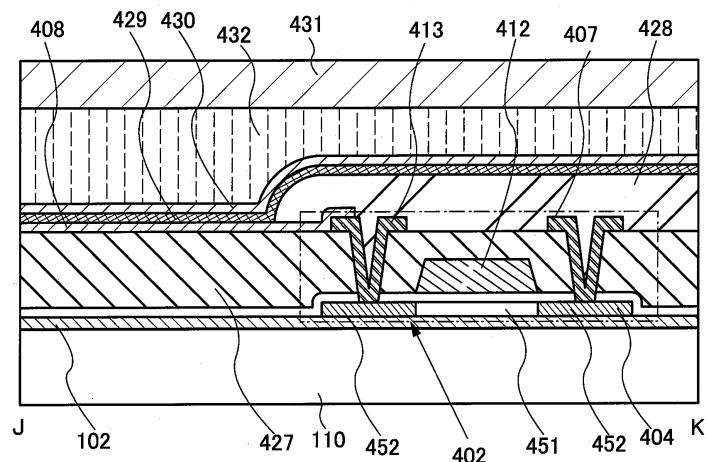


도면11

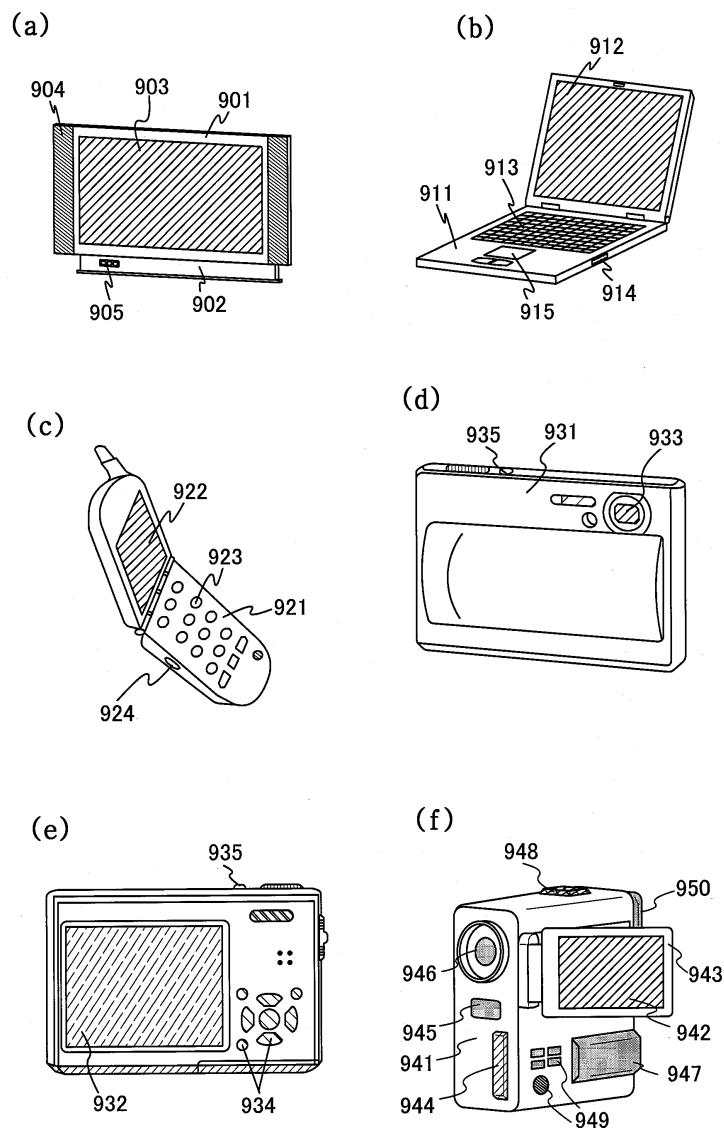
(a)



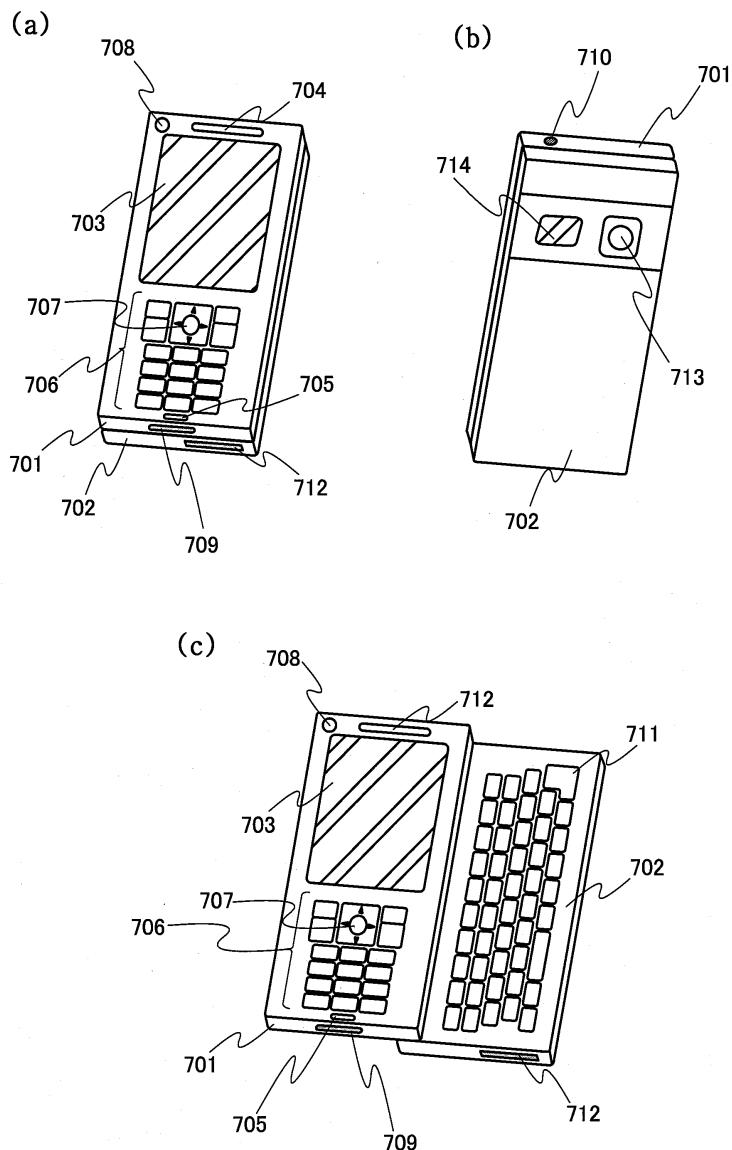
(b)



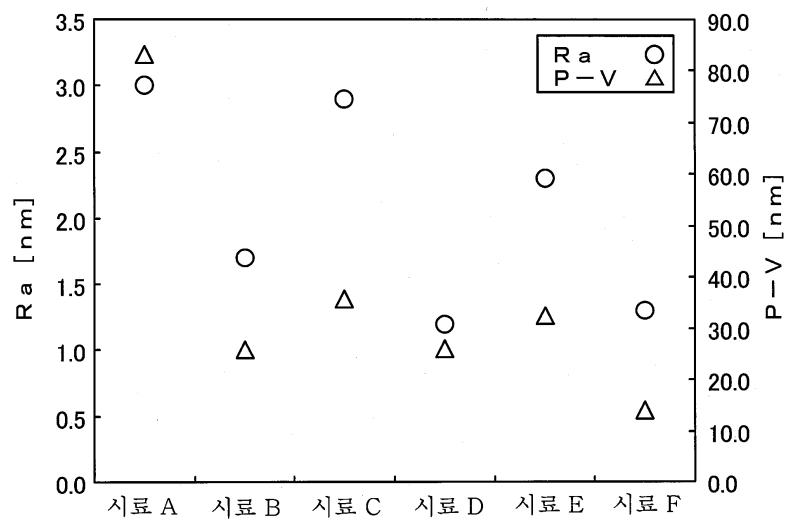
도면12



도면13

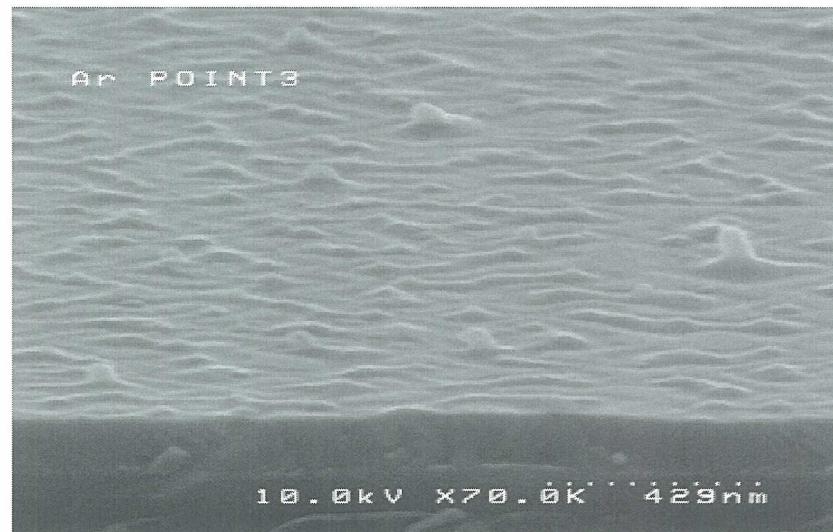


도면14

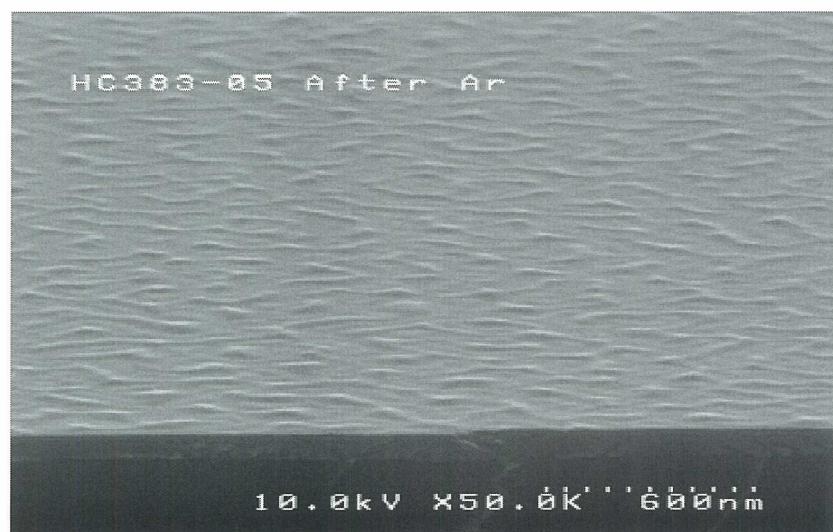


도면15

(a)



(b)



도면16

