



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I518899 B

(45)公告日：中華民國 105(2016)年 01 月 21 日

(21)申請案號：102124504

(22)申請日：中華民國 102(2013)年 07 月 09 日

(51)Int. Cl. : **H01L29/778 (2006.01)****H01L21/205 (2006.01)**

(30)優先權：2012/09/28 日本

2012-218251

(71)申請人：富士通股份有限公司(日本) FUJITSU LIMITED (JP)
日本(72)發明人：石黑哲郎 ISHIGURO, TETSURO (JP)；山田敦史 YAMADA, ATSUSHI (JP)；中村
哲一 NAKAMURA, NORIKAZU (JP)

(74)代理人：惲軼群；陳文郎

(56)參考文獻：

US 2003/0016526	US 2005/0224781
US 2008/0157121	US 2009/0045438
US 2012/0138956	US 2012/0223328
US 2012/0223365	

審查人員：湯欽全

申請專利範圍項數：19 項 圖式數：11 共 37 頁

(54)名稱

半導體裝置

SEMICONDUCTOR APPARATUS

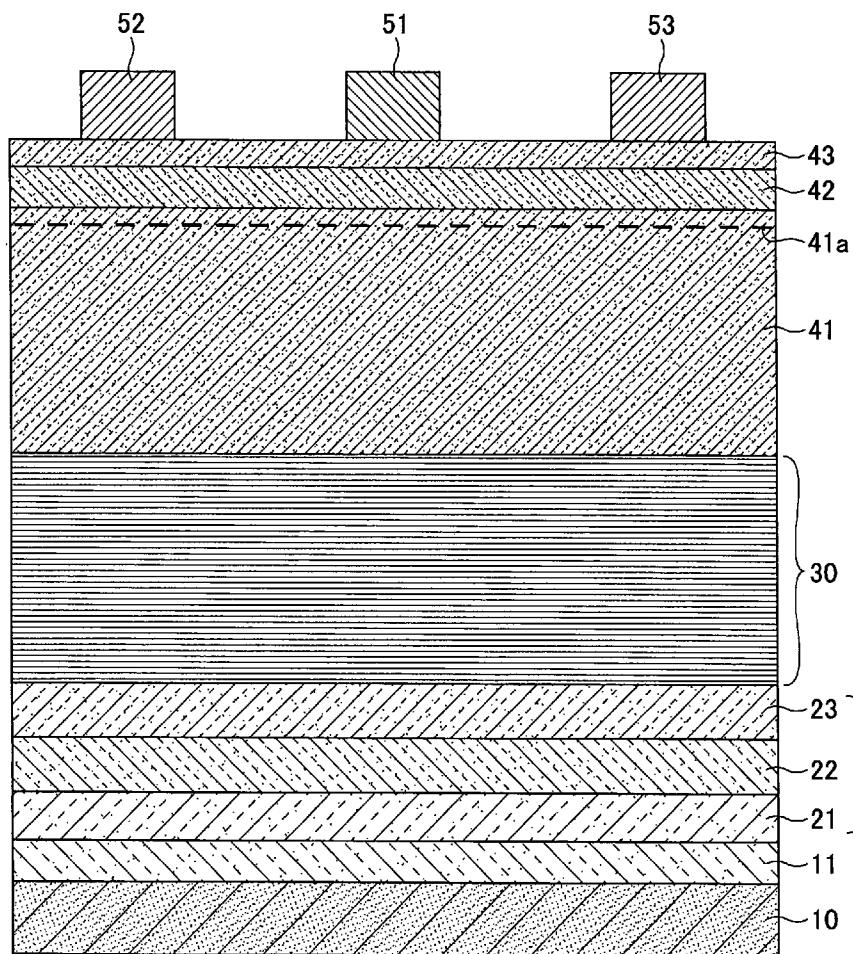
(57)摘要

一種半導體裝置包括一形成於一基體上的緩衝器層；一形成在該緩衝器層上的 SLS(Strained Layer Superlattice，超晶格應力層)緩衝器層；一形成在該 SLS 緩衝器層上且是由一半導體材料形成的電子轉渡層；及一形成在該電子轉渡層上且是由一半導體材料形成的電子供應層。此外，該緩衝器層是由 AlGaN 形成而且包括兩個或更多個具有不同之 Al 成分比率的層，該 SLS 緩衝器層是藉由交替地層疊一包括 AlN 的第一晶格層與一包括 GaN 的第二晶格層來被形成，而且在該緩衝器層之該等層中之與該 SLS 緩衝器層接觸之一者的 Al 成分比率是大於或相等於在該 SLS 緩衝器層中的 Al 有效成分比率。

A semiconductor apparatus includes a buffer layer formed on a substrate; an SLS (Strained Layer Superlattice) buffer layer formed on the buffer layer; an electron transit layer formed on the SLS buffer layer and formed of a semiconductor material; and an electron supply layer formed on the electron transit layer and formed of a semiconductor material. Further, the buffer layer is formed of AlGaN and includes two or more layers with different Al composition ratios, the SLS buffer layer is formed by alternately laminating a first lattice layer including AlN and a second lattice layer including GaN, and the Al composition ratio in one of the layers of the buffer layer being in contact with the SLS buffer layer is greater than or equal to an Al effective composition ratio in the SLS buffer layer.

指定代表圖：

符號簡單說明：



- 10 · · · 基體
- 11 · · · 成核層
- 20 · · · 緩衝器層
- 21 · · · 第一緩衝器層
- 22 · · · 第二緩衝器層
- 23 · · · 第三緩衝器層
- 30 · · · SLS 緩衝器層
- 41 · · · 電子轉渡層
- 41a · · · 2DEG
- 42 · · · 電子供應層
- 43 · · · 帽蓋層
- 51 · · · 閘極電極
- 52 · · · 源極電極
- 53 · · · 沖極電極

圖1

發明摘要

※ 申請案號：102124504

※ 申請日：102.7.9

※IPC 分類：
H01L 29/778 (2006.01)
H01L 21/205 (2006.01)

【發明名稱】(中文/英文)

半導體裝置

SEMICONDUCTOR APPARATUS

【中文】

一種半導體裝置包括一形成於一基體上的緩衝器層；一形成在該緩衝器層上的SLS(Strained Layer Superlattice，超晶格應力層)緩衝器層；一形成在該SLS緩衝器層上且是由一半導體材料形成的電子轉渡層；及一形成在該電子轉渡層上且是由一半導體材料形成的電子供應層。此外，該緩衝器層是由AlGaN形成而且包括兩個或更多個具有不同之Al成分比率的層，該SLS緩衝器層是藉由交替地層疊一包括AIN的第一晶格層與一包括GaN的第二晶格層來被形成，而且在該緩衝器層之該等層中之與該SLS緩衝器層接觸之一者的Al成分比率是大於或相等於在該SLS緩衝器層中的Al有效成分比率。

【英文】

A semiconductor apparatus includes a buffer layer formed on a substrate; an SLS (Strained Layer Superlattice) buffer layer formed on the buffer layer; an electron transit layer formed on the SLS buffer layer and formed of a semiconductor material; and an electron supply layer formed on the electron transit layer and formed of a semiconductor material. Further, the buffer layer is formed of AlGaN and includes two or more layers with different Al composition ratios, the SLS buffer layer is formed by alternately laminating a first lattice layer including AlN and a second lattice layer including GaN, and the Al composition ratio in one of the layers of the buffer layer being in contact with the SLS buffer layer is greater than or equal to an Al effective composition ratio in the SLS buffer layer.

【代表圖】

【本案指定代表圖】：第（ 1 ）圖。

【本代表圖之符號簡單說明】：

- | | | | |
|-----|---------|----|------|
| 10 | 基體 | 53 | 汲極電極 |
| 11 | 成核層 | | |
| 20 | 緩衝器層 | | |
| 21 | 第一緩衝器層 | | |
| 22 | 第二緩衝器層 | | |
| 23 | 第三緩衝器層 | | |
| 30 | SLS緩衝器層 | | |
| 41 | 電子轉渡層 | | |
| 41a | 2DEG | | |
| 42 | 電子供應層 | | |
| 43 | 帽蓋層 | | |
| 51 | 閘極電極 | | |
| 52 | 源極電極 | | |

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體裝置

SEMICONDUCTOR APPARATUS

【技術領域】

發明領域

[0001]於此中所討論的實施例係有關於一種半導體裝置。

【先前技術】

發明背景

[0002]諸如GaN、AlN、InN等等般的氮化物半導體以及由其之混合晶體形成的材料會具有一寬帶隙(wide band gap)，俾可被使用作為一高-功率電子裝置或者一短波長發光裝置。在這些當中，對於場效電晶體(FET)且特別是高電子移動率電晶體(HEMT)作為高-功率裝置之技術的研究與發展業已被進行(見，例如，日本早期公開專利公告第2002-359256號案)。

[0003]使用如此之氮化物半導體的HEMT是被使用於高-功率與高-效率放大器、高-功率切換裝置等等。

[0004]在使用如此之氮化物半導體的HEMT中，一氮化鋁
鎵/氮化鎵(AlGaN/GaN)異質結構是形成在該基體上，因此其之
GaN層可以作為一電子轉渡層。此外，該基體可以由藍寶石、
碳化矽(SiC)、氮化鎵(GaN)、矽(Si)等等形成。

[0005]在該等氮化物半導體當中，例如，GaN由於其之因
其之較高的飽和電子速度與較寬的帶隙而起之較高的耐壓特

性而具有優異的電子特性。此外，GaN具有一纖鋅礦(wurtzite)-型晶體結構，俾可具有其之極性位在與c-軸平行的<0001>方向上。

[0006]此外，當該AlGaN/GaN異質結構被形成時，在該AlGa層中，一壓電極化會因在AlGaN與GaN之間的晶格變形而被激發。因此，高濃度二維電子氣(2DEG)會被產生在該通道的界面(邊界表面)附近。結果，使用GaN的HEMT被想到有希望作為一高頻電源裝置。

[0007]在使用氮化物半導體的HEMT中，藉由使用一片大且便宜的矽基體作為基體，成本可以被大大地降低。據此，使用氮化物半導體的HEMT能夠以較低成本被設置。該矽基體是導電的。因此，當如此之一種矽基體被使用時，一具有較高之絕緣特性的氮化物層會被形成在該矽基體上，而一諸如電子轉渡層般的氮化物半導體層會被形成在該氮化物層上。

[0008]然而，由於在矽與氮化物之間之晶格常數與熱膨脹係數上的差異，一彎折或斷裂是有可能被形成在該基體或該氮化物半導體層上。因此，會是難以形成一具有較高之絕緣特性的厚氮化物層。結果，在基體-閘極方向上的漏電流是有可能被增加，而且是難以保證在垂直方向上(即，基體的厚度方向)的適足耐壓。

[0009]作為一種在控制彎折或斷裂之產生之時形成一厚氮化物層在該矽基體上的方法，是有一種習知技術，在該習知技術中，一超晶格應力層(Strained Layer Superlattice；SLS)緩衝器層是被形成，其中，一GaN-基薄薄膜與一AlN-基薄薄膜是在

複數個週期交替地形成(見，例如，日本早期公開專利公告第2012-23314與2007-67077號案)。

[0010]在該SLS緩衝器層中，藉由形成每一者是被包括在該超晶格內且具有一個小於或相等於其之臨界薄膜厚度之厚度的該GaN-基薄薄膜與該AlN-基薄薄膜，在該等薄膜之形成期間控制因在晶格常數上之差異而起之彎折或斷裂的產生之時，一厚氮化物層可以被形成。

[0011]此外，在該SLS緩衝器層中，藉由包含一個大壓縮應變(compression strain)在該SLS緩衝器層的該等薄膜內，當在該等薄膜被形成之後該溫度被降低之時另一個大壓縮應變會被產生遍佈整個氮化物層。如上所述，藉由形成該SLS緩衝器層，具有較寬之帶隙與較高之絕緣特性之AlN層的厚度會被增加。結果，在垂直方向上的耐壓會被改進。

【發明內容】

發明概要

[0012]根據一特徵，一種半導體裝置包括一基體；一形成於該基體上的緩衝器層；一形成於該緩衝器層上的SLS (超晶格應力層)緩衝器層；一形成於該SLS緩衝器層上且是由一半導體材料形成的電子轉渡層；及一形成於該電子轉渡層上且是由一半導體材料形成的電子供應層。此外，該緩衝器層是由AlGaN形成並且包括兩個或更多個具有不同之Al成分比率的層，該SLS緩衝器層是藉由交替地層疊一包括AlN的第一晶格層與一包括GaN的第二晶格層來被形成，而且在該緩衝器層之該等層中之與該SLS緩衝層接觸之一者的Al成分比率是大於或

相等於在該SLS緩衝器層中的Al有效成分比率。

【圖式簡單說明】

[0013] 圖1描繪本發明之第一實施例之半導體裝置之範例結構；

[0014] 圖2描繪一範例SLS緩衝器層；

[0015] 圖3是為一描繪在該基體-閘極方向上之漏電流特性的範例圖表；

[0016] 圖4A和4B描繪為了獲得圖3之漏電流特性被製成的樣品；

[0017] 圖5是為一描繪一GaN層之表面狀態的範例圖表；

[0018] 圖6A與6B描繪該第一實施例之半導體裝置的範例製造步驟；

[0019] 圖7描繪該第一實施例之半導體裝置的範例結構；

[0020] 圖8A與8B描繪該第一實施例之半導體裝置的範例結構；

[0021] 圖9描繪本發明之第二實施例的分離-封裝半導體裝置；

[0022] 圖10描繪該第二實施例之電源-供應器裝置的範例電路圖；及

[0023] 圖11描繪該第二實施例之高-功率放大器的範例結構。

【實施方式】

較佳實施例之詳細說明

[0024] 根據相關的習知技術，即使當該SLS緩衝器層被使

用時，漏電流會因在SLS緩衝器層中之層疊層的干擾而被產生。結果，一希望的耐壓不會被得到。此外，壓縮應變不會被包含在該SLS緩衝器層之內。結果，一彎折或斷裂會被產生。

[0025]為了克服以上的問題，作為一諸如場效電晶體般之使用一包括GaN或其類似之氮化物半導體作為半導體材料的半導體裝置，是希望提供一種能夠在基體上形成一較厚之氮化物層且在基體-閘極方向上之漏電流能夠被降低的半導體裝置。

[0026]本發明的實施例是於此中被描述。在該等描述中，相同的標號會是被重覆地用來描述相同的元件等等，而且重覆的描述會被省略。

[0027]第一實施例

[0028]半導體裝置

[0029]接著，第一實施例的半導體裝置是被描述。於此中作為範例地被描述之該第一實施例的半導體裝置是為一種具有一AlGaN/GaN單異質結構的HEMT。

[0030]如在圖1中所示，在該第一實施例的半導體裝置中，一成核層11、一第一緩衝器層21、一第三緩衝器層22、一第三緩衝器層23、一SLS緩衝器層30、一電子轉渡層41、一電子供應層42、與一帽蓋層43是相繼地形成在一基體10上。

[0031]此外，一閘極電極51、一源極電極52、與一汲極電極53是形成在該帽蓋層43上。此外，在這實施例中，該第一緩衝器層21、該第二緩衝器層22、與該第三緩衝器層23可以被統稱為一緩衝器層20。

[0032]該基體10可以是由矽(Si)、碳化矽(SiC)、藍寶石、氮化鎗(GaN)或其類似形成。在這實施例中，一矽(111)基體被使用。該氮化物層，其包括該等從該成核層11到該SLS緩衝器層30、該電子轉渡層41、該電子供應層42、該帽蓋層43及其類似的層是由金屬有機氣相磊晶(MOVPE)或分子束磊晶(MBE)形成。

[0033]在這實施例中，MOVPE被用來形成從成核層11到SLS緩衝器層30的該氮化物層、該電子轉渡層41、該電子供應層42、該帽蓋層43及其類似。

[0034]該成核層11是由一個具有大約200 nm之厚度的AlN層形成。

[0035]在該緩衝器層20中，該第一緩衝器層21的成分是為 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ，該第二緩衝器層22的成分是為 $\text{Al}_y\text{Ga}_{1-y}\text{N}$ ，而該第三緩衝器層23的成分是為 $\text{Al}_z\text{Ga}_{1-z}\text{N}$ ，因此該關係 $1 > X > Y > Z > 0$ 被滿足。

[0036]具體地，該第一緩衝器層21是由 $\text{Al}_{0.8}\text{Ga}_{0.2}\text{N}$ 形成，該第二緩衝器層22是由 $\text{Al}_{0.5}\text{Ga}_{0.5}\text{N}$ 形成，而該第三緩衝器層23是由 $\text{Al}_{0.3}\text{Ga}_{0.7}\text{N}$ 形成。

[0037]如所描述，該第一緩衝器層21、該第二緩衝器層22、與該第三緩衝器層23是以一形式形成以致於Al的成分比率是隨著與該基體10的距離被增加而相繼地被減低。

[0038]在這實施例中，該詞彙"Al的成分比率"是指Al原子(之數目)對Al原子與Ga原子之(數目之)總和的比率。而且，X、Y、與Z的值是指對應的"Al的成分比率"。

[0039]此外，該緩衝器層20是被形成以致於該第一緩衝器層21、該第二緩衝器層22、與該第三緩衝器層23的累計(集體)薄膜厚度(即，該緩衝器層20的厚度)是處於一個從500 nm到1,000 nm的範圍內。在這實施例中，該緩衝器層20是被形成以致於該緩衝器層20的厚度是大約800 nm。

[0040]如在圖2中所示，該SLS緩衝器層30是藉由交替地層疊該成為一第一晶格層31的AlN層，與該成為一第二晶格層32的GaN層來被形成。AlN在該a-軸與該c-軸上的晶格常數分別是為3.11 Å與4.98Å。GaN在該a-軸與該c-軸上的晶格常數分別是為3.16 Å與5.16 Å。因此，AlN與GaN的晶格常數是彼此不同。

[0041]在這實施例中，該第一晶格層31被形成俾可具有一個大於或相等於0.5 nm以及小於或相等於10 nm的厚度。該第二晶格層32被形成俾可具有一個大於或相等於10 nm以及小於或相等於40 nm的厚度。此外，該第一與第二晶格層31與32是被形成以致於該第二晶格層32之厚度對該第一晶格層31之厚度的比率是大於或相等於4以及小於或相等於20。

[0042]此外，於此中的詞彙"Al有效成分比率"是指被包括在該SLS緩衝器層30內的Al成分比率(即，Al(原子)之數目對Al與Ga(原子)之數目之總和的比率)。在這實施例中，為了便利目的，當該第一晶格層31與該第二晶格層32之厚度的總和對該第一晶格層31之厚度的比率是被給定為"P"時，該SLS緩衝器層30之Al的有效成分可以被描述(表示)為 $\text{Al}_P\text{Ga}_{1-P}\text{N}$ 。

[0043]在這實施例中，該SLS緩衝器層30是藉由交替地層疊該成為該第一晶格層31之具有5 nm之厚度的AlN層與該成為

該第二晶格層32之具有20 nm之厚度的GaN層100個週期來被形成。藉由這樣做，該SLS緩衝器層30是被形成以致於該SLS緩衝器層30的總厚度是為2,500 nm。據此，被包括在該SLS緩衝器層30內之該等AlN層的層疊厚度是為500 nm。在這情況中，在該SLS緩衝器層30內之Al的有效成分是為 $Al_{0.2}Ga_{0.8}N$ ，而在該SLS緩衝器層30內的Al有效成分比率是為0.2。

[0044]此外，當該SLS緩衝器層30的厚度是太薄時，具有較高之絕緣特性之氮化物層的層疊厚度是薄的。當該SLS緩衝器層30的厚度是太厚時，該基體會因當該溫度在該等薄膜被形成之後被降低時在該SLS緩衝器層30內的薄膜收縮而被毀損。據此，是希望該SLS緩衝器層30的厚度是大於或相等於1,000 nm以及小於或相等於3,000 nm。

[0045]在這實施例中，該SLS緩衝器層30是以在該第三緩衝器層23內之Al有效成分比率是大於或相等於在該SLS緩衝器層30內之Al之有效成分的一種形式來被形成(即， $Z \geq P > 0$)。

[0046]此外，該第一晶格層31與該第二晶格層32可以依據彼此不同之AlGaN的成分來被形成。在這情況中，當該第一晶格層31的成分是被給定為" $Al_RGa_{1-R}N$ "且該第二晶格層32的成分是被給定為" $Al_SGa_{1-S}N$ "時，該關係 $R>S$ 是被滿足。

[0047]此外，為了控制(降低)在該SLS緩衝器層30中之載體的產生並且增加該SLS緩衝器層30的電阻，該SLS緩衝器層30可以是以一諸如Fe、Mg、C或其類似般的雜質元件摻雜。在這情況中，是希望不是整個SLS緩衝器層30而是僅在該第一晶格層31或該第二晶格層32中之一者內是以該雜質元件摻雜。

[0048]此外，在該SLS緩衝器層30中，因在第一晶格層31與第二晶格層32之間之帶不連續性而起的載體產生會發生在該具有一較窄之帶隙之成爲該GaN層之第二晶格層32的界面附近。

[0049]因此，是希望整個第二晶格層32是以一諸如Fe、Mg、C或其類似般的雜質元件摻雜，或者在該第二晶格層32中之一個接近該位在第一晶格層31與第二晶格層32之間之界面附近的區域是以諸如Fe、Mg、C或其類似般(包括其之任何組合)的雜質元件摻雜。

[0050]此外，是希望如上所述之被注入(摻雜)至該SLS緩衝器層30內之諸如Fe、Mg、C或其類似般之雜質元件的濃度是處於一個從 $1 \times 10^{18} \text{ cm}^{-3}$ 到 $1 \times 10^{20} \text{ cm}^{-3}$ 的範圍內。在這實施例中，作為該雜質元件，Fe是以 $1 \times 10^{19} \text{ cm}^{-3}$ 的濃度注入至該SLS緩衝器層30內。

[0051]該電子轉渡層41是由一具有一處於一從500 nm到1,000 nm之範圍內之厚度的GaN層形成。該電子供應層42是由一具有一大約20 nm之厚度的AlGaN層形成。藉由這樣做，一2DEG 41a是形成在該電子轉渡層41之一個接近該位於該電子轉渡層41與該電子供應層42之間之界面的區域內。

[0052]此外，該電子供應層42是由具有小於或相等於0.3之Al成分比率的AlGaN形成俾可避免因晶格錯配(lattice mismatch)而起之結晶的減少。此外，該帽蓋層43是由一具有大約5 nm之厚度的n-GaN層形成。

[0053]該閘極電極51、該源極電極52、與該汲極電極53是

形成在該帽蓋層43上。

[0054] 在這實施例中，位在該基體10與該電子轉渡層41之間之包括該緩衝器層20、該SLS緩衝器層30等等之該氮化物層的厚度可以被增加。因此，在該基體-閘極方向上的漏電流可以被減少。

[0055] 半導體裝置等等的特性

[0056] 接著，這實施例之半導體裝置的漏電流是配合圖3來作說明。圖3是為一描繪包括這實施例之氮化物層之半導體裝置之漏電流特性3A與包括一習知氮化物層之半導體裝置之漏電流特性3B的圖表。

[0057] 包括這實施例之氮化物層之半導體裝置的漏電流特性3A是指具有該等截至位於如在圖4A中所示之這實施例之半導體裝置中之基體10上之電子轉渡層41之層之半導體裝置的漏電流特性。

[0058] 具體地，該成核層11、該第一緩衝器層21、該第二緩衝器層22、該第三緩衝器層23、該SLS緩衝器層30、以及該電子轉渡層41是形成在該基體10上，而漏電流是藉由把電極111與112分別接觸該電子轉渡層41與該基體10的後表面來被測量。

[0059] 此外，作為該基體10，一矽基體被使用，而該成核層11是由具有200 nm之厚度的AlN層形成。該第一緩衝器層21是由一具有100 nm之厚度的Al_{0.8}Ga_{0.2}N層形成，該第二緩衝器層22是由一具有200 nm之厚度的Al_{0.5}Ga_{0.5}N層形成，而該第三緩衝器層23是由一具有500 nm之厚度的Al_{0.3}Ga_{0.7}N層形成。

[0060]藉由這樣做，包括第一緩衝器層21、第二緩衝器層22、與第三緩衝器層23之緩衝器層20的總厚度是爲800 nm。

[0061]該SLS緩衝器層30是藉由交替地層疊該成爲第一晶格層31之具有2 nm之厚度的AlN層與該成爲第二晶格層32之具有20 nm之厚度的GaN層90個週期來被形成。藉由這樣做，該SLS緩衝器層30的厚度是大約2,000 nm。該電子轉渡層41是由一具有1,200 nm之厚度的GaN層形成。

[0062]該漏電流是藉由把該等電極111與112分別接觸該電子轉渡層41與該基體10的後表面，並且施加一電壓在該等電極111與112之間來被測量。測量結果是被顯示在圖3的漏電流特性3A中。

[0063]包括一習知氮化物層之半導體裝置的漏電流特性3B是指如在圖4B中所示之具有一個緩衝器層921形成在該成核層11與該SLS緩衝器層30之間之半導體裝置的漏電流特性。具體地，該成核層11、該緩衝器層921、該SLS緩衝器層30、與該電子轉渡層41是形成在該基體10上，而該漏電流是藉由把該等電極111與112分別接觸電子轉渡層41與基體10的後表面來被測量。

[0064]該緩衝器層921是由一具有50 nm之厚度的 $\text{Al}_{0.3}\text{Ga}_{0.7}\text{N}$ 層形成。此外，除了該緩衝器層921被形成代替形成該第一緩衝器層21、該第二緩衝器層22、與該第三緩衝器層23之外，圖4B的結構是與圖4A的結構相同。該漏電流是藉由把該等電極111與112分別接觸電子轉渡層41與基體10的後表面，並且施加一電壓在該等電極111與112之間來被測量。測量

結果是被顯示在圖3的漏電流特性3B中。

[0065]如在圖3中所示，在相同施加電壓下包括依據這實施例形成之氮化物層之半導體裝置的漏電流特性3A是比包括一習知氮化物層之半導體裝置的漏電流特性3B低。因此，在這實施例之半導體裝置之基體-閘極方向上的漏電流當與習知半導體裝置作比較時會是被進一步減少。

[0066]圖5描繪截至電子轉渡層41之該等層是形成在基體10上之該等半導體之基體的測量彎折值(即，在高度方向上的改變)。圖5描繪在包括這實施例之氮化物層之半導體內之基體的表面形狀5A以及在包括習知氮化物層之半導體內之基體的表面形狀5B。

[0067]在這裡，該"在包括這實施例之氮化物層之半導體內之基體的表面形狀5A"是指除了電極111與112之外在如在圖4A中所示之半導體內之電子轉渡層41的表面形狀。此外，該"在包括習知氮化物層之半導體內之基體的表面形狀5B"是指除了電極111與112之外在如在圖4B中所示之半導體內之電子轉渡層41的表面形狀。

[0068]如在圖5中所示，在該在包括這實施例之氮化物層之半導體內之基體之表面形狀5A之高度上的差異是小於200 μm 。另一方面，在該在包括習知氮化物層之半導體內之基體之表面形狀5B上的差異是大約350 μm 。

[0069]因此，在這實施例之半導體裝置中的彎折當與在習知半導體裝置中的彎折比較起來會是被減少的。

[0070]半導體裝置的製造方法

[0071]這實施例之一種製造半導體裝置的方法是配合圖6A與6B來作描述。

[0072]首先，如在圖6A中所示，該成核層11、該第一緩衝器層21、該第二緩衝器層22、該第三緩衝器層23、該SLS緩衝器層30、該電子轉渡層41、該電子供應層42、與該帽蓋層43是相繼地被層疊與形成在該基體10上。

[0073]具體地，首先，該基體10是在氫大氣下被加熱幾分鐘。在那之後，該成核層11、該第一緩衝器層21、該第二緩衝器層、該第三緩衝器層23、該SLS緩衝器層22、該電子轉渡層41、該電子供應層42、與該帽蓋層43是利用MOVPE以外延生長來形成在該基體10上。藉由這樣做，該2DEG 41a可以形成在該電子轉渡層41之一個接近該位於電子轉渡層41與電子供應層42之間之界面的區域內。

[0074]在利用MOVPE的外延生長階段中，三甲基鎵(TMG)被使用作為Ga的來源氣體、三甲基鋁(TMA)被使用作為Al的來源氣體、而氨(NH₃)被使用作為N的來源氣體。此外，當Fe被注入作為雜質元件時，環戊二烯基鐵(cyclopentadienyl iron)，a.k.a二茂鐵(ferrocene)，(Cp₂Fe)是被使用作為Fe的來源氣體。此外，當Mg被注入作為雜質元件時，環戊二烯基鎂(Cp₂Mg)是被使用作為Mg的來源氣體。每一來源氣體是利用H₂作為載氣來被供應到一MOVPE裝置的腔室。

[0075]該基體10可以是由藍寶石、矽(Si)、碳化矽(SiC)或其類似形成。在這實施例中，例如，一矽(Si)基體是被使用。

[0076]該成核層11是由一具有一處於一個從100 nm到200

nm之範圍內之厚度的AlN層形成。

[0077]該第一緩衝器層21是由一具有一大約100 nm之厚度的Al_{0.8}Ga_{0.2}N層形成，該第二緩衝器層22是由一具有一大約200 nm之厚度的Al_{0.5}Ga_{0.5}N層形成，而該第三緩衝器層23是由一具有一大約500 nm之厚度的Al_{0.3}Ga_{0.7}N層形成。

[0078]該SLS緩衝器層30是藉由交替地層疊該AlN層與該GaN層100個週期來被形成。在這裡，該AlN層成爲該第一晶格層31而且具有一個5 nm的厚度，而該GaN層成爲該第二晶格層32而且具有一個20 nm的厚度。此外，一諸如Fe、Mg、C或其類似的雜質元件可以被注入至該SLS緩衝器層30的一個部份內。在這情況中，當Fe或Mg被注入作爲雜質元件時，雜質元件的來源氣體是藉由鼓泡(bubbling)來被氣化，而且是被供應到該MOVPE裝置的腔室內。

[0079]當C被注入作爲雜質元件時，藉由調整像是TMG或TMA般之III族來源氣體之供應量對V族來源氣體之供應量的比率(V/III比率)，要被注入至該SLS緩衝器層30內之C的濃度可以被調整。具體地，藉由降低該V/III比率(即，藉由相對地增加III族來源氣體的供應量)，在該SLS緩衝器層30內之C的濃度可以被增加。

[0080]該電子轉渡層41是由GaN形成俾可具有一個處於一個從500 nm到1,000 nm之範圍內的厚度。這是因爲希望該電子轉渡層41具有一個大於或相等於一預定厚度的厚度俾可避免因錯位或其類似而起之電子濃度與移動率的降低。

[0081]當該電子轉渡層41是在，例如，在MOVPE裝置之腔

室內之壓力是大於或相等於60 kPa且該V/III比率是大於或相等於10,000的條件下藉外延生長來被形成時，該電子轉渡層41可以被形成為一具有較高品質與較低雜質濃度的GaN薄膜。

[0082]該電子供應層42是由一具有一大約20 nm之厚度的AlGaN層形成。此外，該電子供應層42是由具有小於或相等於0.3之Al成分比率的AlGaN形成俾可避免因晶格錯配而起之結晶的減少。

[0083]該帽蓋層43是由一具有一大約5 nm之厚度的n-GaN層形成。

[0084]接著，如在圖6B中所示，該閘極電極51、該源極電極52、與該汲極電極是形成在該帽蓋層43上。

[0085]具體地，首先，一光阻是被施加在該帽蓋層43上。然後，藉由利用一曝光裝置執行一曝光與顯影製程，具有對應於要形成有源極電極52與汲極電極53之區域之開孔的光阻圖案被形成。在那之後，由Ti/Al形成的一金屬層疊薄膜(薄膜厚度：Ti：100 nm而Al：300 nm)是藉著真空蒸鍍來被形成。

[0086]然後，該光阻圖案與形成在該光阻圖案上的金屬層疊薄膜是被浸泡在有機溶劑中俾可被移除(剝離)。藉由這樣做，該源極電極52與該汲極電極53是利用餘下的金屬層疊薄膜來被形成。然後，快速熱退火(RTA)是在大約600° (攝氏度)的溫度下被執行俾可形成歐姆接點。

[0087]此外，在那之後，另一光阻被施加到該帽蓋層43上。然後，藉由利用曝光裝置執行曝光與顯影製程，具有一對應於一個要形成有閘極電極51之區域之開孔的光阻圖案被形成。

[0088] 在那之後，一由Ni/Au形成的金屬層疊薄膜(薄膜厚度：Ni：50 nm而Au：300 nm)是藉真空蒸鍍來被形成。然後，該光阻圖案與形成在該光阻圖案上的金屬層疊薄膜是被浸泡在有機溶劑內俾可被移除(剝離)。藉由這樣做，該閘極電極51是利用餘下的金屬層疊薄膜來被形成。

[0089] 藉由這樣做，這實施例的半導體裝置可以被製成。

[0090] 在這實施例中的另一半導體裝置

[0091] 在以上的描述中，一種情況是被描述，其中，在這實施例中之半導體裝置內的緩衝器層20包括該第一緩衝器層21、該第二緩衝器層22、及該第三緩衝器層23。然而，根據這實施例，是希望該緩衝器層20包括至少兩個具有彼此不同之成分的AlGaN層。

[0092] 例如，如在圖7中所示，該緩衝器層20可以僅包括該第一緩衝器層21與該第二緩衝器層22。在這情況中，與以上的情況相似，當該第一緩衝器層21的成分是為 $Al_xGa_{1-x}N$ 而該第二緩衝器層22的成分是為 $Al_yGa_{1-y}N$ 時，該關係 $1 > X > Y > 0$ 是被滿足。

[0093] 此外，該緩衝器層20可以包括四個或更多個具有彼此不同之成分的AlGaN層。在這情況中，該四個或更多個具有彼此不同之成分的AlGaN層是按Al成分比率被增加的順序從該基體10側形成(排列)到該SLS緩衝器層30側。

[0094] 此外，在這情況中，該緩衝器層20是以在該緩衝器層20中之最上層(即，被包括在該緩衝器層20內之與該SLS緩衝器層30相鄰(接觸)的層)內之Al成分比率是大於在該SLS緩衝器

層30內之Al有效成分比率的一種形式形成。

[0095]此外，該緩衝器層20能夠以其之具有彼此不同之成分之AlGaN層是按Al成分比率逐漸地降低(即，Al成分比率是傾斜的)之順序從該基體10側形成(排列)到該SLS緩衝器層30側的一種形式形成。在這情況中也一樣，在該緩衝器層20中之最上層內的Al成分比率是大於在該SLS緩衝器層30內的Al有效成分比率。

[0096]此外，在這實施例中，如在圖8A中所示，一凹坑61可以藉由移除該帽蓋層43與電子供應層42的一部份來被形成正好在該閘極電極51下面，因此該閘極電極51是被形成在該凹坑61內。藉由這樣做，要移除正好在該閘極電極51下面的2DEG 41a並獲得常關運作會變成有可能的。

[0097]此外，如在圖8B中所示，一p-GaN層62可以被形成在該帽蓋層43與該閘極電極51之間。藉由這樣做，相似地，要移除正好在該閘極電極51下面的2DEG 41a並獲得常關運作會變成有可能的。

[0100]第二實施例

[0101]接著，一第二實施例被描述。在這實施例中，一半導體裝置、一電源-供應器裝置、與一高-頻放大器被描述(提供)。

[0102]於此中在這實施例中的半導體裝置是指第一實施例的分離-封裝半導體裝置(discretely-packaged semiconductor apparatus)。圖9示意地描繪該分離-封裝半導體裝置的內部。然而，電極的配置是與在第一實施例中之圖式(例如，圖1)中所描

述的不同。

[0103]首先，一個使用GaN-基半導體材料的HEMT半導體晶片410是藉著切割製程切割依據第一實施例來被製成的半導體裝置來被形成。然後該半導體晶片410是以一諸如焊錫般的晶粒黏著劑來被固定到一導線架420上。在這裡，該半導體晶片410相當於在第一實施例中的半導體裝置。

[0104]接著，一閘極電極411是以一導線431連接至一閘極接腳421，一源極電極412是以一導線432連接至一源極接腳422、而一汲極電極413是以一導線433連接至一汲極接腳423。在這裡，該等導線431,432,和433是由金屬材料形成。此外，在這實施例中，該閘極電極411是指該連接到在第一實施例之半導體裝置中之閘極電極51的閘極電極墊。

[0105]相似地，該源極電極412是指該連接到在第一實施例之半導體裝置中之源極電極52的源極電極墊。該汲極電極413是指該連接到在第一實施例之半導體裝置中之汲極電極53的汲極電極墊。

[0106]接著，樹脂-密封是藉轉移模製法(transfer molded method)以一模製樹脂440執行。藉由這樣做，要製造該使用GaN-基半導體材料的分離-封裝半導體裝置變成有可能的。

[0107]接著，這實施例的電源-供應器裝置與高-頻放大器被描述。這實施例的電源-供應器裝置與高-頻放大器是指使用第一實施例之半導體裝置的電源-供應器裝置與高-頻放大器。

[0108]首先，請配合參閱圖10所示，這實施例的電源-供應器裝置被描述。該電源-供應器裝置460包括一高-電壓初級電路

461、一低-電壓次級電路462、與一置於該初級電路461與該次級電路462之間的變壓器463。

[0109]該初級電路461包括一交流(AC)源464，一所謂"橋接整流器電路"465、數個切換裝置(在圖10的範例中為四個切換裝置)466、一單一切換裝置467等等。該次級電路462包括數個切換裝置(在圖10的範例中為三個切換裝置)468等等。

[0110]在圖10的範例中，該第一實施例的半導體裝置被用作該等切換裝置466與467。在這裡，是希望在初級電路461中的切換裝置466與467為常關式半導體。作為在次級電路462中所使用的切換裝置468，由矽形成的典型金屬絕緣體半導體場效電晶體(MISFET)是被使用。

[0111]接著，請參閱圖11所示，這實施例的高-頻放大器被描述。這實施例的高-頻放大器470可以被使用作為，例如，行動電話之基地台的高-頻放大器。該高-頻放大器470包括一數位預失真電路471、一混合器472、一功率放大器473、與一定向耦合器(directional coupler)474。

[0112]該數位預失真電路471補償該等輸入訊號的非線性失真。該混合器472把該等它們之非線性失真已被補償的輸入訊號與一AC訊號混合。該功率放大器473把該業已與該AC訊號混合一起的輸入訊號放大。

[0113]在圖11的範例中，該功率放大器473包括該第一實施例的半導體裝置。該定向耦合器474執行對該輸入訊號與該輸出訊號等等的監視。在圖11的電路中，藉由一切換運作，該輸出訊號可以藉由該混合器472來與該AC訊號混合並且被傳送

到該數位預失真電路471。

【符號說明】

10	基體	421	閘極接腳
11	成核層	422	源極接腳
20	緩衝器層	423	汲極接腳
21	第一緩衝器層	431	導線
22	第二緩衝器層	432	導線
23	第三緩衝器層	433	導線
30	SLS緩衝器層	440	樹脂
31	第一晶格層	460	電源-供應器裝置
32	第二晶格層	461	高-電壓初級電路
41	電子轉渡層	462	低-電壓次級電路
41a	2DEG	463	變壓器
42	電子供應層	464	AC源
43	帽蓋層	465	橋接整流器電路
51	閘極電極	466	切換裝置
52	源極電極	467	切換裝置
53	汲極電極	468	切換裝置
61	凹坑	470	高-頻放大器
410	半導體晶片	471	數位預失真電路
411	閘極電極	472	混合器
412	源極電極	473	功率放大器
413	汲極電極	474	定向耦合器
420	導線架	921	緩衝器層

申請專利範圍

1. 一種半導體裝置，包含：

一基體；

一緩衝器層，其形成在該基體上；

一應力層超晶格(SLS)緩衝器層，其形成在該緩衝器層上；

一電子轉渡層，其形成在該SLS緩衝器層上且是由一半導體材料形成；及

一電子供應層，其形成在該電子轉渡層上且是由一半導體材料形成；

其中，該緩衝器層包括帶有不同Al成分比率之兩個或兩個以上的AlGaN層，且該緩衝器層之該兩個或兩個以上的AlGaN層是按該Al成分比率從基體側到SLS緩衝器層側減少之順序排列；

其中，該SLS緩衝器層是藉由交替地層疊包括AIN的第一晶格層與包括GaN的第二晶格層而形成，且

其中，與該SLS緩衝器層接觸之該緩衝器層之該兩個或兩個以上之AlGaN層之一者的該Al成分比率大於或等於該SLS緩衝器層的一Al有效成分比率。

2. 如請求項1所述之半導體裝置，

其中，該緩衝器層的一厚度是大於或等於500 nm並且小於或等於1,000 nm。

3. 如請求項1所述之半導體裝置，更包含：

形成在該基體與該緩衝器層之間的一成核層，

其中，該成核層是由 AlN 形成。

4. 如請求項 1 所述之半導體裝置，

其中，該緩衝器層包括帶有不同 Al 成分比率的三個層。

5. 如請求項 1 所述之半導體裝置，

其中，當該第一晶格層的一成分是由 $Al_R Ga_{1-R} N$ 表示且該第二晶格層的成分是由 $Al_S Ga_{1-S} N$ 表示時，一方程式 $R > S$ 是被滿足的。

6. 如請求項 1 所述之半導體裝置，

其中，該第一晶格層是由 AlN 形成而該第二晶格層是由 GaN 形成。

7. 如請求項 1 所述之半導體裝置，

其中，該第一晶格層的一厚度是大於或等於 0.5 nm 並且小於或等於 10 nm 而該第二晶格層的一厚度是大於或等於 10 nm 並且小於或等於 40 nm。

8. 如請求項 1 所述之半導體裝置，

其中，該第二晶格層之一厚度對該第一晶格層之一厚度的一比率是大於或等於 4 並且小於或等於 20。

9. 如請求項 1 所述之半導體裝置，

其中，該 SLS 緩衝器層的一厚度是大於或等於 1,000 nm 並且小於或等於 3,000 nm。

10. 如請求項 1 所述之半導體裝置，

其中，該 SLS 緩衝器層是以從 Fe、Mg、與 C 中選擇

出來之至少一種雜質元件摻雜。

11. 如請求項1所述之半導體裝置，

其中，用於摻雜該SLS緩衝器層之該雜質元件的一濃度是處於一個從 1×10^{18} cm⁻³到 1×10^{20} cm⁻³的一範圍內。

12. 如請求項1所述之半導體裝置，

其中，該基體是爲一矽基體。

13. 如請求項1所述之半導體裝置，

其中，該緩衝器層、該SLS緩衝器層、該電子轉渡層、及該電子供應層是藉著有機金屬氣相磊晶(MOVPE)來被形成。

14. 如請求項1所述之半導體裝置，

其中，該電子轉渡層是由包括GaN的一材料形成。

15. 如請求項1所述之半導體裝置，

其中，該電子供應層是由包括AlGaN的一材料形成。

16. 如請求項1所述之半導體裝置，

其中，一閘極電極、一源極電極、與一汲極電極是形成在該電子供應層上。

17. 如請求項1所述之半導體裝置，更包含：

形成在該電子供應層上的一帽蓋層，

其中，該帽蓋層是由包括n-GaN的一材料形成。

18. 一種電源供應裝置，包含：

如請求項1所述之半導體裝置。

19. 一種放大器，包含：

第 102124504 號專利申請案申請專利範圍替換本 修正日期：104 年 8 月 26 日

如請求項 1 所述之半導體裝置。

圖式

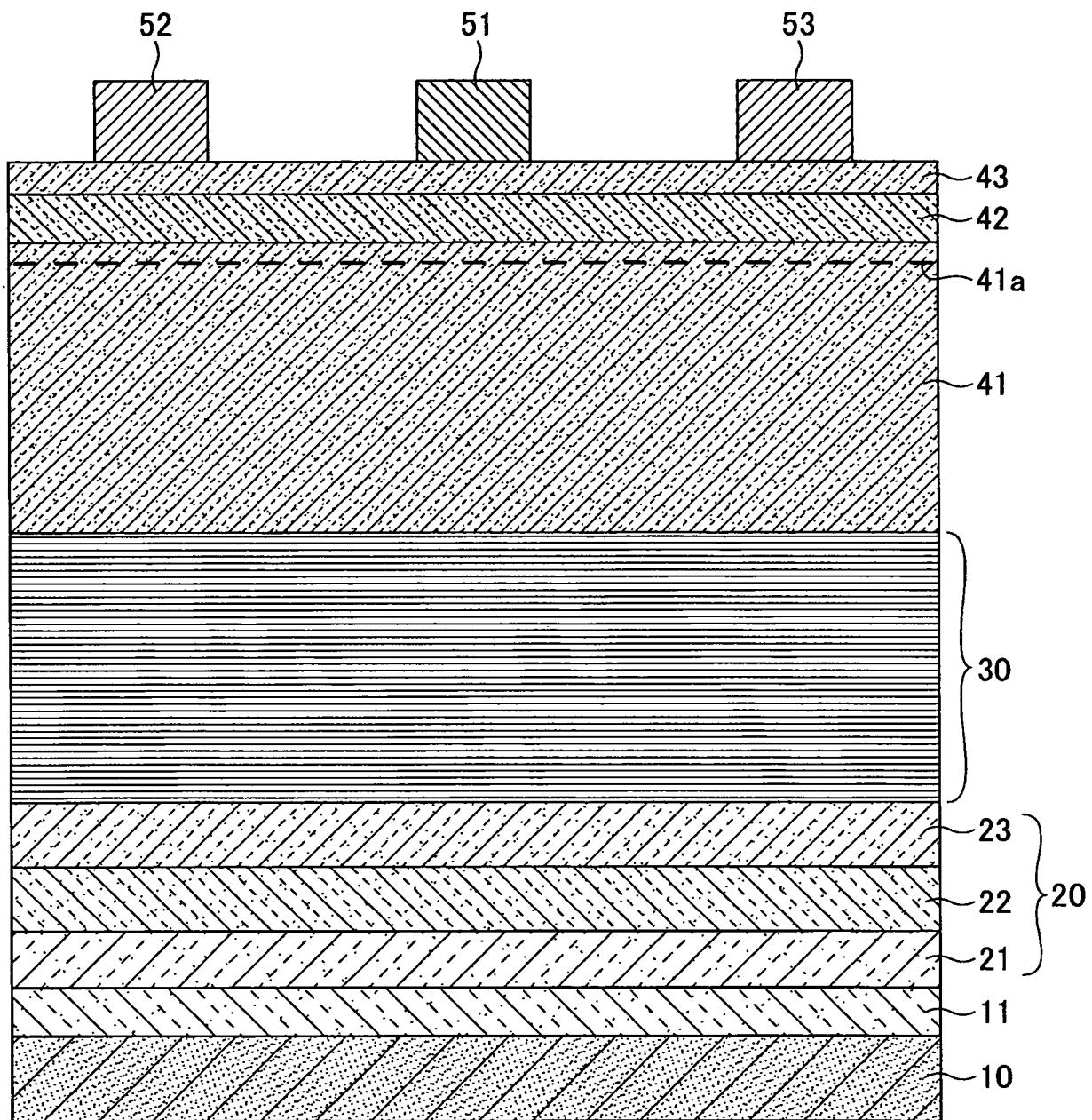


圖1

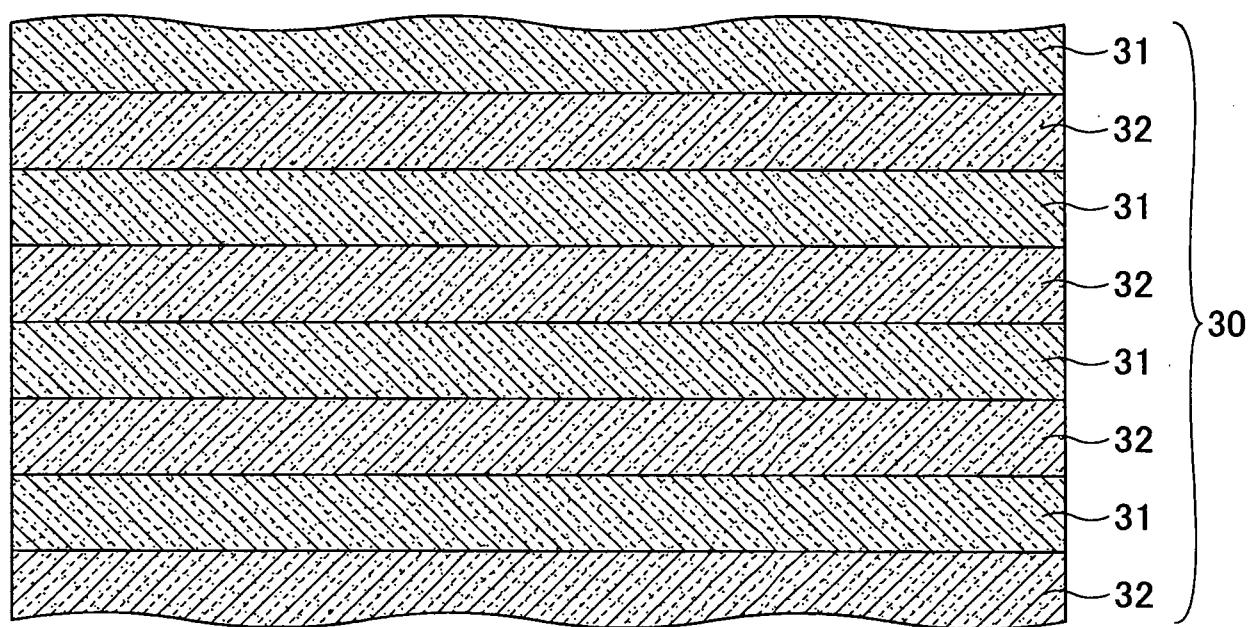


圖2

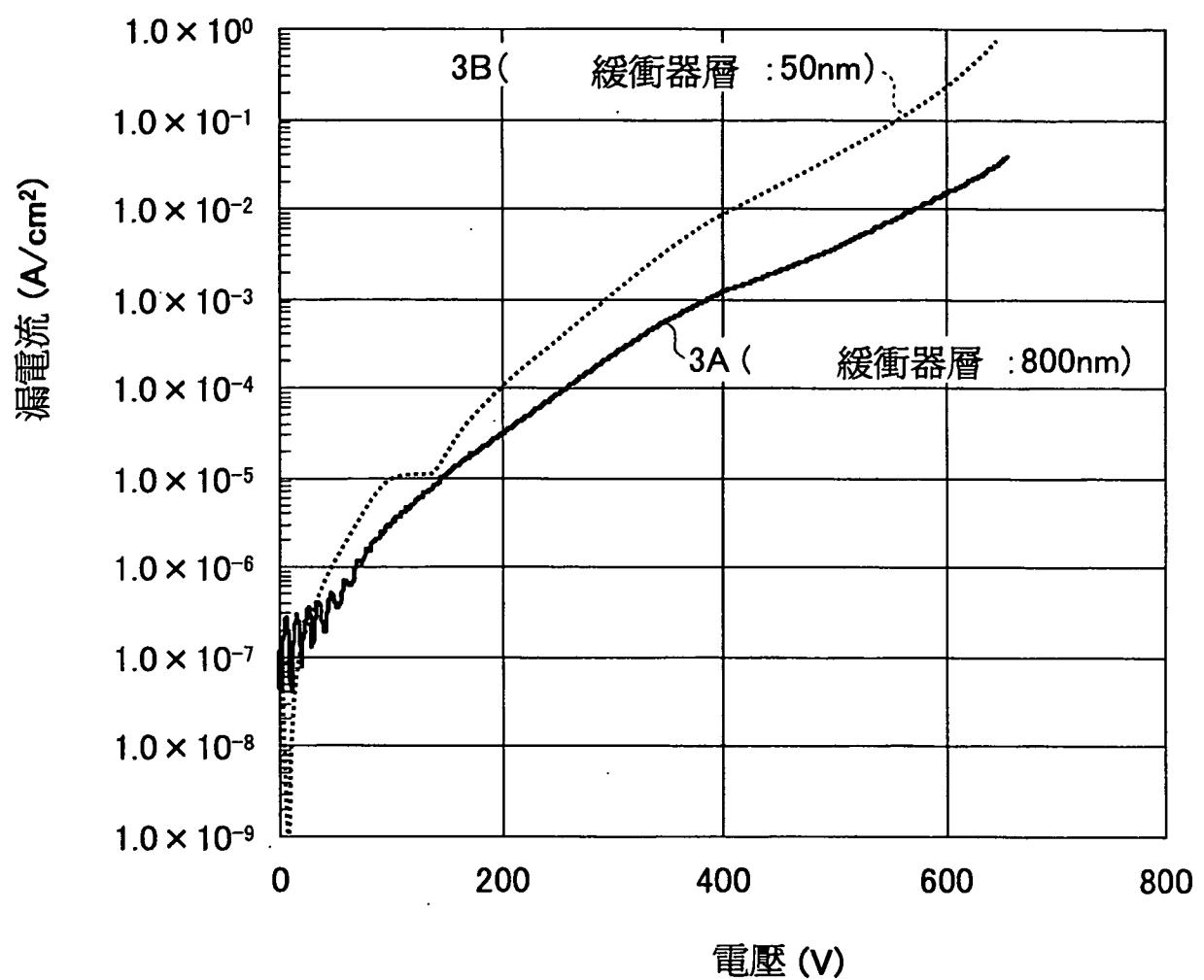


圖3

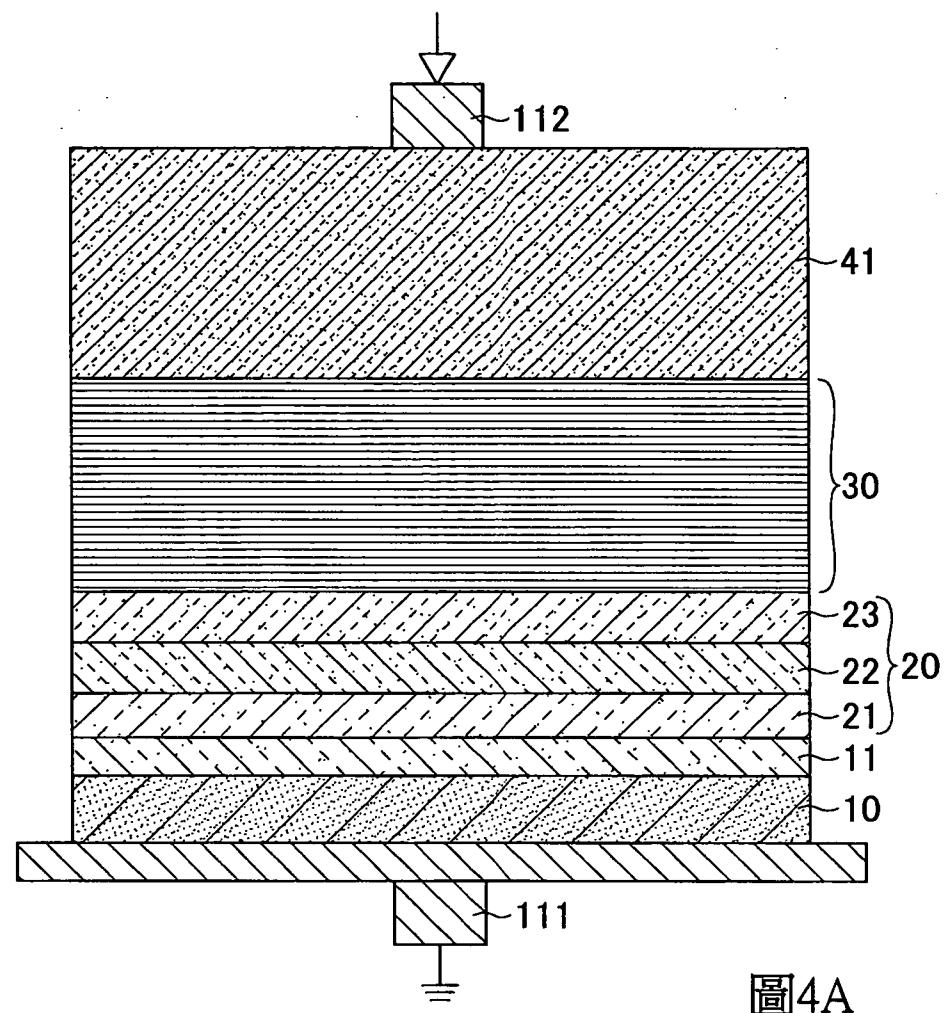


圖4A

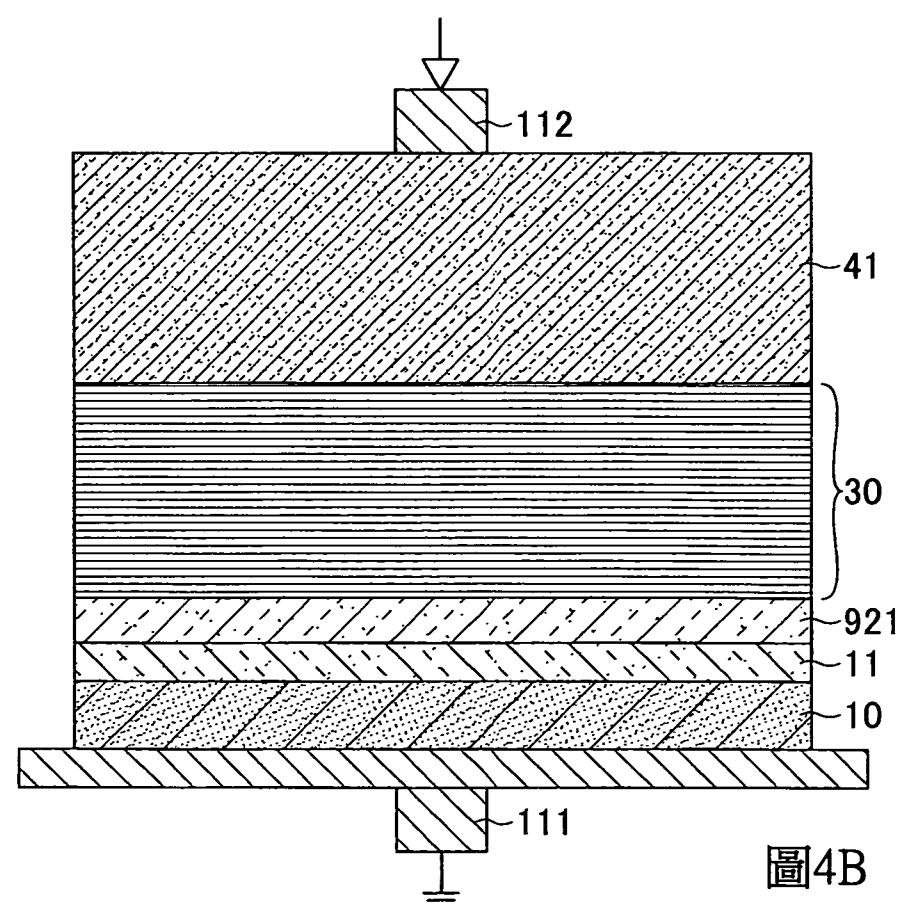


圖4B

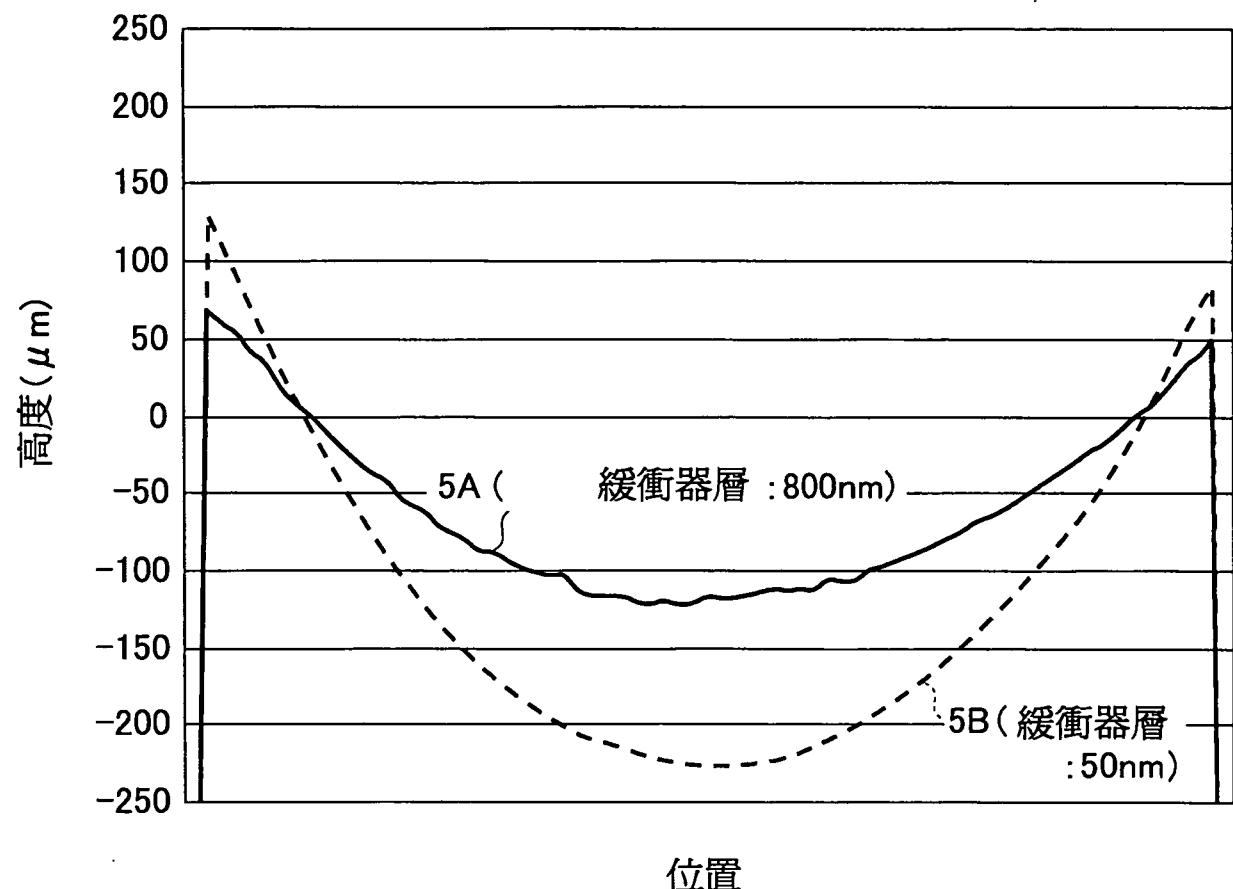


圖5

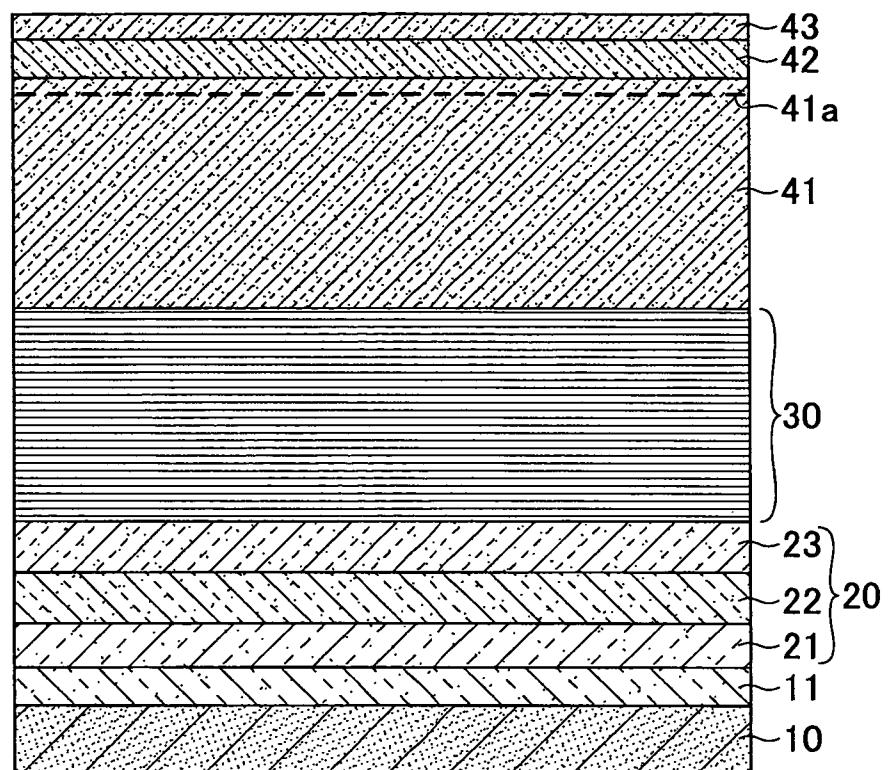


圖6A

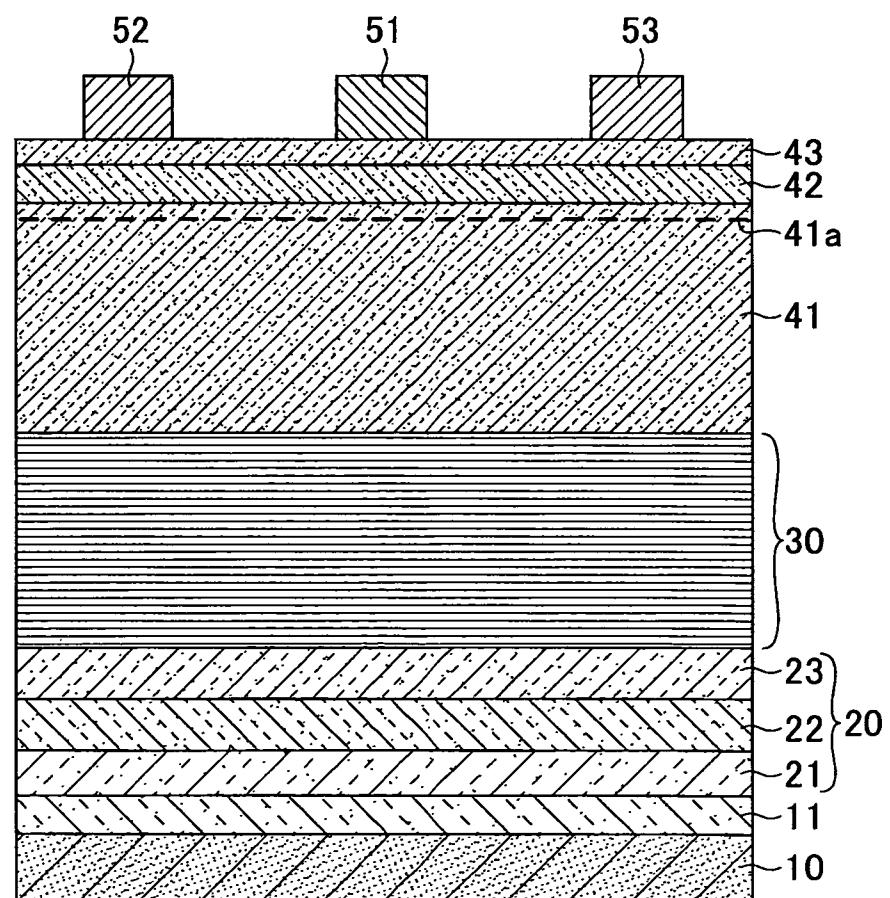


圖6B

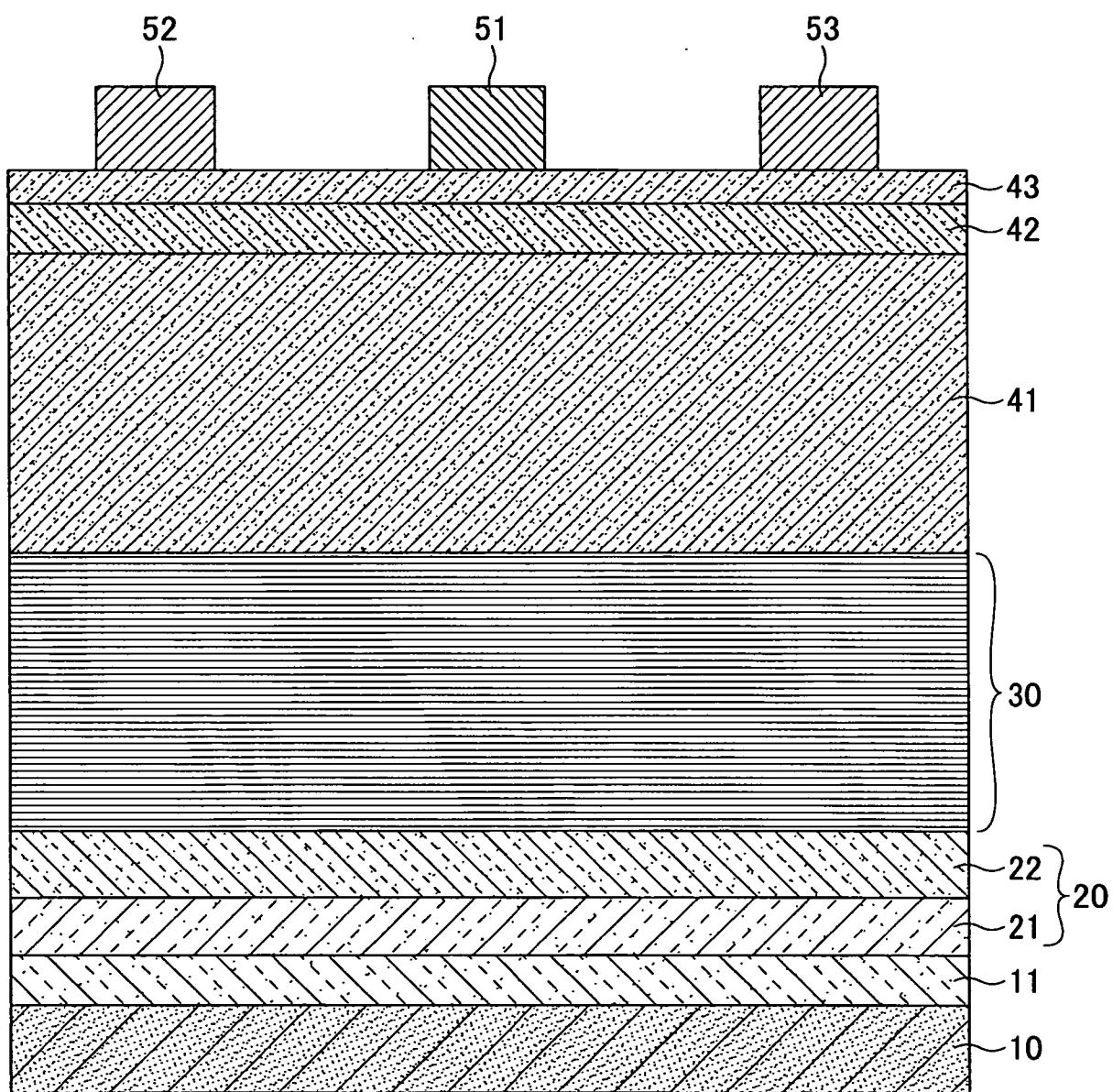


圖7

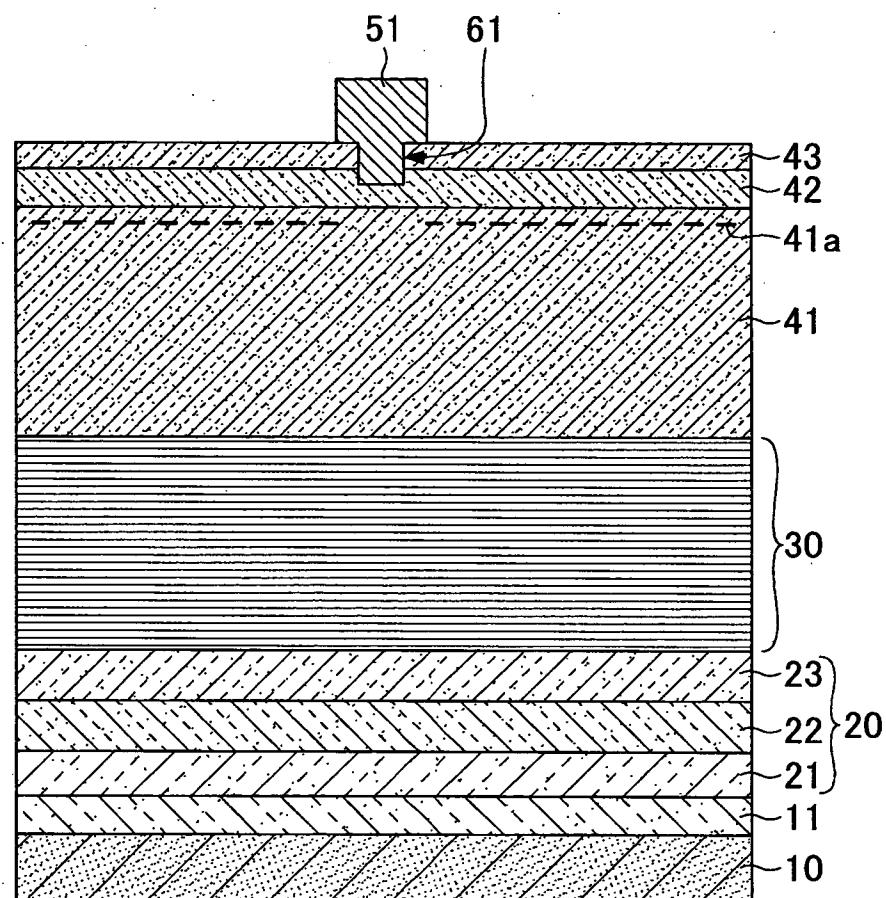


圖8A

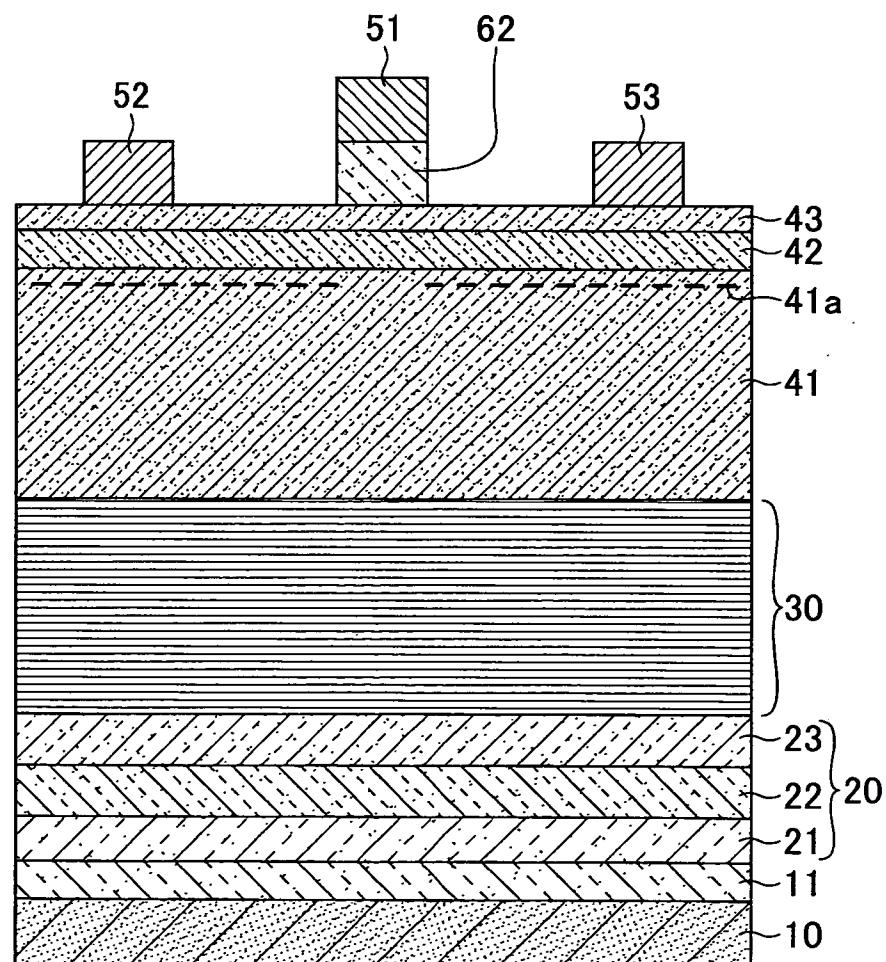


圖8B

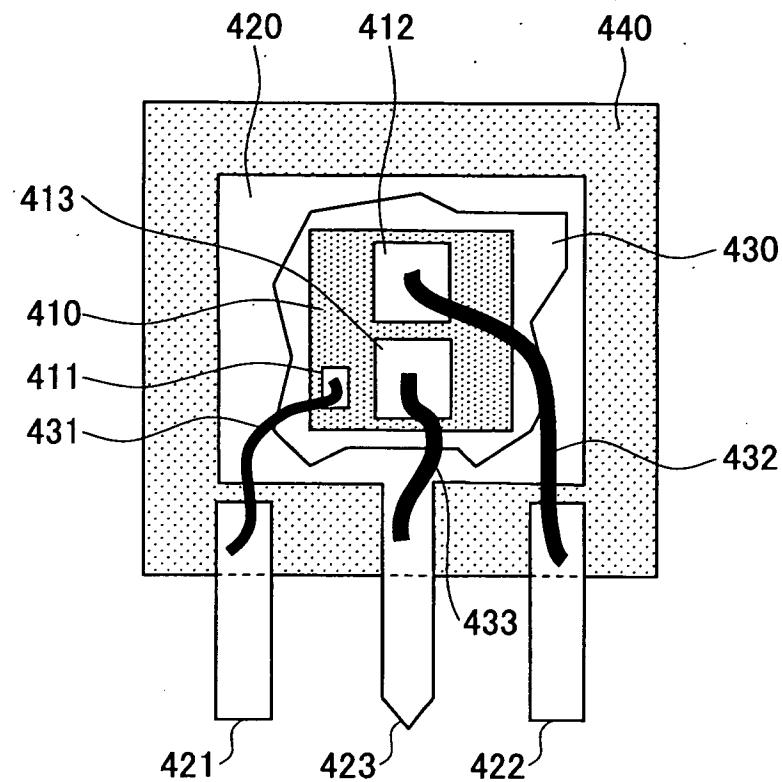


圖9

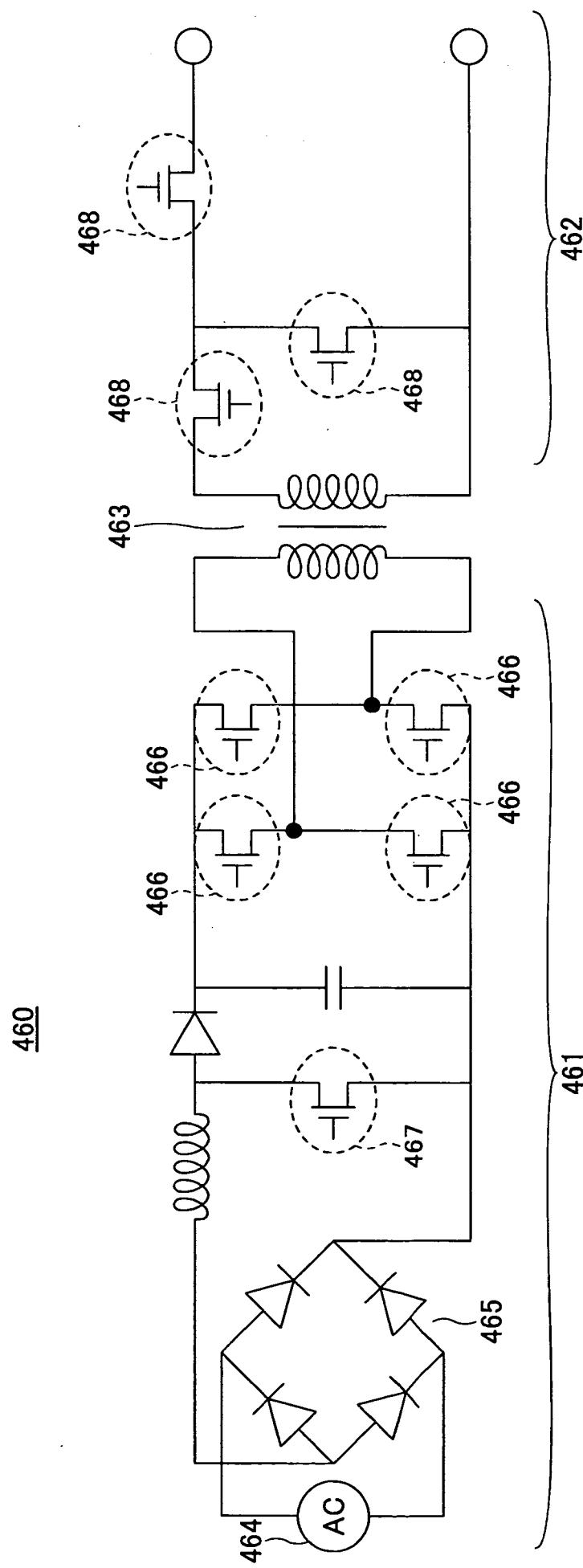


圖10

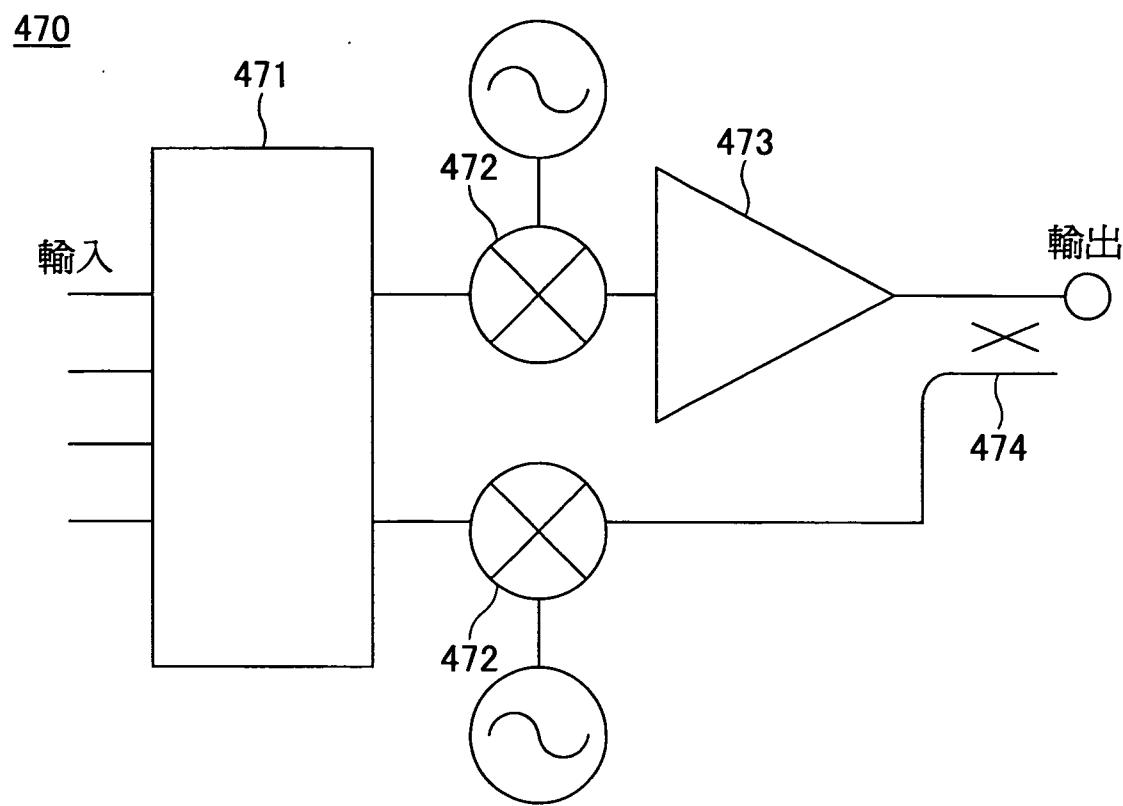


圖11