



(12) 发明专利

(10) 授权公告号 CN 101431100 B

(45) 授权公告日 2011. 01. 26

(21) 申请号 200810002936. 2

US 2007012994 A1, 2007. 01. 18,

(22) 申请日 2008. 01. 11

US 2005001257 A1, 2005. 01. 06,

(30) 优先权数据

US 7078280 B2, 2006. 07. 18,

112204/07 2007. 11. 05 KR

US 2002177265 A1, 2002. 11. 28,

(73) 专利权人 海力士半导体有限公司

审查员 马志勇

地址 韩国京畿道

(72) 发明人 车宣龙

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 彭久云

(51) Int. Cl.

H01L 29/78 (2006. 01)

H01L 29/06 (2006. 01)

H01L 27/04 (2006. 01)

H01L 21/336 (2006. 01)

H01L 21/822 (2006. 01)

(56) 对比文件

US 2001017384 A1, 2001. 08. 30,

CN 1385905 A, 2002. 12. 18,

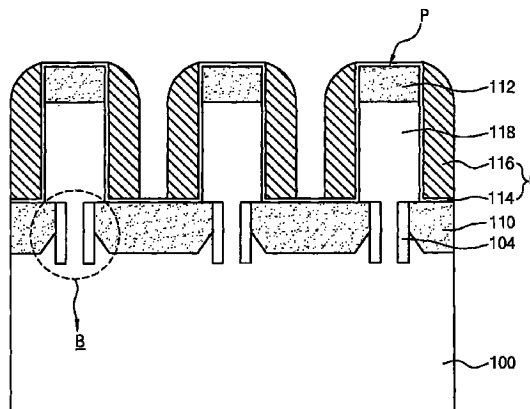
权利要求书 3 页 说明书 7 页 附图 9 页

(54) 发明名称

垂直晶体管及其形成方法

(57) 摘要

一种垂直晶体管及其形成方法。该垂直晶体管包含半导体基板,在其表面上形成有柱型有源图案;第一结区,形成于位于该有源图案两侧上的该半导体基板的表面内;屏蔽层,形成于该第一结区的侧壁上;第二结区,形成在该有源图案的上表面上;以及栅极,形成在包括该第二结区的该有源图案的侧壁上以交叠该第一结区的至少一部分。



1. 一种垂直晶体管,包括:
半导体基板,在其表面上形成有柱型有源图案;
第一结区,形成于位于该有源图案两侧上的该半导体基板的表面内;
屏蔽层,形成于该第一结区的整个侧壁上;
第二结区,形成在该有源图案的上表面上;以及
栅极,形成在包括该第二结区的该有源图案的侧壁上以交叠该第一结区的至少一部分,

其中所述第一结区在其侧壁处被所述屏蔽层完全覆盖,从而所述屏蔽层防止所述第一结区的杂质扩散穿过所述第一结区的侧壁。

2. 如权利要求 1 所述的垂直晶体管,其中该屏蔽层包括绝缘层。

3. 如权利要求 2 所述的垂直晶体管,其中绝缘层包括硅氧化物层。

4. 如权利要求 1 所述的垂直晶体管,其中包括该屏蔽层的该第一结区按照与该有源图案的宽度的 $1/5 \sim 1/3$ 相对应的间隔来布置。

5. 如权利要求 1 所述的垂直晶体管,其中该屏蔽层具有与该有源图案的宽度的 $1/6 \sim 1/4$ 相对应的厚度。

6. 一种垂直晶体管的形成方法,包括步骤:

蚀刻半导体基板并由此定义凹槽;

在该凹槽的整个侧壁上形成屏蔽层;

形成第一外延层以填充该凹槽;

在该屏蔽层上以及位于该第一外延层的部分之间的该半导体基板的部分上,形成由第二外延层制成的柱型有源图案;

分别在该第一外延层内以及该有源图案的上表面内形成第一结区和第二结区;以及

在包括该第二结区的该有源图案的侧壁上形成栅极,以交叠该第一结区的至少一部分,

其中所述第一结区在其侧壁处被所述屏蔽层完全覆盖,从而所述屏蔽层防止所述第一结区的杂质扩散穿过所述第一结区的侧壁。

7. 如权利要求 6 所述的方法,其中定义凹槽的步骤包括步骤:

各向异性蚀刻半导体基板;以及

各向同性蚀刻该半导体基板的被蚀刻部分以增大该半导体基板的该被蚀刻部分的宽度。

8. 如权利要求 6 所述的方法,其中形成屏蔽层的步骤包括步骤:

在包括该凹槽的表面的该半导体基板上形成绝缘层;以及

间隔物蚀刻该绝缘层使得该绝缘层仅残留在该凹槽的侧壁上。

9. 如权利要求 8 所述的方法,其中该绝缘层包括硅氧化物层。

10. 如权利要求 6 所述的方法,其中该屏蔽层形成为具有与该有源图案的宽度的 $1/6 \sim 1/4$ 相对应的厚度。

11. 如权利要求 6 所述的方法,其中形成第一外延层的步骤包括步骤:

在包含该屏蔽层的该半导体基板上生长第一外延层至完全填充该凹槽的厚度;以及
移除该第一外延层的表面以露出该半导体基板。

12. 如权利要求 6 所述的方法,其中形成有源图案的步骤包括步骤:
在包含该第一外延层的该半导体基板上生长第二外延层以覆盖该屏蔽层;以及
蚀刻该第二外延层,使得该第二外延层仅残留在该屏蔽层上以及位于该第一外延层的部分之间的该半导体基板的部分上。

13. 如权利要求 12 所述的方法,其中在生长该第二外延层的步骤之后,该方法还包括平整化该第二外延层的表面的步骤。

14. 如权利要求 6 所述的方法,其中包括该屏蔽层的该第一结区形成为按照与该有源图案的宽度的 $1/5 \sim 1/3$ 相对应的间隔来布置。

15. 一种垂直晶体管的形成方法,包括步骤:
蚀刻半导体基板并由此定义凹槽;
在该凹槽的整个侧壁上形成屏蔽层;
在该凹槽中生长掺杂有杂质的第一外延层并由此形成第一结区;
在该屏蔽层上以及位于该第一结区之间的该半导体基板的部分上,形成由第二外延层制成的柱型有源图案,以部分交叠该第一结区;
在该有源图案的上表面中形成第二结区;以及
在包含该第二结区的该有源图案的侧壁上形成栅极,以交叠该第一结区的至少一部分,

其中所述第一结区在其侧壁处被所述屏蔽层完全覆盖,从而所述屏蔽层防止所述第一结区的杂质扩散穿过所述第一结区的侧壁。

16. 如权利要求 15 所述的方法,其中定义凹槽的步骤包括步骤:
各向异性蚀刻半导体基板;以及
各向同性蚀刻该半导体基板的被蚀刻部分以增大该半导体基板的该被蚀刻部分的宽度。

17. 如权利要求 15 所述的方法,其中形成屏蔽层的步骤包括步骤:
在包括该凹槽的表面的该半导体基板上形成绝缘层;以及
间隔物蚀刻该绝缘层使得该绝缘层仅残留于该凹槽的侧壁上。

18. 如权利要求 17 所述的方法,其中该绝缘层包括硅氧化物层。

19. 如权利要求 15 所述的方法,其中该屏蔽层形成为具有与该有源图案的宽度的 $1/6 \sim 1/4$ 相对应的厚度。

20. 如权利要求 15 所述的方法,其中形成第一结区的步骤包括步骤:
在包括该屏蔽层的该半导体基板上生长 N 型第一外延层至完全填充该凹槽的厚度;以及
移除所生长的 N 型第一外延层的表面以露出该半导体基板。

21. 如权利要求 15 所述的方法,其中包括该屏蔽层的该第一结区形成为按照与该有源图案的宽度的 $1/5 \sim 1/3$ 相对应的间隔来布置。

22. 如权利要求 15 所述的方法,其中形成有源图案的步骤包括步骤:
在包含该第一结区的该半导体基板上生长第二外延层以覆盖该屏蔽层;以及
蚀刻该第二外延层,使得该第二外延层仅残留在该屏蔽层上以及位于该第一结区之间的该半导体基板的部分上。

23. 如权利要求 22 所述的方法,其中在生长该第二外延层的步骤之后,该方法还包括平整化该第二外延层的表面的步骤。

垂直晶体管及其形成方法

技术领域

[0001] 本发明涉及一种垂直晶体管及其形成方法,更具体而言涉及一种可以防止浮置本体效应 (floating body effect) 且改善垂直晶体管的特性的垂直晶体管及其形成方法。

背景技术

[0002] 通常,各种制造技术被应用于在半导体器件中形成晶体管和位线的方法。最近,通过在半导体基板上形成氧化物层以产生场效应的 MOSFET (金属氧化物半导体场效应晶体管) 已成为本领域的最重要部分。

[0003] 在 MOSFET 中,许多工艺用于在被划分成单元区与外围电路区的半导体基板的区域内形成晶体管。通过在半导体基板上沉积栅极绝缘层与栅极导电层,由此形成晶体管。栅极导电层通常由多晶硅层或者多晶硅层与金属基层的叠层制成。

[0004] 同时,随着半导体器件的设计规则减小,最近半导体工业又有增加半导体器件的集成水平、工作速度与成品率的趋势。依照此趋势,为了克服常规半导体晶体管有关半导体器件的集成水平与电流性能的限制,已经提出垂直晶体管。

[0005] 常规垂直晶体管包含形成于半导体基板内的栅极以及源极区与漏极区,其中源极区和漏极区形成于栅极两侧以定义一水平沟道;与该常规垂直晶体管不同,垂直晶体管包含栅极以及形成于栅极上方和下方的源极与漏极区以定义一垂直沟道。

[0006] 该垂直晶体管的沟道是通过置于源极区之间的半导体基板的一部分而与半导体基板电连接。藉此,本体电位 (body voltage) 可施加至该垂直晶体管。

[0007] 然而,在上述的常规垂直晶体管中,随着半导体设计规则减小,相邻源极区之间的间隔也减小。而由于相邻源极区之间间隔的减小,源极区的杂质可能扩散而使得源极区之间的间隔消失。

[0008] 如果源极区之间的间隔消失,则从半导体基板施加的本体电位可能不会传送至垂直晶体管的沟道。由于此效应,用于储存电荷的垂直晶体管本体被浮置,因此引起各种问题。

[0009] 具体而言,垂直晶体管与半导体基板之间的电学路径由于源极区的存在而被阻断,且因此,本体偏置无法被施加于垂直晶体管的沟道。结果,由于聚集在垂直晶体管的本体的电荷无法释放至半导体基板,浮置本体效应由此产生。

[0010] 浮置本体效应是指一种现象,即,栅极诱导漏极漏电 (gate induced drainleakage, GIOL) 或热载流子注入 (hot carrier injection) 发生于 NMOS 晶体管,空穴被俘获于沟道中,且晶体管的阈值电压由于空穴的存在而降低。

[0011] 因此,在常规技术中,由于本体浮置效应而难以适当地控制晶体管,结果晶体管特性可能劣化。

发明内容

[0012] 本发明的实施例涉及一种可以防止浮置本体效应的垂直晶体管及其形成方法。

[0013] 此外,本发明的实施例涉及一种可以改善垂直晶体管的特性的垂直晶体管及其形成方法。

[0014] 依据一个方面,垂直晶体管包括:半导体基板,在其表面上形成有柱型有源图案;第一结区,形成于位于该有源图案两侧上的该半导体基板的表面内;屏蔽层,形成于该第一结区的侧壁上;第二结区,形成在该有源图案的上表面上;以及栅极,形成在包括该第二结区的该有源图案的侧壁上以交叠该第一结区的至少一部分。

[0015] 该第一与第二结区包括N型离子注入层。

[0016] 该第一结区为源极区,且该第二结区为漏极区。

[0017] 该第一结区为漏极区,且该第二结区为源极区。

[0018] 该屏蔽层包括绝缘层。

[0019] 该绝缘层包括硅氧化物层。

[0020] 包含该屏蔽层的该第一结区按照与该有源图案的宽度的 $1/5 \sim 1/3$ 相对应的间隔来布置。

[0021] 该屏蔽层具有与该有源图案的宽度的 $1/6 \sim 1/4$ 相对应的厚度。

[0022] 在另一实施例中,垂直晶体管的形成方法包括步骤:蚀刻半导体基板并由此定义凹槽(groove);在该凹槽的侧壁上形成屏蔽层;形成第一外延层以填充该凹槽;在该屏蔽层上以及位于该第一外延层的部分之间的该半导体基板的部分上,形成由第二外延层制成的柱型有源图案;分别在该第一外延层内以及该有源图案的上表面内形成第一结区和第二结区;以及在包括该第二结区的该有源图案的侧壁上形成栅极,以交叠该第一结区的至少一部分。

[0023] 定义凹槽的步骤包括步骤:各向异性蚀刻半导体基板;以及各向同性蚀刻该半导体基板的被蚀刻部分以增大该半导体基板的该被蚀刻部分的宽度。

[0024] 形成屏蔽层的步骤包括步骤:在包括该凹槽的表面的该半导体基板上形成绝缘层;以及间隔物蚀刻(spacer etching)该绝缘层使得该绝缘层仅残留在该凹槽的侧壁上。

[0025] 该绝缘层包括硅氧化物层。

[0026] 该屏蔽层形成为具有与该有源图案的宽度的 $1/6 \sim 1/4$ 相对应的厚度。

[0027] 形成第一外延层的步骤包括:在包含该屏蔽层的该半导体基板上生长第一外延层至完全填充该凹槽的厚度;以及移除该第一外延层的表面以露出该半导体基板。

[0028] 形成有源图案的步骤包括:在包含该第一外延层的该半导体基板上生长第二外延层以覆盖该屏蔽层;以及蚀刻该第二外延层,使得该第二外延层仅残留在该屏蔽层上以及位于该第一外延层的部分之间的该半导体基板的部分上。

[0029] 在生长该第二外延层的步骤之后,该方法还包含平整化该第二外延层的表面的步骤。

[0030] 该第一与第二结区通过离子注入N型杂质而形成。

[0031] 该第一结区为源极区,且该第二结区为漏极区。

[0032] 该第一结区为漏极区,且该第二结区为源极区。

[0033] 包括该屏蔽层的该第一结区形成为按照与该有源图案的宽度的 $1/5 \sim 1/3$ 相对应的间隔来布置。

[0034] 在再一实施例中,垂直晶体管的形成方法包括步骤:蚀刻半导体基板并由此定义

凹槽；在该凹槽的侧壁上形成屏蔽层；在该凹槽中生长掺杂有杂质的第一外延层并由此形成第一结区；在该屏蔽层上以及位于该第一结区之间的该半导体基板的部分上，形成由第二外延层制成的柱型有源图案，以部分交叠该第一结区；在该有源图案的上表面中形成第二结区；以及在包含该第二结区的该有源图案的侧壁上形成栅极，以交叠该第一结区的至少一部分。

[0035] 定义凹槽的步骤包括步骤：各向异性蚀刻半导体基板；以及各向同性蚀刻该半导体基板的被蚀刻部分以增大半导体基板的该蚀刻部分的宽度。

[0036] 形成屏蔽层的步骤包括步骤：在包括该凹槽的表面的该半导体基板上形成绝缘层；以及间隔物蚀刻该绝缘层使得该绝缘层仅残留于该凹槽的侧壁上。

[0037] 该绝缘层包括硅氧化物层。

[0038] 该屏蔽层形成为具有与该有源图案的宽度的 $1/6 \sim 1/4$ 相对应的厚度。

[0039] 形成第一结区的步骤包括步骤：在包括该屏蔽层的该半导体基板上生长 N 型第一外延层至完全填充该凹槽的厚度；以及移除所生长的 N 型第一外延层的表面以露出该半导体基板。

[0040] 包括该屏蔽层的该第一结区形成为按照与该有源图案的宽度的 $1/5 \sim 1/3$ 相对应的间隔来布置。

[0041] 形成有源图案的步骤包含步骤：在包含该第一结区的该半导体基板上生长第二外延层以覆盖该屏蔽层；以及蚀刻该第二外延层，使得该第二外延层仅残留在该屏蔽层上以及位于该第一结区之间的该半导体基板的部分上。

[0042] 在生长该第二外延层的步骤之后，该方法还包含平整化该第二外延层的表面的步骤。

[0043] 该第一与第二结区通过离子注入 N 型杂质而形成。

[0044] 该第一结区为源极区，且该第二结区为漏极区。

[0045] 该第一结区为漏极区，且该第二结区为源极区。

附图说明

[0046] 图 1 为说明依照本发明一实施例的垂直晶体管的截面图。

[0047] 图 2A 至 2H 为说明本发明另一实施例的垂直晶体管的形成方法的工艺的截面图。

[0048] 图 3A 至 3G 为说明本发明又一实施例的垂直晶体管的形成方法的工艺的截面图。

[0049] 附图标记说明

[0050] B : 路径 P : 柱型有源图案

[0051] 112 : 漏极区 118 : 垂直延伸沟道区

[0052] 116 : 栅极导电层 114 : 栅极绝缘层

[0053] G : 栅极 110 : 源极区

[0054] 104 : 屏蔽层 100 : 半导体基板

[0055] H : 凹槽 106 : 第一外延层

[0056] 108 : 第二外延层 300 : 半导体基板

[0057] 302 : 硬掩模层 304 : 屏蔽层

[0058] 306 : 源极区 308 : 第二外延层

[0059] 310 :漏极区

具体实施方式

[0060] 本发明中,在定义于半导体基板中的凹槽的侧壁上形成屏蔽层之后,在该凹槽中形成结区,该结区的侧壁被该屏蔽层覆盖。然后,柱型有源图案形成在该半导体基板的表面上,且栅极形成在该有源图案的侧壁上以至少部分交叠相邻的结区。

[0061] 藉此,该屏蔽层可以防止该结区的杂质扩散而导致在相邻的结区之间所测量的间隔减小或消失。由此,在本发明中,本体电位可稳定地施加至垂直晶体管的沟道区。

[0062] 因此,在本发明中,可以防止浮置本体效应的发生,由此可以有效地改善垂直晶体管的特性,其中在该浮置本体效应中,垂直晶体管的主体被浮置且聚集在沟道区的电荷无法释放至半导体基板。

[0063] 以下参照附图说明本发明的具体实施例。

[0064] 图 1 为说明依照本发明一实施例的垂直晶体管的截面图。

[0065] 参考图 1,柱型有源图案 P 形成于半导体基板 100 的表面上。源极区 110 在有源图案 P 的两侧形成于半导体基板 100 的表面上,且漏极区 112 形成于有源图案 P 的上表面上。源极区 110 与漏极区 112 是由 N 型离子注入层制成。还可以设想,源极区 110 形成在有源图案 P 的上表面上,且漏极区 112 在有源图案 P 的两侧形成于半导体基板 100 的表面上。

[0066] 栅极 G 形成于包含漏极区 112 的有源图案 P 的侧壁上以接触源极区 110,优选地部分交叠源极区 110。栅极 G 包括栅极绝缘层 114 与栅极导电层 116。因此,依照本发明,形成了具有垂直延伸沟道区 118 的垂直晶体管,该沟道区 118 形成于介于源极区 110 与漏极区 112 之间的有源图案 P 内。

[0067] 由绝缘层优选地由硅氧化物层制成的屏蔽层 104 形成于相应的源极区 110 的侧壁上。屏蔽层 104 具有不大于有源图案 P 的宽度的 $1/4$ 的厚度,例如,对应于有源图案 P 的宽度的 $1/6 \sim 1/4$ 。据此,在其侧壁上被屏蔽层 104 覆盖的源极区 110 可隔开一间隔,该间隔不大于有源图案 P 的宽度的 $1/3$ 或者例如对应于有源图案 P 的宽度的 $1/5 \sim 1/3$ 。

[0068] 在本发明中,由于屏蔽层 104 形成在相应的源极区 110 的侧壁上,因此可以防止源极区 110 的杂质扩散穿过源极区 110 的侧壁。结果,在本发明中,可以防止由于源极区 110 的杂质扩散而引起介于相邻源极区 110 之间的间隔减少或消失。因此,也可以防止介于垂直晶体管的沟道区 118 与半导体基板 100 之间的电学路径被源极区 110 阻断。

[0069] 因此,在本发明中,路径 B 由于屏蔽层 104 的存在而可得到保证,其中聚集于垂直晶体管的沟道区 118 内的电荷通过该路径 B 可释放至半导体基板 100。藉此,可以防止浮置本体效应,且可以改善晶体管的特性。

[0070] 图 2A 至 2H 为说明本发明另一实施例的垂直晶体管的新方法的工艺的截面图。

[0071] 参照图 2A,在形成硬掩模层 102 于半导体基板 100 上后,光致抗蚀剂图案(未示出)形成于硬掩模层 102 上。硬掩模层 102 例如是由氮化硅层制成,且该光致抗蚀剂图案形成为露出硬掩模层 102 的部分区域。利用公知的光学工艺,通过各向异性蚀刻被该光致抗蚀剂图案露出的硬掩模层 102 部分,以及置于其下方的半导体基板 100 的预定厚度部分,由此定义凹槽 H。随后,移除光致抗蚀剂图案。

[0072] 参照图 2B,凹槽 H 的侧壁被各向同性蚀刻,使得凹槽 H 的宽度增加。

[0073] 参照图 2C,硬掩模层 102 移除后,优选为硅氧化物层的绝缘层沉积在包含凹槽 H 的表面的半导体基板 100 上。然后,通过间隔物蚀刻该绝缘层而使得该绝缘层仅残留在凹槽 H 的侧壁上,在凹槽 H 的侧壁上形成屏蔽层 104。屏蔽层 104 形成为具有不大于随后形成的有源图案 P 的宽度的 $1/4$ 或者优选地对应于该宽度的 $1/6 \sim 1/4$ 。

[0074] 参照图 2D,第一外延层 106 生长在从凹槽 H 底面部分开始的其上未形成有屏蔽层 104 的半导体基板 100 上,至完全填充凹槽 H 的厚度。随即,如此生长的第一外延层 106 的表面通过化学机械抛光 (CMP) 工艺或回蚀刻工艺移除以露出半导体基板 100。

[0075] 参照图 2E,第二外延层 108 形成于第一外延层 106、屏蔽层 104 与半导体基板 100 上。第二外延层 108 形成为具有与垂直晶体管的结构中所期望的沟道长度相对应的厚度。然后,第二外延层 108 的表面通过 CMP 工艺或回蚀刻工艺被平整化。

[0076] 参照图 2F,通过蚀刻第二外延层 108,在屏蔽层 104 上以及位于第一外延层 106 的部分之间的半导体基板 100 的部分上形成柱型有源图案 P,以部分交叠第一外延层 106。此时,优选地实施蚀刻而不引起第一外延层 106 的蚀刻损失。

[0077] 参照图 2G,通过对形成有有源图案 P 的得到的半导体基板 100 进行 N 型杂质离子注入工艺,在填充于凹槽 H 中的第一外延层 106 内形成源极区 110,并在有源图案 P 的上表面上形成漏极区 112。可以想到,源极区 110 形成在有源图案 P 的上表面上,且漏极区 112 形成于填充在凹槽 H 中的第一外延层 106 内。

[0078] 源极区 110 形成在凹槽 H 中使得源极区 110 的侧壁被屏蔽层 104 覆盖。因此,在本发明中,通过形成沟道屏蔽层 104,可以防止离子注入到源极区 110 的 N 型杂质扩散通过源极区 110 的侧壁。藉此,可以防止相邻源极区 110 之间的间隔减小或消失。据此,源极区 110 可在半导体基板 100 的表面上被隔开一间隔,该间隔不大于有源图案 P 的宽度的 $1/3$ 或者优选地对应于有源图案 P 的宽度的 $1/5 \sim 1/3$ 。

[0079] 参照图 2H,在形成有源极区 110 与漏极区 112 的半导体基板 100 的表面上形成栅极绝缘层 114 之后,在栅极绝缘层 114 上形成栅极导电层 116。接着,通过蚀刻栅极导电层 116 与栅极绝缘层 114,在包含漏极区 112 的栅极图形 P 的侧壁上形成栅极 G 以交叠源极区 110 的至少一部分。

[0080] 结果,形成了具有垂直延伸沟道区 118 的垂直晶体管,沟道区 118 形成在介于源极区 110 与漏极区 112 之间的有源图案 P 中。该垂直晶体管的沟道区 118 可通过屏蔽层 104 之间的半导体基板部分 B 与半导体基板 100 电连接。本体电压可以通过半导体基板部分 B 施加到该垂直晶体管。

[0081] 如上所述,本发明中,通过形成屏蔽层 104,可以防止源极区 110 中的杂质扩散通过源极区 110 的侧壁。因此,可以防止相邻源极区 110 之间的间隔减小或消失。据此,也可以防止该垂直晶体管与半导体基板 100 之间的电学路径被阻断。

[0082] 因此,在本发明中,由于本体电压可以通过屏蔽层 104 之间的半导体基板部分 B 被稳定地供应至该垂直晶体管的沟道区 118,可以防止由于垂直晶体管本体的浮置所导致的浮置本体效应,且藉此可以改善该垂直晶体管的特性。

[0083] 在本发明上述实施例中已描述了,在形成第一与第二外延层之后,N 型杂质离子注入工艺被实施以同时形成源极区与漏极区。然而,依照本发明又一实施例,可以构想,在生长其中掺杂有 N 型杂质的第一外延层并因此形成源极区之后,后来形成漏极区使得包括该

离子注入工艺的后续工艺可稳定地进行。

[0084] 图 3A 至 3G 为说明本发明又一实施例的垂直晶体管的形成方法的工艺的截面图。

[0085] 参照图 3A, 在半导体基板 300 上形成硬掩模层 302 之后, 在硬掩模层 302 上形成光致抗蚀剂图案 (未示出)。硬掩模层 302 例如是由氮化硅层制成, 且该掩模图案形成为露出硬掩模层 302 的部分区域。利用公知的光学工艺, 通过各向异性蚀刻硬掩模层 302 的被该光致抗蚀剂露出的部分, 以及位于其下方的半导体基板 300 的预定厚度部分, 由此定义凹槽 H。在移除光致抗蚀剂图案之后, 凹槽 H 侧壁被各向同性蚀刻而增加凹槽 H 的宽度。

[0086] 参照图 3B, 硬掩模层 302 移除后, 优选为硅氧化物层的绝缘层沉积在包括凹槽 H 的表面的半导体基板 300 上。然后, 通过间隔物蚀刻该绝缘层, 在凹槽 H 的侧壁上形成屏蔽层 304。屏蔽层 304 形成为具有不大于随后形成的有源图案 P 的宽度的 $1/4$ 或者优选地对应于该宽度的 $1/6 \sim 1/4$ 。

[0087] 参照图 3C, 掺杂有 N 型杂质的第一外延层生长在从凹槽 H 底面部分开始的其上未形成有屏蔽层 304 的半导体基板 300 上, 至完全填充凹槽 H 的厚度。随即, 掺杂有 N 型杂质的第一外延层的表面通过 CMP 工艺或回蚀刻工艺移除以露出半导体基板 300, 且源极区 306 由此形成在相应凹槽 H 中。源极区 306 形成在凹槽 H 中, 使得源极区 306 的侧壁被屏蔽层 304 覆盖。藉此, 源极区 306 可在半导体基板 300 的表面上被隔开一间隔, 该间隔不大于随后形成的有源图案 P 的宽度的 $1/3$ 或者优选地对应于有源图案 P 的宽度的 $1/5 \sim 1/3$ 。

[0088] 此处, 在本发明的该实施方式中, 由于第一外延层是在其掺杂有 N 型杂质的状态下生长, 源极区 306 可在形成有源图案 P 之前形成。藉此, 用以形成漏极区的包括离子注入工艺的后续工艺可稳定地实施。

[0089] 参照图 3D, 第二外延层 308 形成在源极区 306、屏蔽层 304 与半导体基板 300 上。第二外延层 308 形成为具有与垂直晶体管的结构中所期望的沟道长度相对应的厚度。然后, 第二外延层 308 的表面通过 CMP 工艺或回蚀刻工艺被平整化。

[0090] 参照图 3E, 通过蚀刻第二外延层 308, 在屏蔽层 304 上以及位于源极区 306 的部分之间的半导体基板 300 的部分上形成柱型有源图案 P, 以部分交叠源极区 306。此时, 优选地实施蚀刻而不引起源极区 306 的蚀刻损失。

[0091] 参照图 3F, 通过对形成有有源图案 P 的得到的半导体基板 300 进行 N 型杂质离子注入工艺, 在有源图案 P 的上表面上形成漏极区 310。源极区 306 与漏极区 310 的位置可以互换。

[0092] 参照图 3G, 在形成有漏极区 310 的半导体基板 300 的表面上形成栅极绝缘层 312 之后, 在栅极绝缘层 312 上形成栅极导电层 314。接着, 通过蚀刻栅极导电层 314 与栅极绝缘层 312, 在包括漏极区 310 的有源图案 P 的侧壁上形成栅极 G 以交叠源极区 306 的至少一部分。

[0093] 结果, 形成了具有垂直延伸沟道区 316 的垂直晶体管, 沟道区 316 形成在介于源极区 306 与漏极区 310 之间的有源图案 P 中。该垂直晶体管的沟道区 316 通过屏蔽层 304 之间的半导体基板部分 B 与半导体基板 300 电连接。本体电压可以通过半导体基板部分 B 施加到该垂直晶体管。

[0094] 如上所述, 在本发明的实施例中, 通过形成屏蔽层 304, 可以防止介于相邻源极区 306 之间的间隔减小或消失。据此, 由于本体电压可被稳定地供应至该垂直晶体管的沟道区

316,可以防止引起浮置本体效应。

[0095] 尽管为了说明的目的,描述了本发明的具体实施例,但是本领域技术人员将会理解,在不背离在权利要求书中披露的本发明的范围和精神的情况下可以进行各种修正、添加和替换。

[0096] 本申请主张于 2007 年 11 月 05 日提出的韩国专利申请 10-2007-0112204 的优先权,其全部内容引用结合于此。

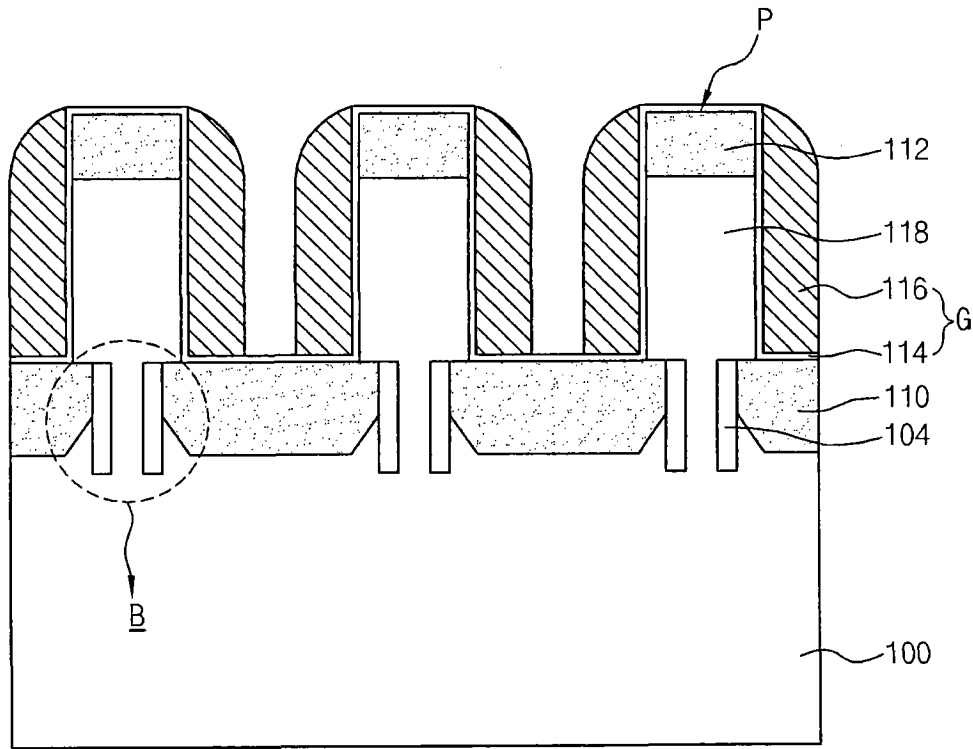


图 1

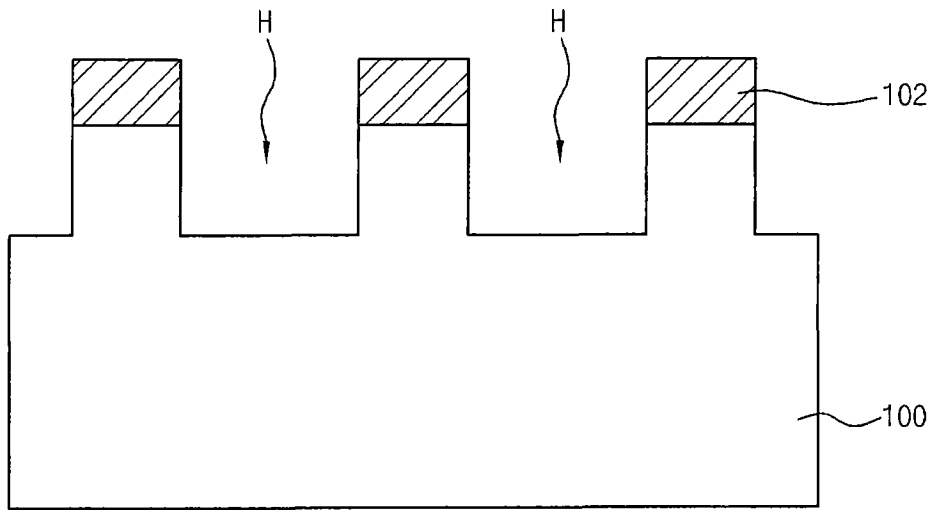


图 2A

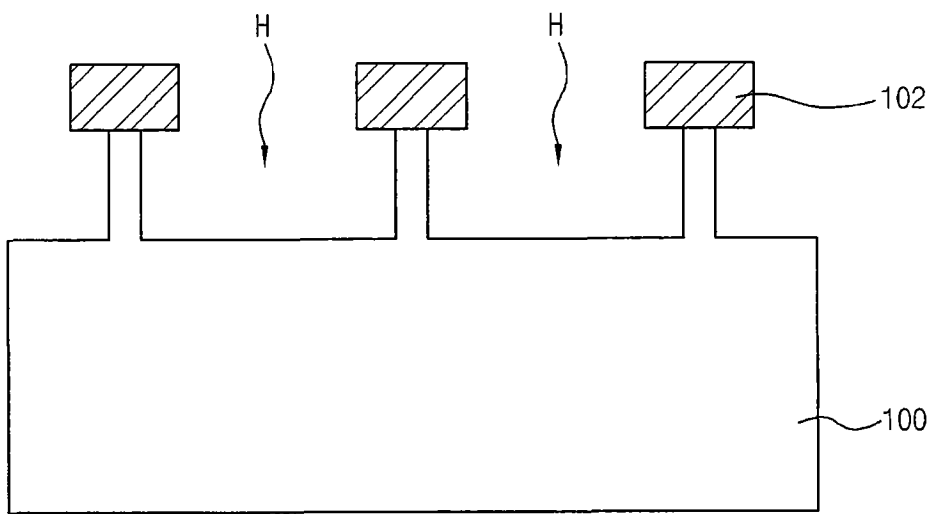


图 2B

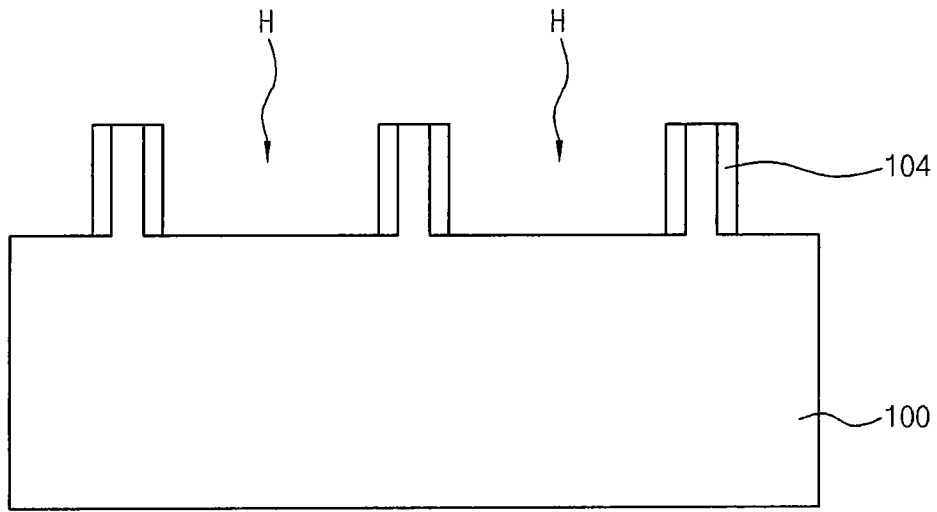


图 2C

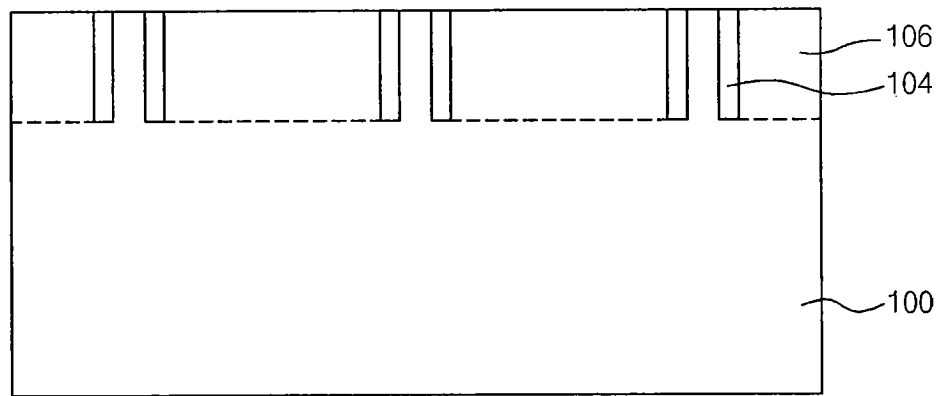


图 2D

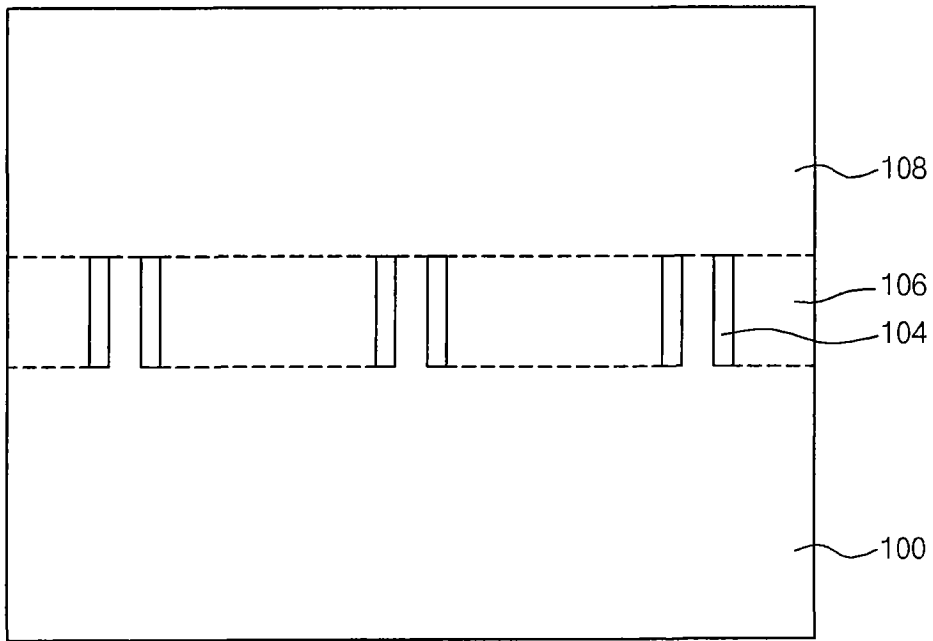


图 2E

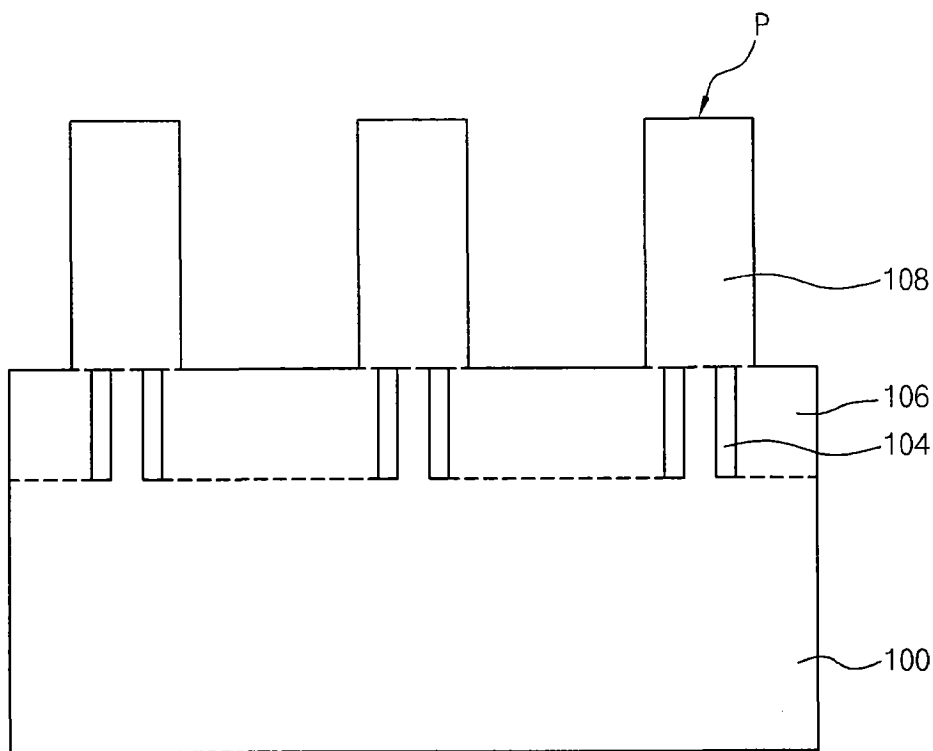


图 2F

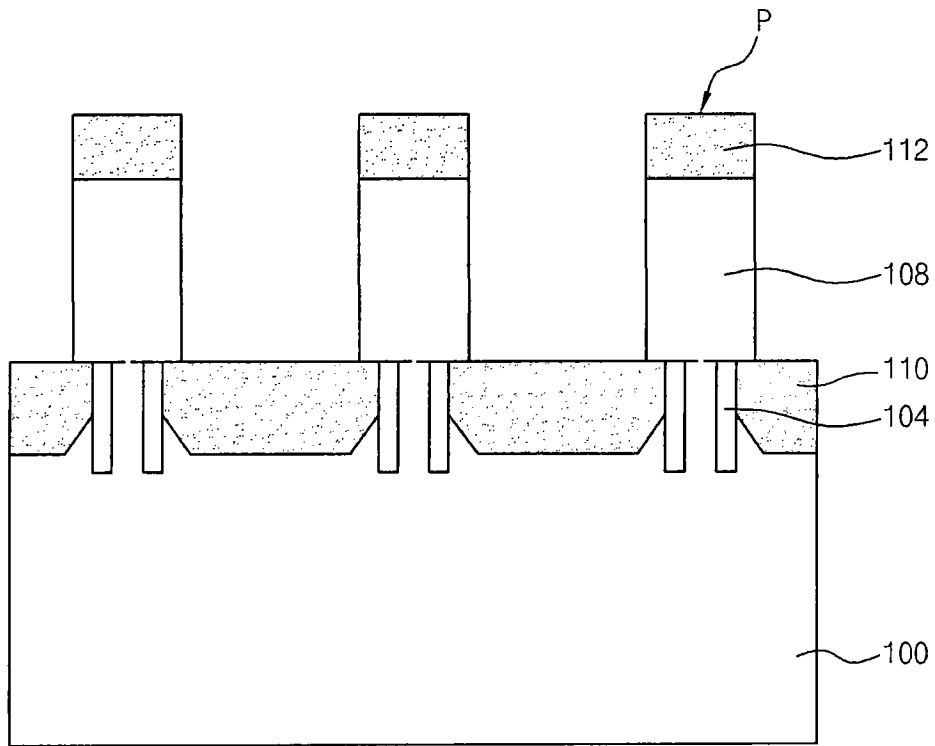


图 2G

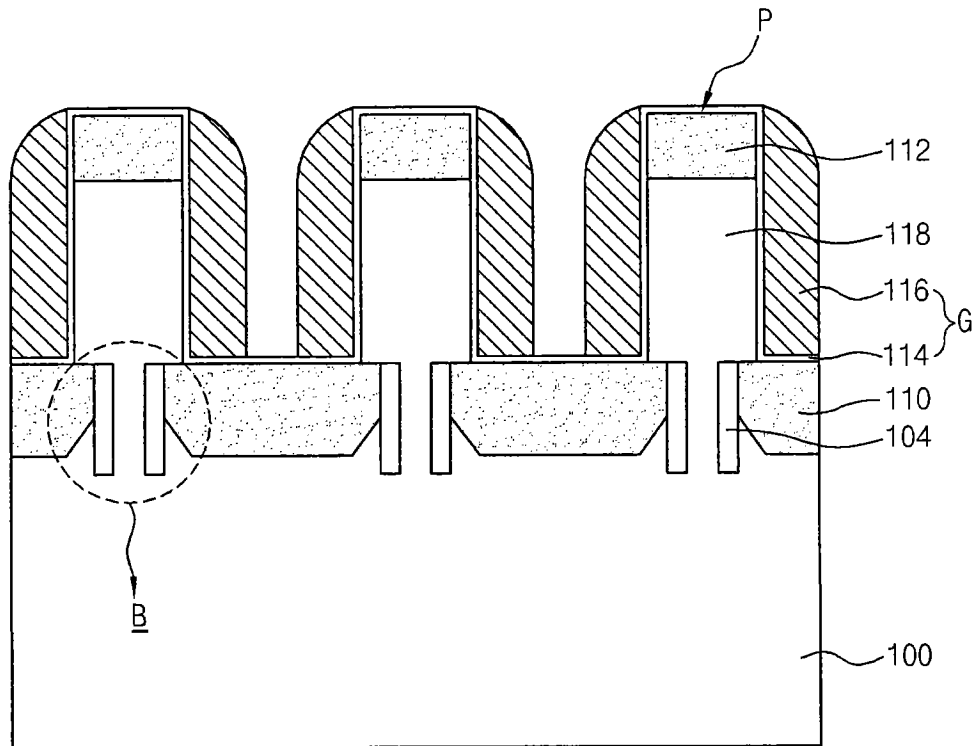


图 2H

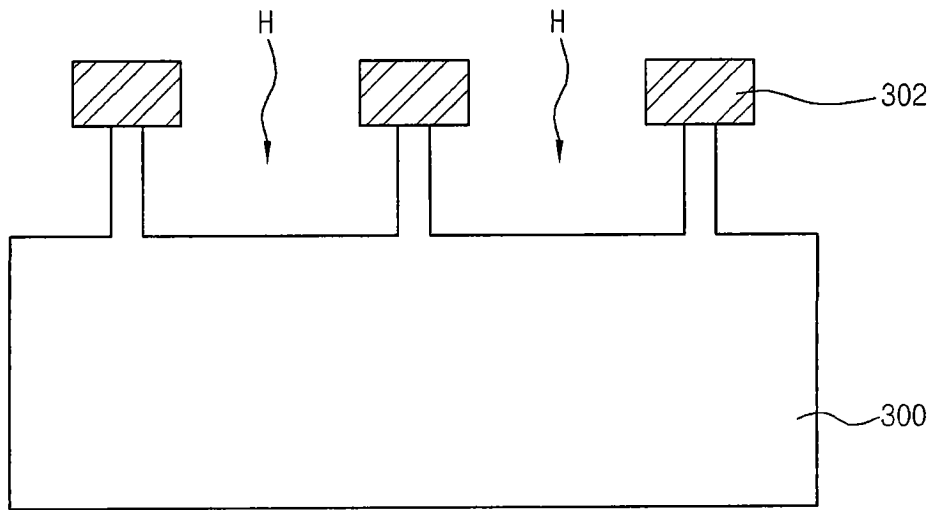


图 3A

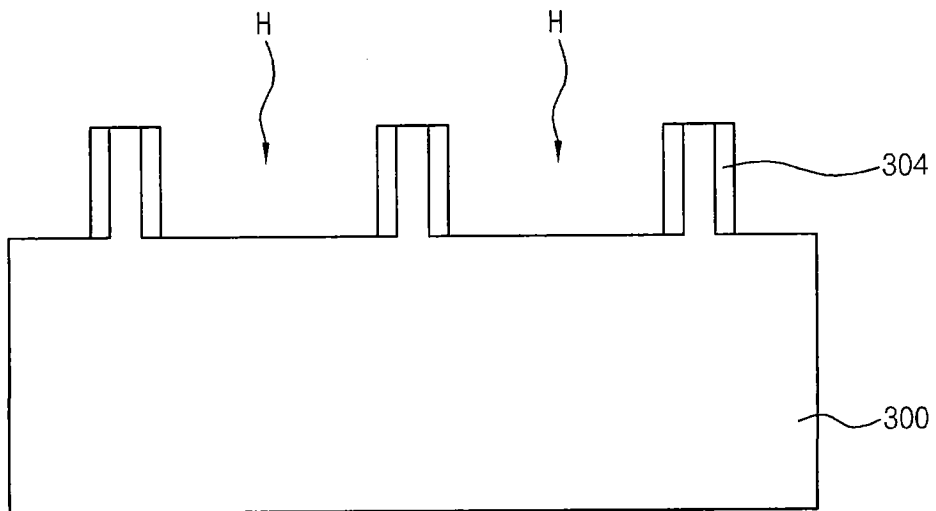


图 3B

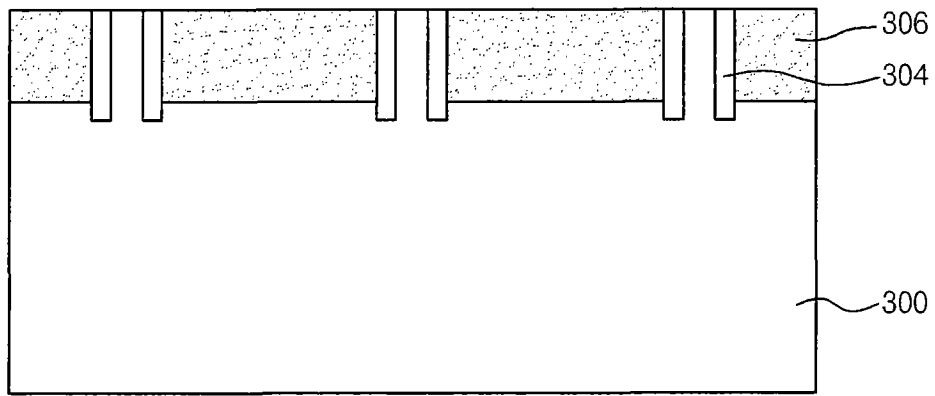


图 3C

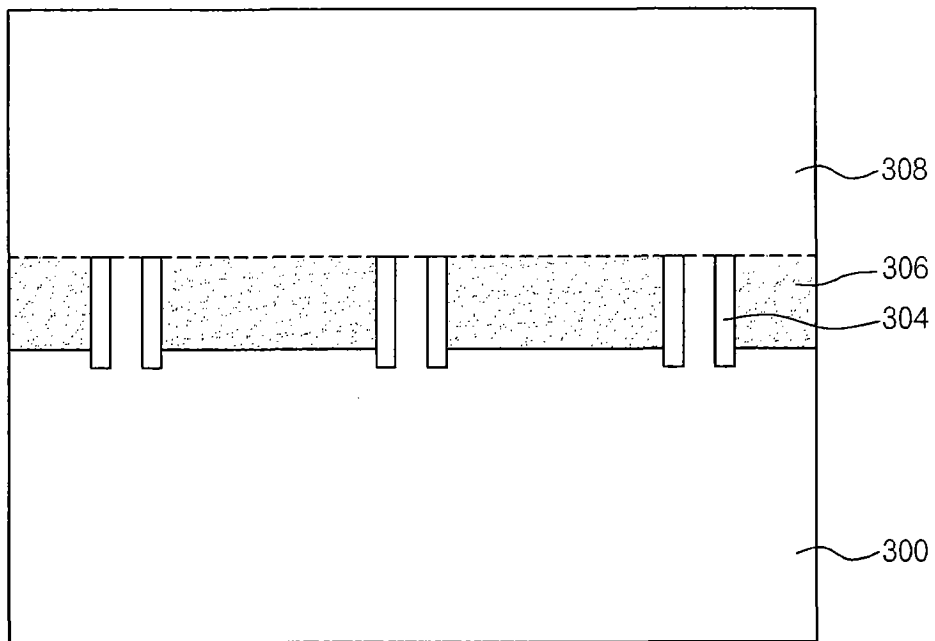


图 3D

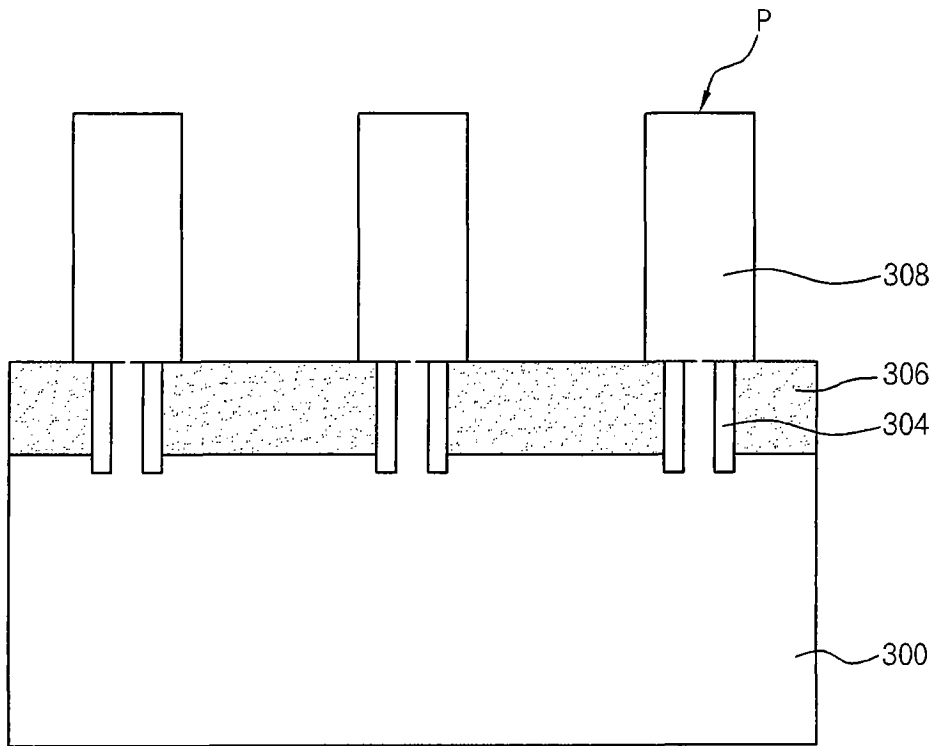


图 3E

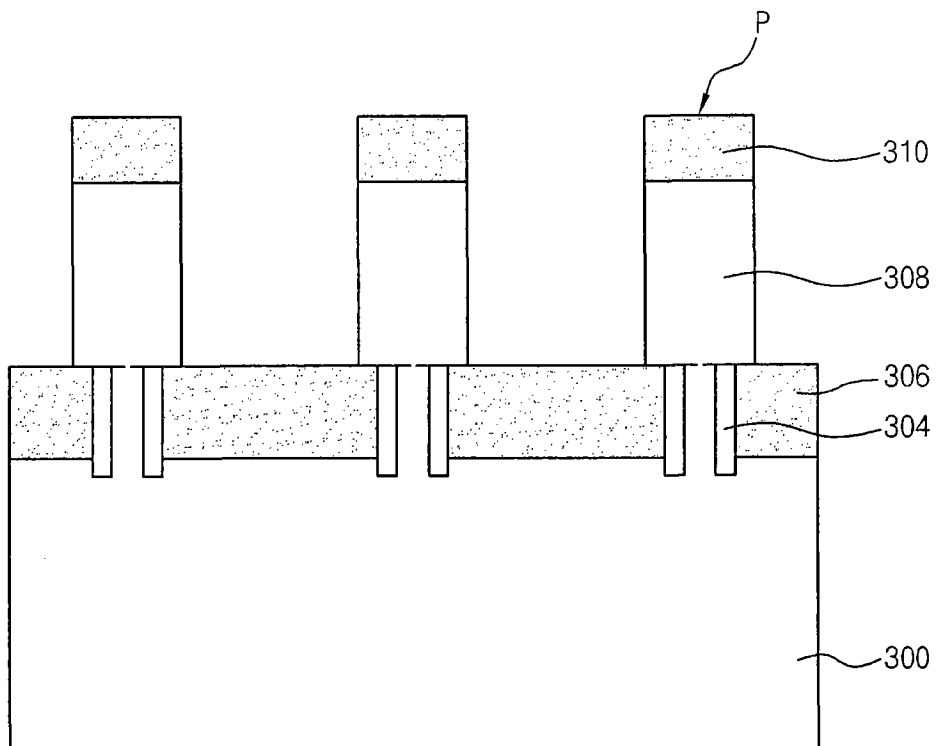


图 3F

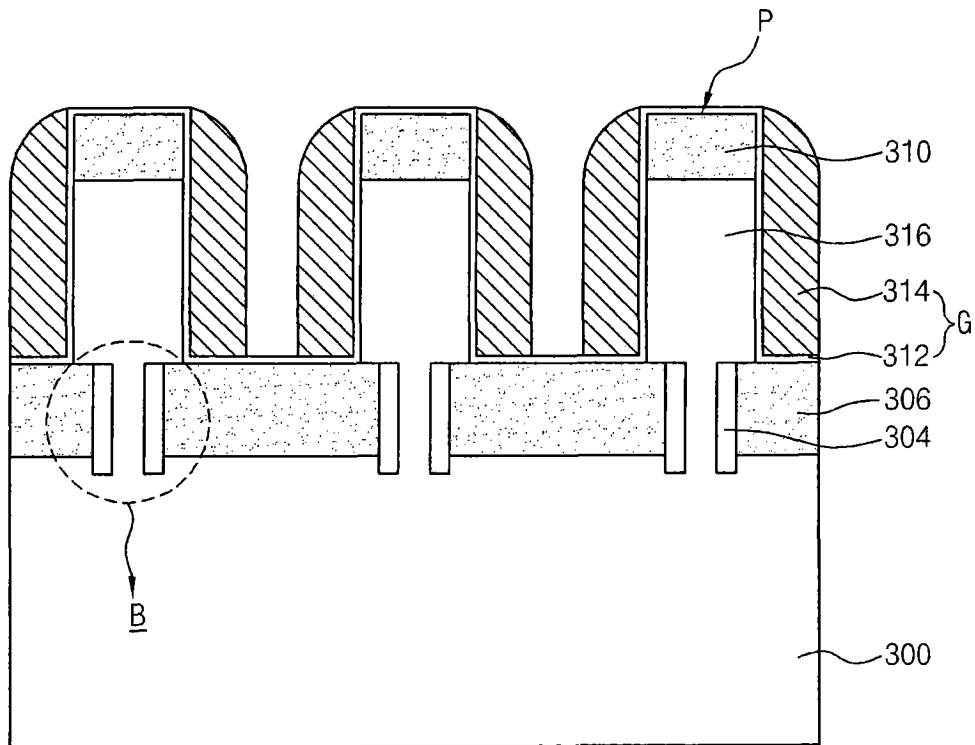


图 3G