

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-288046

(P2007-288046A)

(43) 公開日 平成19年11月1日(2007.11.1)

(51) Int. Cl.

H01L 25/07 (2006.01)
H01L 25/18 (2006.01)

F I

H01L 25/04

C

テーマコード (参考)

審査請求 未請求 請求項の数 2 O L (全 8 頁)

(21) 出願番号 特願2006-115656 (P2006-115656)

(22) 出願日 平成18年4月19日(2006.4.19)

(71) 出願人 000005234

富士電機ホールディングス株式会社

神奈川県川崎市川崎区田辺新田1番1号

(74) 代理人 100075166

弁理士 山口 巖

(74) 代理人 100076853

弁理士 駒田 喜英

(74) 代理人 100085833

弁理士 松崎 清

(72) 発明者 松原 邦夫

神奈川県横須賀市長坂二丁目2番1号 富

士電機アドバンステクノロジー株式会社

内

最終頁に続く

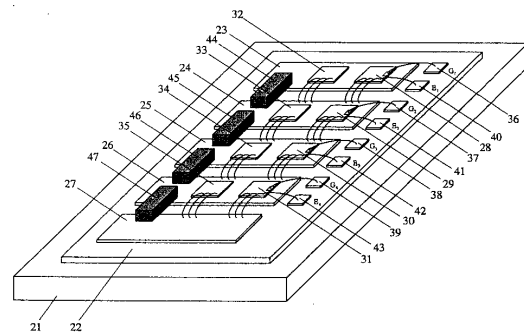
(54) 【発明の名称】 電力用半導体モジュール

(57) 【要約】

【課題】 IGBTなどの電圧駆動型半導体素子をアーム当たり複数個直列接続し、同時にスイッチングさせて使用する電力変換装置において、バランス抵抗による発熱を抑制し装置が大型化しないようにする。

【解決手段】 直列接続されたパワー半導体チップ28～31どうしの電圧分担を均一化させるために設けられるバランス抵抗44～47を、絶縁基板22を搭載した金属ベース板21上で各パワー半導体チップとそれぞれ並列に接続することにより、パッケージ内に内蔵させる構造とする。バランス抵抗44～47の発熱が、金属ベース板21の搭載面から効率よく冷却され、発熱が抑制される。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

樹脂ケースと金属ベース板とを組み合わせたパッケージを有し、電圧駆動型半導体チップとこれに逆並列接続されたダイオードチップとを組とする複数のパワー半導体チップを、絶縁基板を搭載した金属ベース板上で直列に接続し、各パワー半導体チップを同時にスイッチングさせて使用する電力用半導体モジュールにおいて、

前記直列接続されたパワー半導体チップ間の電圧分担を均一化させるバランス抵抗を、前記絶縁基板を搭載した金属ベース板上で各パワー半導体チップとそれぞれ並列に接続し、パッケージ内に内蔵したことを特徴とする電力用半導体モジュール。

【請求項 2】

前記バランス抵抗を複数個直列接続した抵抗により構成し、各接続箇所にそれぞれ出力端子を設けたことを特徴とする請求項 1 に記載の電力用半導体モジュール。

10

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、電力用半導体モジュールの内部構造に関する。

【背景技術】

【0002】

図 7 に電力用半導体モジュールの内部構造の従来例を、図 8 にその等価回路を示す。なお、図 8 は直列接続された電圧駆動型半導体（ここでは、IGBT：絶縁ゲート型バイポーラトランジスタ）チップを 4 直列接続し、同時にスイッチングさせて使用する電力用半導体モジュールの等価回路図で、1～4 はそれぞれダイオード D1～D4 が逆並列に接続された IGBT、9 は電力用半導体モジュール、C はコレクタ端子、G1～G4 はゲート端子、E、E1～E4 はエミッタ端子である。

20

【0003】

電力用半導体モジュールの内部構造は図 7 のように、金属ベース板 21、絶縁基板 22、コレクタ導体 23～26、エミッタ導体 27、IGBT チップ 28～31、ダイオードチップ 32～35、ゲート導体 36～39 および補助エミッタ導体 40～43 から構成される。すなわち、IGBT チップのコレクタとダイオードチップのカソードを電氣的に接着したコレクタ導体が絶縁基板上にマウントされ、IGBT チップのエミッタとダイオードチップのアノードがワイヤボンディングによって接続される。そして、これらのパワー半導体チップをワイヤボンディングによって電氣的に直列に接続することで、図 8 のような回路を構成している。なお、以上のようなモジュールとその内部構造は、例えば特許文献 1 に開示されている。

30

【0004】

図 7 では、耐圧の低い（通常 1200V 以下）パワー半導体チップを 4 直列に接続し、各パワー半導体チップを同時にスイッチングすることによって、電力用半導体モジュールの見かけ上の耐圧を 4800V（1200V×4）とし、4500V 耐圧に適用できる電力用半導体モジュールを得るもので、一般的な高耐圧電力用半導体モジュール（3300V 以上）よりも、スイッチング損失を低減することができる。

40

【0005】

その理由は、一般的に 1200V 耐圧以下の IGBT チップまたはダイオードチップは、3300V 以上の高耐圧なチップと比較して、スイッチング時間が約 1/10 程度で、複数個の半導体チップを直列接続にしても、約 1/3 程度の損失となるためである。

このように、低耐圧のパワー半導体チップを直列に接続した内部構造で 1 パッケージ化し、各パワー半導体チップを同時にスイッチングさせることで、スイッチング損失を低減した高耐圧大容量の電力用半導体モジュールを実現するようにしている。

【0006】

図 9 に、各アームに電圧駆動型半導体素子が複数個直列接続された一般的な電力変換装

50

置の回路構成を示す。図 9 において、63 は 3 相交流電源、64 は整流回路、65 は平滑用コンデンサ、66～71 は複数個直列接続された IGBT などの電圧駆動型半導体素子、72 は負荷としてのモータ、73～90 はバランス抵抗である。

つまり、直列接続された電圧駆動型半導体チップを、同時にスイッチングさせて使用する電力用半導体モジュールを電力変換装置に適用する場合は、図 9 に示すように直列接続されたパワー半導体チップ間の電圧分担を均一化するためにバランス抵抗が必要となる。

【0007】

【特許文献 1】特開 2005-093698 号公報

【発明の開示】

【発明が解決しようとする課題】

10

【0008】

上記バランス抵抗は、各アーム毎に直列素子数分の個数が必要となるが、特に高耐圧大容量の電力変換装置ではバランス抵抗での消費電力が大きくなるため、高電力用で体積の大きな抵抗やそのための冷却装置を必要とし、一般的な高耐圧電力用半導体モジュールを適用した（バランス抵抗は必要なし）場合と比較して、装置が大型化してしまう可能性がある。

したがって、この発明の課題は、バランス抵抗による発熱を抑制し装置を大型化しないようにすることにある。

【課題を解決するための手段】

【0009】

20

このような課題を解決するため、請求項 1 の発明では、樹脂ケースと金属ベース板とを組み合わせたパッケージを有し、電圧駆動型半導体チップとこれに逆並列接続されたダイオードチップとを組とする複数のパワー半導体チップを、絶縁基板を搭載した金属ベース板上で直列に接続し、各パワー半導体チップを同時にスイッチングさせて使用する電力用半導体モジュールにおいて、

前記直列接続されたパワー半導体チップ間の電圧分担を均一化させるバランス抵抗を、前記絶縁基板を搭載した金属ベース板上で各パワー半導体チップとそれぞれ並列に接続し、パッケージ内に内蔵したことを特徴とする。

この請求項 1 の発明においては、前記バランス抵抗を複数個直列接続した抵抗により構成し、各接続箇所それぞれ出力端子を設けることができる（請求項 2 の発明）。

30

【発明の効果】

【0010】

この発明によれば、低耐圧のパワー半導体チップを直列に接続し、スイッチング時の各半導体チップ間の電圧分担を均一化するためのバランス抵抗を内蔵させてパッケージ化し、各パワー半導体チップを同時にスイッチングさせることで発生損失が小さく、外付けのバランス抵抗を必要としない電力用半導体モジュールを実現することができる。また、この発明による電力用半導体モジュールを、特に高耐圧大容量の電力変換装置に適用することにより、装置の小型化を図ることが可能となる。

【発明を実施するための最良の形態】

【0011】

40

図 1 はこの発明の実施の形態を示す構成図、図 2 は図 1 に対応する等価回路図を示す。図 1 および図 2 において、図 7 および図 8 と同様の機能を有するものには同様の符号を付して示す。

そうすると、図 1 の図 7 に対する相違点はバランス抵抗 44～47 を設けた点であり、また、図 2 の図 8 に対する相違点はバランス抵抗 5～8 を接続した点にあることが分かり、その他は図 7 または図 8 と同じであることが分かる。

【0012】

すなわち、図 1 に示すように、IGBT チップのコレクタとダイオードチップのカソードを電氣的に接着したコレクタ導体が絶縁基板上にマウントされ、IGBT チップのエミッタとダイオードチップのアノードが、ワイヤボンディングによって接続されるところま

50

では従来と同じであるが、ここでは絶縁基板上にマウントしたバランス抵抗44～47を、コレクタ導体23～26またはエミッタ導体27を介して、各パワー半導体チップと並列に接続した点で異なっており、そのバランス抵抗は図2では符号5～8を付して示されている。

【0013】

バランス抵抗44～47は金属ベース板21上に搭載されるので、バランス抵抗44～47の発生損失による発熱を、搭載面から効率よく冷却できることになるため、バランス抵抗44～47を小型化することができる。これにより、電力用半導体モジュールのパッケージ内に、バランス抵抗を内蔵させることが可能となる。

以上のことから、図1、図2では、直列接続された電圧駆動型半導体チップを同時にスイッチングさせて使用する電力用半導体モジュールに、バランス抵抗を内蔵させることにより、特に高耐圧大容量の電力変換装置に適用する場合に、外付けのバランス抵抗が不要となり、装置を小型化することができる。

【0014】

図3に図1の変化例を示し、図4にその等価回路を示す。これは、各半導体チップのスイッチングタイミングを調整するコアを内蔵した電力用半導体モジュールに、バランス抵抗を内蔵させた例である。なお、コアでゲート線を磁気結合することは例えば特開2002-204578号公報に、また、コアを電力用半導体モジュールのパッケージ内に内蔵させることは特許文献1に、それぞれ開示されている。

【0015】

つまり、図3、図4は図1、図2に示すものに対し、スイッチングタイミングを調整するコア48～50、10～12をそれぞれ設けている他は同じなので詳細は省略する。

その結果、各半導体チップのスイッチングタイミングを調整するコアを内蔵し、直列接続された電圧駆動型半導体チップを同時にスイッチングさせて使用する電力用半導体モジュールに、バランス抵抗を内蔵させることにより、特に高耐圧大容量の電力変換装置に適用する場合に、外付けのバランス抵抗が不要となるため、装置を小型化することができる。

【0016】

図5にこの発明の別の実施の形態を示し、図6にその等価回路を示す。図5の図1、図3との相違点は、補助コレクタ導体51～54を設け、絶縁基板21上にマウントしたバランス抵抗55と56、57と58、50と60、61と62を、補助コレクタ導体51～54を介して直列に接続するとともに、コレクタ導体23～26またはエミッタ導体27を介して、各パワー半導体チップと並列に接続した点にある。これにより、バランス抵抗55～62は金属ベース板21上に搭載されるので、バランス抵抗44～47の発生損失による発熱を、搭載面から効率よく冷却できることになるため、バランス抵抗44～47を小型化することができる。その結果、電力用半導体モジュールのパッケージ内に、バランス抵抗を内蔵させることができるようになる。

【0017】

以上のように図5、図6では、直列接続された電圧駆動型半導体チップを同時にスイッチングさせて使用する電力用半導体モジュールに、バランス抵抗を内蔵させることにより、特に高耐圧大容量の電力変換装置に適用する場合に、外付けのバランス抵抗が不要となるため、装置を小型化することができる。また、図6のように、直列接続されたランス抵抗13～20の分圧比によって決定される電圧を出力する補助コレクタ端子C1～C4を設けることで、パッケージ内の各パワー半導体チップの電圧を監視することが可能となる。

【0018】

この発明は、電圧駆動型半導体チップのみが直列に接続される場合、または、ダイオードチップのみが直列に接続される場合にも有効であることは言うまでもない。

【図面の簡単な説明】

【0019】

10

20

30

40

50

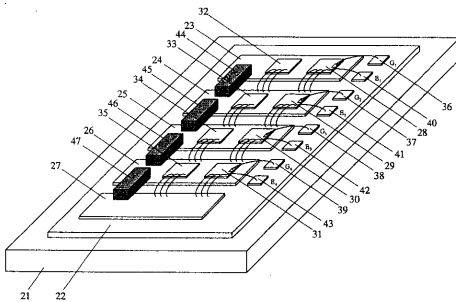
- 【図 1】 この発明の実施の形態を示す構成図
 【図 2】 図 1 の等価回路図
 【図 3】 図 1 の変形例を示す構成図
 【図 4】 図 3 の等価回路図
 【図 5】 この発明の別の実施の形態を示す構成図
 【図 6】 図 5 の等価回路図
 【図 7】 電力用半導体モジュールの従来例を示す内部構成図
 【図 8】 図 7 の等価回路図
 【図 9】 一般的な電力変換装置の主回路例を示す回路図
 【符号の説明】

10

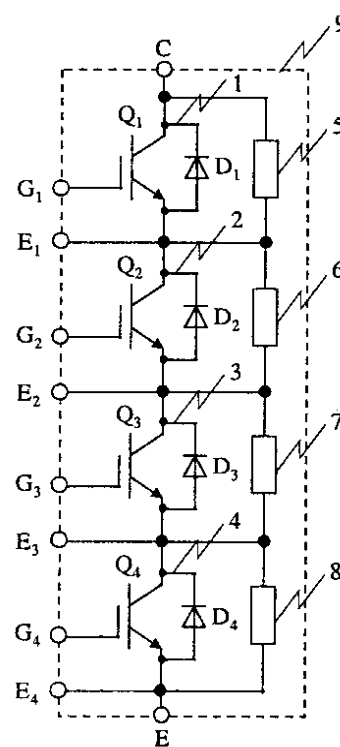
【0020】

1～4 (Q1～Q4) … IGBT (絶縁ゲート型バイポーラトランジスタ)、5～8, 13～20, 44～47…バラン抵抗、9…電力用半導体モジュール、10～12…コア、21…金属ベース板、22…絶縁基板、23～26…コレクタ導体、27…エミッタ導体、28～31…IGBTチップ、32～35…ダイオードチップ、36～39…ゲート導体、40～43…補助エミッタ導体、C…コレクタ端子、E, E1～E4…エミッタ端子、G1～G4…ゲート端子、C1～C4…補助コレクタ端子。

【図 1】



【図 2】



【図 3】

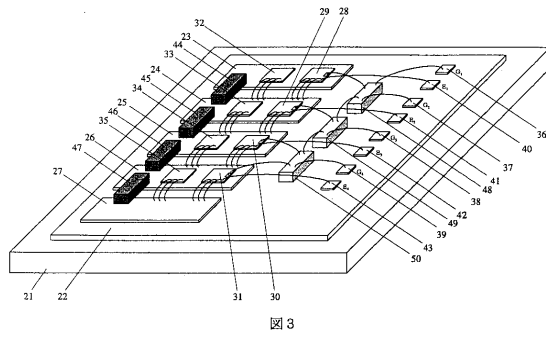


図 3

【図 4】

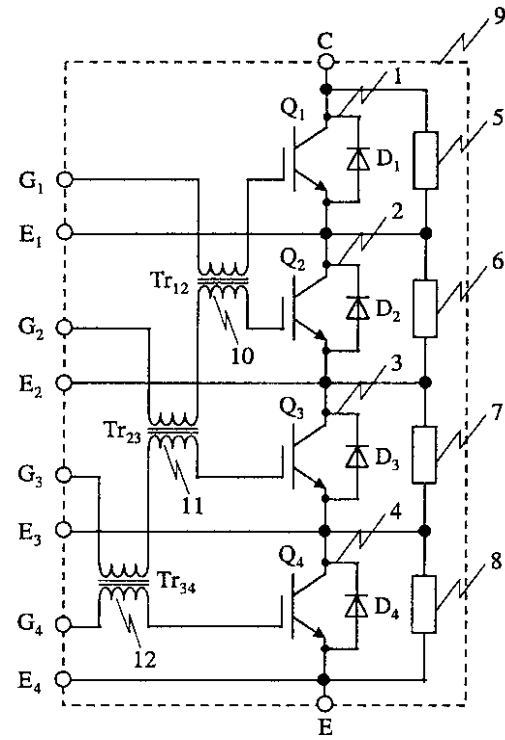


図 4

【図 5】

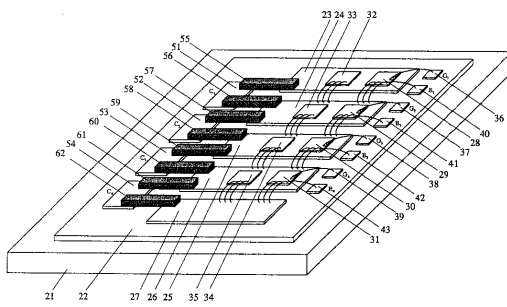


図 5

【図 6】

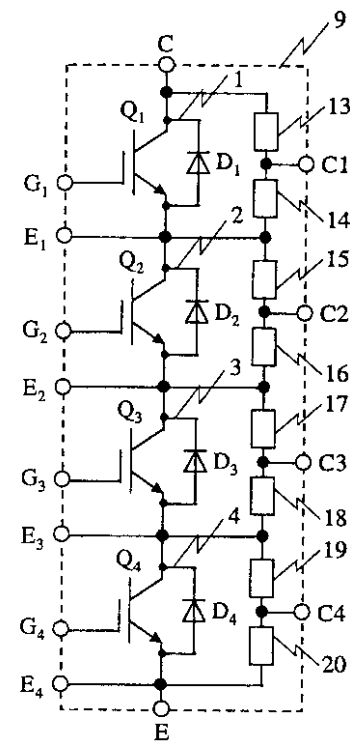
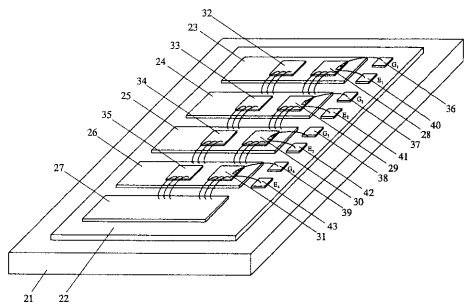
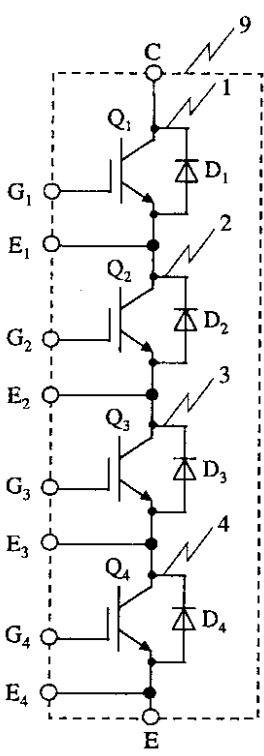


図 6

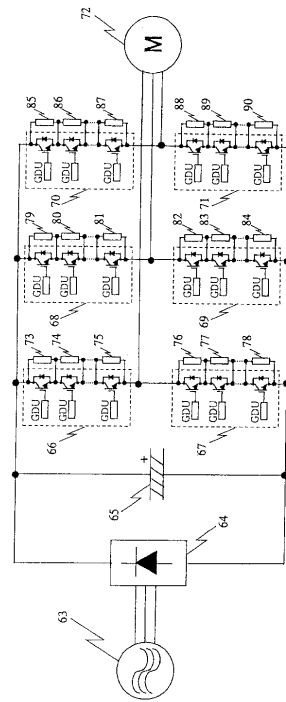
【図 7】



【図 8】



【図 9】



フロントページの続き

(72)発明者 笹川 清明

神奈川県横須賀市長坂二丁目2番1号 富士電機アドバンステクノロジー株式会社内