



СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) **SU** (11) **1525698** **A 1**

(51) 4 G 06 F 3/153

ГОСУДАРСТВЕННЫЙ КОМИТЕТ
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ
ПРИ ГИИТ СССР

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

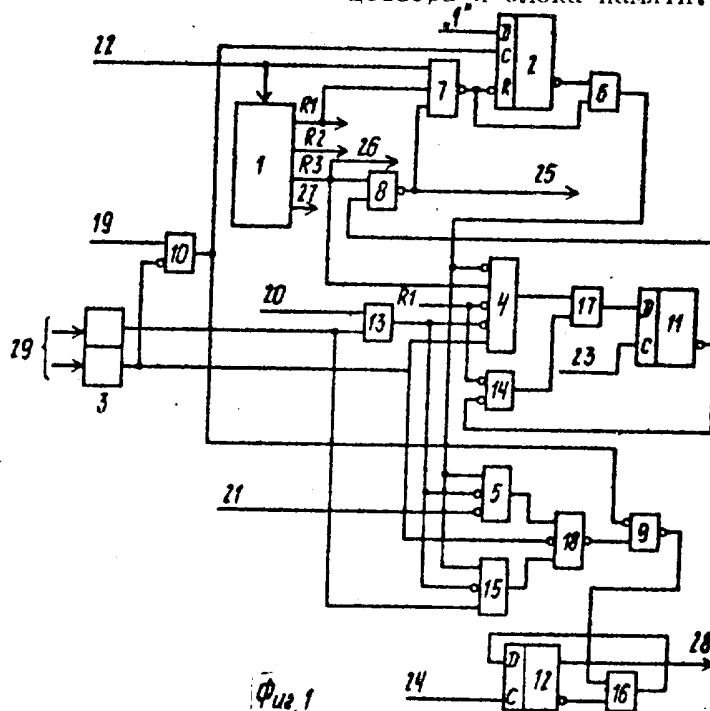
К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

- (21) 4354770/24-24
(22) 04.01.88
(46) 30.11.89.Бюл. № 44
(71) Институт электронных управляющих машин
(72) В.А.Жуков, А.Н.Степанов и В.И.Фукс
(53) 681.327.11 (088,8)
(56) Патент США № 4595917, кл. 340-703, опублик. 1986.

VSV 11/VS11. Raster graphics system. Option description. - Digital Equipment Corporation, Nashua, 1981, p.5-18, fig 5-13.

- (54) УСТРОЙСТВО ДЛЯ СОПРЯЖЕНИЯ ДИСПЛЕЙНОГО ПРОЦЕССОРА С БЛОКОМ ПАМЯТИ
(57) Изобретение относится к вычис-

лительной технике и может быть использовано при построении растровых графических дисплеев. Целью изобретения является повышение быстродействия устройства при асинхронной работе дисплейного процессора и блока памяти. Поставленная цель достигается тем, что в устройство, содержащее распределитель 1 импульсов, триггер 2, регистр 3, три элемента И 4-6, два элемента И-НЕ 7,9, элемент ИЛИ-НЕ 8, элемент ИЛИ 10, с их связями, введены триггеры 11, 12, элементы И 13-16, элемент ИЛИ 17, элемент ИЛИ-НЕ 18 с их связями, что обеспечивает сокращение потерь на ожидание, вызванных несинхронностью работы процессора и блока памяти. 3 ил.



(19) **SU** (11) **1525698** **A 1**

Изобретение относится к вычислительной технике и может быть использовано при построении растровых графических дисплеев.

Цель изобретения - повышение быстродействия устройства при асинхронной работе дисплейного процессора и блока памяти.

На фиг.1 приведена функциональная схема устройства для сопряжения; на фиг.2 - структурная схема подключения устройства для сопряжения к дисплейному процессору и блоку памяти; на фиг.3 - временная диаграмма работы устройства для сопряжения.

Устройство для сопряжения содержит распределитель 1 импульсов, первый триггер 2, регистр 3, первый 4, второй 5 и третий 6 элементы И, первый элемент И-НЕ 7, первый элемент ИЛИ-НЕ 8, второй элемент И-НЕ 9, первый элемент ИЛИ 10, второй 11 и третий 12 триггеры, четвертый 13, пятый 14, шестой 15 и седьмой 16 элементы И, второй элемент ИЛИ 17, второй элемент ИЛИ-НЕ 18, вход 19 сигнала записи, вход 20 сигнала обратного хода луча (ENWR), вход 21 сигнала регенерации, первый синхровход 22 (CNO), второй синхровход 23 (CNI), вход 24 тактовых импульсов (CLK), выход 25 сигнала записи, первый выход 26 (RAS) синхронизации, второй выход 27 синхронизации (CAS), выход 28 тактирующих импульсов (SYSCLK), входы 29 установки сигнала состояния устройства.

Устройство для сопряжения подключается между дисплейным процессором и блоком памяти (кадровым буфером), преобразуя запросы на запись со стороны дисплейного процессора в импульс записи при свободном кадровом буфере или запоминая запрос и блокируя тактовый импульс процессора (приостанавливая процессор) до освобождения кадрового буфера.

Режим работы кадрового буфера определяется кодом в регистре 3 статуса. При этом если $RD=X$, $WR=0$, то запись запрещена, запрос по входу 19 игнорируется; если $RD=0$, $WR=1$, то запись разрешена, но кадровый буфер может быть занят регенерацией; если $RD=1$, $WR=1$, то запись разрешена в интервалы времени, определяемые низким уровнем потенциала на входе 20.

Пусть $RD=0$, $WR=1$. В этом случае кадровый буфер по сигналу на входе 21 выполняет внутреннюю регенерацию, которую нельзя прерывать сигналом записи.

Цикл работы кадрового буфера разбивается на 8 временных фаз, задаваемых четырьмя сигналами на выходах распределителя 1. Появление сигнала "Запись" на входе 19 приводит к установлению триггера 2 в единичное состояние при свободном кадровом буфере. Если буфер занят, то на выходе элемента ИЛИ-НЕ 18 находится единичный потенциал, который при наличии сигнала "Запись" приводит к установлению нулевого потенциала на выходе элемента И-НЕ 9 и блокировке тактового импульса процессора, формируемого триггером 12 и элементом И 16. Таким образом, тактовый импульс процессора находится в нулевом состоянии, одновременно продлевается сигнал "Запись", а триггер 2 не установлен до прихода положительного фронта этого сигнала. Привязка запроса на запись к циклу работы кадрового буфера осуществляется с помощью триггера 11, который может быть установлен в единичное состояние только при $R1=0$ и $R3=1$ при наличии соответствующего разрешения от триггера 2 и внешних цепей (низкий уровень на выходе элемента И 13 и $WR=1$). В этом состоянии триггер 11 удерживается до установления на выходе $R1$ распределителя 1 единичного потенциала. Сигнал "Регенерация" на входе 21 приводит в этом режиме к формированию высокого уровня на выходе элемента ИЛИ-НЕ 18, т.е. к неготовности кадрового буфера.

Если $RD=1$, $WR=1$, то запись разрешена в интервалы времени, определяемые низким уровнем сигнала на входе 20. Сигнал "Регенерация" в этом случае игнорируется. Если выход элемента И 13 - единичный, т.е. запись запрещена, то установка триггера 11 в единичное состояние не производится, сигнал WE на выходе 25 не формируется, нулевой потенциал на выходе элемента И-НЕ 9 блокирует тактовый импульс процессора, который остается в состоянии приостановки. Появление нулевого потенциала на выходе элемента 13 И приводит к разблокировке тактового импульса и

установке триггеров 2 и 11 в единичное состояние, формирование сигнала WE на выходе 25, сбросу триггеров 2 и 11 по окончании цикла записи.

Таким образом, сигналы на входах 24 и 22 и выходе 25, т.е. тактовые сигналы синхронизации процессора и кадрового буфера, могут быть несинхронны, а ожидание процессором готовности кадрового буфера минимально. При этом из-за несинхронности потери на ожидание составляют $0-0,5 T_{\text{ц}}$, где $T_{\text{ц}}$ - время цикла динамической памяти в зависимости от временной фазы работы памяти, на которую приходится запрос на запись. В устройстве-прототипе эти потери могут составить до $4 T_{\text{ц}}$. Это происходит из-за того, что захват процессором импульсного сигнала BSINC, который составляет $1/4 T_{\text{ц}}$, при асинхронной работе в наихудшем случае может произойти только с четвертой попытки. Суммарная процедура записи с учетом ожидания в устройстве, включающем предлагаемый блок, составляет $2,5 T_{\text{ц}} + 0,5 T_{\text{ц}} = 3,0 T_{\text{ц}}$, а в прототипе $2,5 T_{\text{ц}} + 4 T_{\text{ц}} = 6,5 T_{\text{ц}}$, т.е. быстродействие предлагаемого устройства в 2 раза выше быстродействия прототипа.

Ф о р м у л а и з о б р е т е н и я

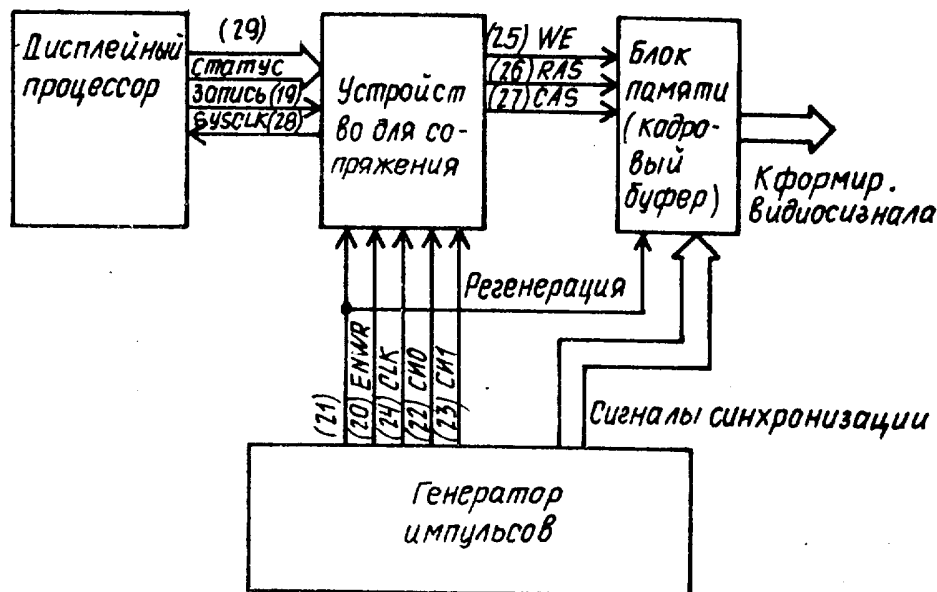
Устройство для сопряжения дисплейного процессора с блоком памяти, содержащее распределитель импульсов, синхронизирующий вход которого является первым синхровходом устройства, первый триггер, регистр, входы которого являются входами установки сигнала состояния устройства, первый выход регистра подключен к первому входу первого элемента И, второй элемент И, первый вход которого является входом сигнала регенерации устройства, третий элемент И, первый вход которого подключен к выходу первого элемента И-НЕ, первый вход которого подключен к выходу первого элемента ИЛИ-НЕ, второй элемент И-НЕ, первый элемент ИЛИ, выход которого подключен к тактовому входу первого триггера, о т л и ч а ю щ е е с я тем, что, с целью повышения быстродействия устройства, оно содержит второй и третий триггеры, четвертый, пятый, шестой и седьмой элементы И,

вторые элементы ИЛИ и ИЛИ-НЕ, D-вход первого триггера является входом устройства, R-вход подключен к выходу первого элемента И-НЕ, инверсный выход первого триггера подключен к второму входу третьего элемента И, выход которого подключен к вторым входам первого и второго элементов И и первому входу шестого элемента И, выходы второго и четвертого элементов И подключены соответственно к первому и второму входам второго элемента ИЛИ-НЕ, выход которого подключен к первому входу второго элемента И-НЕ, выход которого подключен к первому входу седьмого элемента И, второй вход второго элемента И-НЕ подключен к выходу первого элемента ИЛИ, первый вход которого является входом сигнала записи устройства, второй вход первого элемента ИЛИ подключен к первому выходу регистра, второй выход которого подключен к второму входу шестого элемента И и к первому входу четвертого элемента И, второй вход которого является входом сигнала обратного хода луча устройства, выход четвертого элемента И подключен к третьим входам первого, второго и шестого элементов И, четвертый вход первого элемента И подключен к первому выходу распределителя импульсов, соединенному с вторым входом первого элемента И-НЕ, третий вход которого подключен к первому синхровходу устройства и к первому входу пятого элемента И, выход которого подключен к первому входу второго элемента ИЛИ, второй вход которого подключен к выходу первого элемента И, выход второго элемента ИЛИ подключен к D-входу второго триггера, тактовый вход которого является вторым синхровходом устройства, инверсный выход второго триггера подключен к второму входу пятого элемента И и к первому входу первого элемента ИЛИ-НЕ, выход которого является выходом сигнала записи устройства, второй вход первого элемента ИЛИ-НЕ подключен к второму выходу распределителя импульсов, соединенному с пятым входом первого элемента И и который является первым выходом синхронизации устройства, третий выход распределителя импульсов является вторым выходом

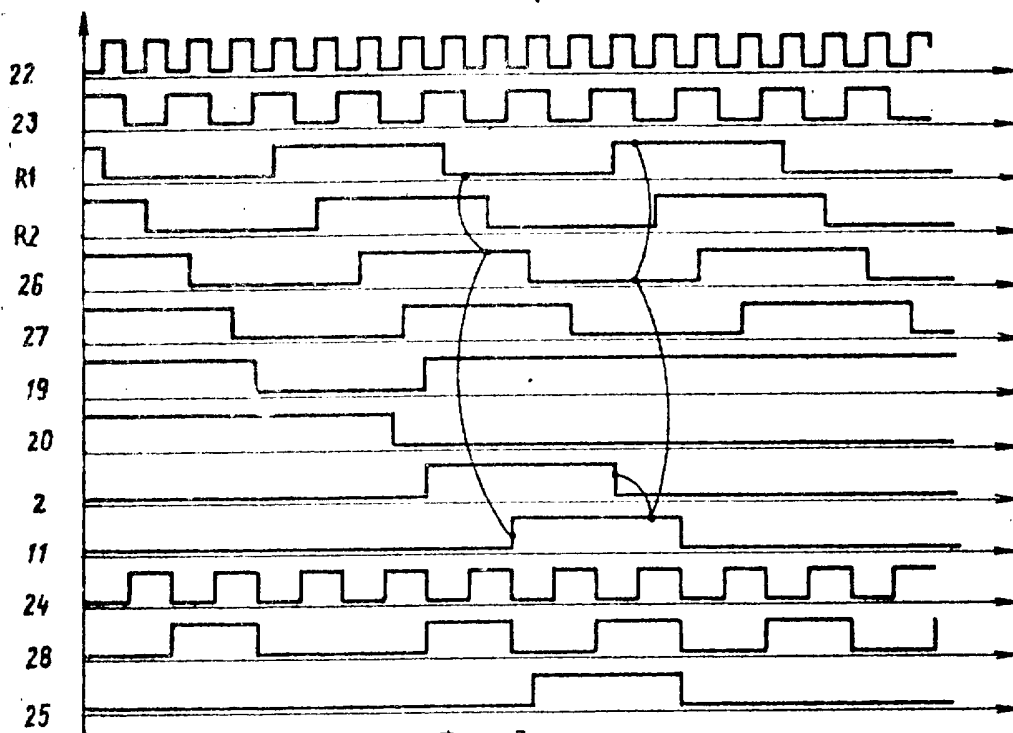
дом синхронизации устройства, тактирующий вход третьего триггера является входом тактовых импульсов устройства, прямой выход третьего триггера является выходом тактирующих

5

импульсов устройства, инверсный выход третьего триггера подключен к второму входу седьмого элемента И, выход которого подключен к D-входу третьего триггера.



Фиг. 2



Фиг. 3

Составитель Л.Абросимов

Редактор Л.Ичолинская

Техред А.Кравчук

Корректор С.Черни

Заказ 7228/45

Тираж 668

Подписное

ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР
113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-издательский комбинат "Патент", г.Ужгород, ул. Гагарина, 101