(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3586877号
(P3586877)
(45)発行日　平成16年11月10日(2004.11.10)　(24)登録日　平成16年8月20日(2004.8.20)

(51)Int.Cl.[7]　F I
G11B 20/14　G11B 20/14　351A
G11B 20/18　G11B 20/18　534A
　　G11B 20/18　57OF

請求項の数 1　(全 8 頁)

(21)出願番号　特願平6-15092
(22)出願日　平成6年2月9日(1994.2.9)
(65)公開番号　特開平7-226033
(43)公開日　平成7年8月22日(1995.8.22)
審査請求日　平成13年2月5日(2001.2.5)

(73)特許権者　000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目６番地
(74)代理人　100075096
弁理士　作田　康夫
(72)発明者　池田　哲也
神奈川県横浜市戸塚区吉田町２９２番地株式会社　日立製作所　映像メディア研究所内

審査官　小林　大介

(56)参考文献　特開平０５－０３６２０７（ＪＰ，Ａ）
特開平０７－１２３３５８（ＪＰ，Ａ）

最終頁に続く

(54)【発明の名称】光ディスク再生方法

(57)【特許請求の範囲】
【請求項１】
再生信号からビットクロックを抽出し、該ビットクロックに同期してデータを読み出す光ディスク再生方法において、
離散的に位相差の異なる複数のチャンネルビットクロックを発生し、該複数の位相差の異なるクロックから最適サンプルクロックとなる位相を選択し、選択されたクロック位相で再生信号をサンプルし、該サンプル値と隣接サンプル値の取り得る組合せに対応した複数の予測サンプル値との関係により最も尤度の高い復号パスを選択してデータ復号し、該復号結果に対応したビット変化点の再生信号振幅より最適クロック位相との位相誤差を検出し、該位相誤差より上記最適位相のサンプルクロックを選択するように制御することを特徴とする光ディスク再生方法。
【発明の詳細な説明】
【０００１】
【産業上の利用分野】
本発明は光ディスク再生装置に係り、特に再生信号よりビットクロックを抽出するセルフクロック方式の変調方式において高密度記録を実現するためにパーシャルレスポンス方式および最尤復号を適用して信号検出する光ディスクデータ再生装置に関するものである。
【０００２】
【従来の技術】
光ディスク上にディジタルの動画を記録再生するためには記録密度の向上が大きな課題で

あり、この課題を克服するための手段として信号処理部においてはパーシャルレスポンス方式による波形等化やビタビアルゴリズムによる最尤復号の適用が考えられている。光ディスク媒体からのデータ再生にパーシャルレスポンス方式やビタビ復号を適用したデータ再生方式は例えば”磁気ディスク用信号処理技術の最近の展開”，信学会論文誌，Ｖｏｌ．Ｊ７５－Ｃ－ＩＩ，Ｎｏ．１１，ｐｐ．６１１～６２３，（１９９２－１１））や特開昭６３－１８５２２８号公報に詳細に示されている。

【０００３】

ディジタル動画を記録再生するいわゆるディジタルビデオディスクの変調方式は記録密度および信号処理の容易さの点でＣＤのＥＦＭ変調と同じＤＣフリー符号によるエッジ記録が予想されるので、従来技術によるクロック再生回路およびデータ検出回路の動作をＣＤの信号処理回路を例に図面を用いて簡単に説明する。

【０００４】

図９は従来技術によるＣＤのクロック再生およびデータ検出回路のブロック図である。また図１０はデータ検出タイミング図である。図９において１は再生信号入力、２は波形等化回路、３はデータスライス回路、４はスライスレベル制御回路、５は同期クロック再生回路、６はラッチ回路、７はＥＦＭ復調回路、８は再生データ出力である。

【０００５】

図９において光ディスクからの再生信号１はアナログ回路からなる波形等化回路２において符号間干渉を除去するために波形等化される。波形等化された再生信号はデータスライス回路３で、図１０に示すようにスライスレベルにより２値化信号に変換される。このスライスレベルはＥＦＭ変調の符号特性がＤＣフリーであるため、直流を遮断した再生信号のスライスレベルはゼロレベルになることを利用して２値化されるが、ピットの非対称性によって生じる歪により変動することがある。スライスレベル制御回路４はこのスライスレベル変動を自動的に正確な値に制御する回路である。スライス検出された２値化信号は同期クロック再生回路５に入力され、ＰＬＬにより２値化信号のエッジに同期したクロック信号を再生する。ラッチ回路６は再生したクロックタイミングで２値化信号をラッチし、ＥＦＭ復調回路７はラッチした２値化信号をＥＦＭ復調し再生データ列８を得る。

【０００６】

【発明が解決しようとする課題】

このクロック再生およびデータ検出回路は、アナログ値である再生信号をスライスレベルで２値化したエッジタイミングを基準にＰＬＬでクロックを再生する方式であるため、波形等化回路およびデータ検出回路はクロックを基準として信号処理するディジタル化には適した方式ではなかった。特に高密度記録に対応するため信号検出にビタビ復号を適用しようとする場合は、スライス検出後にクロックが再生されるので、スライス検出による２値化とは別に、スライス検出後のクロックを基準にビタビ復号によるデータ検出を行なうことになり、ビタビ復号による誤り率低下の効果はあまり期待できなかった。

【０００７】

本発明の目的は、上記した従来技術の問題点を解決し、再生信号よりクロックを生成するセルフクロックによる変調方式の記録フォーマットにおいても、波形等化回路および信号検出回路をディジタル化に適する構成とするとともに、高密度記録に対応するため、ビタビ復号を適用して誤り率低減に効果のあるデータ検出を可能とする光ディスク再生装置を提供することにある。

【０００８】

【課題を解決するための手段】

上記目的を達成するために本発明では、離散的に位相差の異なる複数のチャンネルビットクロックを発生する位相差クロック発生手段と、該複数の位相差の異なるクロックより最適サンプルクロックとなる位相を選択するクロック位相選択手段と、選択されたクロックによる再生信号のサンプル値と、最適位相における隣接ビットの組合せに対応する複数の予測振幅値とのそれぞれの差分値より最も尤度の高い復号パスを選択してデータ復号する最尤復号手段と、最尤復号結果のデータ変化点において選択されたサンプルクロックの振

幅値より最適位相との位相誤差を検出する位相誤差検出手段と、検出した位相誤差が最小になるようにクロック位相の選択を制御するクロック位相選択制御手段を設ける。

【０００９】

【作用】

本発明では、位相差クロック発生手段はフリーランの原発振クロックを分周したチャンネルビットクロックを遅延させて複数の位相差の異なるクロックを出力する。クロック位相選択手段はそれらの複数位相のクロックより、クロック位相選択制御により最適位相のクロック信号を選ぶ。最尤復号手段は選択されたクロック位相におけるサンプル値と予測振幅値との差分により、ビタビアルゴリズムにしたがって最も確からしい復号結果を出力する。位相誤差検出手段は選択クロックによってサンプリングした最尤復号結果によるデータ変化点の振幅値より最適位相との位相誤差を算出する。クロック位相選択制御手段はその位相誤差に対応するクロック位相を選択する。これにより回路構成のディジタル化が可能になり、また最尤復号によるデータ検出によりデータ誤り率も低減できる。

【００１０】

【実施例】

以下、本発明の実施例を図面を用いて詳細に説明する。

【００１１】

図１は、本発明による光ディスク再生装置のデータ検出回路の一実施例であり、図２は位相誤差によるＰＬＬクロック再生の動作を示すタイミング図である。また図３は波形等化回路１６の詳細を示すブロック図である。

【００１２】

図１において11は水晶発振器であり、チャンネルビットクロック周波数の整数倍の周波数で発振する。12はカウント回路であり、水晶発振器11からの出力をカウントしてチャンネルビットクロックを出力する。13は遅延回路であり、チャンネルビットクロックを１クロック周期内で等間隔に８位相遅延させたチャンネルビットクロックを出力する。14はセレクタ回路であり、８位相のチャンネルビットクロックより、後述の位相制御信号に対応した位相のチャンネルビットクロックを選択する。15はA/D変換回路であり、８位相から選択されたクロックの位相タイミングで再生信号をデジタル値に変換する。16は波形等化回路であり、パーシャルレスポンスクラスＩ特性の波形等化を行なう。17はラッチシフト回路であり、波形等化後の振幅値をチャンネルビット単位でシフトする。18は位相誤差検出回路であり、最適クロック位相との位相誤差を出力する。19はクロック位相選択制御回路であり、位相誤差より最適位相を選択制御する。20はラッチ回路であり、位相選択情報をラッチする。21はビタビ復号回路であり、後述するように波形等化後の振幅値と波形干渉が生じるビット組合せからなる複数の予測振幅値との差より最も確からしい復号データを出力する。22はゼロクロス検出回路であり、ビタビ復号結果よりデータの変化点を検出する。23はシリアルパラレル変換回路であり、シリアルのビタビ復号データを１バイト17チャンネルビットのパラレルデータ列に変換する。24はＥＦＭ復調回路であり、１バイト17チャンネルビットのパラレルデータ列をＥＦＭ復調する。25はラッチ回路であり、ＥＦＭ復調データをラッチし、再生データを得る。

【００１３】

また図３において３１，３２，３３は遅延回路であり、最小マーク長である３チャンネルビット単位で遅延する。３４，３５，３６は乗算回路でありＣ０およびＣ１は乗算係数である。また３７は加算回路である。

【００１４】

図１において水晶発振器１１はチャンネルビットクロックの整数倍の周波数で発振し、カウンタ回路１２でチャンネルビットクロックになるように分周する。遅延回路１３は分周されたチャンネルビットクロックから８つの位相に分割された等間隔の位相遅延クロックを出力する。セレクタ回路１４はこの８位相のクロックより１つの位相のクロックを選択し、このクロックが以下のデータ検出回路のディジタル信号処理動作クロックとなる。

【００１５】

光ディスクからの再生信号はＡ／Ｄ変換回路１５で選択されるクロックの位相タイミングでサンプリングされアナログ値からディジタル値に変換される。波形等化回路１６は図３に示すように３タップのトランスバーサルフィルタで構成され、パーシャルレスポンスクラスＩの特性になるように乗算回路３４～３６のＣ０，Ｃ１の係数が設定される。ラッチシフト回路１７は波形等化後の再生信号のディジタル振幅値をチャンネルビットクロックごとにシフトする。またビタビ復号回路２１は波形等化後の振幅値よりチャンネルビット周期の符号間干渉の組合せから最も確からしい復号データを復号パスが確定するまで遅延して出力する。ビタビ復号回路２１の動作についてはあとで詳しく説明する。このビタビ復号の遅延段数はラッチシフト回路１７の遅延段数と一致し、位相誤差検出回路１８は最終段でラッチされた振幅値とその前段の振幅値のそれぞれの中間振幅値との差分より位相誤差を出力する。クロック位相選択制御回路１９は位相誤差より最適位相を選択するように位相選択信号を出力し、ラッチ回路２０はゼロクロス検出回路２２からのゼロクロス検出信号により位相選択信号をラッチする。

【００１６】

図２は位相誤差保持によるディジタルＰＬＬによるタイミング図である。図２においてφ０～φ７はそれぞれ等間隔に位相のことなる８位相のチャンネルビットクロックであり、いま位相φ０よりτだけ位相のずれたφ３がセレクタ回路１４で選択されているとする。ラッチシフト回路１７の最終段の振幅値をA_n、最終段より１段前の振幅値をA_{n-1}とし、再生信号の中間値をｘとすると位相誤差回路１８の出力はτ’は

$$\tau' = \alpha(|A_n - X| - |A_{n-1} - X|)$$

となり、位相ｐは次のようになる。

【００１７】

$$p = \tau + \alpha(|A_n - X| - |A_{n-1} - X|)$$　　ただしαは係数である。

【００１８】

ここでチャンネルビット周期をＴとすると、クロック位相選択制御回路１９は位相誤差τ’が±Ｔ／８以上であればチャンネルビットクロックはセレクト回路１４によって別の位相のチャンネルビットクロックを選択するよう制御する。このクロック位相選択制御回路１９の詳細については後述する。

【００１９】

ゼロクロス検出回路２２はビタビ復号回路２１の出力が”０”から”１”または”１”から”０”に変化するかどうかを検出し、変化を検出するとゼロクロスと判定し、クロック位相選択制御回路１９の位相選択信号出力をラッチ回路２０でラッチするように動作する。またこの出力はそのままシリアルパラレル変換回路２３に入力され、１バイト分１７チャンネルビット単位の並列データに変換される。この並列データはＥＦＭ復調回路２４でＥＦＭ復調され、復調データはラッチ回路２５で１バイト周期でラッチされ再生データとして出力される。

【００２０】

図４はビタビ復号回路２１の概略を示すブロック図である。図４において４０は再生信号の振幅値と隣接ビット組合せからなる複数の予測サンプル値を比較するサンプル値比較回路、４１はビタビ復号のメトリック計算をする尤度比較回路、４２はメトリック計算より復号パスを判定する復号パス判定回路、４３は再生信号の振幅値と複数の予測サンプル値との比較極性データを遅延する極性データ遅延回路、４４は復号パスの結果に対応して極性データを選択する極性データ選択回路、４５は４８より初期値として設定する予測サンプル値を適応的に制御する予測サンプル値制御回路、４６は再生信号入力、４７は復号出力である。また図５は再生信号の１チャンネルビットの孤立再生波形であり、この孤立パターンはＥＦＭ変調のマーク長が３チャンネルビットから１１チャンネルビットまでという制限からすると実際には存在しないパターンであるが、隣接ビットの組合せにより重ね合わせるためのユニットパターンである。さらに図６はビタビ復号の予測サンプル値を示す図、図７はビタビ復号の状態遷移図とトレリス線図であり、これもＳ３およびＳ４に示す”０１０”および”１０１”は存在しないパターンでありこの予測サンプル値および状

態遷移は削除される。

【００２１】

図４において４８には隣接３ビットの組合わせに対応する再生信号の予測サンプル値が図６に示すようにＳ３およびＳ４を除く６種類が入力される。サンプル値比較回路４０は４６から入力される再生信号振幅とこの６種類の予測サンプル値との比較を行ない、それらの差分値Ｅ０１０およびＥ１０１を除くＥ１１１～Ｅ０００とＳｇｎ３およびＳｇｎ４を除く比較極性Ｓｇｎ７～Ｓｇｎ０を出力する。尤度比較回路４１は再生信号振幅と予測サンプル値との差分値Ｅ０１０およびＥ１０１を除くＥ１１１～Ｅ０００よりメトリック計算し、尤度比較結果を出力する。復号パス判定回路４２は尤度比較結果より、図７に示すような状態遷移の中から最も確率の高い復号パスを選択し、前段までのパスの候補を保持しながらパスが確定するのを待って復号データを出力する。図７において実線がビット”１”の状態遷移、破線がビット”０”の状態遷移であり、ＥＦＭ変調のＴｍｉｎによる制限により存在しない状態遷移を除くと、復号パスの取りえる組合せはすべてのビット組合せより減少することになる。極性データ遅延回路４３は再生信号振幅と６種類の予測サンプル値とのＳｇｎ３およびＳｇｎ４を除く比較極性Ｓｇｎ７～Ｓｇｎ０を復号パスが確定するまでの遅延量に合わせて遅延させ、極性データ選択回路４４はその遅延された比較極性から復号パスに対応する比較極性データＳｇｎを選択する。予測サンプル値制御回路４５は隣接３ビットの復号データ列と選択された比較極性データより、そのビット組合せに対応する予測サンプル値を比較極性に合わせて特定な値だけ変動する。すなわち

$$Tn_i = T(n-1)_i + \alpha \cdot SgnT(n-m)_i$$

で示される処理を行なう。ここでＴは予測サンプル値、ｎは制御サンプル点、ｍはビタビ復号遅延ビット数、ｉはビタビ状態を示す。この処理は予測サンプル値を再生信号の変動に合わせて適応的に制御するものであり、この動作により再生信号のレベル変動や非線形歪に対してもビタビ復号による誤りを増加させることなくデータ復号が可能となる。

【００２２】

図８はクロック位相選択制御回路の概略を示す図である。図８において８１は基準位相差設定回路、８２は位相差比較回路、８３は連続カウント回路、８４は選択信号増減回路、２０は図１で示したラッチ回路である。また８６は位相誤差信号、８７は位相選択信号である。図８において８６から入力される位相誤差が８１の基準位相を超えると、位相差比較回路８２は比較結果を出力し、連続カウント回路８３で位相誤差が基準位相を超えた連続回数をカウントしてある値になった場合に現時点の位相選択信号を選択信号増減回路８４で増加または減少する。ラッチ回路２０はこの出力をゼロクロス検出ごとにラッチし、この出力を位相選択信号とする。

【００２３】

これによりビタビ復号結果のゼロクロス点において、復号結果に対応する再生信号の振幅値より位相誤差を検出し、位相誤差が基準となるクロックの１／８周期をある値だけ連続して超えた場合に位相選択信号を増加または減少して、現在選択されている隣の位相のクロックを選択するように選択制御することになり、クロック再生およびデータ検出回路のディジタル化が実現でき、最尤復号が適用可能となる。

【００２４】

以上説明した本実施例によると、８つの位相のチャンネルビットクロックをビタビ復号結果によるゼロクロス点の位相誤差検出により最適位相クロックを選択する構成としたので、ＥＦＭのようなセルフクロック方式の記録フォーマットにおいてもクロック再生およびデータ検出がすべてディジタル回路で構成でき、またデータ検出に最尤復号であるビタビ復号が適用できるので、データ検出における誤り率が減少でき、高密度記録にも対応できるという効果がある。なお本発明の実施例では８位相のクロックより１つを選択する構成であるがこの数は特定しない。また変調方式はＥＦＭだけでなく、ＤＣフリーでないその他のセルフクロック方式の変調方式にも適用できる。

【００２５】

【発明の効果】

本発明によれば、複数位相のクロックを最尤復号結果による再生信号のデータ変化点の振幅値から位相誤差を求めて最適位相クロックを選択するので、セルフクロック方式の変調方式のフォーマットにおいてもクロック再生およびデータ検出がディジタル回路で構成でき、また最尤復号によりデータ検出誤りも減少でき光ディスクの高密度化にも対応できる。

【図面の簡単な説明】

【図１】本発明による実施例であるクロック再生およびデータ検出回路図である。

【図２】本発明による実施例であるクロック再生の動作タイミングを示す図である。

【図３】本発明による実施例の波形等化回路の詳細を示す図である。

【図４】本発明による実施例のビタビ復号回路の概略を示す図である。

【図５】孤立再生波形の１例を示す図である。

【図６】ビタビ復号の予測サンプル値の例を示す図である。

【図７】ビタビ復号状態遷移図とトレリス線図の例を示す図である。

【図８】クロック選択制御回路の概略を示す図である。

【図９】ＣＤにおけるデータ検出回路を示す図である。

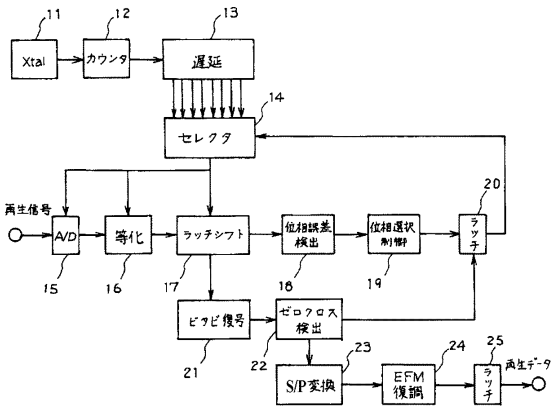
【図１０】ＣＤにおけるデータ検出タイミングを示す図である。

【符号の説明】

11…水晶発振器、12…カウンタ回路、13…遅延回路、14…セレクタ回路、15…A/D変換回路、16…波形等化回路、17…ラッチシフト回路、18…位相誤差検出回路、19…位相選択制御回路、20…ラッチ回路、21…ビタビ復号回路、22…ゼロクロス検出回路、23…シリアルパラレル変換回路、24…ＥＦＭ復調回路、25…ラッチ回路。

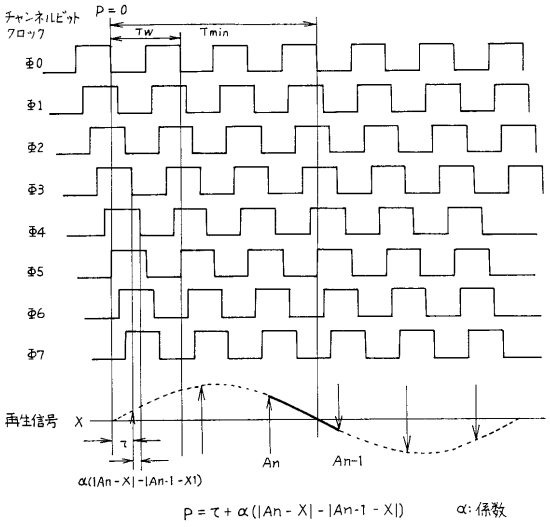
【図１】

図１



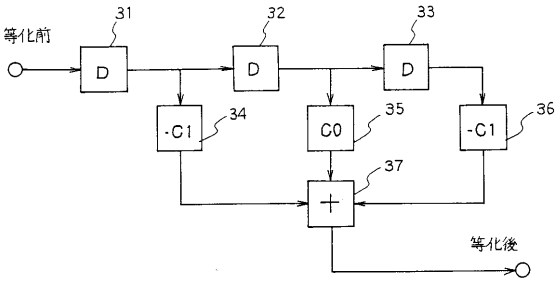
【図２】

図２



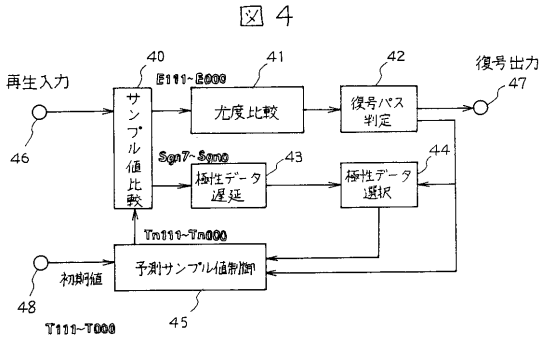
【図３】

図３



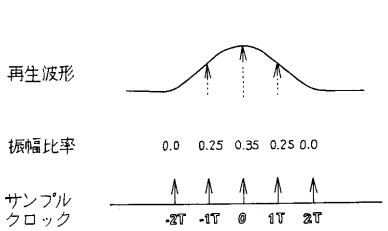
【図４】

図４



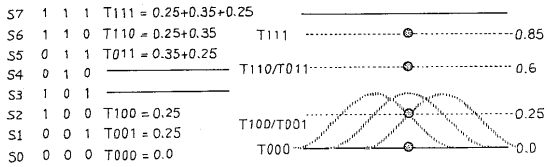
【図５】

図５



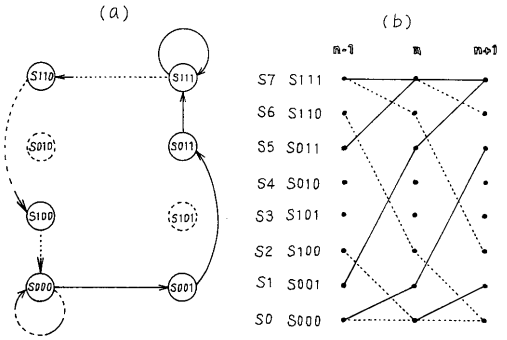
【図６】

図６



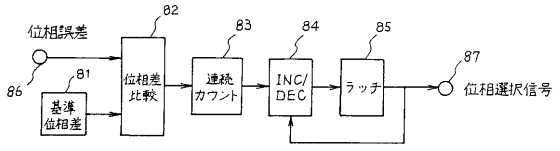
【図７】

図７



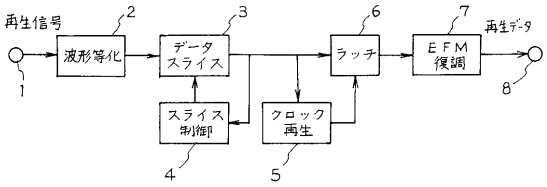
【図８】

図８



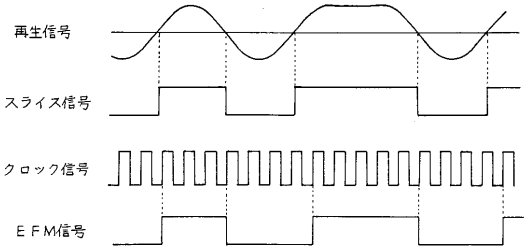
【図９】

図９



【図１０】

図１０



フロントページの続き

(58)調査した分野(Int.Cl.[7], ＤＢ名)
G11B 20/10
G11B 20/14
G11B 20/18