

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第3631464号
(P3631464)

(45) 発行日 平成17年3月23日(2005. 3. 23)

(24) 登録日 平成16年12月24日(2004. 12. 24)

(51) Int. Cl. ⁷	F I
HO 1 L 21/822	HO 1 L 27/04 C
HO 1 L 21/8234	HO 1 L 29/93 H
HO 1 L 27/04	HO 1 L 27/04 V
HO 1 L 27/06	HO 1 L 27/06 IO 2 A
HO 1 L 29/93	

請求項の数 5 (全 14 頁)

(21) 出願番号	特願2001-398386 (P2001-398386)	(73) 特許権者	000003078
(22) 出願日	平成13年12月27日 (2001. 12. 27)		株式会社東芝
(65) 公開番号	特開2003-197759 (P2003-197759A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成15年7月11日 (2003. 7. 11)	(74) 代理人	100058479
審査請求日	平成14年3月4日 (2002. 3. 4)		弁理士 鈴江 武彦
		(74) 代理人	100084618
			弁理士 村松 貞男
		(74) 代理人	100068814
			弁理士 坪井 淳
		(74) 代理人	100092196
			弁理士 橋本 良郎
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

半導体基板と、
前記半導体基板の表面領域に形成された第1導電型のウェル領域と、
前記ウェル領域内に形成された複数の素子分離領域と、
前記素子分離領域により分離された前記ウェル領域の第1の領域内に前記素子分離領域に接して形成され、コンデンサの第1の電極としての第2導電型の半導体層と、
前記素子分離領域により分離された前記ウェル領域の第2の領域内に前記素子分離領域に接して形成され、コンデンサの第2の電極としての第1導電型の半導体層と、
前記ウェル領域の底部に設けられ、前記素子分離領域により分離された前記第1、第2の領域を接続し、前記第2導電型の半導体装置と前記ウェル領域との間の接合部分の空乏層及び前記第1導電型の半導体層と前記ウェル領域との間の接合部分の空乏層に接触せず、前記素子分離領域の底部に接触し、前記ウェル領域の抵抗値より低い抵抗値を有する第1導電型の低抵抗領域と
を具備することを特徴とする半導体装置。

【請求項2】

半導体基板と、
前記半導体基板の表面領域内に形成された第1導電型のウェル領域と、
前記ウェル領域に形成された複数の素子分離領域と、
前記素子分離領域により分離された前記ウェル領域の第1の領域内に前記素子分離領域に

接して形成されたMOSトランジスタと、
前記素子分離領域により分離された前記ウェル領域の第2の領域内に前記素子分離領域に接して形成された第1導電型の半導体層と、
前記ウェル領域の底部に設けられ、前記素子分離領域により分離された前記第1、第2の領域を接続し、前記MOSトランジスタのソース／ドレイン領域と前記ウェル領域の前記接合部分の空乏層に接触せず、前記素子分離領域の底部に接触し、前記ウェル領域の抵抗値より低い抵抗値を有する第1導電型の低抵抗領域と
を具備することを特徴とする半導体装置。

【請求項3】

前記低抵抗領域の底部は、前記素子分離領域の底部より低い位置にあることを特徴とする 10
請求項1又は2に記載の半導体装置。

【請求項4】

前記低抵抗領域の不純物濃度は、前記ウェル領域の不純物濃度の2倍以上に設定されていることを特徴とする請求項1又は2に記載の半導体装置。

【請求項5】

前記低抵抗領域の不純物濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以上に設定されていることを特徴とする請求項1又は2に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

20

本発明は、例えばアナログ回路に用いられる可変容量コンデンサ及び増幅器に適用される半導体装置に関する。

【0002】

【従来の技術】

例えば電圧制御発振器は、可変容量コンデンサを含み、この可変容量コンデンサの容量を変化することにより、所要の周波数の信号を発振可能とされている。電圧制御発振器は、フェーズノイズ(phase noise)を低減するため、高いQ値が要求される。これを実現するため、可変容量コンデンサの特性は、低い寄生容量及び低い寄生抵抗が要求される。

【0003】

30

【発明が解決しようとする課題】

一般に、この可変容量コンデンサは、N型のウェル領域内に形成された P^+ 型の半導体層の接合部分、あるいはP型ウェル領域内に形成された N^+ の接合部分を用いて構成される。

【0004】

図17は、N型のウェル領域を用いた可変容量コンデンサの一例を示している。例えばP型の半導体基板100の表面領域にN型のウェル領域101が形成されている。このN型のウェル領域101内には、 P^+ 型の半導体層102、 N^+ 型の半導体層103が形成されており、 P^+ 型の半導体層102とN型のウェル領域101の接合部分を用いて可変容量コンデンサ104が構成されている。各半導体層102、103には配線105が接続 40
されている。この可変容量コンデンサ104において、寄生容量としては配線105間の容量106、寄生抵抗としては配線抵抗(図示せず)、ウェル領域の抵抗(以下、ウェル抵抗とも言う)107が支配的である。

【0005】

デバイスのデザインルールの進歩に伴い、 P^+ 型の半導体層102と N^+ の半導体層103間のスペースを小さくできるようになっている。これにより、ウェル領域101の寄生抵抗を低減することが可能である。しかし、 P^+ 型の半導体層102と N^+ の半導体層103間のスペースを小さくした場合、配線105間の距離も狭まる。この結果、寄生容量としての配線間容量107が増大する。

【0006】

50

図18は、 P^+ 型の半導体層102と N^+ の半導体層103間に印加されるバイアス電圧と容量の変化の様子を示している。図18に示すように、寄生容量が増大すると、バイアス電圧に応じた容量の可変範囲が低減してしまう。したがって、配線間容量を低減するため、 P^+ 型の半導体層102と N^+ の半導体層103間のスペースを広げて可変容量コンデンサを形成する必要がある。これは、ウェル抵抗を低減できないことを意味している。

【0007】

一方、寄生抵抗は、抵抗値に比例する熱雑音の発生源となる。これは例えば電圧制御発振器においてQ値を低下させ、フェーズノイズの劣化を引き起こす。

【0008】

また、図19に示すように、増幅器を構成するMOSトランジスタ（以下、MOSFETと称す）は、P型のウェル領域110の抵抗が大きい場合パワーロスが生じ、高利得な増幅器を構成することが困難となる。一般に、この種の増幅器は、デジタル回路と混載される。しかし、現状のデジタル回路に使用されているウェルの抵抗は、増幅器の利得を下げることとなる。

【0009】

図20は、ウェル抵抗と利得との関係を示している。現状のアナログ／デジタル混載半導体装置において、デジタル部で使用されているウェルの抵抗値は例えば50Ωである。このウェル抵抗の場合、高い利得を得ることが困難である。同図から明らかなように、利得を上げるためには、ウェル抵抗を上げるか、下げるかなければいけない。ウェル抵抗を上げるためには、高抵抗基板を用いることが考えられる。しかし、高抵抗基板は、ウェル内にスリップが生じるなどの問題がある。また、ウェル抵抗を下げるためには低抵抗基板を用いることが考えられる。

【0010】

図21は、低抵抗基板を用いたアナログ／デジタル混載半導体装置の一例を示している。低抵抗基板としての P^+ 基板120内にウェル領域121、122を形成し、このウェル領域121、122内にアナログ回路とデジタル回路を形成している。このように、低抵抗基板を用いた場合、ウェル抵抗を低下できる。しかし、ウェル抵抗を低くした場合、デジタル回路からアナログ回路にノイズが侵入し、アナログ回路の特性に悪影響を与えることとなる。

【0011】

図22は、ウェル抵抗と侵入ノイズ量の関係を示している。このように、侵入ノイズ量はウェル抵抗が低いほど多くなる。このため、アナログ／デジタル混載半導体装置において、低抵抗基板を採用することができない。

【0012】

本発明は、上記課題を解決するためになされたものであり、その目的とするところは、回路素子の種類に応じてウェルの抵抗値を設定することにより、回路素子の特性を向上することが可能な半導体装置を提供しようとするものである。

【0013】

【課題を解決するための手段】

本発明の半導体装置の第1の態様は、半導体基板と、前記半導体基板の表面領域に形成された第1導電型のウェル領域と、前記ウェル領域内に形成された複数の素子分離領域と、前記素子分離領域により分離された前記ウェル領域の第1の領域内に前記素子分離領域に接して形成され、コンデンサの第1の電極としての第2導電型の半導体層と、前記素子分離領域により分離された前記ウェル領域の第2の領域内に前記素子分離領域に接して形成され、コンデンサの第2の電極としての第1導電型の半導体層と、前記ウェル領域の底部に設けられ、前記素子分離領域により分離された前記第1、第2の領域を接続し、前記第2導電型の半導体装置と前記ウェル領域との間の接合部分の空乏層及び前記第1導電型の半導体層と前記ウェル領域との間の接合部分の空乏層に接触せず、前記素子分離領域の底部に接触し、前記ウェル領域の抵抗値より低い抵抗値を有する第1導電型の低抵抗領域とを具備している。

10

20

30

40

50

さらに、本発明の第2の態様は、半導体基板と、前記半導体基板の表面領域内に形成された第1導電型のウェル領域と、前記ウェル領域に形成された複数の素子分離領域と、前記素子分離領域により分離された前記ウェル領域の第1の領域内に前記素子分離領域に接して形成されたMOSトランジスタと、前記素子分離領域により分離された前記ウェル領域の第2の領域内に前記素子分離領域に接して形成された第1導電型の半導体層と、前記ウェル領域の底部に設けられ、前記素子分離領域により分離された前記第1、第2の領域を接続し、前記MOSトランジスタのソース／ドレイン領域と前記ウェル領域の前記接合部分の空乏層に接触せず、前記素子分離領域の底部に接触し、前記ウェル領域の抵抗値より低い抵抗値を有する第1導電型の低抵抗領域とを具備している。

【0015】

10

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して説明する。

【0016】

(第1の実施形態)

図1は、本発明の第1の実施形態に係る可変容量コンデンサを示している。この可変容量コンデンサ10は、例えばN型のウェル領域13とP⁺型の半導体層15の接合部分を用いている。

【0017】

例えばP型の半導体基板11は、例えば5Ωの抵抗を有している。この基板11の表面領域内には、例えばSTI(Shallow Trench Isolation)からなる複数の素子分離領域12が形成されている。これら素子分離領域12の形成された半導体基板11の表面領域内には、ウェル領域13が形成されている。素子分離領域12により分離されたウェル領域13の第1の領域内には、P⁺型の半導体層15が形成されている。この半導体層15の周囲に位置する第2の領域内には、N⁺型の半導体層14が形成されている。P⁺型の半導体層15は可変容量コンデンサの第1の電極を構成し、N⁺型の半導体層14は第2の電極を構成する。

20

【0018】

また、前記ウェル領域13の底部には、例えばN型の低抵抗領域16が形成されている。この低抵抗領域16は、ウェル領域13より不純物濃度が高く設定され、前記ウェル領域13の抵抗値より低く設定されている。具体的には、低抵抗領域16の不純物濃度は、ウェル領域13の不純物濃度の例えば2倍以上、あるいは $1 \times 10^{18} \text{ cm}^{-3}$ 以上に設定される。この低抵抗領域16は、例えばP⁺型の半導体層15とウェル領域との接合部分の空乏層に接触せず、各素子分離領域12の底部に接触している。

30

【0019】

次に、上記可変容量コンデンサの製造方法について説明する。

【0020】

図2に示すように、例えばP型の半導体基板11の表面領域にSTIからなる複数の素子分離領域12が形成される。この素子分離領域12は周知の工程により製造される。すなわち、先ず基板11の表面にトレンチが形成される。次に、基板11の全面に例えばCVD(Chemical Vapor Deposition)によりシリコン酸化膜が堆積され、トレンチがシリコン酸化膜によって埋め込まれる。次いで、基板11上のシリコン酸化膜が例えばCMP(Chemical Mechanical Polishing)により除去される。

40

【0021】

この後、基板11の表面領域にN型の不純物、例えばリンがイオン注入され、N型のウェル領域13が形成される。このウェル領域13の深さは、素子分離領域12の深さより深く設定されている。

【0022】

次に、図3に示すように、ウェル領域13の全面にN型の不純物、例えばリンがイオン注入され、低抵抗領域16が形成される。イオン注入の条件は、例えば加速電圧が1000

50

～2000 KeV、ドーズ量が $1 \times 10^{13} \sim 1 \times 10^{14} \text{ cm}^{-2}$ である。このイオン注入の条件は一例であり、低抵抗領域16が図1に示すように P^+ 半導体層15の空乏層に接触せず、素子分離領域12の底部に接触する深さとなる条件であれば良い。このようにして、ウェル領域13の底部の不純物濃度が上げられる。

【0023】

この後、図1に示すように、ウェル領域13の第1の領域にP型の不純物、例えばボロンがイオン注入され、 P^+ 型の半導体層15が形成される。次いで、ウェル領域13の第2の領域にN型の不純物、例えばリンがイオン注入され、 N^+ 型の半導体層14が形成される。

【0024】

図4は、ウェル領域13内の各部の不純物濃度と深さを概略的に示しており、図1乃至図3と同一部分には同一符号を付す。

【0025】

上記第1の実施形態によれば、可変容量コンデンサ10が形成されるウェル領域13の底部に低抵抗領域16を形成することにより、ウェル抵抗を低減している。このため、配線間容量を低減するために P^+ 型の半導体層15と N^+ の半導体層14間のスペースを広げた場合においても、ウェル抵抗を低く保持することができる。したがって、熱雑音を抑えることができる。

【0026】

また、この可変容量コンデンサは熱雑音が少ないため、この可変容量コンデンサを電圧制御発振器に適用した場合、電圧制御発振器のQ値を向上でき、フェーズノイズを低減できる。

【0027】

(第2の実施形態)

図5は、本発明の第2の実施形態を示している。第2の実施形態は、第1の実施形態を変形したものであり、第1の実施形態と同一部分には同一符号を付す。

【0028】

図5に示す可変容量コンデンサ10は、例えばP型のウェル領域17と N^+ 型の半導体層14の接合部分を用いている。すなわち、例えばP型の半導体基板11内に例えばP型のウェル領域17が形成されている。ウェル領域17の中央部内には、 N^+ 型の半導体層14が形成され、この半導体層14の周囲に P^+ 型の半導体層15が形成されている。

【0029】

さらに、ウェル領域17の底部には、低抵抗領域18が形成されている。この低抵抗領域18は例えば N^+ 型の半導体層14とウェル領域17との接合部分の空乏層に接触せず、各素子分離領域12の底部に接触している。この低抵抗領域18は、例えばP型でウェル領域17より不純物濃度が高く設定されている。具体的には、低抵抗領域18の不純物濃度は、ウェル領域17の不純物濃度の例えば2倍以上、あるいは $1 \times 10^{18} \text{ cm}^{-3}$ 以上に設定される。

【0030】

上記構成の可変容量コンデンサの製造方法は第1の実施形態と同様である。低抵抗領域18の形成するためのイオン注入の条件は、例えばイオン種がボロンであり、加速電圧が1000～2000 KeV、ドーズ量が $1 \times 10^{13} \sim 1 \times 10^{14} \text{ cm}^{-2}$ である。

【0031】

上記第2の実施形態によっても、第1の実施形態と同様の効果を得ることができる。

【0032】

(第3の実施形態)

図6は、本発明の第3の実施形態に係り、可変容量コンデンサとMOSFETからなる増幅器を示している。可変容量コンデンサ10の構成は、図5と同様であるため、同一部分には同一符号を付し、説明は省略する。第3の実施形態は、P型のウェル領域17と N^+ 半導体層14とからなる可変容量コンデンサ10と、NチャネルMOSFET20を示し

10

20

30

40

50

ている。しかし、コンデンサ及びトランジスタの導電型はこれに限定されるものではない。

【0033】

図6において、また、MOSFET 20は、P型のウェル領域21に形成されている。すなわち、素子分離領域12により分離されたウェル領域21の第1の領域上にゲート酸化膜22が形成されている。このゲート酸化膜22の上に例えばポリシリコンからなるゲート電極23が形成されている。このゲート電極23の両側に位置するウェル領域21内にはソース／ドレイン領域25が形成されている。

【0034】

また、素子分離領域12により分離されたウェル領域21の第2の領域には、P⁺型の半導体層24が形成されている。この半導体層24は、ウェル領域21に電圧を供給するための電圧供給ノードとして機能する。

10

【0035】

さらに、ウェル領域21の底部には、低抵抗領域26が形成されている。この低抵抗領域26が形成される深さは、低抵抗領域18とほぼ同様である。すなわち、MOSFET 20のソース／ドレイン領域の空乏層に接触せず、各素子分離領域12の底部に接触している。この低抵抗領域26は、例えばP型でウェル領域21より不純物濃度が高く設定されている。具体的には、低抵抗領域26の不純物濃度は、ウェル領域21の不純物濃度の例えば2倍以上、あるいは $1 \times 10^{18} \text{ cm}^{-3}$ 以上に設定される。

【0036】

20

次に、上記半導体装置の製造方法について説明する。

【0037】

第3の実施形態において、可変容量コンデンサ10及びMOSFET 20は同時に形成される。

【0038】

図7に示すように、まず、例えばP型の半導体基板11内に複数の素子分離領域12が形成される。この後、可変容量コンデンサ10の形成領域、及びMOSFET 20の形成領域にそれぞれP型のウェル領域17、21が形成される。

【0039】

次に、基板11の全面にP型の不純物として、例えばボロンがイオン注入され、ウェル領域17、21の底部の不純物濃度が高められる。イオン注入の条件は、例えば加速電圧が1000～2000 KeV、ドーズ量が $1 \times 10^{13} \sim 1 \times 10^{14} \text{ cm}^{-2}$ である。このようにして、ウェル領域17、21の底部に低抵抗領域18、26が形成される。

30

【0040】

この後、図6に示すように、MOSFET 20の形成領域において、ウェル領域21上にゲート酸化膜22が形成され、このゲート酸化膜22の上にゲート電極23が形成される。

【0041】

次いで、可変容量コンデンサ10におけるN⁺半導体層14の形成と同時に、ソース／ドレイン領域25が形成される。さらに、可変容量コンデンサ10におけるP⁺半導体層15の形成と同時に、電源供給ノードとしてのP⁺半導体層24が形成される。

40

【0042】

尚、P⁺半導体層15及び24を先に形成し、この後、N⁺半導体層14、及びソース／ドレイン領域25を形成してもよい。

【0043】

また、低抵抗領域18、26は、可変容量コンデンサ10、MOSFET 20を形成した後に形成することも可能である。

【0044】

第3の実施形態によれば、増幅器20が形成されるウェル領域21の底部に低抵抗領域26を形成している。このため、ウェル領域21の寄生抵抗を低減できる。したがって、パ

50

ワーロスを低減でき、高利得の増幅器 20 を構成することができる。

【0045】

(第4の実施形態)

図8は、本発明の第4の実施形態を示している。第4の実施形態は第3の実施形態を変形したものである。

【0046】

図8において、MOSFET 20 は、第3の実施形態と同様であり、可変容量コンデンサ 10 は、第1の実施形態と同様に、例えばN型のウェル領域 13 と P⁺ 型の半導体層 15 の接合部分を用いて可変容量コンデンサを形成している。可変容量コンデンサ 10 のウェル領域 13 にはN型の低抵抗領域 16 が形成され、MOSFET 20 のウェル領域 21 にはP型の低抵抗領域 26 が形成されている。このように、異なる導電型の低抵抗領域の形成方法について以下に説明する。

10

【0047】

図9に示すように、まず、例えばP型の半導体基板 11 内に複数の素子分離領域 12 が形成される。この後、可変容量コンデンサの形成領域にN型のウェル領域 13 が形成され、MOSFET の形成領域にP型のウェル領域 21 が形成される。すなわち、例えばMOSFET 20 の形成領域上がレジスト膜 41 により覆われる。このレジスト膜 41 をマスクとしてN型の不純物、例えばリンが基板内にイオン注入され、ウェル領域 13 の底部にN型の低抵抗領域 16 が形成される。

【0048】

20

次いで、図10に示すように、レジスト膜 41 を除去した後、可変容量コンデンサの形成領域上がレジスト膜 42 により覆われる。このレジスト膜 42 をマスクとしてP型の不純物、例えばボロンが基板内にイオン注入され、ウェル領域 21 の底部にP型の低抵抗領域 26 が形成される。イオン注入の条件は、第2、第3の実施形態と同様である。

【0049】

上記のようにして、低抵抗領域 16、26 を形成した後、上述した工程により可変容量コンデンサ及びMOSFET が形成される。

【0050】

第4の実施形態によっても第3の実施形態と同様の効果を得ることができる。

(第5の実施形態)

30

図11、図12は、本発明の第5の実施形態を示している。図11は、本発明を電力増幅器に適用した例を示し、図12は図11の等価回路を示している。図11に示す増幅器の構成は基本的に図6に示す増幅器と同様である。すなわち、MOSFET 20 が形成されるウェル領域 21 には、低抵抗領域 26 が形成されている。この低抵抗領域 26 は、図12に示す等価回路において、抵抗 51 で示されている。また、MOSFET 20 の電流通路の一端部には例えばアルミニウム配線 53 を介して負荷抵抗 52 が接続されている。この負荷抵抗 52 は例えばゲート電極 23 と同時に形成され、さらに不純物が注入されて抵抗値が設定されている。

【0051】

第5の実施形態によれば、MOSFET 20 が形成されるウェル領域 21 の低部に低抵抗領域 26 が形成されている。このため、パワーロスを低減でき、高利得の電力増幅器を構成できる。

40

【0052】

(第6の実施形態)

図13、図14は、本発明の第6の実施形態を示している。図13は、可変容量コンデンサとしての可変容量ダイオードを用いた電圧制御発振器の一例を示し、図14は、図13のA部に対応する可変容量コンデンサ 61 と MOSFET 62 の断面図を示している。

【0053】

図14に示す断面図は、基本的に図8に示す構成と同様である。図14において、可変容量コンデンサの P⁺ 半導体層 15 と MOSFET 62 のソースとがアルミニウム配線 63

50

を介して接続されている。

【0054】

第6の実施形態によれば、可変容量コンデンサ61は、寄生抵抗が少なく容量の可変範囲が広く、MOSFET62は高利得を得ることができる。このため、この可変容量コンデンサ61とMOSFET62とを用いることにより、フェーズノイズが少なく、高性能の電圧制御発振器を構成することができる。

【0055】

(参考例)

図15は、本発明の参考例を示している。この参考例は、本発明をバイポーラトランジスタを用いた電圧制御発振器に適用した場合を示している。図15において、可変容量コンデンサ10の構成は、例えば第1の実施形態と同様であるため、説明は省略する。

10

【0056】

バイポーラトランジスタ70において、基板11内には例えばN型のウェル領域71が形成されている。このN型のウェル領域71はコレクタ層として機能している。素子分離領域12により分離されたウェル領域71の第1の領域上にはP型のベース層72が形成されている。このベース層72の上にはN型のエミッタ層73が形成されている。また、素子分離領域12により分離されたウェル領域71の第2の領域上にはN⁺型の半導体層74が形成されている。この半導体層74は、コレクタ接続ノードとして機能している。

【0057】

一方、ウェル領域71の底部には、N型の低抵抗領域75が形成されている。この低抵抗領域75は、可変容量コンデンサ10の低抵抗領域13とともに形成される。低抵抗領域75の不純物濃度はMOSFETの場合と同様である。低抵抗領域75は、コレクタ・ベース間の空乏層に接することなく、素子分離領域12の底部に接する形成位置に形成される。

20

【0058】

この参考例によれば、バイポーラトランジスタが形成されるウェル領域71の底部に低抵抗領域75を形成している。このため、ウェル抵抗を低下することができるため、パワールスを抑えることができ、高利得の増幅器を構成することができる。

【0059】

尚、図15はNPN型のバイポーラトランジスタを示しているが、これに限らず、この実施形態をPNP型のバイポーラトランジスタに適用することも可能である。

30

【0060】

(参考例)

図16は、本発明の参考例を示している。この参考例は、本発明をアナログ／デジタル混載半導体装置に適用した場合を示している。

【0061】

図16において、例えばP型の半導体基板81は、抵抗値が例えば30～500Ωの比較的高抵抗の基板である。この基板81の表面領域内には複数の素子分離領域12が形成されている。これら素子分離領域12により分離された第1の領域には例えばP型のウェル領域82が形成され、第2の領域には例えばP型のウェル領域83が形成されている。ウェル領域82の不純物濃度はウェル領域83の不純物濃度より例えば高く設定されている。ウェル領域82内にはアナログ回路85を構成する例えばMOSFETが形成され、ウェル領域83内にはデジタル回路86を構成する例えばMOSFETが形成されている。前記アナログ回路85が形成されたウェル領域82の底部には例えばP型の低抵抗領域84が形成されている。この低抵抗領域84の形成位置及び不純物濃度は、例えば第4、第5の実施形態と同様である。すなわち、低抵抗領域84の不純物濃度は、アナログ回路85が形成されたウェル領域82の不純物濃度の例えば2倍以上、あるいは $1 \times 10^{18} \text{ cm}^{-3}$ 以上に設定される。したがって、アナログ回路85が形成されたウェル領域82のウェル抵抗は、デジタル回路86が形成されたウェル領域83のウェル抵抗より高く設定される。

40

50

【0062】

この参考例によれば、高抵抗の基板81内にアナログ回路85とデジタル回路86を形成している。このため、デジタル回路86からアナログ回路85へのノイズの侵入を防止できる。しかも、アナログ回路85が形成されたウェル領域82の底部には低抵抗領域84を形成している。このため、アナログ回路85を構成する増幅器の利得の低下を防止できる。また、アナログ回路が、例えば可変容量コンデンサである場合、容量の可変範囲を広くすることができる。

【0063】

その他、本発明の要旨を変えない範囲において種々変形実施可能なことは勿論である。

【0064】

10

【発明の効果】

以上、詳述したように本発明によれば、回路素子の種類に応じてウェルの抵抗値を設定することにより、回路素子の特性を向上することが可能な半導体装置を提供できる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る可変容量コンデンサを示す断面図。

【図2】図1に示す装置の製造方法を示す断面図。

【図3】図2に続く製造工程を示す断面図。

【図4】図1の要部の不純物濃度を示す図。

【図5】本発明の第2の実施形態に係る可変容量コンデンサを示す断面図。

【図6】本発明の第3の実施形態に係る可変容量コンデンサを示す断面図。

20

【図7】図6に示す装置の製造方法を示す断面図。

【図8】本発明の第4の実施形態に係る可変容量コンデンサを示す断面図。

【図9】図8に示す装置の製造方法を示す断面図。

【図10】図9に続く製造工程を示す断面図。

【図11】本発明の第5の実施形態に係る増幅器を示す断面図。

【図12】図11に示す装置の等価回路図。

【図13】本発明の第6の実施形態に係る電圧制御発振器の一例を示す回路図。

【図14】図13の要部を示す断面図。

【図15】本発明の参考例に係るバイポーラトランジスタの一例を示す断面図。

【図16】本発明の参考例に係るアナログ／デジタル混載半導体装置の一例を示す断面図 30

。

【図17】一般的な可変容量コンデンサの一例を示す断面図。

【図18】図17に示す可変容量コンデンサの特性を示す図。

【図19】一般的な増幅器の一例を示す断面図。

【図20】図19に示す増幅器の特性を示す図。

【図21】一般的なアナログ／デジタル混載半導体装置の一例を示す断面図。

【図22】図21に示すアナログ／デジタル混載半導体装置の特性を示す図。

【符号の説明】

10…可変容量コンデンサ、

11…半導体基板、

40

12…素子分離領域、

13…ウェル領域、

14… N^+ 型の半導体層、

15… P^+ 型の半導体層、

16…低抵抗領域、

17…P型のウェル領域、

18…低抵抗領域、

20…MOSFET、

21…P型のウェル領域、

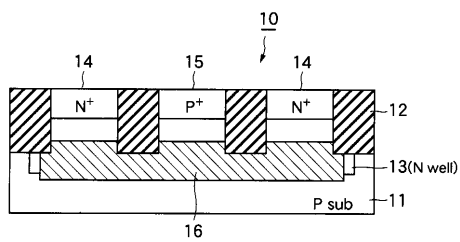
23…ゲート電極、

50

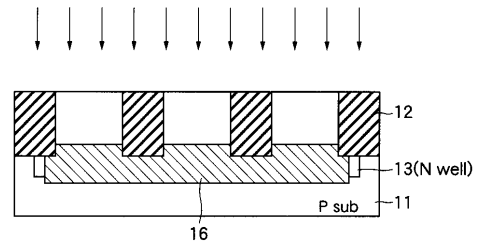
- 25…ソース／ドレイン領域、
- 26…低抵抗領域、
- 61…可変容量コンデンサ、
- 62…MOSFET、
- 70…バイポーラトランジスタ、
- 75…低抵抗領域、
- 81…半導体基板、
- 82…ウェル領域、
- 83…低抵抗領域、
- 84…アナログ回路、
- 85…デジタル回路。

10

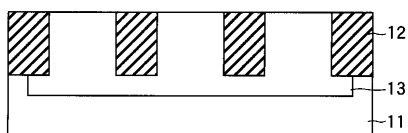
【図 1】



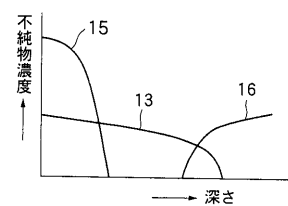
【図 3】



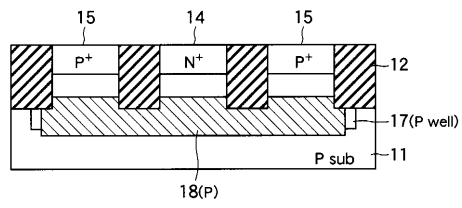
【図 2】



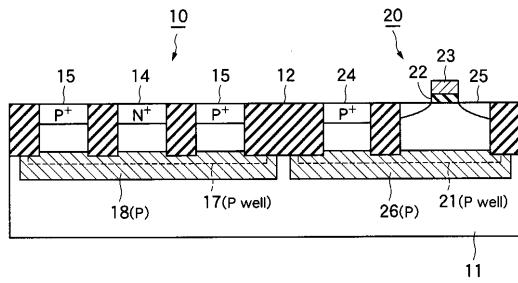
【図 4】



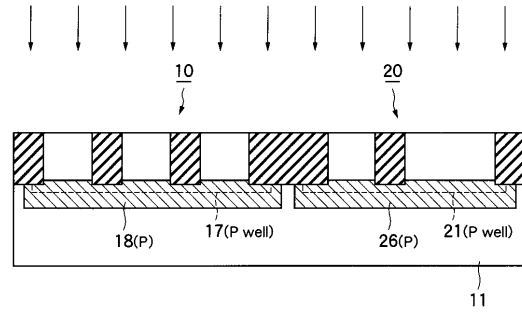
【図 5】



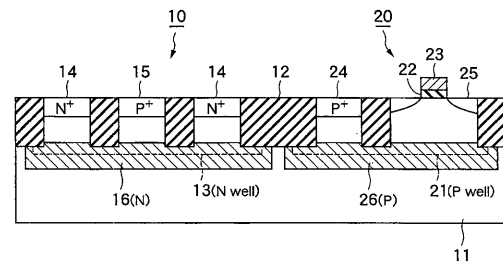
【図 6】



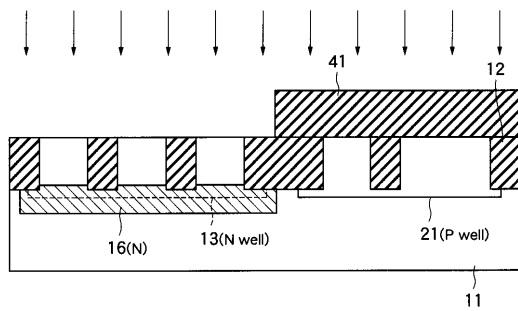
【図 7】



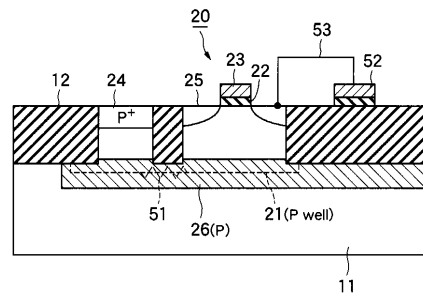
【図 8】



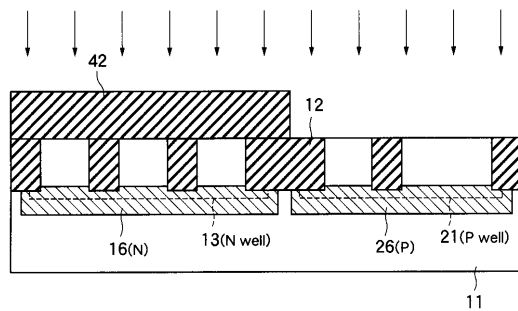
【図 9】



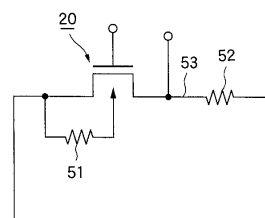
【図 11】



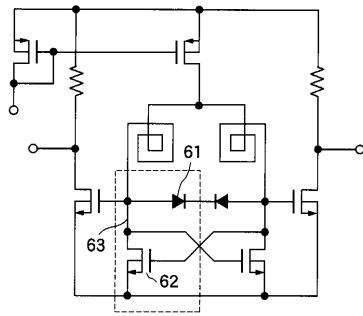
【図 10】



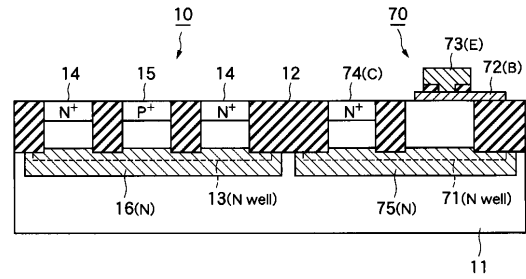
【図 12】



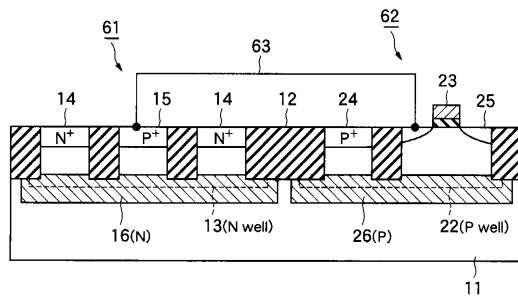
【図 1 3】



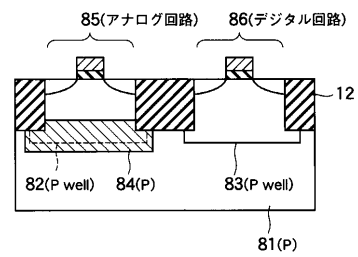
【図 1 5】



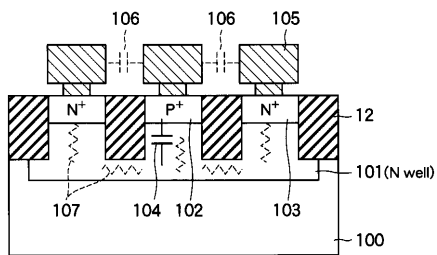
【図 1 4】



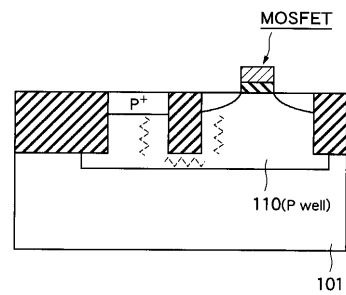
【図 1 6】



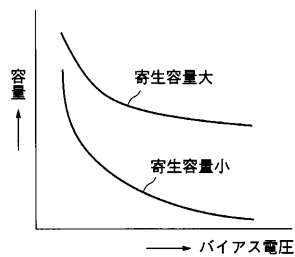
【図 1 7】



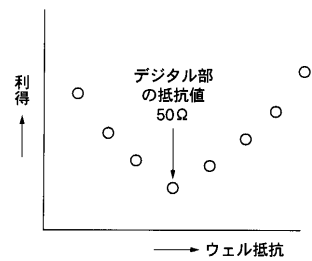
【図 1 9】



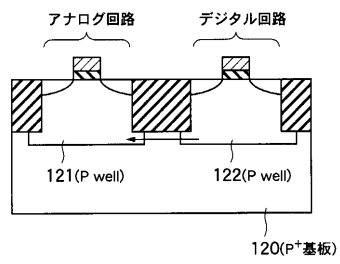
【図 1 8】



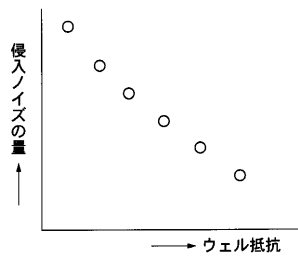
【図 2 0】



【図 2 1】



【図 2 2】



フロントページの続き

(74)代理人 100070437

弁理士 河井 将次

(72)発明者 大黒 達也

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

審査官 棚田 一也

(56)参考文献 特開平07-147420 (JP, A)

特開平05-315545 (JP, A)

特開平04-330730 (JP, A)

特開昭63-207173 (JP, A)

特開平05-243490 (JP, A)

特開昭61-127147 (JP, A)

特開昭61-236154 (JP, A)

(58)調査した分野(Int.Cl.⁷, DB名)

H01L 21/822

H01L 21/8234

H01L 27/04

H01L 27/06

H01L 29/93